(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2024 年 1 月 11 日 (11.01.2024)

WIPO | PCT

(10) 国际公布号
WO 2024/007381 A1

(51) 国际专利分类号:
H01L 45/00 (2006.01)

(21) 国际申请号: PCT/CN2022/108178

(22) 国际申请日: 2022 年 7 月 27 日 (27.07.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210786445.1 2022年7月4日 (04.07.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 廖昱程 (**LIAO, Yu-Cheng**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (**CHINA PAT INTELLECTUAL PROPERTY OFFICE**); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(54) **Title:** SEMICONDUCTOR STRUCTURE AND METHOD FOR FORMING SAME, AND MEMORY

(54) 发明名称: 半导体结构及其形成方法、存储器

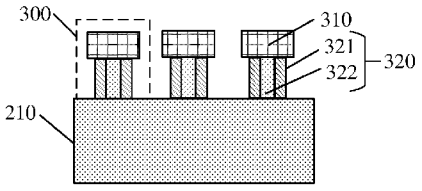


图 2

(57) **Abstract:** A semiconductor structure and a method for forming same, and a memory. The semiconductor structure comprises: a substrate (210); and phase change storage units (300), located on the substrate (210). Each phase change storage unit (300) comprises a phase change material layer (310) and a heating layer (320), and the heating layer (320) is located between the phase change material layer (310) and the substrate (210); and the heating layer comprises a first part (321) made of a first conductive material and a second part (322) made of a second conductive material, and the first part (321) at least surrounds the side wall of the second part (322).

(57) 摘要: 一种半导体结构及其形成方法、存储器。所述半导体结构包括：衬底（210）；相变存储单元（300），位于所述衬底（210）上；所述相变存储单元（300）包括：相变材料层（310）和加热层（320），所述加热层（320）位于所述相变材料层（310）和所述衬底（210）之间；所述加热层包括由第一导电材料构成的第一部分（321）和由第二导电材料构成的第二部分（322），所述第一部分（321）至少包围所述第二部分（322）的侧壁。

WO 2024/007381 A1

半导体结构及其形成方法、存储器

相关申请的交叉引用

本公开基于申请号为202210786445.1、申请日为2022年07月04日、发明名称为“半导体结构及其形成方法、存储器”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域，具体地，涉及一种半导体结构及其形成方法、存储器。

背景技术

相变存储器（Phase Change Memory，PCM）是利用相变材料在晶态和非晶态的巨大电阻差异实现信息存储的新型存储器。相变材料在非晶态时具有较高电阻，其分子结构为无序状态；相变材料在晶态时具有较低电阻，其内部分子结构为有序状态，两态之间的电阻差异通常达到2个数量级。

通过电流诱导的焦耳热，可以实现相变材料在两个电阻态（高电阻和低电阻）之间的快速转变。

因PCM具有稳定性强、功耗低、存储密度高、与传统的CMOS工艺兼容等优点，从而受到越来越多研究者和企业的关注。PCM以其巨大的优势，被认为是最具潜力的下一代非易失性存储器之一。如何提高PCM的存储密度以及存储速度等等，成为了亟需解决的问题。

发明内容

有鉴于此，本公开实施例提出一种半导体结构及其形成方法、存储器。

第一方面，本公开实施例提供一种半导体结构，包括：

衬底；

相变存储单元，位于所述衬底上；

所述相变存储单元包括：相变材料层和加热层，所述加热层位于所述相变材料层和衬底之间；

所述加热层包括由第一导电材料构成的第一部分和由第二导电材料构成的第二部分，所述第一部分至少包围所述第二部分的侧壁。

在一些实施例中，所述第一导电材料的第一导电系数小于所述第二导电材料的第二导电系数。

在一些实施例中，所述相变存储单元的侧壁及至少部分上表面还覆盖有保温层。

在一些实施例中，所述相变存储单元还包括：

二极管，垂直于所述衬底，所述二极管位于所述衬底与所述加热层之间，所述二极管的导通方向为由所述加热层指向所述衬底。

在一些实施例中，所述二极管包括：

第一离子注入结构，位于所述衬底上；

第二离子注入结构，位于所述第一离子注入结构上；

所述第一离子注入结构的离子类型与所述第二离子注入结构的离子类型相反。

在一些实施例中，所述第二离子注入结构包括：

上层第二离子注入结构和下层第二离子注入结构，所述上层第二离子注入结构的离子浓度与所述下层第二离子注入结构的离子浓度不同。

在一些实施例中，所述衬底包括：

背衬底；

埋氧层，位于所述背衬底上；

掺杂结构，位于所述埋氧层上，所述掺杂结构与所述第一离子注入结构直接接触；

浅沟槽隔离结构，位于相邻所述掺杂结构之间。

在一些实施例中，所述掺杂结构包括：

N阱，位于所述埋氧层上；

P阱，位于所述N阱上；

第三离子注入结构，位于所述P阱表面与所述第一离子注入结构直接接触。

在一些实施例中，所述半导体结构还包括：

层间介质层，位于各所述相变存储单元之间；

第一导电结构，贯穿所述层间介质层且连接所述第三离子注入结构。

在一些实施例中，所述半导体结构还包括:

第二导电结构，连接所述相变存储单元;

其中，所述第一导电结构与沿平行于所述衬底的第一方向延伸的第一导电线连接，所述第二导电结构与沿平行于所述衬底的第二方向延伸的第二导电线连接，所述第二方向与所述第一方向相交。

第二方面，本公开实施例提供一种半导体结构的形成方法，包括:

提供衬底;

在所述衬底上形成相变存储单元；所述相变存储单元包括:

相变材料层和加热层，所述加热层位于所述相变材料层和所述衬底之间，且所述加热层包括由第一导电材料构成的第一部分和第二导电材料构成的第二部分，所述第一部分至少包围所述第二部分的侧壁。

在一些实施例中，所述方法还包括:

形成保温层覆盖所述相变存储单元的侧壁和至少部分上表面。

在一些实施例中，所述相变存储单元还包括：二极管；在所述衬底上形成相变存储单元包括:

在所述衬底上形成垂直于所述衬底的二极管;

在所述二极管上形成所述加热层;

在所述加热层上形成所述相变材料层。

在一些实施例中，在所述衬底上形成垂直于所述衬底的二极管包括:

在所述衬底上形成第一离子注入层;

在所述第一离子注入层上形成第二离子注入层；所述第一离子注入层的离子类型与所述第二离子注入层的离子类型相反;

刻蚀所述第一离子注入层与所述第二离子注入层形成第一离子注入结构与第二离子注入结构，以构成所述二极管。

在一些实施例中，形成第二离子注入层包括:

形成下层第二离子注入层;

在所述下层第二离子注入层上形成上层第二离子注入层；所述上层第二离子注入层的离子浓度与所述下层第二离子注入层的离子浓度不同。

在一些实施例中，在所述二极管上形成所述加热层包括:

在所述第二离子注入层上形成第一导电层;

刻蚀所述第一导电层形成多个凹槽结构;

在所述凹槽结构中填充所述第二导电材料，形成所述第二部分;

刻蚀所述第二部分以外的所述第一导电层，形成所述第一部分。

在一些实施例中，所述衬底包括背衬底、位于所述背衬底上的埋氧层以及位于所述埋氧层上的顶层硅；在所述衬底上形成相变存储单元的步骤之前，所述方法还包括:

对所述顶层硅进行掺杂形成掺杂层；所述掺杂层包括N阱层、P阱层以及第三离子注入层;

刻蚀所述掺杂层形成多个掺杂结构，所述掺杂结构包括N阱、P阱以及第三离子注入结构，所述第三离子注入结构与所述第一离子注入结构连接;

形成浅沟槽隔离结构，填充相邻所述掺杂结构之间的凹槽。

在一些实施例中，所述方法还包括:

形成层间介质层，填充在多个所述相变存储单元之间;

形成第一导电结构，贯穿所述层间介质层且连接所述第三离子注入结构。

在一些实施例中，所述方法还包括:

形成第二导电结构，连接所述相变存储单元;

其中，所述第一导电结构与沿平行于所述衬底的第一方向延伸的第一导电线连接；所述第二导电结构与沿平行于所述衬底的第二方向延伸的第二导电线连接；所述第二方向与所述第一方向相交。

第三方面，本公开实施例还提供了一种存储器，所述存储器包括含有如上述实施例任一所述的半导体结构的存储单元阵列，以及位于所述存储单元阵列上方或者外侧的外围电路结构。

本公开实施例中，利用两种导电材料形成了加热层，并且加热层具有第一部分和第二部分，并且第一部分至少包围第二部分的侧壁。这样不但可以利用第一部分的导电材料的优势提高加热效率，还可以利用第二部分包围第一部分使得加热后的热量不易散失，更有利于进一步提高加热效率。加热效率提高后，可使得相变材料层发生相态转换所需的时间更短，故可以更快地发生相态转换，从而可以提高数据写入的速率。

附图说明

图1为在一些实施例中提供的一种相变存储器的示意图;

图2至4为本公开实施例中提供的一种半导体结构的剖面示意图;

图 5 至 8 为本公开实施例提供的加热层的俯视剖面图的示意图；
图 9 至 13 为本公开实施例提供的一种半导体结构的剖面示意图；
图 14 为本公开实施例提供的一种半导体结构的形成方法流程图；
图 15 为本公开实施例提供的一种衬底的示意图；
图 16 至 38 为本公开实施例提供的一种半导体结构的剖面示意图；
图 39 为本公开实施例提供的一种半导体结构的俯视图；
图 40 为本公开实施例提供的一种半导体结构的电路简化图；
图 41 为本公开实施例提供的一种半导体结构的存储单元的电流-电压曲线图；
图 42 为本公开实施例提供的半导体结构形成的一种存储器的简要示意图。

具体实施方式

为使本公开实施例的技术方案和优点更加清楚，下面将结合附图和实施例对本公开的技术方案进一步详细阐述。虽然附图中显示了本公开的示例性实施方法，然而应当理解，可以以各种形式实现本公开而不应被这里阐述的实施方式所限制。相反，提供这些实施方式是为了能够更透彻的理解本公开，并且能够将本公开的范围完整的传达给本领域的技术人员。

在下列段落中参照附图以举例方式更具体的描述本公开。根据下面说明和权利要求书，本公开的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式且均使用非精准的比例，仅用以方便、明晰地辅助说明本公开实施例的目的。

可以理解的是，本公开中的“在……上”、“在……之上”和“在……上方”的含义应当以最宽方式被解读，以使得“在……上”不仅表示其“在”某物“上”且其间没有居间特征或层（即直接在某物上）的含义，而且还包括在某物“上”且其间有居间特征或层的含义。

此外，为了便于描述，可以在本文中使用诸如“在……上”、“在……之上”、“在……上方”、“上”“上部”等的空间相对术语来描述如图所示的一个元件或特征与另一个元件或特征的关系。除了在附图中所描绘的取向之外，空间相对术语旨在涵盖设备在使用或操作中的不同取向。装置可以以其它方式定向（旋转 90 度或处于其它取向）并且同样可以相应地解释本文使用的空间相对描述词。

在本公开实施例中，术语“衬底”是指在其上添加后续材料层的材料。衬底本身可以被图案化。被添加在衬底顶部的材料可以被图案化或者可以保持未被图案化。此外，衬底可以包括多种半导体材料，例如硅、硅锗、锗、砷化嫁、磷化铟等。替代地，衬底可以由非导电材料制成，例如玻璃、塑料或蓝宝石晶圆。

在本公开实施例中，术语“层”是指包括具有厚度的区域的材料部分。层可以在下方或上方结构的整体之上延伸，或者可以具有小于下方或上方结构范围的范围。此外，层可以是厚度小于连续结构厚度的均质或非均质连续结构的区域。例如，层可位于连续结构的顶表面和底表面之间，或者层可在连续结构顶表面和底表面处的任何水平面对之间。层可以水平、垂直和/或沿倾斜表面延伸。层可以包括多个子层。例如，互连层可包括一个或多个导体和接触子层（其中形成互连线和/或过孔触点）、以及一个或多个电介质子层。

在本公开实施例中，术语“第一”、“第二”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。

本公开实施例所述的沉积工艺包括但不限于沉积工艺可以包括但不限于：化学气相沉积（Chemical Vapor Deposition，CVD）、物理气相沉积（Physical Vapor Deposition，PVD）、等离子体增强化学气相沉积（Plasma Enhanced CVD，PECVD）、溅镀（Sputtering）、有机金属化学气相沉积（Metal Organic Chemical Vapor Deposition，MOCVD）、原子层沉积（Atomic Layer Deposition，ALD）及其组合等。

本公开实施例所述的生长工艺包括但不限于：气相外延（Vapour Phase Epitaxy，VPE）、液相外延（Liquid Phase Epitaxy，LPE）、分子束外延（Molecular Beam Epitaxy，MBE）、离子束外延、固相外延及其组合等等。

本公开实施例所述的刻蚀工艺包括但不限于：干法刻蚀、湿法刻蚀及其组合。

本公开实施例涉及的半导体结构是将被用于后续制程以形成最终的器件结构的至少一部分。这里，最终的器件可以包括三维 PCM 存储器，或包含有 PCM 存储单元的其他存储芯片或处理芯片。

相变存储器是利用相变材料在晶态和非晶态的巨大电阻差异实现信息存储的新型存储器。相变材料在非晶态时具有较高电阻，其分子结构为无序状态；相变材料在晶态时具有较低电阻，其内部分子结构为有序状态，两态之间的电阻差异通常达到 2 个数量级。

通过电流诱导的焦耳热，可以实现相变材料在两个电阻态（高电阻和低电阻）之间的快速转变。因 PCM 具有稳定性强、功耗低、存储密度高、与传统的 CMOS 工艺兼容等优点，从而受到越来越多研究者和企业的关注。PCM 以其巨大的优势，被认为是最具潜力的下一代非易失性存储器之一。

在一些实施例中，如图 1 所示，相变存储器中的相变存储单元 100 包括一个平面 MOS 管 110

和一个相变单元 120。该相变单元 120 包括 KH（Key Heater，成型的加热器）结构。相变单元 120 中的相变材料层 130 中的相变材料的阻值可以通过该成型加热器而改变，相变材料在非晶态时具有高的电阻率，可用于存储数据“1”，相变材料在晶态时具有低的电阻率低，可用于存储数据“0”。如此便利用了相变材料的可逆转的相变来存储信息。

本公开实施例提供一种半导体结构，如图 2 所示，该半导体结构包括：衬底 210；相变存储单元 300，位于衬底 210 上；相变材料层 310 和加热层 320，所述加热层 320 位于相变材料层 310 和衬底 210 之间；加热层 320 包括由第一导电材料构成的第一部分 321 和由第二导电材料构成的第二部分 322，第一部分 321 至少包围第二部分 322 的侧壁。

衬底 210 可以包括 P 型半导体材料衬底（例如为硅（Si）衬底或者锗（Ge）衬底等）、N 型半导体衬底（例如磷化铟（InP）衬底）、复合半导体材料衬底（例如为锗硅（SiGe）衬底等）、绝缘体上硅（SOI）衬底以及绝缘体上锗（GeOI）衬底等。本公开实施例可以优先选用绝缘体上硅或绝缘体上锗之类衬底，以减小衬底漏电流。

衬底 210 上可具有由多个相变存储单元 300 构成的阵列，相变存储单元用于实现数据的存储以及读写等功能。

每个相变存储单元 300 都可以包括相变材料层 310 以及位于相变材料层 310 和衬底 210 之间的加热层 320。其中，可用于存储数据的相变材料层 310 存在至少两种可明显区分的固体相结构，例如，一个状态可为非晶状态，相变材料层 310 为非晶状态时可具有高电阻，而另一状态可为晶体状态，相变材料层为晶体状态时可具有低电阻。利用相变材料层 310 在非晶态和晶态两种状态时差异明显的电阻值来区别所存储的数据“0”和“1”。从亚稳态的非晶态到稳定状态的晶态的转变可通过对非晶态加热至结晶温度并加热足够长的时间使其充分结晶而得到。而从稳定的晶态到非晶态可将晶态结构加热至熔化并使其快速冷却，即经历一个快速退火过程凝结而得到非晶态。相变材料层 310 可使用含一种或多种硫族化物的玻璃（Chalcogenide glass）制成，硫族化物包括元素周期表第 VIA 族的四个元素，即氧（O）、硫（S）、硒（Se）及碲（Te）。相变材料层 310 的材料包括但不限于 GeSbTe（锗锑碲）系合金，至少可以包括以下合金中的一种或多种：Ga/Sb（镓/锑）、In/Sb（铟/锑）、In/Se（铟/硒）、Sb/Te（锑/碲）、Ge/Te（锗/碲）、Ge/Sb/Te（锗/锑/碲）、In/Sb/Te（铟/锑/碲）、Ga/Se/Te（镓/硒/碲）、Sn/Sb/Te（锡/锑/碲）、In/Sb/Ge（铟/锑/锗）、Ag/In/Sb/Te（银/铟/锑/碲）、Ge/Sn/Sb/Te（锗/锡/锑/碲）、Ge/Sb/Se/Te（锗/锑/硒/碲）及 Te/Ge/Sb/S（碲/锗/锑/硫）。

相变存储单元 300 还包括加热层 320，加热层 320 可位于相变材料层 310 下，加热层 320 用于加热相变材料层 310，以改变相变材料层的相态。

本公开实施例中的加热层 320 包括由第一导电材料构成的第一部分 321 和由第二导电材料构成的第二部分 322；第一部分 321 至少包围第二部分 322 的侧壁。通过使用两种导电材料，可以结合两种导电材料的优点，使得相变存储器的复位电流更低，加热效率更高，而加热效率提高，可使用更低的工作电压对相变存储单元进行状态切换。

在一些实施例中，如图 2 所示，第二部分 322 贯穿第一部分 321 并与衬底 210 接触，且具有接触面。

在一些实施例中，如图 3 所示，第二部分 322 的底部与第一部分 321 连接，而未接触衬底。

在一些实施例中，如图 4 所示，第二部分 322 贯穿第一部分 321 并与衬底 210 部分接触。

加热层 320 的俯视剖面图如图 5 至图 8 所示，如图 5 所示，加热层 320 的俯视图可为四边形（包括正方形），第二部分 322 的俯视图可为四边形（包括正方形），第一部分 321 的俯视图可为中间挖去四边形的四边形。如图 6 所示，第一部分 321 的俯视图可为四边形（包括正方形），第二部分 322 的俯视图可为椭圆形（包括圆形），第一部分 321 的俯视图可为中间挖去椭圆形的四边形。如图 7 所示，第一部分 321 的俯视图可为椭圆形（包括圆形），第二部分 322 的俯视图可为椭圆形（包括圆形），第一部分 321 的俯视图可为中间挖去椭圆形的椭圆形。如图 8 所示，第一部分 321 的俯视图可为椭圆形（包括圆形），第二部分 322 的俯视图可为四边形（包括正方形），第一部分 321 的俯视图可为中间挖去四边形的椭圆形。以上只是加热层 320 的俯视剖面图的 4 个示例，加热层 320 或第一部分 321 的俯视剖面图还可以包括三角形和其他多边形等，在此不再赘述。

但无论是哪一种结构，第一部分 321 都至少包围第二部分 322 的侧壁，从而可以减少第二部分所用导电材料被加热后热量的损失，从而提高加热效率。

本公开实施例中，利用两种导电材料形成了加热层 320，并且加热层 320 具有第一部分 321 和第二部分 322，并且第一部分 321 至少包围第二部分 322 的侧壁。这样不但可以利用第二部分所用的导电材料的优势提高加热效率，还可以利用第一部分包围第二部分的结构优势使得加热后的热量不易散失，更有利于进一步提高加热效率。加热效率提高后，相变材料层 310 发生相态转换的时间更短，可以更快地发生相态转换，故可以提高数据写入的速率。

在一些实施例中，第一导电材料的第一导电系数小于第二导电材料的第二导电系数。

第一导电材料以及第二导电材料可以为：钨、钛、铜以及以上物质的化合物。

本公开实施例中，第一导电材料的第一导电系数可以小于第二导电材料的第二导电系数，即当选定了第一导电材料时，第一导电材料的第一导电系数也随即被确定。第二导电材料可以在导电系数大于第一导电系数中的材料中选择，这可以保证在加热器使用时，让大部分电流流向第二部分。

在一些实施例中，当选定了第一导电材料时，第一导电材料的第一导热系数随即被确定。在选取第二导电材料时，还可以在满足如下条件的导电材料中选取第二导电材料，该条件为：第二导电材料的第二导热系数大于第一导电材料的第一导热系数。这样使得第二部分的导热能力比第一部分的导热能力强，从而使得第一部分中的热量不易散失。

示例性地，第一导电材料可以为 TaN，第二导电材料可以为 TiN。TaN 不但有很好的防散热效应，其也是导体的一种，且 TiN/TaN 结构具有好的电流配比。

本公开实施例不但因为采用了第一部分至少包围第二部分的侧壁的结构可以使得加热层的电阻增大外，还通过采用满足第一导电材料的第一导热系数小于第二导电材料的第二导热系数的材料，进一步使得热源集中在了加热器中，从而使得加热效应增强。

在一些实施例中，相变存储单元的侧壁及至少部分上表面还覆盖有保温层。保温层使用的材料的第三导热系数可以小于第一导电材料的第一导热系数，这样使得保温层的散热效果更差于第一导电材料，即使得加热器的热源不会轻易的散掉，进而增加加热效应。并且透过保温层的包覆作用，可以帮助加热效应。

在一些实施例中，保温层可以选用绝缘材料，优选地，可以选择 SiN（氮化硅）。

在一些实施例中，如图 9 所示，相变存储单元 300 还包括：二极管 330，垂直于衬底 210；二极管 330 位于衬底 210 与加热层 320 之间，二极管 320 的导通方向为由加热层 320 指向衬底 210。

二极管 330 位于衬底 210 与加热层 320 之间且垂直于衬底 210 的表面放置，使得电流可以从加热层 320 流向衬底 210，即电流的流向可以是垂直衬底 210 表面的。二极管 330 的数量可以为一个也可以为多个，多个二极管 330 可以串联在衬底 210 与加热层 320 之间。二极管 330 导通时可以产生电流从而驱动相变存储单元 300 进行数据的写入、读取与擦除等操作。

在一些实施例中，如图 9 所示，二极管 330 包括：第一离子注入结构 331，位于衬底 210 上；第二离子注入结构 332，位于第一离子注入结构 331 上；第一离子注入结构 331 的离子类型与第二离子注入结构 332 的离子类型的相反。

第一离子注入结构 331 可以是在衬底 210 上掺杂形成的，也可以是通过对衬底 210 外延生长所形成的外延层进行掺杂形成的。掺杂的杂质种类可以分为 N 型和 P 型两类。N 型主要包括磷（P）、砷（As）以及锑（Sb）等。P 型主要包括硼（B）以及铟（In）等。

第二离子注入结构 332 可以是在衬底 210 上掺杂形成的，也可以是通过对衬底 210 外延生长所形成的外延层进行掺杂形成的。掺杂的杂质种类可以分为 N 型和 P 型两类。N 型主要包括磷（P）、砷（As）以及锑（Sb）等。P 型主要包括硼（B）以及铟（In）等。

这里需要注意的是，因为第一离子注入结构 331 与第二离子注入结构 332 是用于形成二极管 330 的，故第一离子注入结构 331 与第二离子注入结构 332 的所注入的类型是相反的。在本公开实施例中，上述第一离子注入结构 331 可以是 N 型掺杂，第二离子注入结构 332 可以是 P 型掺杂。

在一些实施例中，若第一离子注入结构 331 和第二离子注入结构 332 都是通过在衬底上掺杂形成的，那么形成第一离子注入结构 331 所进行的第一注入深度要深于形成第二离子注入 332 所进行的第二注入深度。

在一些实施例中，若第一离子注入结构 331 和第二离子注入结构 332 都是通过对衬底 210 外延生长所形成的外延层掺杂形成的，那么可以首先通过第一次外延生长形成第一外延层，然后对第一外延层进行掺杂形成第一离子注入结构。然后对第一外延层进行掺杂形成第一离子注入结构 331，对第二外延层进行掺杂形成第二离子注入结构 332。

在一些实施例中，如图 10 所示，第二离子注入结构 332 包括：上层第二离子注入结构 3322 和下层第二离子注入结构 3321，上层第二离子注入结构 3322 的离子浓度与下层第二离子注入结构的离子浓度 3321 不同。

第二离子注入结构 332 可以包括至少两层，当其为两层时，其具有上层第二离子注入结构 3322 和下层第二离子注入结构 3321。上层第二离子注入结构 3322 的掺杂离子的类型与下层第二离子注入结构掺杂离子的类型可以是相同的。例如，上层第二离子注入结构 3322 的掺杂离子为 P 型掺杂离子，则下层第二离子注入结构掺杂离子也可为 P 型掺杂离子。

在一些实施例中，上层第二离子注入结构 3322 的离子浓度与下层第二离子注入结构的离子浓度 3321 不同。例如，上层第二离子注入结构 3322 的离子浓度可以大于下层第二离子注入结构的离子浓度 3321。对上层第二离子注入结构 3322 掺杂较高浓度的离子可用于增加二极管 330 中 PN 结的电导率。下层第二离子注入结构 3321 可以利用其掺杂的离子浓度或其厚度来调节二极管 330 的阈值电压。采用多层结构形成第二离子注入结构 332 可以提高二极管 330 的性能。

在一些实施例中，如图 11 所示（图 11 为衬底的三维结构示意图），衬底包括：背衬底 213；埋

氧层 212，位于背衬底 213 上；掺杂结构 350，位于埋氧层 212 上，掺杂结构 350 与第一离子注入结构直接接触；浅沟槽隔离结构 360，位于相邻掺杂结构 350 之间。

掺杂结构 350 与上述第一离子注入结构直接接触以连接沿第一方向排布的多个相变存储单元。即沿第一方向的多个相变存储单元与掺杂结构 350 的接触点或接触面是等电位的。第一方向可为沿平行于衬底表面的任一方向，在一些实施例中，第一方向可与后续形成的字线或位线方向相同。

掺杂结构 350 可以是对埋氧层 212 上的顶层硅进行多次掺杂后形成的。

在一些实施例中，如图 11 所示，衬底具有掺杂结构 350；如图 12 所示（图 12 为半导体结构沿 Y 方向的剖面图），半导体结构还包括：浅沟槽隔离结构 360，位于相邻掺杂结构 350 之间；这里，浅沟槽隔离结构 360 用于隔离相邻的掺杂结构 350。

具体地，浅沟槽隔离结构 360 用于沿 Y 方向隔离相邻的掺杂结构 350，使在 Y 方向不重叠的相变存储单元 300 之间彼此电性隔离。Y 方向与 X 方向的关系可以为垂直或相交。

浅沟槽隔离结构 360 的材质可为绝缘材料，例如氧化硅、氮化物及其组合物等。

在一些实施例中，如图 11 所示，掺杂结构包括：N 阱 351，位于埋氧层 212 上；P 阱 352，位于 N 阱 351 上；第三离子注入结构 353，位于 P 阱 352 表面与第一离子注入结构直接接触。

在一些实施例中，可通过对顶层硅进行三次深度不同的离子注入形成 N 阱层、P 阱层以及第三离子注入结构层。其中 N 阱层掺杂有 N 型离子，P 阱层掺杂有 P 型离子，第三离子注入结构层的掺杂离子的类型与第一离子注入结构注入的掺杂离子的类型可以相同。

刻蚀 N 阱层、P 阱层以及第三离子注入结构层以形成 N 阱 351、P 阱 352 以及第三离子注入结构 353 所构成的掺杂结构 350。第三离子注入结构 353 与第一离子注入结构之间接触，从而电流可从第三离子注入结构 353 流入第一离子注入结构中。第三离子注入层可以是重掺杂形成的，故后续形成的第三离子注入结构也是重掺杂的，其具有电阻率低，电阻小，导电能力增强的特点。

N 阱与 P 阱用于形成反偏的 PN 结以隔离相变存储单元 300 与埋氧层 212 以及背衬底 213，避免漏电现象。

在一些实施例中，如图 13 所示，半导体结构还包括：层间介质层 370，位于各相变存储单元 300 之间；第一导电结构 380，贯穿层间介质层 370 且连接第三离子注入结构 353。

各相变存储单元 300 之间还可具有层间介质层 370，层间介质层 370 用于对各相变存储单元 300 之间进行电性隔离，减少寄生电容。层间介质层 370 的材质可为绝缘材料。

每个第三离子注入结构 353 都可连接一贯穿层间介质层 370 的第一导电结构 380。

第一导电结构 380 至少包括第一接触结构 382（CT，Contact），第一接触结构可以为一个也可以为相互堆叠的多个接触结构。

第一接触结构 382 上可还包括第一导电插塞 383，第一导电插塞 383 用于降低相邻第一接触结构 382 之间或第一接触结构 382 与其他结构之间的欧姆接触。

第一接触结构 382 的材质可以为金属材质。

第一导电插塞 383 的材质可以为金属，例如 Ti 和或 TiN。

在一些实施例中，如图 13 所示，半导体结构还包括：第二导电结构 390，连接相变存储单元 300；其中，第一导电结构 380 与沿平行于衬底的第一方向延伸的第一导电线 381 连接，第二导电结构 390 与沿平行于衬底的第二方向延伸的第二导电线 391 连接，第二方向与第一方向相交。

在一些实施例中，在第一方向（X 方向）上重叠的多个相变存储单元上还可共用同一第二导电结构 390，相邻的第二导电结构 390 之间沿第二方向（Y 方向）相互平行。

第二导电结构至少包括第二接触结构 392，第二接触结构可以为一个也可以为相互堆叠的多个接触结构。各第二接触结构 392 之上还包括第二导电插塞 393，第二导电插塞 393 用于降低相邻第二接触结构 392 之间或第二接触结构 392 与其他结构之间的欧姆接触。第二接触结构 392 的材质可以为金属材质。第二导电插塞 393 的材质可以为金属，例如 Ti 和或 TiN。

在一些实施例中，第二导电结构还包括第二导电线 391，第二导电线沿第 Y 方向延伸。第一导电结构 380 还包括第一导电线 381，第一导电线 381 沿第 X 方向延伸。第一导电线 381 可用于形成字线或位线。第二导电线 391 也可用于形成字线或位线。在一些实施例中，第一导电线 381 与第二导电线 391 在空间上不相交。即第一导电线 381 与第二导电线 391 之间还可具有层间介质层。本公开实施例中，第一导电线 381 可为字线，则第二导电线 391 可为位线。通过对位线和/或字线施加不同的电压，则可以实现对相变存储单元进行数据的存储和读取。

本公开实施例还提供一种半导体结构的形成方法，如图 14 所示，包括：

步骤 S101、提供衬底；

步骤 S102、在衬底上形成相变存储单元；相变存储单元包括：

相变材料层和加热层，加热层位于相变材料层和衬底之间，且加热层包括由第一导电材料构成的第一部分和第二导电材料构成的第二部分，第二部分至少包围第一部分的侧壁。

首先，执行步骤 S101，提供一衬底，衬底的表面为与衬底厚度方向垂直的任意一个表面。定义

衬底的厚度方向或者与衬底的表面垂直的方向为 Z 方向，定义沿衬底表面的任一方向为 X 方向，沿衬底表面与 X 方向相交的方向为 Y 方向。本公开实施例中所使用的衬底可为如图 16 所示的 SOI 衬底 210，该衬底 210 包括顶层硅 211、埋氧层 212 以及背衬底 213。其中，顶层硅 211 可为超薄单晶硅，埋氧层 212 可为氧化硅、背衬底 213 可为单晶硅。

在执行步骤 S102 之前，还可以对衬底进行清洗以去除表面的杂质。

然后执行步骤 S102，通过生长工艺或沉积工艺形成待处理的相变材料层和待处理的加热层；其中，待处理的加热层位于衬底上，待处理的相变材料层位于待处理的加热层上。然后，通过刻蚀工艺对待处理的相变材料层和待处理的加热层进行刻蚀处理形成所需的相变材料层和所需的加热层以形成相变存储单元。

本公开实施例中的加热层包括由第一导电材料构成的第一部分和第二导电材料构成的第二部分；第一部分至少包围第二部分的侧壁。

本公开实施例通过使用两种导电材料，可以结合两种导电材料的优点使得相变存储器的复位电流更低，加热效率更高。本公开实施例中的加热器由第二部分至少包围第一部分的侧壁组成，这种结构更有利于减少热量的散失，进一步提高加热效率。

在一些实施例中，该方法还包括：

步骤 S201、形成保温层覆盖相变存储单元的侧壁和至少部分上表面。

在一些实施例中，可以在执行完步骤 S102 后，通过沉积工艺在相变存储单元的侧壁和至少部分上表面形成保温层。

在一些实施例中，步骤 S201 也可以和步骤 S102 交替执行，即在形成相变存储单元的加热层后，先对加热层的侧壁形成第一保温层，然后在形成相变材料层后，再对相变材料层的侧壁和至少部分上表面形成第二保温层。由第一保温层和第二保温层共同构成覆盖相变存储单元的侧壁和至少部分上表面的保温层。

在一些实施例中，相变存储单元还包括：二极管；在衬底上形成的相变存储单元包括：

步骤 S301、在衬底上形成垂直于衬底的二极管；

步骤 S302、在二极管上形成加热层；

步骤 S303、在加热层上形成相变材料层。

相变存储单元还包括：位于衬底与加热层之间的二极管。故步骤 S102 还可以拆分为步骤 S301、步骤 S302 以及步骤 S303。

首先执行步骤 S301，在衬底上形成垂直于衬底的二极管。然后执行步骤 S302，在二极管上形成加热层。最后执行步骤 S303、在加热层上形成相变材料层。

在一些实施例中，步骤 S301 中在衬底上形成垂直于衬底的二极管包括：

步骤 S401、在衬底上形成第一离子注入层；

步骤 S402、在第一离子注入层上形成第二离子注入层；第一离子注入层的离子类型与第二离子注入层的离子类型相反；

步骤 S403、刻蚀第一离子注入层与第二离子注入层形成第一离子注入结构与第二离子注入结构，以构成二极管。

执行步骤 S301 可以包括步骤 S401、步骤 S402 以及步骤 S403。

在一些实施例中，可首先执行步骤 S401，通过生长工艺（例如，外延生长）和离子注入工艺形成第一离子注入层。

然后继续执行步骤 S402，在第一离子注入层上通过生长工艺（例如，外延生长）和离子注入工艺形成第二离子注入。

在一些实施例中，可通过生长工艺形成外延生长层，然后对该外延生长层进行不同深度的两次离子注入，形成第一离子注入层和第二离子注入层。

因为第一离子注入层和第二离子注入层后续用于形成二极管，故两者的离子类型相反。

形成第一离子注入层和第二离子注入层后，执行步骤 S403，刻蚀第一离子注入层与第二离子注入层形成由第一离子注入结构与第二离子注入结构构成的二极管。具体地，可在第二离子注入层上涂覆光刻胶，使用掩膜版（掩膜版上的图案是不透光的）与光刻胶层对准，当光刻胶为正胶时，光刻胶被曝光的部分由非溶性物质变成了可溶性物质。通过化学溶剂可以把可以溶解的部分去掉，这样就会在光刻胶层上留下一个岛区，这个岛区和掩膜版不透光的部分对应。这个岛区的形状即为二极管形状。该二极管包括第一离子注入结构与第二离子注入结构。

在一些实施例中，步骤 S402 中形成第二离子注入层包括：

步骤 S501、形成下层第二离子注入层；

步骤 S502、形成位于下层第二离子注入层上的上层第二离子注入层；上层第二离子注入层的离子浓度与下层第二离子注入层的离子浓度不同。

在一些实施例中，步骤 S402 可替换为步骤 S501 和步骤 S502。

在一些实施例中，在执行完步骤 S401 后，可先执行步骤 S501：通过生长工艺（例如，外延生长）和离子注入工艺形成下层第二离子注入层。然后执行继续步骤 S502：通过生长工艺（例如，外延生长）和离子注入工艺形成上层第二离子注入层。

在一些实施例中，可通过生长工艺形成外延生长层，然后对该外延生长层进行不同深度的三次离子注入，形成第一离子注入层、下层第二离子注入层以及上层第二离子注入层。上层第二离子注入层所注入的离子与下层离子注入层所注入的离子的类型可以是相同的，但两者所注入的离子的浓度可以是不同。

在一些实施例中，上层第二离子注入结构的离子浓度可以大于下层第二离子注入结构的离子浓度。上层第二离子注入结构掺杂较高浓度的离子可用于增加二极管 PN 结的电导率。下层第二离子注入结构可以利用其掺杂的离子浓度或其厚度来调节二极管的阈值电压。

在一些实施例中，步骤 S302 中二极管形成加热层包括：

步骤 S601、在第二离子注入层上形成第一导电层；

步骤 S602、刻蚀第一导电层形成多个凹槽结构；

步骤 S603、在凹槽结构中填充第二导电材料，形成第二部分；

步骤 S604、刻蚀第二部分以外的第一导电层，形成第一部分。

在一些实施例中，执行步骤 S401 和步骤 S402 后，可先不执行步骤 S403，而是继续执行步骤 S302。步骤 S302 包括步骤 S601、步骤 S602、步骤 S603 以及步骤 S604。

首先执行步骤 S601，利用沉积工艺沉积第一导电材料（例如，TaN）形成位于第二离子注入层上的第一导电层。然后执行步骤 S602，刻蚀第一导电层形成多个凹槽结构；该凹槽结构可以贯穿第一导电层也可以不贯穿第一导电层。继续执行步骤 S603，在凹槽结构中利用沉积工艺填充第二导电材料，形成第二部分；在一些实施例中，在对凹槽结构填充第二导电材料（例如，TiN）时，第二导电材料还可以覆盖至第一导电层的表面，此时可以利用 CMP 工艺去除覆盖至第一导电层表面的第二导电材料。继续执行步骤 S604、刻蚀第一部分以外的第一导电层，形成第一部分。具体地，可在形成有第一部分的第一导电层上涂覆光刻胶，使用掩膜版（掩膜版上的图案是不透光的）与光刻胶层对准，当光刻胶为正胶时，光刻胶被曝光的部分由非溶性物质变成了可溶性物质。通过化学溶剂可以把可以溶解的部分去掉，这样就会在光刻胶层上留下一个岛区，这个岛区和掩膜版不透光的部分对应。这个岛区的形状即为加热层的形状。本公开实施例中，利用 TiN/TaN 结构塑造一个接触截面积缩小，在工艺上也有利于微缩。

在一些实施例中，衬底包括背衬底、位于背衬底上的埋氧层以及位于埋氧层上的顶层硅；在执行步骤 S102 在衬底上形成相变存储单元的之前，方法还包括：

步骤 S701、对顶层硅进行掺杂形成掺杂层；掺杂层包括 N 阱层、P 阱层以及第三离子注入层。

步骤 S702、刻蚀掺杂层形成多个掺杂结构，掺杂结构包括 N 阱、P 阱以及第三离子注入结构，第三离子注入结构与第一离子注入结构沿第一方向连接；形成浅沟槽隔离结构，填充相邻掺杂结构之间的凹槽。

在执行步骤 S102 之前，还可以执行步骤 S701、形成位于埋氧层上的掺杂层；通过对顶层硅进行多次离子注入和/或热扩散工艺形成掺杂层。然后执行步骤 S702，可以沿平行于衬底的第一方向刻蚀掺杂层形成由多个 N 阱、P 阱以及第三离子注入结构构成的掺杂结构。第三离子注入结构与第一离子注入结构沿第一方向连接，即多个第三离子注入结构沿第一方向相互平行。所形成的第三离子注入结构与多个第一离子注入结构连接，使得多个位于同一第一方向的相变存储单元与同一第三离子注入结构连接。

在一些实施例中，该方法还包括：

步骤 S801、填充相邻掺杂结构之间的凹槽形成浅沟槽隔离结构。

掺杂结构沿第一方向延伸，但也是沿第二方向排布的，所以相邻的掺杂结构在第一方向和第二方向上都有凹槽。执行步骤 S801、利用沉积工艺沉积氧化物、氮化物或其组合物填充该凹槽，以形成浅沟槽隔离结构，故相邻的掺杂结构在第一方向和第二方向上都有浅沟槽隔离结构。浅沟槽隔离结构用于对掺杂结构、以及后续形成在掺杂结构之上的器件（例如，相变存储单元）进行电性隔离。

在一些实施例中，该方法还包括：

步骤 S901、形成层间介质层，填充在多个相变存储单元之间；

步骤 S902、形成第一导电结构，贯穿层间介质层且连接第三离子注入结构。

在一些实施例中，可以在执行步骤 S102 之后执行步骤 S901。利用沉积工艺沉积绝缘材质在多个相变存储单元之间形成层间介质层。

在一些实施例中，可在交替执行步骤 S102 和步骤 S901，例如，可在形成二极管和加热层后，首先在二极管和加热层之间沉积绝缘材质形成第一层间介质层。然后在形成相变材料层后，继续在相变材料层之间沉积绝缘材质形成第二层间介质层。由第一层间介质层和第二层间介质层共同构成层间介质层。

然后执行步骤 S902，对层间介质层进行刻蚀，可将第三离子注入层作为刻蚀的停止层。刻蚀后形成贯穿层间介质层的凹槽结构，可利用导电材料使用沉积工艺对其进行填充，形成贯穿层间介质层且连接第三离子注入结构的第一导电结构。第一导电结构至少包括第一接触结构。在一些实施例中，第一导电结构还可以包括第一接触结构之上的第一导电插塞。

在一些实施例中，该方法还包括:

步骤 S1001、形成第二导电结构，连接相变存储单元;

其中，第一导电结构与沿平行于衬底的第一方向延伸的第一导电线连接；第二导电结构与沿平行于衬底的第二方向延伸的第二导电线连接，第二方向与第一方向相交。

在执行步骤 S102 之后，还可以继续执行步骤 S1001 以形成连接相变存储单元表面的第二导电结构。第二导电结构至少包括第二接触结构。在一些实施例中，第二导电结构还可以包括第二接触结构之上的第二导电插塞。

在一些实施例中，第一导电结构上还可以使用沉积工艺形成第一导电线，第一导电线沿平行于衬底的第一方向延伸。第二导电结构上还可以使用沉积工艺形成第二导电线，第二导电线沿平行于衬底的第二方向延伸。在一些实施例中，第一导电线可为位线，第二导电线可为字线。或者，第一导电线可为字线，第二导电线可为位线。

本公开实施例还有如下示例:

首先执行步骤 S101，提供如图 15 所示的衬底 210，该衬底可以为 SOI 衬底。定义衬底的厚度方向或者与衬底的表面垂直的方向为 Z 方向，定义沿衬底表面的任一方向为 X 方向，沿衬底表面与 X 方向相交的方向为 Y 方向。提供衬底后还可以对衬底进行清洗，洗去表面的杂质。SOI 衬底 210 包括: 背衬底 213、埋氧层 212 以及顶层硅 211。

然后执行步骤 S701，从衬底的上表面对顶层硅进行三次深度不同的离子注入掺杂层；掺杂层包括 N 阱层、P 阱层以及第三离子注入层。其中，N 阱层的离子注入深度大于 P 阱层的离子注入深度大于四散离子注入层的离子注入深度。

然后执行步骤 S702，刻蚀掺杂层形成多个掺杂结构，掺杂结构包括 N 阱、P 阱以及第三离子注入结构，第三离子注入结构与第一离子注入结构沿第一方向连接。沿 X 方向对掺杂层进行刻蚀，以形成多个掺杂结构。此时，相邻的掺杂结构之间具有凹槽。

然后执行步骤 S801，填充相邻掺杂结构之间的凹槽形成的浅沟槽隔离结构。

本公开实施例中，还可以对掺杂结构在 Y 方向的非器件区进行刻蚀，刻蚀后在 Y 方向上可形成两个在器件区两侧的凹槽，在两个凹槽之间的器件区的掺杂结构上可继续形成相变存储单元阵列。然后使用沉积工艺填充器件区两侧的凹槽形成 Y 方向上的两个浅沟槽隔离结构。以上实施例中的数量仅为示意，在非器件区的 Y 方向上还可以形成其他数量的凹槽结构。

执行完上述步骤的半导体结构如图 16 和图 17 所示，其中，图 16 为该半导体结构沿 X 方向的剖面图，图 17 为该半导体结构沿 Y 方向的剖面图。

图 16 沿 Z 轴正方向看，依次为背衬底 213、埋氧层 212、掺杂结构 350（包括 N 阱 351、P 阱 352 以及第三离子注入结构 353）。掺杂结构 350 的两端还包括两个浅沟槽隔离结构 360。两个浅沟槽隔离结构 360 之间的区域可以作为器件区，后续用于形成半导体元件，例如相变存储单元。

图 17 沿 Z 轴正方向看，依次为背衬底 213、埋氧层 212、多个浅沟槽隔离结构 360 以及位于浅沟槽隔离结构 360 之间的掺杂结构 350。浅沟槽隔离结构 360 与掺杂结构 350 在 Z 方向位于同一水平方向上。

然后执行步骤 S401、在如图 16 和图 17 所示的半导体结构上继续进行外延生长形成第一外延生长的硅层后注入高掺杂的 N 型离子，以形成如图 18 和图 19 所示的第一离子注入层 331。其中，图 18 为该半导体结构沿 X 方向的剖面图，图 19 为该半导体结构沿 Y 方向的剖面图。

然后执行步骤 S501、在第一离子注入层 331 上继续进行外延生长形成第二外延生长的硅层后注入 N 型离子，以形成如图 18 和图 19 中所示的下层第二离子注入层 3321。

然后执行步骤 S502、在下层第二离子注入层 3321 上继续进行外延生长形成第三外延生长的硅层后注入高掺杂的 P 型离子，以形成如图 18 和图 19 中所示的上层第二离子注入层 3332。

然后执行步骤 S601、使用沉积工艺（例如，化学气相沉积）沉积第一导电材料（例如，TaN）形成位于第二离子注入层上的第一导电层。

然后执行步骤 S602、通过光罩、刻蚀等工艺处理第一导电层形成贯穿第一导电层的多个凹槽结构。然后还可以对形成的凹槽结构的表面进行清洗，以去除其表面的原生氧化层。

然后执行步骤 S603、在凹槽结构中使用沉积工艺（例如，原子层沉积）沉积第二导电材料（如，TiN）形成如图 20 和图 21 所示的第二部分 322。其中，图 20 为该半导体结构沿 X 方向的剖面图，图 21 为该半导体结构沿 Y 方向的剖面图。在一些实施例中，TiN 还会沉积到 TaN 层（即第一导电层）上，此时可以对沉积在 TaN 层（即第一导电层）上的 TiN 进行化学机械抛光，直到 TaN 层显露。

然后执行步骤 S604 和步骤 S403、使用光罩、刻蚀工艺刻蚀第二部分以外的部分第一导电层和

该部分第一导电层下的第一离子注入层与第二离子注入层，刻蚀停止层为第三离子注入结构，以形成如图 22 和图 23 所示的加热层 320 和二极管 330。其中，加热层 320 的三维结构如图 24 所示，其包括第二部分 322 和第一部分 321，第二部分 322 可为圆柱结构，第一部分 321 可为中间挖去圆柱的长方体，可以看出，第一部分 321 覆盖第二部分 322 的全部侧壁。

然后执行步骤 S201，沉积保温材料（例如，SiN）以形成第一保温层 410。沿 X 方向看，如图 25 所示，第一保温层可覆盖二极管 330 的侧壁、加热层 320 的侧壁、加热层 320 的表面以及第三离子注入结构 353 的表面。沿 Y 方向看，如图 26 所示，第一保温层可覆盖二极管 330 的侧壁、加热层 320 的侧壁、加热层 320 的表面以及浅沟槽隔离 360 的表面。

在一些实施例中，在执行步骤 S201 之前，还可以对第一结构（加热层和二极管）之间的凹槽结构的表面进行清洗，以去除其表面的原生氧化层。

然后执行步骤 S901，在二极管和加热层之间沉积绝缘材质（例如，氮化硅）形成第一层间介质层。沉积第一层间介质层时，第一层间介质层 370 还可以覆盖加热层 330 上的第一保温层 410。此时可以使用刻蚀工艺（例如，CMP）去除加热层 330 上的第一保温层 410 和第一层间介质层 370，直到暴露加热层 330。步骤 S901 执行完毕后可形成如图 27 和图 28 所示的半导体结构。其中，图 27 为该半导体结构沿 X 方向的剖面图，图 28 为该半导体结构沿 Y 方向的剖面图。

沿 X 方向看，如图 27 所示，第一保温层 410 覆盖加热层 330 和二极管 320 的侧壁以及第三离子注入层 353 的上表面。相邻的第一结构（加热层 300 和二极管 320）之间具有第一层间介质层 370。

沿 Y 方向看，如图 28 所示，第一保温层 410 覆盖加热层 330 和二极管 320 的侧壁以及浅沟槽隔离结构 360 的上表面。相邻的第一结构（加热层 300 和二极管 320）之间具有第一层间介质层 370。

然后执行步骤 S303，首先使用沉积工艺沉积相变材料（例如，GST）形成相变材料层，然后通过光罩、刻蚀等工艺处理该相变材料层，以形成如图 29 和图 30 所示的位于加热层 320 上的相变材料结构 310。在一些实施例中，相变材料结构 310 的宽度（沿 X 方向上的）和长度（沿 Y 方向上的）可以大于加热层 320，即相变材料结构 310 可完全覆盖加热层 330 的上表面。

使用本公开实施例的方法形成的相邻相变材料结构之间的距离可缩小至 0.07 μm，各相变存储单元之间的间距和相变存储单元的堆叠层数较小，故大大提高了单位面积上存储单元的存储密度。

然后再次执行步骤 S201，在相变材料结构 310 之间沉积保温材料（SiN）以形成如图 31 和图 32 所示的第二保温层 420，第二保温层 420 覆盖相变材料结构 310 的侧壁和上表面还覆盖第一层间介质层 370 的上表面。

然后执行再次步骤 S901，在上述第二保温层 420 上沉积绝缘材料（例如，氧化硅），以形成如图 33 和图 34 所示的第二层间介质层 371。

然后执行步骤 S902 和步骤 S1001，形成如图 35 和图 36 所示的贯穿第一层间介质层和第二层间介质层且连接第三离子注入结构的第一导电结构和形成连接相变存储单元表面的第二导电结构。

具体地，在相变存储单元阵列与浅沟槽隔离（沿 X 方向具有两个浅沟槽隔离可以任选一个）之间沿 Y 方向进行光罩、刻蚀等工艺，并以第三离子注入结构作为刻蚀停止层，形成在 X 方向上重叠，在 Y 方向上平行的多个凹槽结构，该凹槽结构贯穿第一层间介质层和第二层间介质层且连接第三离子注入结构。

在相变存储单元阵列上，沿 X 方向和 Y 方向，使用光罩、刻蚀等工艺，并以相变材料结构作为刻蚀停止层，形成位于相变材料结构上的开口结构，该开口结构的宽度（沿 X 方向）小于或等于相变材料结构的宽度，该开口的长度（沿 Y 方向）也小于或等于相变材料结构的长度。

然后利用沉积工艺（例如，原子层沉积）沉积导电材料至上述凹槽结构和开口结构中形成第一接触结构 382 和第一导电插塞 383 以及第二接触结构 392 和第二导电插塞 393。

然后在第二导电插塞 393 上沉积导电材料，并经过光罩和刻蚀工艺以形成覆盖第二导电插塞 393 的第二导电线 391。如图 36 所示，第二导电线 391 沿 Y 方向延伸。如图 35 所示，各第二导电线 391 沿 X 方向相互平行。

使用本公开实施例的方法形成的相邻第二导电线 391 之间的距离可减少至 0.07 μm。

在图 35 和图 36 的基础上，继续沉积绝缘材料（例如，氧化硅）形成如图 37 和图 38 所示的第三层间介质层 372，在第三层间介质层 372 上，通过光罩工艺和刻蚀工艺等形成贯穿第三介质层 372 连接第一接触插塞 383 的凹槽结构。

使用沉积工艺（例如，原子层沉积）形成位于第一接触插塞 383 之上的又一个第一接触结构 382 和又一个第一接触插塞 383。该第一接触插塞 383 的上表面与第三层间介质层 372 的上表面平齐。

然后在第三层间介质层上通过光罩工艺和刻蚀工艺等形成沿 X 方向相互平行的第一导电线 381。

本公开实施例中的第一层间介质层、第二层间介质层以及第三层间介质层所用的绝缘材料可以是相同的也可以是不同的。

图 37 和图 38 的半导体结构的俯视图如图 39 所示：位线沿 Y 方向延伸，相邻的位线沿 X 方向相互平行。

字线沿 X 方向延伸，相邻的字线沿 Y 方向相互平行。

综上，使用本公开实施例的方法形成的半导体结构的工艺简单，易于形成，且由于形成在 SOI 衬底上，则该半导体结构在拥有以上优点外，还具备 SOI 的优势（例如，更少的闩锁效应，更少的漏电流等等）。图 37 和图 38 的半导体结构所对应的电路图可以简化为图 40，其中存储单元 500 包括一个相变存储单元和一个二极管。位于同一行的多个二极管可连接同一字线，位于同一列的多个相变存储单元可以连接同一位线。

对存储单元 500 进行编程操作包括：对选择的存储单元 500 所在的位线施加编程电压 V_{pgm}（例如，0.5V），对其他未选中的位线施加地电压（例如，0V）。同时对选中的存储单元 500 所在的字线加地电压（例如，0V），对未选择的字线施加一定的电压（例如，0.5V）。

对存储单元进行读取操作包括：对选择的存储单元 500 所在的位线施加读取电压（V_{read}），对其他未选中的位线施加地电压（例如，0V）。同时对选择的存储单元 500 所在的字线施加地电压（例如，0V），对未选择的字线施加一定的电压（例如，0.5V）。其中，V_{read} 小于 V_{pgm}。

存储单元的 IV 曲线如图 41 所示：

曲线 1 为对存储单元进行读取操作时的电流-电压曲线。

曲线 2 为对存储单元进行写入操作时的电流-电压曲线。

图 41 中的电流-电压曲线表明：读取电压必须小于写入电压（写入电压的范围如阴影区域），如此一来，在读取电压时，不会因为电压过大而导致相变存储器转态。一般来说，写入操作分为 RESET 操作和 SET 操作，而电压范围大概在阴影区域。再通过不同脉冲时间做写入动作，其中，SET 操作可为较长脉冲时间，RESET 可为较短脉冲时间。

最后，本公开实施例还提供了一种存储器，如图 42 所示，该存储器 40 包括含有如上述实施例任一的半导体结构 10 的存储单元阵列 20，以及位于存储单元阵列 20 上方或者外侧的外围电路 30 结构。

上述实施例中的半导体结构 10 的全部或局部结构可以用于构成存储单元阵列 20，存储单元阵列 20 的存储单元包括相变存储单元。

外围电路 30 可以包括任何合适的模拟、数字以及混合信号电路，以对存储单元阵列 20 进行相关操作。操作包括读、写、擦等等。

存储器 40 可以为相变存储器。

该存储器为三维结构，其具有更高的存储密度、更低功耗和更容易的存取操作，该存储器的加热器具有更小的体积，使得加热效率更高，写入速度更快，该存储器还具有本公开实施例任一的半导体结构的其他优点。

本公开所提供的几个方法或设备实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。

本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以权利要求的保护范围为准。

工业实用性

本公开实施例中，利用两种导电材料形成了加热层，并且加热层具有第一部分和第二部分，并且第一部分至少包围第二部分的侧壁。这样不但可以利用第一部分的导电材料的优势提高加热效率，还可以利用第二部分包围第一部分使得加热后的热量不易散失，更有利于进一步提高加热效率。加热效率提高后，可使得相变材料层发生相态转换所需的时间更短，故可以更快地发生相态转换，从而可以提高数据写入的速率。

权利要求书

1. 一种半导体结构，所述半导体结构包括：

衬底；

相变存储单元，位于所述衬底上；

所述相变存储单元包括：相变材料层和加热层，所述加热层位于所述相变材料层和所述衬底之间；

所述加热层包括由第一导电材料构成的第一部分和由第二导电材料构成的第二部分，所述第一部分至少包围所述第二部分的侧壁。

2. 根据权利要求 1 所述的半导体结构，其中，所述第一导电材料的第一导电系数小于所述第二导电材料的第二导电系数。

3. 根据权利要求 1 所述的半导体结构，其中，所述相变存储单元的侧壁及至少部分上表面还覆盖有保温层。

4. 根据权利要求 1 所述的半导体结构，其中，所述相变存储单元还包括：

二极管，垂直于所述衬底，所述二极管位于所述衬底与所述加热层之间，所述二极管的导通方向为由所述加热层指向所述衬底。

5. 根据权利要求 4 所述的半导体结构，其中，所述二极管包括：

第一离子注入结构，位于所述衬底上；

第二离子注入结构，位于所述第一离子注入结构上；

所述第一离子注入结构的离子类型与所述第二离子注入结构的离子类型相反。

6. 根据权利要求 5 所述的半导体结构，其中，所述第二离子注入结构包括：

上层第二离子注入结构和下层第二离子注入结构，所述上层第二离子注入结构的离子浓度与所述下层第二离子注入结构的离子浓度不同。

7. 根据权利要求 5 所述的半导体结构，其中，所述衬底包括：

背衬底；

埋氧层，位于所述背衬底上；

掺杂结构，位于所述埋氧层上，所述掺杂结构与所述第一离子注入结构直接接触；

浅沟槽隔离结构，位于相邻所述掺杂结构之间。

8. 根据权利要求 7 所述的半导体结构，其中，所述掺杂结构包括：

N 阱，位于所述埋氧层上；

P 阱，位于所述 N 阱上；

第三离子注入结构，位于所述 P 阱表面与所述第一离子注入结构直接接触。

9. 根据权利要求 8 所述的半导体结构，其中，所述半导体结构还包括：

层间介质层，位于各所述相变存储单元之间；

第一导电结构，贯穿所述层间介质层且连接所述第三离子注入结构。

10. 根据权利要求 9 所述的半导体结构，其中，所述半导体结构还包括：

第二导电结构，连接所述相变存储单元；

其中，所述第一导电结构与沿平行于所述衬底的第一方向延伸的第一导电线连接，所述第二导电结构与沿平行于所述衬底的第二方向延伸的第二导电线连接，所述第二方向与所述第一方向相交。

11. 一种半导体结构的形成方法，所述方法包括：

提供衬底；

在所述衬底上形成相变存储单元；所述相变存储单元包括：

相变材料层和加热层，所述加热层位于所述相变材料层和所述衬底之间，且所述加热层包括由第一导电材料构成的第一部分和第二导电材料构成的第二部分，所述第一部分至少包围所述第二部分的侧壁。

12. 根据权利要求 11 所述的形成方法，其中，所述方法还包括：

形成保温层覆盖所述相变存储单元的侧壁和至少部分上表面。

13. 根据权利要求 11 所述的形成方法，其中，所述相变存储单元还包括：二极管；在所述衬底上形成相变存储单元包括：

在所述衬底上形成垂直于所述衬底的二极管；

在所述二极管上形成所述加热层；

在所述加热层上形成所述相变材料层。

14. 根据权利要求 13 所述的形成方法，其中，在所述衬底上形成垂直于所述衬底的二极管包括：

在所述衬底上形成第一离子注入层;

在所述第一离子注入层上形成第二离子注入层;所述第一离子注入层的离子类型与所述第二离子注入层的离子类型相反;

刻蚀所述第一离子注入层与所述第二离子注入层形成第一离子注入结构与第二离子注入结构,以构成所述二极管。

15. 根据权利要求 14 所述的形成方法,其中,形成第二离子注入层包括:

形成下层第二离子注入层;

在所述下层第二离子注入层上形成上层第二离子注入层;所述上层第二离子注入层的离子浓度与所述下层第二离子注入层的离子浓度不同。

16. 根据权利要求 14 所述的形成方法,其中,在所述二极管上形成所述加热层包括:

在所述第二离子注入层上形成第一导电层;

刻蚀所述第一导电层形成多个凹槽结构;

在所述凹槽结构中填充所述第二导电材料,形成所述第二部分;

刻蚀所述第二部分以外的所述第一导电层,形成所述第一部分。

17. 根据权利要求 14 所述的形成方法,其中,所述衬底包括背衬底、位于所述背衬底上的埋氧层以及位于所述埋氧层上的顶层硅;在所述衬底上形成相变存储单元的步骤之前,所述方法还包括:

对所述顶层硅进行掺杂形成掺杂层;所述掺杂层包括 N 阱层、P 阱层以及第三离子注入层;

刻蚀所述掺杂层形成多个掺杂结构,所述掺杂结构包括 N 阱、P 阱以及第三离子注入结构,所述第三离子注入结构与所述第一离子注入结构连接;

形成浅沟槽隔离结构,填充相邻所述掺杂结构之间的凹槽。

18. 根据权利要求 17 所述的形成方法,其中,所述方法还包括:

形成层间介质层,填充在多个所述相变存储单元之间;

形成第一导电结构,贯穿所述层间介质层且连接所述第三离子注入结构。

19. 根据权利要求 18 所述的形成方法,其中,所述方法还包括:

形成第二导电结构,连接所述相变存储单元;

其中,所述第一导电结构与沿平行于所述衬底的第一方向延伸的第一导电线连接;所述第二导电结构与沿平行于所述衬底的第二方向延伸的第二导电线连接,所述第二方向与所述第一方向相交。

20.一种存储器,所述存储器包括含有如权利要求 1 至 10 任一所述的半导体结构的存储单元阵列,以及位于所述存储单元阵列上方或者外侧的外围电路结构。

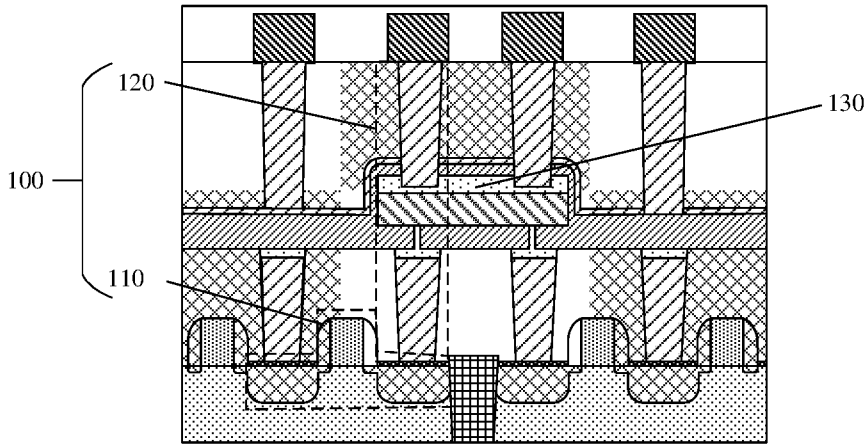

120
130
100
110

图 1

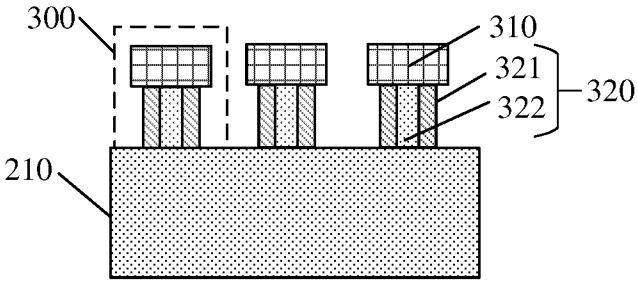

300
310
321
322
320
210

图 2

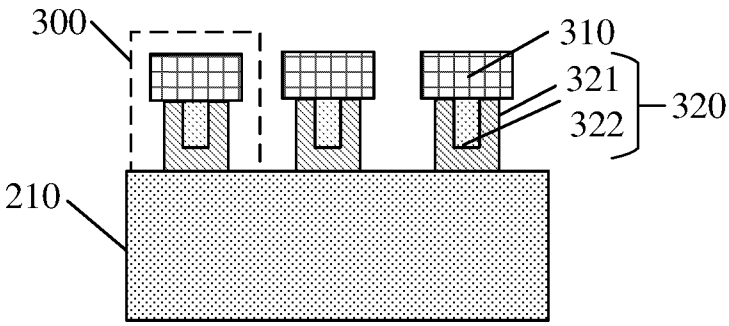

300
310
321
322
320
210

图 3

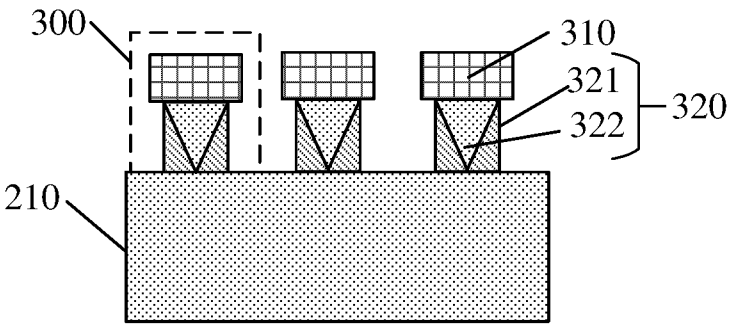

300
310
321
322
320
210

图 4

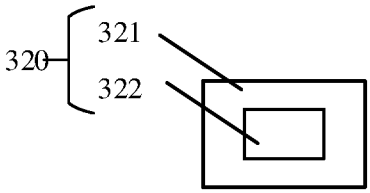

320
321
322

图 5

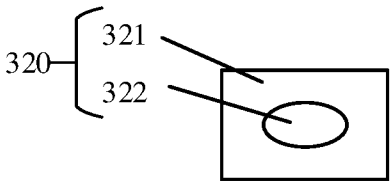

320
321
322

图 6

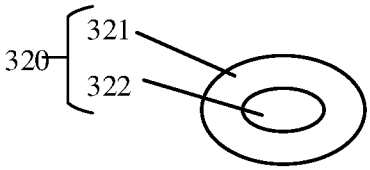

320
321
322

图 7

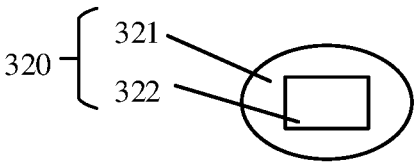

320
321
322

图 8

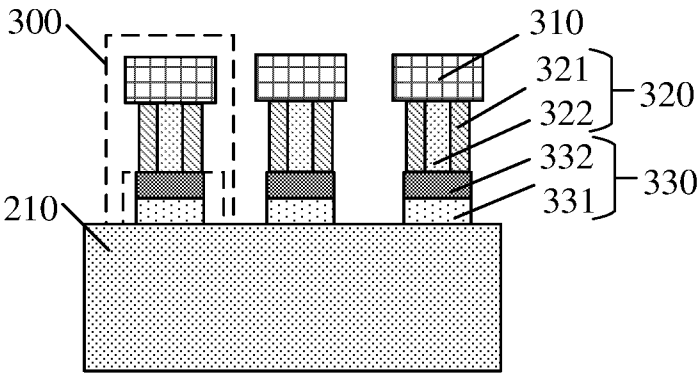

300
310
321
320
322
332
330
331
210

图 9

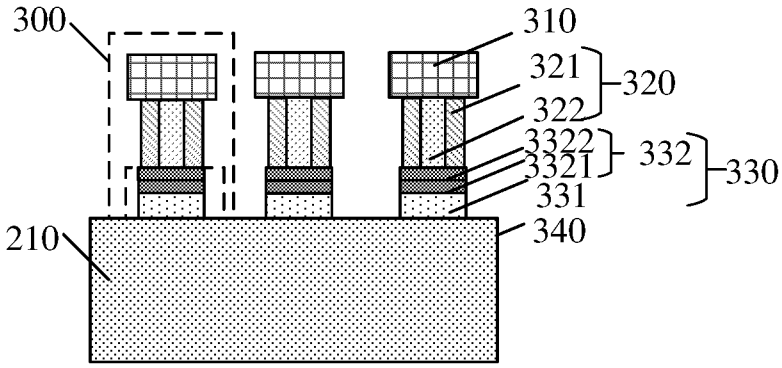

300
310
321
320
322
3322
332
330
3321
331
340
210

图 10

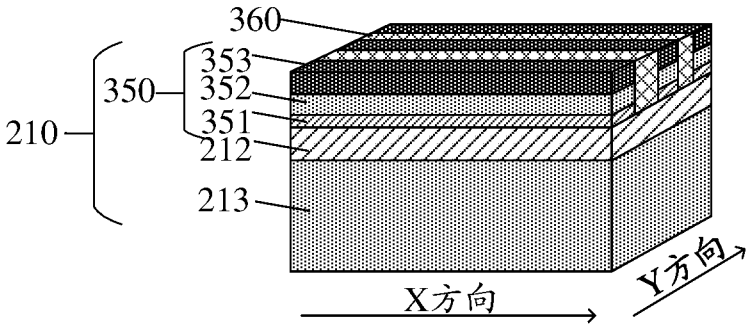

360
353
350
352
351
210
212
213
X方向
Y方向

图 11

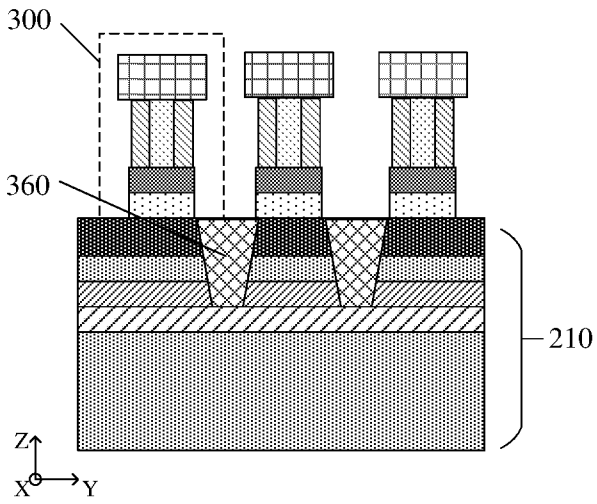

300
360
210
Z
X
Y

图 12

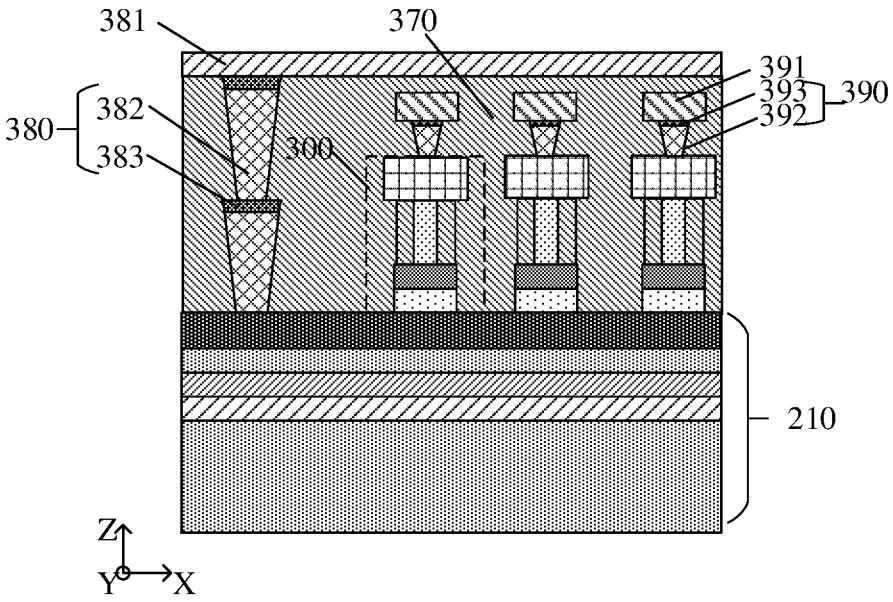


图 13

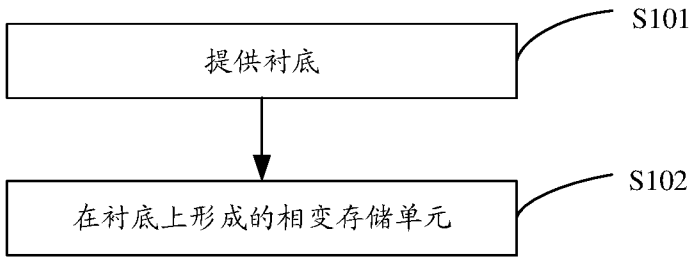


图 14

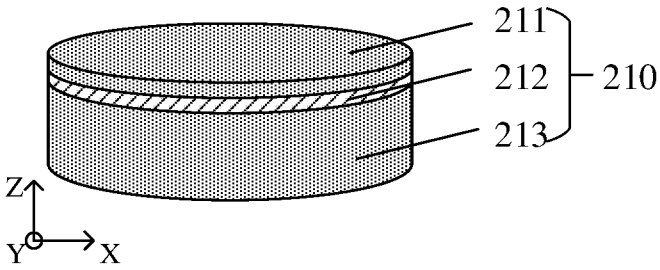


图 15

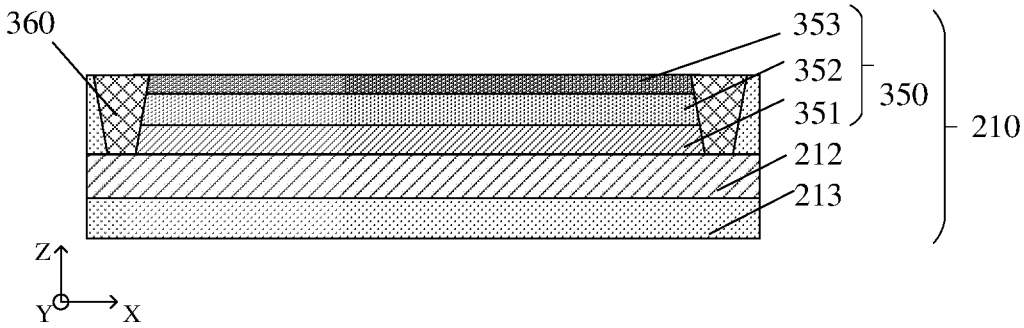


图 16

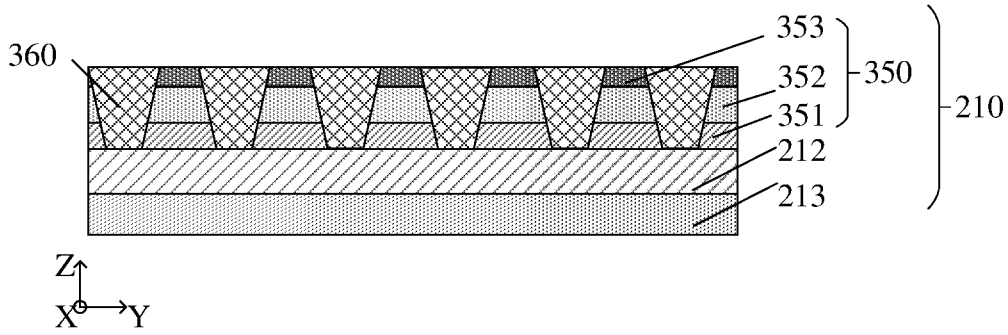


图 17

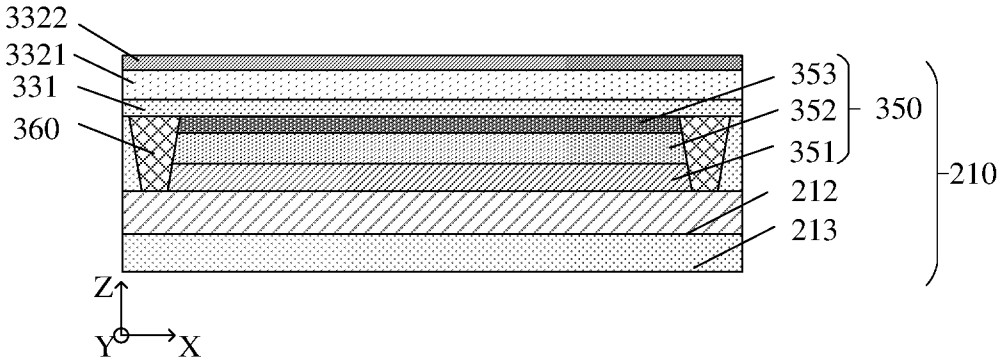


图 18

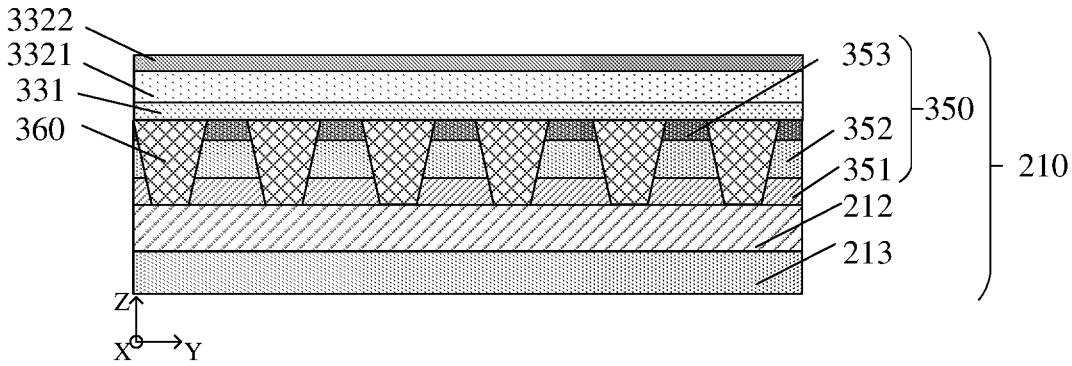


图 19

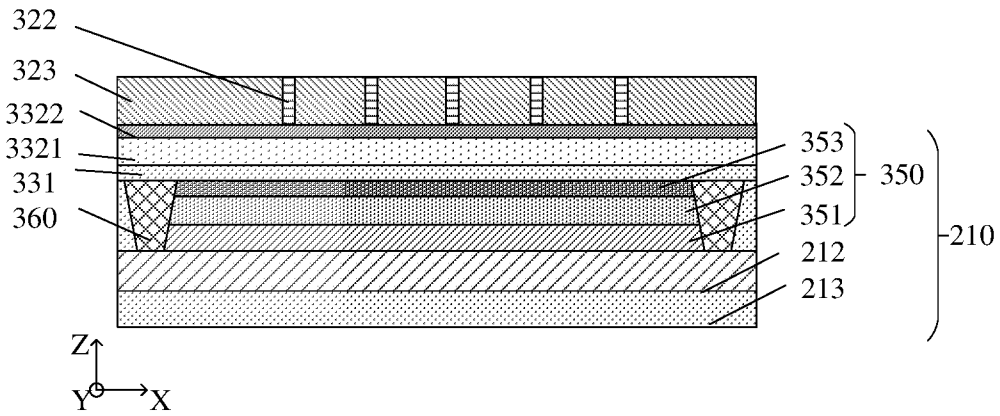


图 20

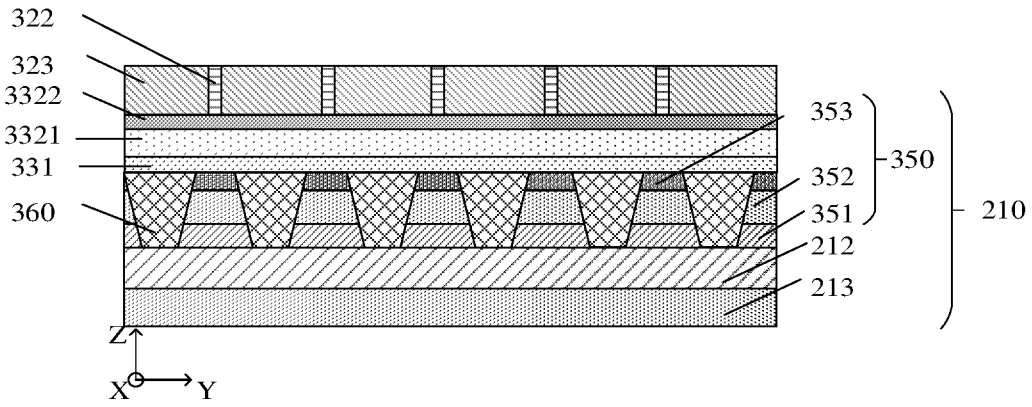


图 21

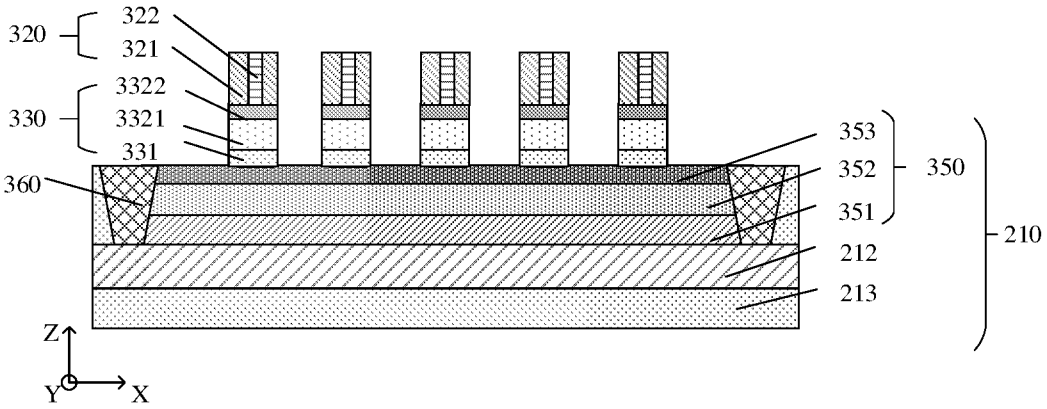


图 22

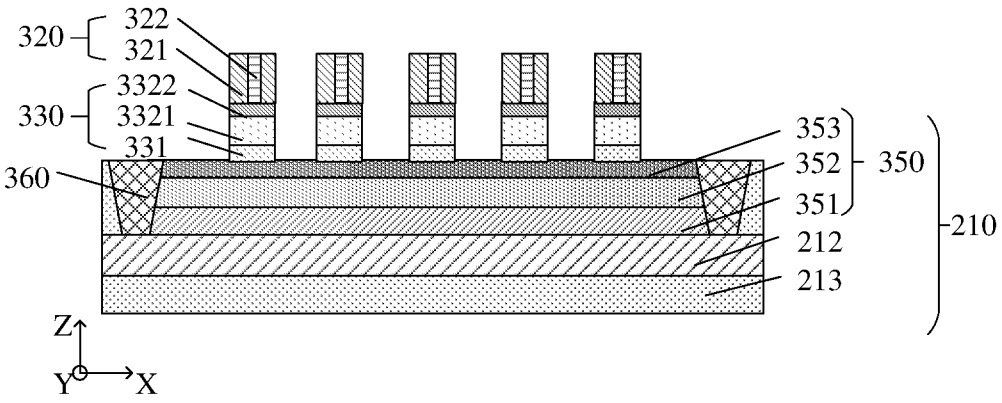


图 23

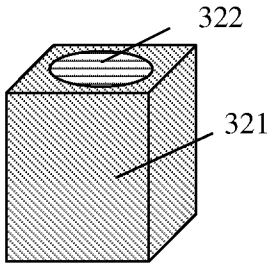


图 24

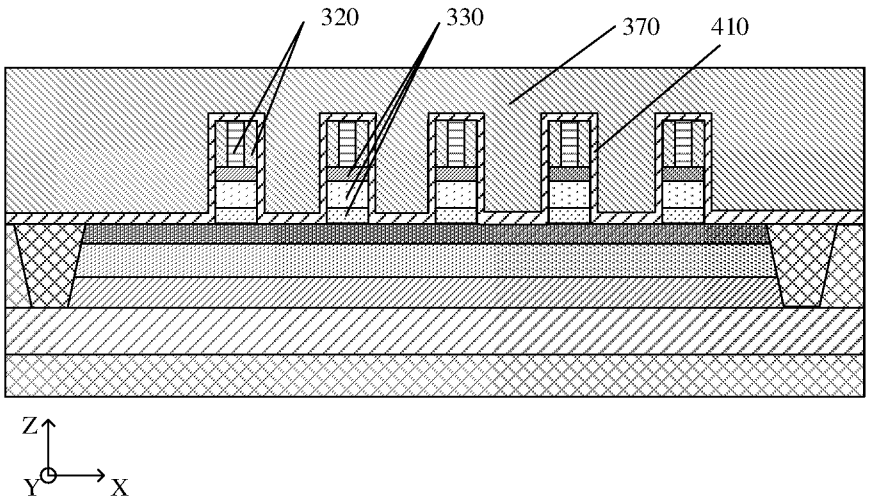

320
330
370
410
Z
Y
X

图 25

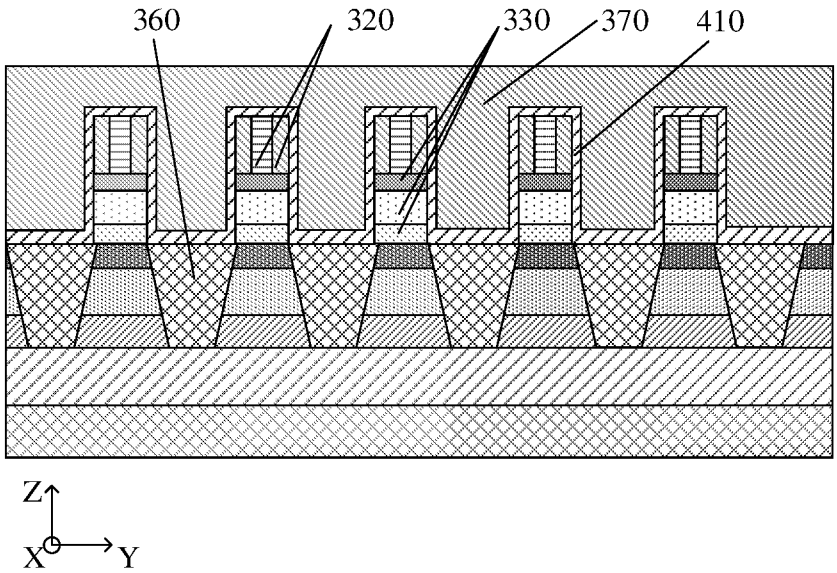

360
320
330
370
410
Z
X
Y

图 26

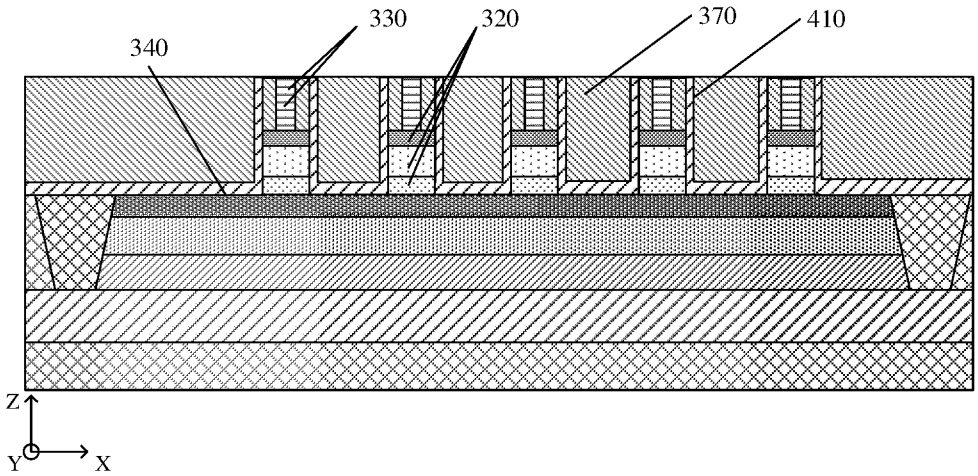

330
320
370
410
340
Z
Y
X

图 27

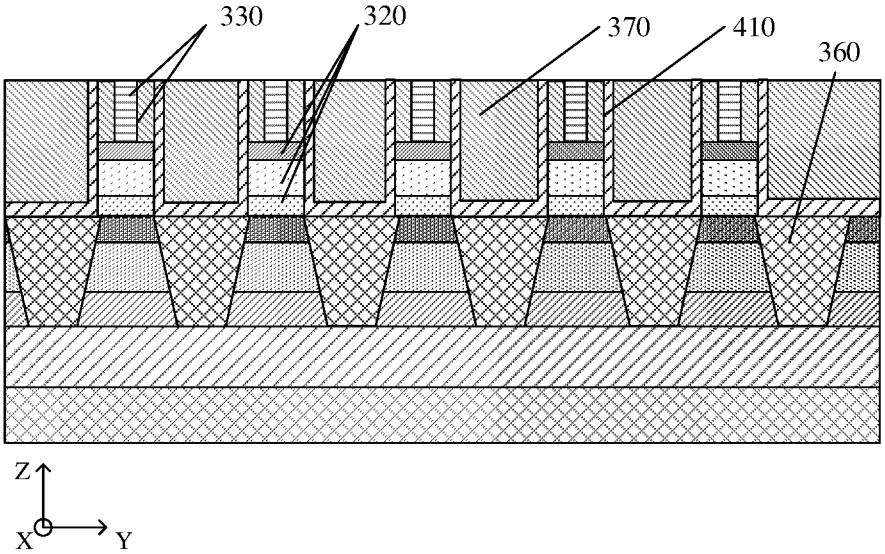


图 28

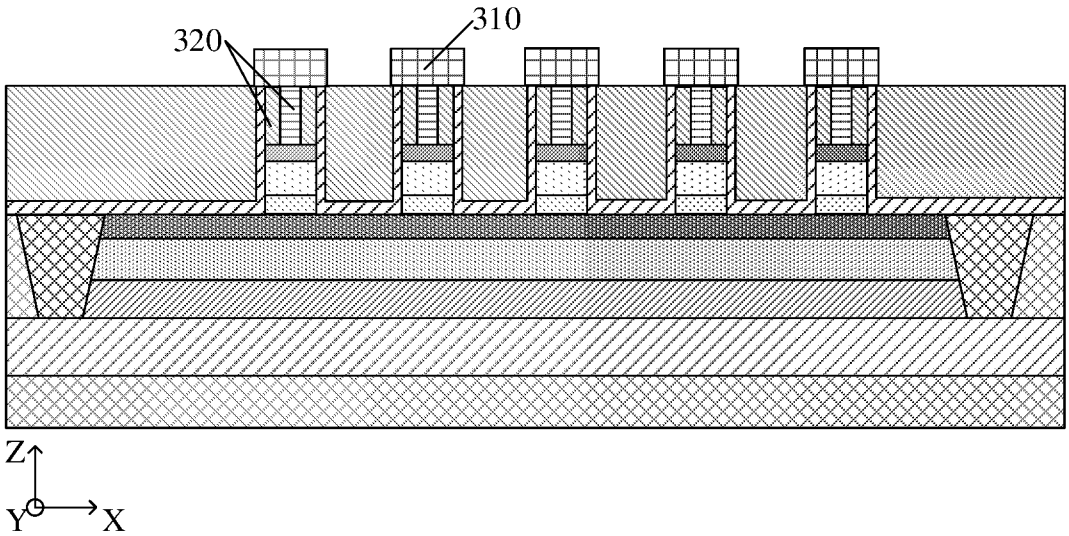


图 29

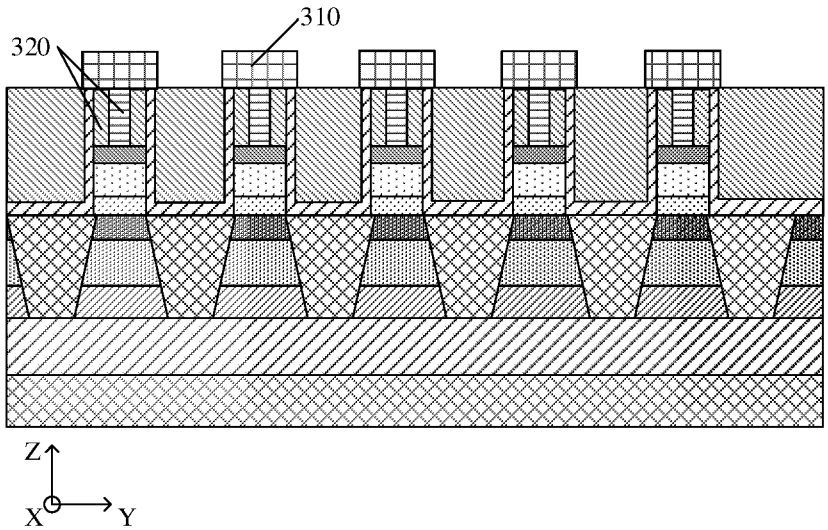


图 30

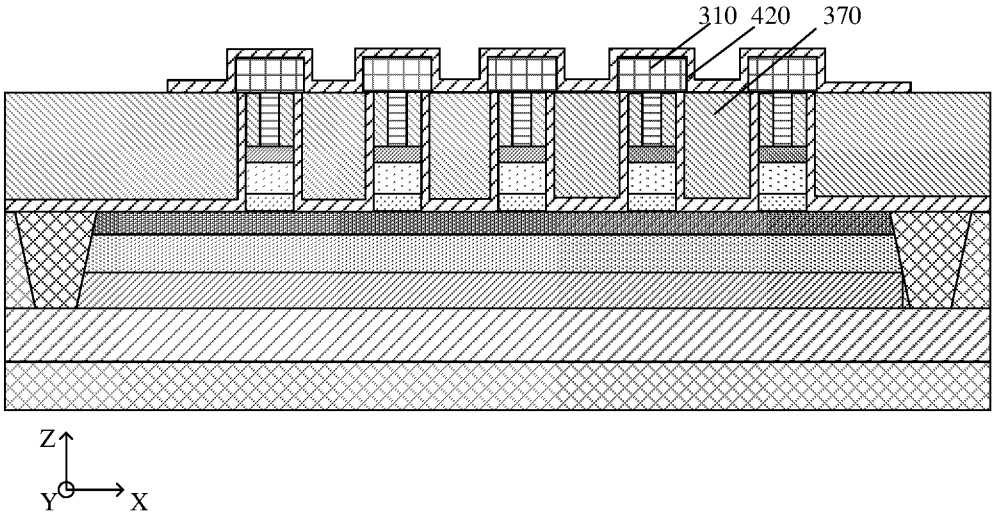


图 31

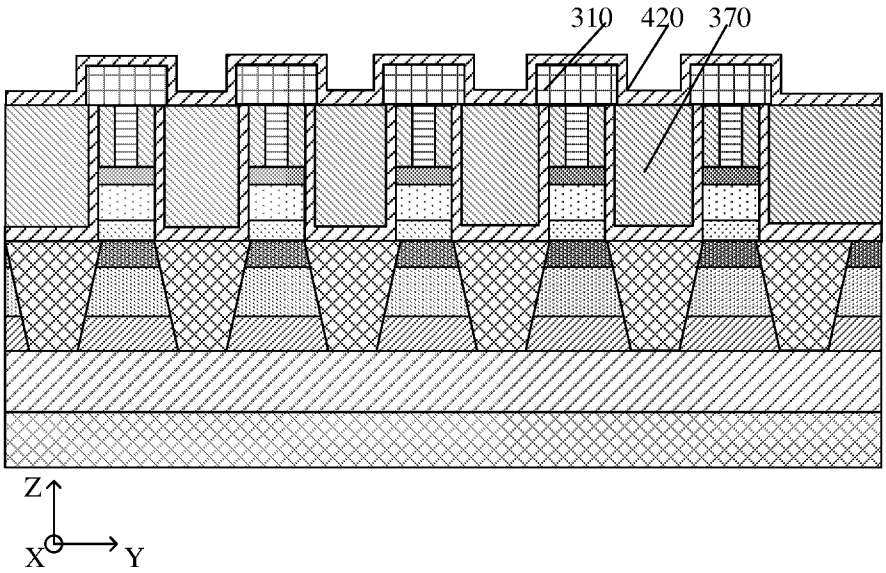


图 32

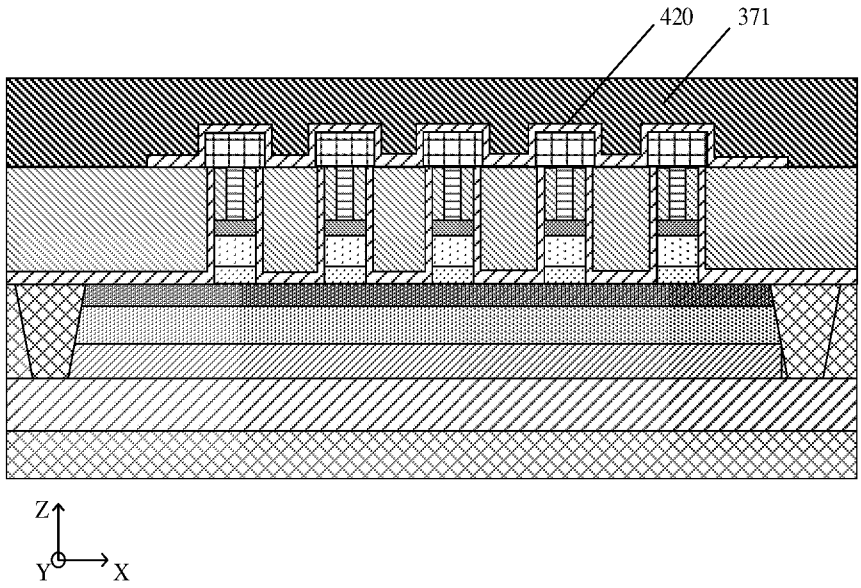


图 33

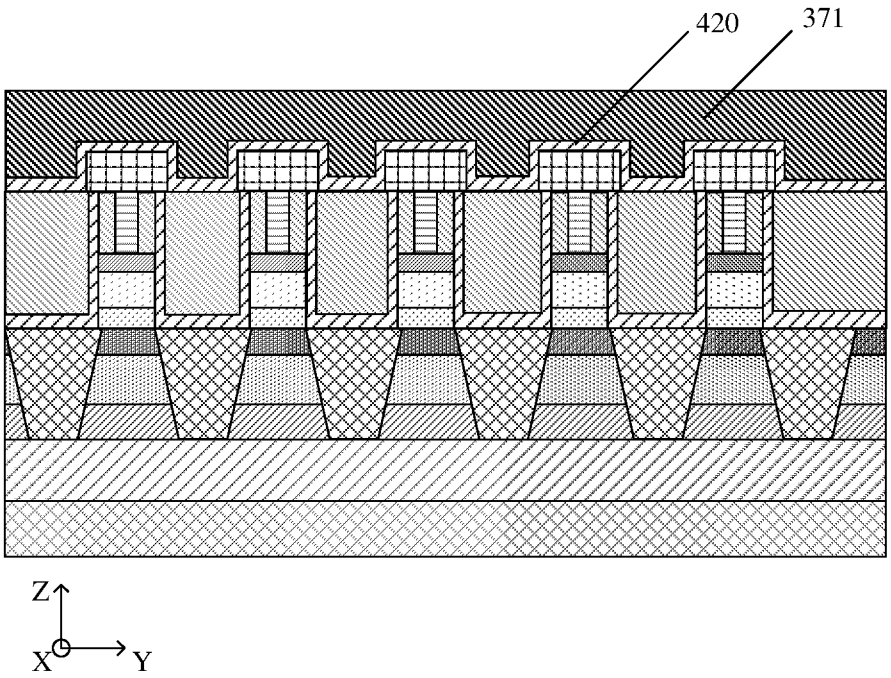


图 34

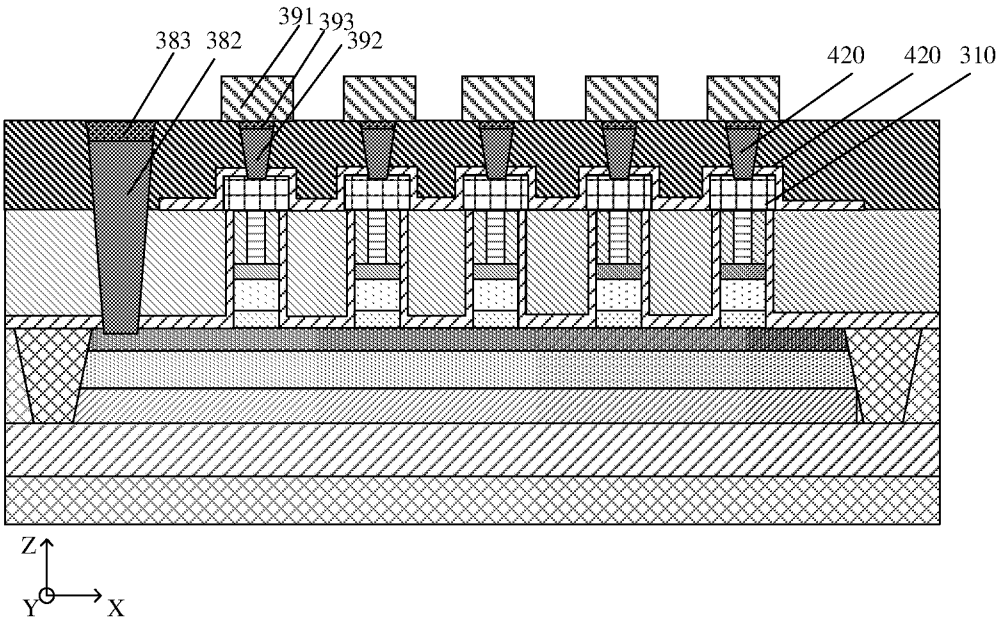


图 35

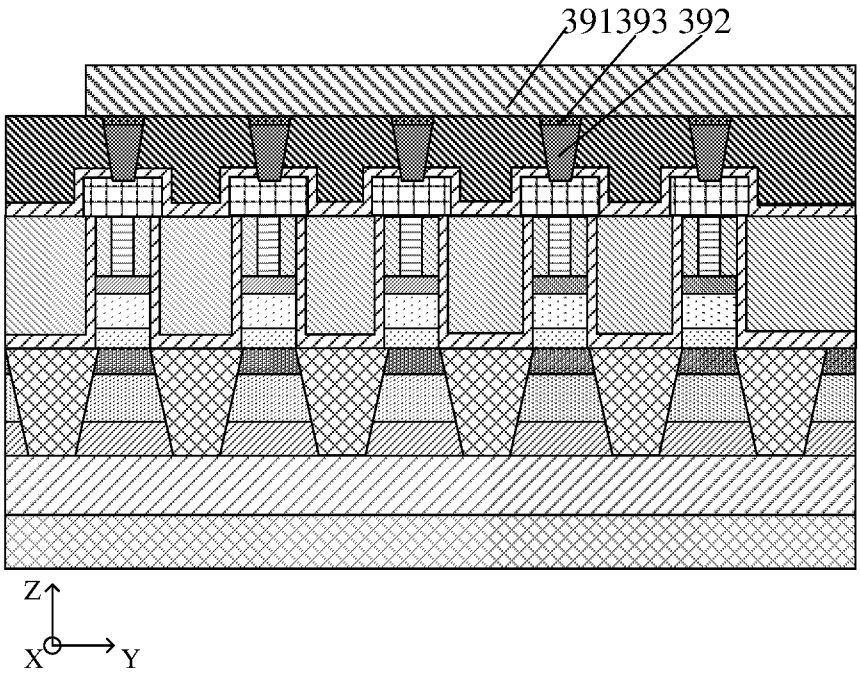


图 36

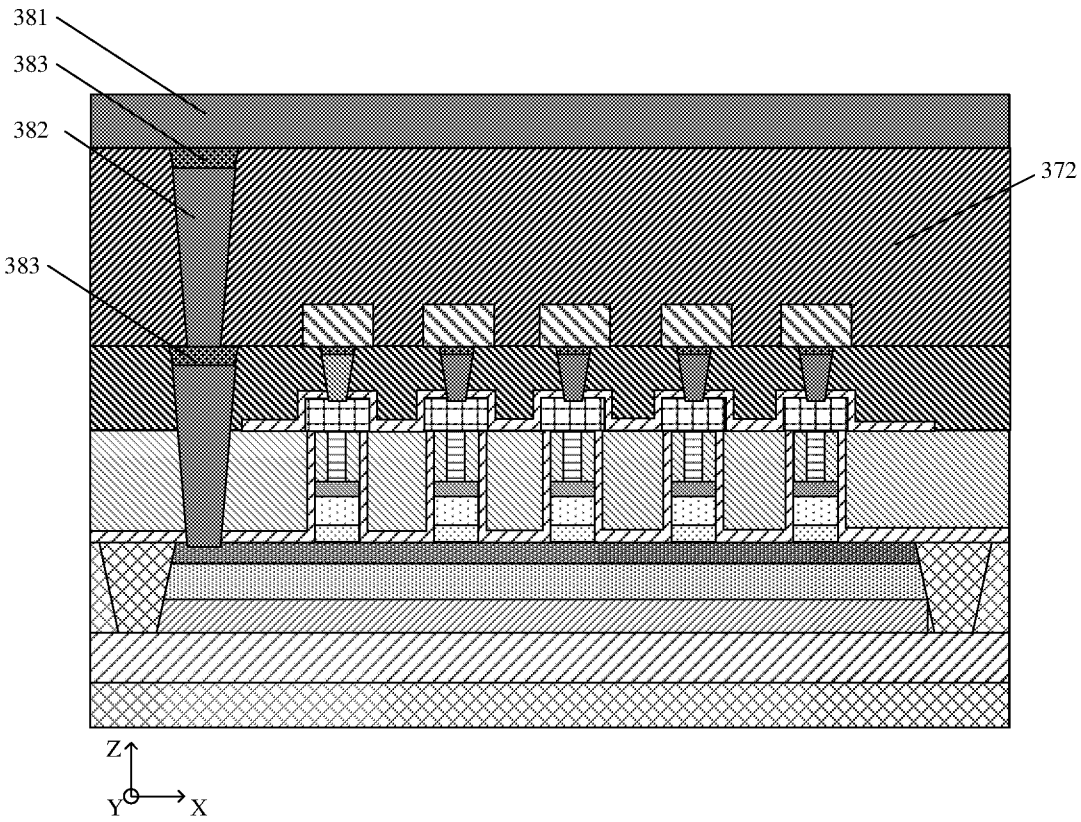


图 37

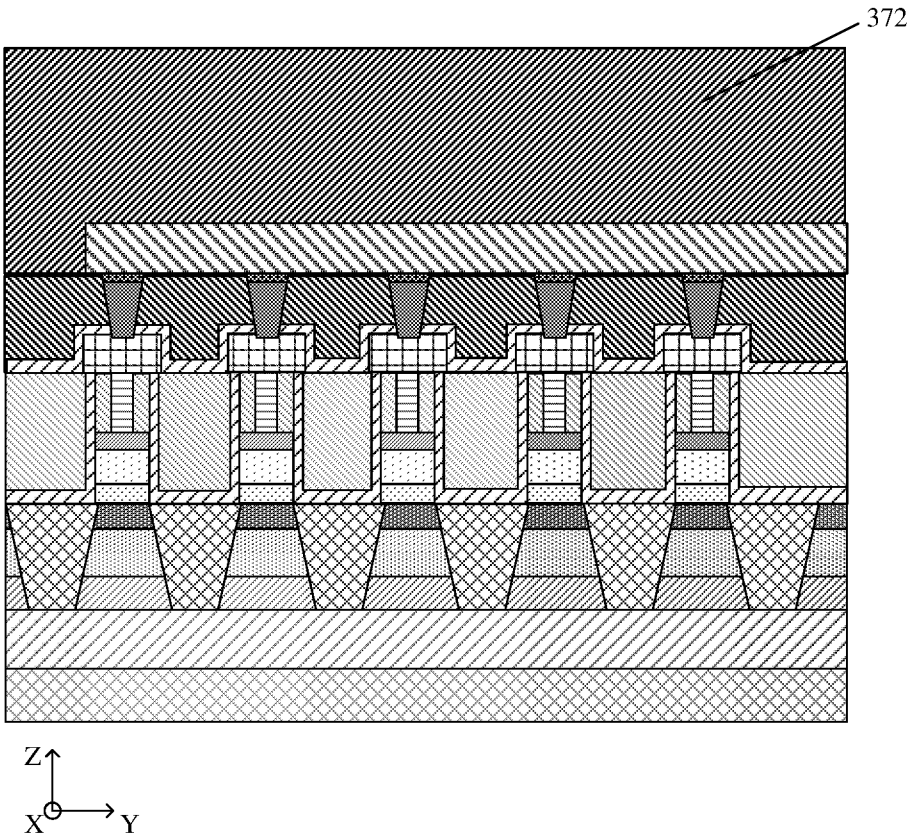


图 38

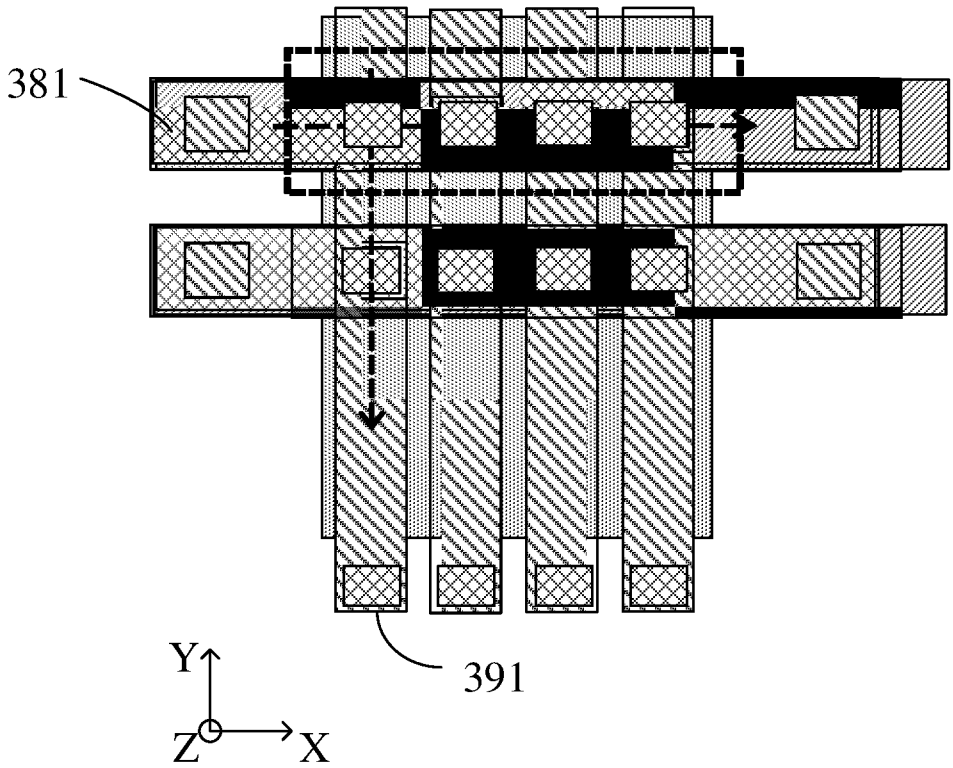


图 39

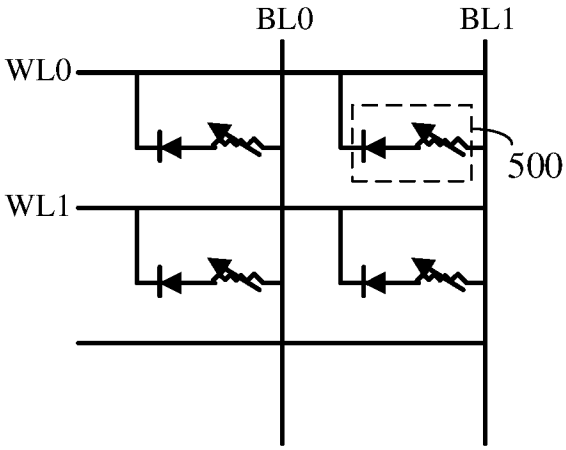

BL0
BL1
WL0
WL1
500

图 40

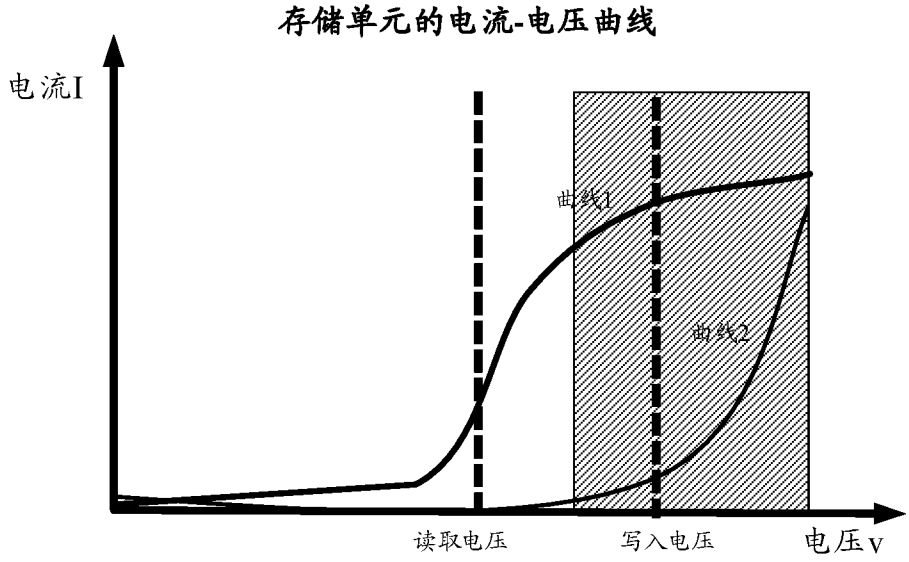

存储单元的电流-电压曲线
电流I
曲线1
曲线2
读取电压
写入电压
电压V

图 41

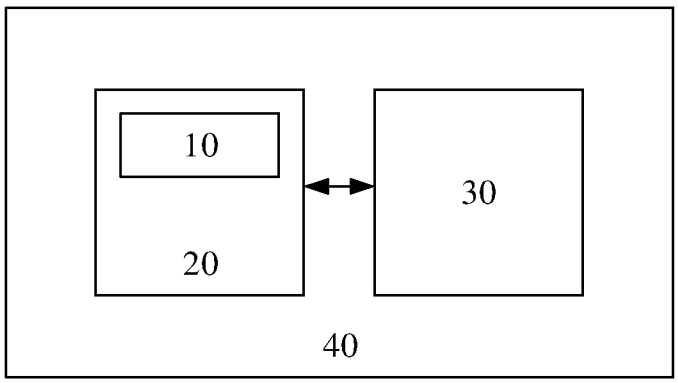

10
20
30
40

图 42

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2022/108178

A. CLASSIFICATION OF SUBJECT MATTER

H01L 45/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 加热, 相变, 侧壁, 包围, 导电, 不同材料, 多种材料, 两种材料, heat, phase change, wall, surround, conduct, material

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2021242401 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 05 August 2021 (2021-08-05) description, paragraphs 17-27, and claims 1-2	1-20
A	US 8624215 B2 (UNIVERSITY OF SOUTHAMPTON) 07 January 2014 (2014-01-07) entire document	1-20
A	US 2013240820 A1 (SK HYNIX INC.) 19 September 2013 (2013-09-19) entire document	1-20
A	US 2011073829 A1 (HYNIX SEMICONDUCTOR INC.) 31 March 2011 (2011-03-31) entire document	1-20
A	CN 112635667 A (SHANGHAI INTEGRATED CIRCUIT EQUIPMENT MATERIAL INDUSTRY INNOVATION CENTER CO., LTD. et al.) 09 April 2021 (2021-04-09) entire document	1-20
A	CN 101504967 A (MACRONIX INTERNATIONAL CO., LTD.) 12 August 2009 (2009-08-12) entire document	1-20

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 December 2022	**27 December 2022**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2022/108178

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2021242401	A1	05 August 2021	TW	202131534	A	16 August 2021
				CN	113205847	A	03 August 2021
US	8624215	B2	07 January 2014	JP	2013065394	A	11 April 2013
				WO	2007071922	A1	28 June 2007
				AT	462186	T	15 April 2010
				EP	1969602	A1	17 September 2008
				KR	20080094001	A	22 October 2008
				JP	2009520372	A	21 May 2009
				US	2014133222	A1	15 May 2014
				GB	0525901	D0	01 February 2006
				US	2007181867	A1	09 August 2007
				DE	602006013193	D1	06 May 2010
				CN	101346776	A	14 January 2009
US	2013240820	A1	19 September 2013		None		
US	2011073829	A1	31 March 2011	KR	20110035768	A	06 April 2011
CN	112635667	A	09 April 2021	WO	2022143461	A1	07 July 2022
CN	101504967	A	12 August 2009	TW	200939466	A	16 September 2009
				US	2009194758	A1	06 August 2009

国际检索报告

国际申请号
PCT/CN2022/108178

A. 主题的分类

H01L 45/00(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

VEN,CNABS,CNTXT,WOTXT, EPTXT,USTXT,CNKI, IEEE: 加热，相变，侧壁，包围，导电，不同材料，多种材料，两种材料，heat，phase change，wall，surround，conduct，material

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	US 2021242401 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 2021年8月5日 (2021-08-05) 说明书第17-27段，权利要求1-2	1-20
A	US 8624215 B2 (UNIVERSITY OF SOUTHAMPTON) 2014年1月7日 (2014-01-07) 全文	1-20
A	US 2013240820 A1 (SK HYNIX INC.) 2013年9月19日 (2013-09-19) 全文	1-20
A	US 2011073829 A1 (HYNIX SEMICONDUCTOR INC.) 2011年3月31日 (2011-03-31) 全文	1-20
A	CN 112635667 A (上海集成电路装备材料产业创新中心有限公司 等) 2021年4月9日 (2021-04-09) 全文	1-20
A	CN 101504967 A (旺宏电子股份有限公司) 2009年8月12日 (2009-08-12) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2022年12月18日	2022年12月27日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 武晓冬 电话号码 86-(10)-53961385

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2022/108178

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2021242401	A1	2021年8月5日	TW	202131534	A	2021年8月16日
				CN	113205847	A	2021年8月3日
US	8624215	B2	2014年1月7日	JP	2013065394	A	2013年4月11日
				WO	2007071922	A1	2007年6月28日
				AT	462186	T	2010年4月15日
				EP	1969602	A1	2008年9月17日
				KR	20080094001	A	2008年10月22日
				JP	2009520372	A	2009年5月21日
				US	2014133222	A1	2014年5月15日
				GB	0525901	D0	2006年2月1日
				US	2007181867	A1	2007年8月9日
				DE	602006013193	D1	2010年5月6日
				CN	101346776	A	2009年1月14日
US	2013240820	A1	2013年9月19日		无		
US	2011073829	A1	2011年3月31日	KR	20110035768	A	2011年4月6日
CN	112635667	A	2021年4月9日	WO	2022143461	A1	2022年7月7日
CN	101504967	A	2009年8月12日	TW	200939466	A	2009年9月16日
				US	2009194758	A1	2009年8月6日