



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098308
 (43) 공개일자 2008년11월07일

(51) Int. Cl.
H01L 27/04 (2006.01) **H01L 21/822** (2006.01)
H01L 21/82 (2006.01)
 (21) 출원번호 10-2007-7026563
 (22) 출원일자 2007년11월15일
 심사청구일자 없음
 번역문제출일자 2007년11월15일
 (86) 국제출원번호 PCT/JP2006/319533
 국제출원일자 2006년09월29일
 (87) 국제공개번호 WO 2007/102239
 국제공개일자 2007년09월13일
 (30) 우선권주장
 JP-P-2006-00059112 2006년03월06일 일본(JP)

(71) 출원인
파나소닉 주식회사
 일본 오오사카후 가도마시 오오아자 가도마 1006 반치
 (72) 발명자
마츠나가 히로키
 일본국 오사카후 가도마시 오아자 가도마 1006반
 지마쯔시다덴기산교 가부시키키가이샤 내
사사다 마사히코
 일본국 오사카후 가도마시 오아자 가도마 1006반
 지마쯔시다덴기산교 가부시키키가이샤 내
 (뒷면에 계속)
 (74) 대리인
한양특허법인

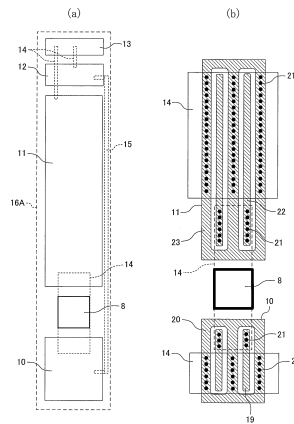
전체 청구항 수 : 총 24 항

(54) 반도체 집적회로

(57) 요약

반도체 집적회로는, 반도체칩 상에, 각각이 패드를 갖는 복수의 회로셀을 구비하며, 회로셀은, 상측트랜지스터, 레벨시프트회로, 하측트랜지스터, 프리드라이버, 및 패드를 구비한다. 상측트랜지스터와 하측트랜지스터는, 패드를 개재하고 서로 대향하도록 배치된다.

대표도 - 도2



(72) 발명자

마에지마 아키히로

일본국 오사카후 가도마시 오아자 가도마 1006반지
마쯔시다덴기산교 가부시키키가이샤 내

가네다 진사쿠

일본국 오사카후 가도마시 오아자 가도마 1006반지
마쯔시다덴기산교 가부시키키가이샤 내

안도 히로시

일본국 오사카후 가도마시 오아자 가도마 1006반지
마쯔시다덴기산교 가부시키키가이샤 내

특허청구의 범위

청구항 1

반도체칩 상에, 각각이 패드를 갖는 복수의 회로셀을 구비한 반도체 집적회로에 있어서,

상기 회로셀은,

상측트랜지스터, 상기 상측트랜지스터를 구동시키는 레벨시프트회로, 및 하측트랜지스터로 구성되는 고내압드라이버와,

상기 고내압드라이버를 구동시키는 프리드라이버와,

상기 패드를 구비하며,

상기 상측트랜지스터와 상기 하측트랜지스터는, 상기 패드를 개재하고 서로 대향하도록 배치되는 것을 특징으로 하는 반도체 집적회로.

청구항 2

청구항 1에 있어서,

상기 상측트랜지스터, 상기 패드, 상기 하측트랜지스터, 상기 레벨시프트회로, 및 상기 프리드라이버는, 일직선 상에 배치되는 것을 특징으로 하는 반도체 집적회로.

청구항 3

청구항 1에 있어서,

상기 반도체칩의 중앙부에 배치된 제어부와,

상기 복수의 회로셀로 구성되는 제 1 회로셀열에 상기 제어부를 개재하고 대향하는 복수의 상기 회로셀로 구성되는 제 2 회로셀열을 추가로 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 4

청구항 3에 있어서,

상기 제 1 회로셀열 및 상기 제 2 회로셀열 각각의 양 끝단에 배치되며, 고압전위용 제 1 전원패드 및 기준전위용 제 2 전원패드와,

상기 제 1 회로셀열 및 상기 제 2 회로셀열에서 각각의 상기 상측트랜지스터 위에 배치되며, 상기 제 1 전원패드와 전기적으로 접속되는 고압전위의 제 1 배선과,

상기 제 1 회로셀열 및 상기 제 2 회로셀열에서 각각의 상기 하측트랜지스터 위에 배치되며, 상기 제 2 전원패드와 전기적으로 접속되는 기준전위의 제 2 배선을 추가로 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 5

청구항 4에 있어서,

상기 반도체칩 중앙부에 배치된 제어부를 둘러싸도록 배치된 기준전위의 제 3 배선을 추가로 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 6

청구항 1에 있어서,

상기 레벨시프트회로 및 상기 프리드라이버는, 상기 하측트랜지스터의 셀 폭 내로 들어가도록 설계되는 것을 특징으로 하는 반도체 집적회로.

청구항 7

반도체칩 상에, 각각이 패드를 갖는 복수의 회로셀을 구비한 반도체 집적회로에 있어서,

상기 회로셀은,

상측트랜지스터, 상기 상측트랜지스터를 구동시키는 레벨시프트회로, 상측 회생다이오드, 하측트랜지스터, 및 하측 회생다이오드로 구성되는 고내압드라이버와,

상기 고내압드라이버를 구동시키는 프리드라이버와,

상기 패드를 구비하며,

상기 상측 회생다이오드와 상기 하측 회생다이오드는, 상기 패드를 개재하고 대향하도록 배치되는 것을 특징으로 하는 반도체 집적회로.

청구항 8

청구항 7에 있어서,

상기 상측 회생다이오드, 상기 패드, 상기 하측 회생다이오드, 상기 하측트랜지스터, 상기 상측트랜지스터, 상기 레벨시프트회로, 및 상기 프리드라이버는, 일직선상에 배치되는 것을 특징으로 하는 반도체 집적회로.

청구항 9

청구항 7에 있어서,

상기 반도체칩의 중앙부에 배치된 제어부와,

상기 복수의 회로셀로 구성되는 제 1 회로셀열에 상기 제어부를 개재하고 대향하는 복수의 상기 회로셀로 구성되는 제 2 회로셀열을 추가로 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 10

청구항 9에 있어서,

상기 제 1 회로셀열 및 상기 제 2 회로셀열 각각의 양 끝단에 배치되며, 고압전위용 제 1 전원패드 및 기준전위용 제 2 전원패드와,

상기 제 1 회로셀열 및 상기 제 2 회로셀열에서 각각의 상기 상측 회생다이오드 위에 배치되며, 상기 제 1 전원패드와 전기적으로 접속되는 고압전위의 제 1 배선과,

상기 제 1 회로셀열 및 상기 제 2 회로셀열에서 각각의 상기 하측트랜지스터 위에 배치되며, 상기 제 2 전원패드와 전기적으로 접속되는 기준전위의 제 2 배선을 추가로 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 11

청구항 10에 있어서,

상기 반도체칩 중앙부에 배치된 제어부를 둘러싸도록 배치된 기준전위의 제 3 배선을 추가로 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 12

청구항 7에 있어서,

상기 레벨시프트회로 및 상기 프리드라이버는, 상기 하측트랜지스터의 셀 폭 내로 들어가도록 설계되는 것을 특징으로 하는 반도체 집적회로.

청구항 13

반도체칩 상에, 각각이 패드를 갖는 복수의 회로셀을 구비한 반도체 집적회로에 있어서,

상기 회로셀은,

ESD보호소자, 및 하측트랜지스터로 구성되는 고내압드라이버와,

상기 고내압드라이버를 구동시키는 프리드라이버와,

상기 패드를 구비하며,

상기 ESD보호소자와 상기 하측트랜지스터는, 상기 패드를 개재하고 대향하도록 배치되는 것을 특징으로 하는 반도체 집적회로.

청구항 14

청구항 13에 있어서,

상기 ESD보호소자, 상기 패드, 상기 하측 트랜지스터, 및 상기 프리드라이버는, 일직선상에 배치되는 것을 특징으로 하는 반도체 집적회로.

청구항 15

청구항 13에 있어서,

상기 반도체칩의 중앙부에 배치된 제어부와,

상기 복수의 회로셀로 구성되는 제 1 회로셀열에 상기 제어부를 개재하고 대향하는 복수의 상기 회로셀로 구성되는 제 2 회로셀열을 추가로 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 16

청구항 15에 있어서,

상기 제 1 회로셀열 및 상기 제 2 회로셀열 각각의 양 끝단에 배치되며, 고압전위용 제 1 전원패드 및 기준전위용 제 2 전원패드와,

상기 제 1 회로셀열 및 상기 제 2 회로셀열에서 각각의 상기 ESD보호소자 위에 배치되며, 상기 제 1 전원패드와 전기적으로 접속되는 고압전위의 제 1 배선과,

상기 제 1 회로셀열 및 상기 제 2 회로셀열에서 각각의 상기 하측트랜지스터 위에 배치되며, 상기 제 2 전원패드와 전기적으로 접속되는 기준전위의 제 2 배선을 추가로 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 17

청구항 16에 있어서,

상기 반도체칩 중앙부에 배치된 제어부를 둘러싸도록 배치된 기준전위의 제 3 배선을 추가로 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 18

청구항 13에 있어서,

상기 레벨시프트회로 및 상기 프리드라이버는, 상기 하측트랜지스터의 셀 폭 내로 들어가도록 설계되는 것을 특징으로 하는 반도체 집적회로.

청구항 19

청구항 32에 있어서,

반도체칩 상에, 각각이 패드를 갖는 복수의 회로셀을 구비한 반도체 집적회로에 있어서,

상기 회로셀은,

ESD보호소자, 하측 회생다이오드, 및 하측트랜지스터로 구성되는 고내압드라이버와,

상기 고내압드라이버를 구동시키는 프리드라이버와,

상기 패드를 구비하며,

상기 ESD보호소자와 상기 하측 회생다이오드는, 상기 패드를 개재하고 대향하도록 배치되는 것을 특징으로 하는 반도체 집적회로.

청구항 20

청구항 19에 있어서,

상기 ESD보호소자, 상기 패드, 상기 하측 회생다이오드, 상기 하측트랜지스터, 및 상기 프리드라이버는, 일직선 상에 배치되는 것을 특징으로 하는 반도체 집적회로.

청구항 21

청구항 19에 있어서,

상기 반도체칩의 중앙부에 배치된 제어부와,

상기 복수의 회로셀로 구성되는 제 1 회로셀열에 상기 제어부를 개재하고 대향하는 복수의 상기 회로셀로 구성되는 제 2 회로셀열을 추가로 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 22

청구항 21에 있어서,

상기 제 1 회로셀열 및 상기 제 2 회로셀열 각각의 양 끝단에 배치되며, 고압전위용 제 1 전원패드 및 기준전위용 제 2 전원패드와,

상기 제 1 회로셀열 및 상기 제 2 회로셀열에서 각각의 상기 ESD보호소자 위에 배치되며, 상기 제 1 전원패드와 전기적으로 접속되는 고압전위의 제 1 배선과,

상기 제 1 회로셀열 및 상기 제 2 회로셀열에서 각각의 상기 하측트랜지스터 위에 배치되며, 상기 제 2 전원패드와 전기적으로 접속되는 기준전위의 제 2 배선을 추가로 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 23

청구항 22에 있어서,

상기 반도체칩 중앙부에 배치된 제어부를 둘러싸도록 배치된 기준전위의 제 3 배선을 추가로 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 24

청구항 19에 있어서,

상기 레벨시프트회로 및 상기 프리드라이버는, 상기 하측트랜지스터의 셀 폭 내로 들어가도록 설계되는 것을 특징으로 하는 반도체 집적회로.

명세서

기술분야

<1> 본 발명은, 반도체 집적회로에 관한 것으로, 특히 플라즈마 디스플레이 등의 용량성 부하를 구동시키는 다채널 반도체 집적회로의 배치구성에 관한 것이다.

배경기술

<2> 일반적으로, 다채널 반도체 집적회로에 이용되는 출력회로로서, MOS출력회로, IGBT출력회로, 단일MOS출력회로, 또는 단일IGBT출력회로가 알려져 있다. 통상, 다채널 반도체 집적회로는, 이들 출력회로의 셀을 표준 셀로 하여 구성되며, 예를 들어 MOS드라이버를 포함하는 출력회로를 구성하는 표준 셀(116)의 경우, 도 13의 (a) 및 (b)에 나타낸 바와 같이, 패드(108)가 하단(지면을 향해 하측)에 배치되고, 하측 트랜지스터(111), 상측 트랜지스터(110), 레벨시프트회로(112), 및 프리드라이버(113)가 상단(지면을 향해 상측)을 향해 차례로 배치되며, 표준 셀(116)의 각 구성요소(111, 110, 112, 113)는, 2층 배선(114) 또는 1층 배선(115)을 통해 패드(108)와 전기적으로 접속된다(이상, 예를 들어 특허문헌1(일특개평1-18239호 공보) 참조). 여기서 도 13의 (b)에서 119는, 상측 트랜지스터의 드레인영역이며, 120은 상측 트랜지스터의 소스영역이고, 121은 스투홀, 122는 하측 트랜지스터의 드레인영역, 123은 하측 트랜지스터의 소스영역이다.

발명의 상세한 설명

- <3> [발명의 개시]
- <4> [발명이 해결하고자 하는 과제]
- <5> 그러나, 도 13의 (a) 및 (b)에 나타낸 바와 같이, 패드(108)에 서지전압 등이 인가된 경우, 패드(108)에서 떨어져 배치된 상측 트랜지스터(110) 보디다이오드의 배선임피던스보다, 패드(108)와 인접하여 배치된 하측 트랜지스터(111)의 배선임피던스 쪽이 매우 낮기 때문에, 전원측에 접속된 상측 트랜지스터(110)의 보디다이오드(도시 생략)의 순방향으로 서지전하를 보내 정전파괴의 방지를 도모하려던 것이, 하측 트랜지스터(111)의 보디다이오드로 전하가 집중하므로, 하측 트랜지스터(111)의 보디다이오드가 먼저 파괴될 우려가 있다는 문제가 있다.
- <6> 이와 같은 문제는, MOS드라이버를 포함하는 출력회로의 경우에 발생하는 문제가 아닌, 전술한 IGBT드라이버, 단일MOS드라이버, 또는 단일IGBT드라이버를 포함하는 출력회로의 경우에도 마찬가지로 발생하는 문제이다.
- <7> 상기에 감안하여 본 발명의 목적은, 정전파괴에 강한 배치구성을 갖는 반도체 집적회로를 제공하는 것이다.
- <8> [과제를 해결하기 위한 수단]
- <9> 상기에 감안하여, 본 발명의 제 1 측면에 관한 반도체 집적회로는, 반도체칩 상에, 각각이 패드를 갖는 복수의 회로셀을 구비한 반도체 집적회로이며, 회로셀은, 상측트랜지스터, 상측트랜지스터를 구동시키는 레벨시프트회로, 및 하측트랜지스터로 구성되는 고내압드라이버와, 고내압드라이버를 구동시키는 프리드라이버와, 패드를 구비하며, 상측트랜지스터와 하측트랜지스터는 패드를 개재하고 서로 대향하도록 배치된다.
- <10> 본 발명의 제 1 측면에 관한 반도체 집적회로에 있어서, 상측트랜지스터, 패드, 하측트랜지스터, 레벨시프트회로, 및 프리드라이버는, 일직선상에 배치되는 것이 바람직하다.
- <11> 본 발명의 제 1 측면에 관한 반도체 집적회로에 있어서, 반도체칩의 중앙부에 배치된 제어부와, 복수의 회로셀로 구성되는 제 1 회로셀열에 제어부를 개재하고 대향하는 복수의 회로셀로 구성되는 제 2 회로셀열을 추가로 구비한다.
- <12> 본 발명의 제 1 측면에 관한 반도체 집적회로에 있어서, 제 1 회로셀열 및 제 2 회로셀열 각각의 양 끝단에 배치되며, 고압전위용 제 1 전원패드 및 기준전위용 제 2 전원패드와, 제 1 회로셀열 및 제 2 회로셀열에서 각각의 상측트랜지스터 위에 배치되며, 제 1 전원패드와 전기적으로 접속되는 고압전위의 제 1 배선과, 제 1 회로셀열 및 제 2 회로셀열에서 각각의 하측트랜지스터 위에 배치되며, 제 2 전원패드와 전기적으로 접속되는 기준전위의 제 2 배선을 추가로 구비한다.
- <13> 본 발명의 제 1 측면에 관한 반도체 집적회로에 있어서, 반도체칩 중앙부에 배치된 제어부를 둘러싸도록 배치된 기준전위의 제 3 배선을 추가로 구비한다.
- <14> 본 발명의 제 1 측면에 관한 반도체 집적회로에 있어서, 레벨시프트회로 및 프리드라이버는, 하측트랜지스터의 셀 폭 내로 들어가도록 설계된다.
- <15> 본 발명의 제 2 측면에 관한 반도체 집적회로는, 반도체칩 상에, 각각이 패드를 갖는 복수의 회로셀을 구비한 반도체 집적회로이며, 회로셀은, 상측트랜지스터, 상측트랜지스터를 구동시키는 레벨시프트회로, 상측 회생다이오드, 하측트랜지스터, 및 하측 회생다이오드로 구성되는 고내압드라이버와, 고내압드라이버를 구동시키는 프리드라이버와, 패드를 구비하며, 상측 회생다이오드와 하측 회생다이오드는 패드를 개재하고 대향하도록 배치된다.
- <16> 본 발명의 제 2 측면에 관한 반도체 집적회로에 있어서, 상측 회생다이오드, 패드, 하측 회생다이오드, 하측트랜지스터, 상측트랜지스터, 레벨시프트회로, 및 프리드라이버는, 일직선상에 배치되는 것이 바람직하다.
- <17> 본 발명의 제 2 측면에 관한 반도체 집적회로에 있어서, 반도체칩의 중앙부에 배치된 제어부와, 복수의 회로셀로 구성되는 제 1 회로셀열에 제어부를 개재하고 대향하는 복수의 회로셀로 구성되는 제 2 회로셀열을 추가로 구비한다.
- <18> 본 발명의 제 2 측면에 관한 반도체 집적회로에 있어서, 제 1 회로셀열 및 제 2 회로셀열 각각의 양 끝단에 배치되며, 고압전위용 제 1 전원패드 및 기준전위용 제 2 전원패드와, 제 1 회로셀열 및 제 2 회로셀열에서 각각의 상측 회생다이오드 위에 배치되며, 제 1 전원패드와 전기적으로 접속되는 고압전위의 제 1 배선과, 제 1 회로셀열 및 제 2 회로셀열에서 각각의 하측트랜지스터 위에 배치되며, 제 2 전원패드와 전기적으로 접속되는 기

준전위의 제 2 배선을 추가로 구비한다.

- <19> 본 발명의 제 2 측면에 관한 반도체 집적회로에 있어서, 반도체칩 중앙부에 배치된 제어부를 둘러싸도록 배치된 기준전위의 제 3 배선을 추가로 구비한다.
- <20> 본 발명의 제 2 측면에 관한 반도체 집적회로에 있어서, 레벨시프트회로 및 프리드라이버는, 하측트랜지스터의 셀 폭 내로 들어가도록 설계된다.
- <21> 본 발명의 제 3 측면에 관한 반도체 집적회로는, 반도체칩 상에, 각각이 패드를 갖는 복수의 회로셀을 구비한 반도체 집적회로이며, 회로셀은, ESD보호소자, 및 하측트랜지스터로 구성되는 고내압드라이버와, 고내압드라이버를 구동시키는 프리드라이버와, 패드를 구비하며, ESD보호소자와 하측트랜지스터는, 패드를 개재하고 대향하도록 배치된다.
- <22> 본 발명의 제 3 측면에 관한 반도체 집적회로에 있어서, ESD보호소자, 패드, 하측 트랜지스터, 및 프리드라이버는, 일직선상에 배치되는 것이 바람직하다.
- <23> 본 발명의 제 3 측면에 관한 반도체 집적회로에 있어서, 반도체칩의 중앙부에 배치된 제어부와, 복수의 회로셀로 구성되는 제 1 회로셀열에 제어부를 개재하고 대향하는 복수의 회로셀로 구성되는 제 2 회로셀열을 추가로 구비한다.
- <24> 본 발명의 제 3 측면에 관한 반도체 집적회로에 있어서, 제 1 회로셀열 및 제 2 회로셀열 각각의 양 끝단에 배치되며, 고압전위용 제 1 전원패드 및 기준전위용 제 2 전원패드와, 제 1 회로셀열 및 제 2 회로셀열에서 각각의 ESD보호소자 위에 배치되며, 제 1 전원패드와 전기적으로 접속되는 고압전위의 제 1 배선과, 제 1 회로셀열 및 제 2 회로셀열에서 각각의 하측트랜지스터 위에 배치되며, 제 2 전원패드와 전기적으로 접속되는 기준전위의 제 2 배선을 추가로 구비한다.
- <25> 본 발명의 제 3 측면에 관한 반도체 집적회로에 있어서, 반도체칩 중앙부에 배치된 제어부를 둘러싸도록 배치된 기준전위의 제 3 배선을 추가로 구비한다.
- <26> 본 발명의 제 3 측면에 관한 반도체 집적회로에 있어서, 레벨시프트회로 및 프리드라이버는, 하측트랜지스터의 셀 폭 내로 들어가도록 설계된다.
- <27> 본 발명의 제 4 측면에 관한 반도체 집적회로는, 반도체칩 상에, 각각이 패드를 갖는 복수의 회로셀을 구비한 반도체 집적회로이며, 회로셀은, ESD보호소자, 하측 회생다이오드, 및 하측트랜지스터로 구성되는 고내압드라이버와, 고내압드라이버를 구동시키는 프리드라이버와, 패드를 구비하며, ESD보호소자와 하측 회생다이오드는 패드를 개재하고 대향하도록 배치된다.
- <28> 본 발명의 제 4 측면에 관한 반도체 집적회로에 있어서, ESD보호소자, 패드, 하측 회생다이오드, 하측트랜지스터, 및 프리드라이버는, 일직선상에 배치되는 것이 바람직하다.
- <29> 본 발명의 제 4 측면에 관한 반도체 집적회로에 있어서, 반도체칩의 중앙부에 배치된 제어부와, 복수의 회로셀로 구성되는 제 1 회로셀열에 제어부를 개재하고 대향하는 복수의 회로셀로 구성되는 제 2 회로셀열을 추가로 구비한다.
- <30> 본 발명의 제 4 측면에 관한 반도체 집적회로에 있어서, 제 1 회로셀열 및 제 2 회로셀열 각각의 양 끝단에 배치되며, 고압전위용 제 1 전원패드 및 기준전위용 제 2 전원패드와, 제 1 회로셀열 및 제 2 회로셀열에서 각각의 ESD보호소자 위에 배치되며, 제 1 전원패드와 전기적으로 접속되는 고압전위의 제 1 배선과, 제 1 회로셀열 및 제 2 회로셀열에서 각각의 하측트랜지스터 위에 배치되며, 제 2 전원패드와 전기적으로 접속되는 기준전위의 제 2 배선을 추가로 구비한다.
- <31> 본 발명의 제 4 측면에 관한 반도체 집적회로에 있어서, 반도체칩 중앙부에 배치된 제어부를 둘러싸도록 배치된 기준전위의 제 3 배선을 추가로 구비한다.
- <32> 본 발명의 제 4 측면에 관한 반도체 집적회로에 있어서, 레벨시프트회로 및 프리드라이버는, 하측트랜지스터의 셀 폭 내로 들어가도록 설계된다.
- <33> [발명의 효과]
- <34> 본 발명의 반도체 집적회로에 의하면, 회로셀을 구성하는 패드로의 서지전압 등 이상입력이 인가될 경우에 발생하는 정전파괴를 억제할 수 있다. 또, 칩 크기를 작게 할 수 있다. 그리고 다수의 패드와 칩의 외주를 접속하

는 본딩와이어의 길이를 짧게 할 수 있다.

실시예

- <73> 이하, 본 발명의 각 실시형태에 대하여 도면을 참조하면서 설명한다.
- <74> [제 1 실시형태]
- <75> 도 1은, 본 발명의 제 1 실시형태에 관한 다채널 반도체 집적회로에서의 출력회로 셀을 구성하는 출력회로(25a)의 기본적인 회로구성도이다.
- <76> 도 1에 나타난 바와 같이, 출력회로(25a)는 MOS드라이버(45)와, 레벨시프트회로(12) 및 프리드라이버(13)를 구비한다. 여기서 MOS드라이버(45)는, 상측트랜지스터(10)와, 이 상측트랜지스터(10)의 기생소자인 백게이트-드레인간 기생다이오드(26)와, 하측트랜지스터(11)와, 이 하측트랜지스터(11)의 기생소자인 백게이트-드레인간 기생다이오드(27)와, 패드(8)로 구성된다. 또, 상측트랜지스터(10)에는 고압전원 패드(4)가, 하측트랜지스터(11)에는 기준전위 패드(5)가, 프리드라이버(13)에는 입력단자(24)가 접속된다. 그리고 상측트랜지스터(10)가 고레벨 출력용이고, 하측트랜지스터(11)가 저레벨 출력용이다.
- <77> 도 2의 (a) 및 (b)는, 출력회로(25a)를 구성하는 출력회로 셀(16A)의 배치구성을 나타낸 평면도이다.
- <78> 도 2의 (a) 및 (b)에 나타난 바와 같이, 출력회로 셀(16A)의 배치구성은, 상측트랜지스터(10)와 하측트랜지스터(11)가, 패드(8)를 개재하고 대향하도록 배치되는 것을 특징으로 한다. 이와 같이, 패드(8)를 끼고 한쪽에, ESD보호소자도 겸하는 백게이트-드레인간 기생다이오드(26)를 구성하는 상측트랜지스터(10)를 배치함과 더불어, 다른 쪽에 백게이트-드레인간 기생다이오드(27)를 구성하는 하측트랜지스터(11)를 배치함으로써, 종래예와 같이 패드를 한 끝에 배치하고 하단(지면을 향해 하측, 이하 동일)에서 상단(지면을 향해 상측, 이하 동일)을 향해 하측트랜지스터 및 상측트랜지스터를 차례로 배치하는 경우에 비해, 패드(8)로의 서지전압 등의 이상입력이 인가되었을 경우에 발생하는 정전과피에 대한 내성을 향상시킬 수 있다.
- <79> 구체적으로는, 도 2의 (a) 및 (b)에 나타난 바와 같이, 패드(8)를 끼고 하단에 상측트랜지스터(10)가 배치됨과 더불어, 패드(8)를 끼고 상단을 향해 하측트랜지스터(11), 레벨시프트회로(12) 및 프리드라이버(13)가 차례로 배치된다.
- <80> 이 배치구성에 의해, 기준전위 이하의 마이너스 서지에 의한 전류는 패드(8)에서 가장 가까운 하측트랜지스터(11)의 보디다이오드를 흐르는 한편, 전원전압을 초과하는 플러스 서지에 의한 전류는 패드(8)에서 가장 가까운 상측트랜지스터(10)의 보디다이오드를 흐르므로, 정전과피에 대한 내성을 향상시킬 수 있다.
- <81> 또, 도 2의 (a) 및 (b)에 나타난 바와 같이, 상측트랜지스터(10), 패드(8), 하측트랜지스터(11), 레벨시프트회로(12), 및 프리드라이버(13)는, 일직선상에 배치됨으로써, 후술하는 도 3에 나타난 반도체 집적회로의 배치구성에서도 알 수 있는 바와 같이, MOS드라이버(45)를 포함하는 출력회로(25a)를 구성하는 출력회로 셀(16A)의 고집적화가 실현된다. 또한 레벨시프트회로(12) 및 프리드라이버(13)는, 셀 폭이 가장 큰 하측트랜지스터(11)의 셀 폭 내로 들어가도록 설계되며, 구체적으로는, 도 2의 (a) 및 (b)에 나타난 바와 같이, 하측트랜지스터(11)의 셀 폭에 맞추어 설계됨으로써 반도체 집적회로의 고집적화를 실현한다.
- <82> 여기서 도 2의 (b)에서 20은, 상측트랜지스터(10)의 소스영역이며, 19는 상측트랜지스터(10)의 드레인영역이고, 21은 스루홀, 22는 하측트랜지스터(11)의 드레인영역, 23은 하측트랜지스터(11)의 소스영역이다.
- <83> 도 3은, 반도체칩(1) 상에, 전술한 구성을 갖는 출력회로 셀(16A)을 배치한 다채널 반도체 집적회로의 평면도이다.
- <84> 도 3에 나타난 바와 같이 반도체칩(1) 상에는, 중앙부에 입력제어회로 등에 의한 출력타이밍 제어를 행하는 저내압제어부(6)가 배치됨과 더불어, 이 저내압제어부(6)를 개재하고 대향하도록, 복수의 상기 출력회로 셀(16A)이 칩 가장자리를 따라 배치되며, 저내압제어부(6)와 출력회로 셀(16A) 각각과는 버스배선(7)으로 접속되고, 저내압제어부(6)로부터의 제어신호를, 버스배선(7)을 이용하여 프리드라이버(13)로 전달시킨다. 또 복수의 출력회로 셀(16A)의 양 끝단에는, 고압전원 패드(4) 및 기준전위 패드(5)가 배치된다. 여기서, 복수의 출력회로 셀(16A)의 배치구성은, 도시한 것에 한정되는 것은 아니며, 패드(8)에 접속되는 본딩와이어끼리 접촉하지 않는 여러 가지 구성으로 할 수도 있다.
- <85> 또 출력회로 셀(16A) 내의 하측트랜지스터(11) 상에는, 기준전위 배선(3a)이 형성되며, 이 배선(3a)은, 복수의 출력회로 셀(16A) 양쪽에 배치된 기준전위 패드(5)에 접속된다. 마찬가지로, 출력회로 셀(16A) 내의 상측트랜

지스터(10) 상에는, 고압전위 배선(2)이 형성되며, 이 고압전위 배선(2)은, 복수의 출력회로 셀(16A) 양쪽에 배치된 고압전원 패드(4)에 접속된다.

<86> 또, 반도체칩(1) 내의, 복수의 출력회로 셀(16A) 양쪽에 배치된 기준전위 패드(5) 및 고압전원 패드(4)는, 패키지로부터의 와이어본딩으로 접속되므로, 기준전위 패드(5) 및 고압전원 패드(4)의 전위는 안정된다. 이로써, 기준전위 배선(3a) 및 고압전위 배선(2)의 배선임피던스를 저감할 수 있어, 각 채널의 출력이 대전류가 될 경우에도, 각 출력회로 셀(16A)의 기준전위 및 고압전위가 안정되어, 균일한 출력특성 및 ESD내성을 얻을 수 있다. 한편, 저내압제어부(6)에서 길이방향의 한쪽 단부에는, 입력제어 패드(9)가 배치됨과 더불어, 다른 쪽 단부에는 기준전위 패드(5)가 배치된다. 그리고, 저내압제어부(6) 상에는, 입력제어 패드(9) 쪽을 제외한 3방향을 둘러싸도록 기준전위 배선(3b)이 형성된다. 기준전위 배선(3b)은, 패드(8)로부터 침입하는 외부노이즈가 출력회로 셀(16A)을 통해 저내압제어부(6)로 전달되는 것을 방지하는 실드로서의 역할을 갖는다. 이로써, 저내압제어부(6)로부터의 프리드라이버(13)로 입력되는 신호가 안정화되어 출력특성이 안정된다.

<87> [제 2 실시형태]

<88> 도 4는, 본 발명의 제 2 실시형태에 관한 반도체 집적회로에서 출력회로 셀을 구성하는 출력회로(25b)의 기본적인 회로구성 예를 나타낸다.

<89> 도 4에 나타난 바와 같이 출력회로(25b)는, IGBT드라이버(46)와 레벨시프트회로(12)와 프리드라이버(13)를 구비한다. IGBT드라이버(46)는, 상측트랜지스터(28)와, 게이트오프저항(33) 및 게이트보호용 다이오드(32)로 구성된 게이트보호회로(34), 상측 회생다이오드(30), 하측트랜지스터(29), 하측 회생다이오드(31), 및 패드(8)로 구성된다. 또 상측트랜지스터(28)에는 고압전원 패드(4)가, 하측트랜지스터(29)에는 기준전위 패드(5)가, 프리드라이버(13)에는 입력단자(24)가 접속된다.

<90> 도 5의 (a) 및 (b)는, 출력회로(25b)를 구성하는 출력회로 셀(16B)에서의 배치구성을 나타낸 평면도이다.

<91> 도 5의 (a) 및 (b)에 나타난 바와 같이 출력회로 셀(16B)의 구성은, 상측 회생다이오드(30)와 하측 회생다이오드(31)가, 패드(8)를 개재하고 대향하도록 배치되는 것을 특징으로 한다. 이와 같이, 패드(8)를 끼고 한쪽에 ESD보호소자도 겸하는 상측 회생다이오드(30)를 배치함과 더불어, 다른 쪽에 하측 회생다이오드(31)를 배치함으로써, 종래예와 같이 패드를 한 끝에 배치하고 하단에서 상단을 향해 하측회생다이오드 및 상측 회생다이오드를 차례로 배치하는 경우에 비해, 패드(8)로의 서지전압 등 이상입력이 인가된 경우에 발생하는 정전과피에 대한 내성을 향상시킬 수 있다.

<92> 구체적으로는 도 5의 (a) 및 (b)에 나타난 바와 같이, 패드(8)를 끼고 하단에 상측 회생다이오드(30)가 배치됨과 더불어, 패드(8)를 끼고 상단을 향해 하측 회생다이오드(31), 하측트랜지스터(29), 상측트랜지스터(28)와 게이트보호회로(34), 레벨시프트회로(12), 및 프리드라이버(13)가 차례로 배치된다.

<93> 이 배치구성에 의해, 기준전위 이하의 마이너스서지에 의한 전류는 패드(8)에서 가장 가까운 하측 회생다이오드(31)로 흐르는 한편, 전원전압을 초과하는 플러스서지에 의한 전류는 패드(8)에서 가장 가까운 상측 회생다이오드(30)로 흐르므로, 정전과피에 대한 내성을 향상시킬 수 있다.

<94> 또, 도 5의 (a) 및 (b)에 나타난 바와 같이, 상측 회생다이오드(30), 패드(8), 하측 회생다이오드(31), 하측트랜지스터(29), 상측트랜지스터(28)와 게이트보호회로(34), 레벨시프트회로(12), 및 프리드라이버(13)는 일직선상에 배치됨으로써, 후술하는 도 6에 나타난 반도체 집적회로의 배치에서도 알 수 있는 바와 같이, IGBT드라이버(46)를 포함하는 출력회로(25b)를 구성하는 출력회로 셀(16B)의 고집적화를 실현할 수 있다. 그리고, 레벨시프트회로(12) 및 프리드라이버(13)는, 셀 폭이 가장 큰 하측트랜지스터(29)의 셀 폭 내로 들어가도록 설계하며, 구체적으로는 도 5의 (a) 및 (b)에 나타난 바와 같이, 하측트랜지스터(29)의 셀 폭에 맞추어 설계함으로써, 반도체 집적회로의 고집적화를 실현한다.

<95> 여기서 도 5의 (b)에서 21은 스텝홀이며, 41은 콘택트이고, 36은 상측트랜지스터(28)의 콜렉터영역, 35는 상측트랜지스터(28)의 에미터영역, 37은 하측트랜지스터(29)의 에미터영역, 38은 하측트랜지스터(29)의 콜렉터영역, 39는 하측 회생다이오드(31) 및 상측 회생다이오드(30)의 음극영역, 40은 하측 회생다이오드(31) 및 상측 회생다이오드(30)의 양극영역이다.

<96> 도 6은 반도체칩(1) 상에, 전술한 구성배치를 갖는 출력회로 셀(16B)을 배치한 다채널 반도체 집적회로의 평면도이다.

<97> 도 6에 나타난 바와 같이 반도체칩(1) 상에는, 중앙부에 입력제어회로 등에 의한 출력타이밍 제어를 행하는 저

내압제어부(6)가 배치됨과 더불어, 이 저내압제어부(6)를 개재하고 대향하도록, 복수의 상기 출력회로 셀(16B)이 칩 가장자리를 따라 배치되며, 저내압제어부(6)와 출력회로 셀(16B)의 각각과는 버스배선(7)으로 접속되어, 저내압제어부(6)로부터의 제어신호를 버스배선(7)을 이용하여 프리드라이버(13)로 전달시킨다. 또, 복수의 출력회로 셀(16B) 양끝에는, 고압전원 패드(4) 및 기준전위 패드(5)가 배치된다. 여기서, 복수의 출력회로 셀(16B) 배치하는 도시한 것에 한정되는 것은 아니며, 패드(8)에 접속되는 본딩와이어끼리 접촉하지 않는 여러 가지 배치로 할 수도 있다.

<98> 또한, 출력회로 셀(16B) 내의 하측트랜지스터(29) 상에는, 기준전위 배선(3a)이 형성되며, 이 배선(3a)은, 복수의 출력회로 셀(16B) 양쪽에 배치된 기준전위 패드(5)에 접속된다. 마찬가지로, 출력회로 셀(16B) 내의 상측 회생다이오드(30) 상에는, 고압전위 배선(2b)이 형성되며, 이 고압전위 배선(2b)은 복수의 출력회로 셀(16B) 양쪽에 배치된 고압전원 패드(4)에 접속된다.

<99> 또, 반도체칩(1) 내에서 복수의 출력회로 셀(16B) 양쪽에 배치된 기준전위 패드(5) 및 고압전원 패드(4)는, 패키지로부터의 와이어본딩으로 접속되므로, 기준전위 패드(5) 및 고압전원 패드(4)의 전위는 안정된다. 이로써, 각 채널의 출력이 대전류가 될 경우에도, 각각의 출력회로 셀(16B)의 기준전위 및 고압전위가 안정되어, 균일한 출력특성 및 ESD내성을 얻을 수 있다.

<100> 한편, 저내압제어부(6)에서 길이방향의 한쪽 단부에는, 입력제어 패드(9)가 배치됨과 더불어, 다른 쪽 단부에는 기준전위 패드(5)가 배치된다. 그리고, 저내압제어부(6) 상에는, 입력제어 패드(9) 쪽을 제외한 3방향을 둘러싸도록 기준전위 배선(3b)이 형성된다. 기준전위 배선(3b)은, 패드(8)로부터 침입하는 외부노이즈가 출력회로 셀(16B)을 통해 저내압제어부(6)로 전달되는 것을 방지하는 실드로서의 역할을 갖는다. 이로써, 저내압제어부(6)로부터의 프리드라이버(13)로 입력되는 신호가 안정화되어 출력특성이 안정된다.

<101> [제 3 실시형태]

<102> 도 7은, 본 발명의 제 3 실시형태에 관한 반도체 집적회로에서 출력회로 셀을 구성하는 출력회로(25c)의 기본적인 회로구성 예를 나타낸다.

<103> 도 7에 나타난 바와 같이 출력회로(25c)는, 단일MOS드라이버(47)와 프리드라이버(44)를 구비한다. 단일MOS드라이버(47)는, 하측트랜지스터(11)와, 이 하측트랜지스터(11)의 기생소자인 백게이트-드레인간 기생다이오드(27)와, ESD보호소자(43)와, 패드(8)로 구성된다. 또 하측트랜지스터(11)의 한끝에는 고압전원 패드(4)가, 하측트랜지스터(11)의 다른 끝에는 기준전위 패드(5)가, 프리드라이버(44)에는 입력단자(24)가 접속된다.

<104> 도 8의 (a) 및 (b)는, 출력회로(25c)를 구성하는 출력회로 셀(16C)에서의 배치구성을 나타낸 평면도이다.

<105> 도 8의 (a) 및 (b)에 나타난 바와 같이 출력회로 셀(16C)의 구성은, ESD보호소자(43)와 하측트랜지스터(11)가, 패드(8)를 개재하고 대향하도록 배치되는 것을 특징으로 한다. 이와 같이, 패드(8)를 끼고 한쪽에 ESD보호소자(43)를 배치함과 더불어, 다른 쪽에 하측트랜지스터(11)를 배치함으로써, 종래예와 같이 패드를 한 끝에 배치하고 하단에서 상단을 향해 하측트랜지스터(11) 및 ESD보호소자를 차례로 배치하는 경우에 비해, 패드(8)로의 서지전압 등의 이상입력이 인가된 경우에 발생하는 정전과피에 대한 내성을 향상시킬 수 있다.

<106> 구체적으로는 도 8의 (a) 및 (b)에 나타난 바와 같이, 패드(8)를 끼고 하단에 ESD보호소자(43)가 배치됨과 더불어, 패드(8)를 끼고 상단을 향해 하측트랜지스터(11) 및 프리드라이버(44)가 차례로 배치된다.

<107> 이 배치구성에 의해, 기준전위 이하의 마이너스서지에 의한 전류는 패드(8)에서 가장 가까운 하측트랜지스터(11)의 보디다이오드로 흐르는 한편, 전원전압을 초과하는 플러스서지에 의한 전류는 패드(8)에서 가장 가까운 ESD보호소자(43)로 흐르므로, 정전과피에 대한 내성을 향상시킬 수 있다.

<108> 또, 도 8의 (a) 및 (b)에 나타난 바와 같이, ESD보호소자(43), 패드(8), 하측트랜지스터(11), 및 프리드라이버(44)는 일직선상에 배치됨으로써, 후술하는 도 9에 나타난 반도체 집적회로의 배치에서도 알 수 있는 바와 같이, 단일MOS드라이버(47)를 포함하는 출력회로(25c)를 구성하는 출력회로 셀(16C)의 고집적화를 실현할 수 있다. 그리고, 프리드라이버(13)는, 셀 폭이 가장 큰 하측트랜지스터(11)의 셀 폭 내로 들어가도록 설계하며, 구체적으로는 도 8의 (a) 및 (b)에 나타난 바와 같이, 하측트랜지스터(11)의 셀 폭에 맞추어 설계함으로써, 반도체 집적회로의 고집적화를 실현한다.

<109> 여기서 도 8의 (b)에서 21은 스루홀이며, 22는 하측트랜지스터(11)의 드레인영역이고, 23은 하측트랜지스터(11)의 소스영역, 39는 ESD보호소자(43)의 음극영역, 40은 ESD보호소자(43)의 양극영역이다.

- <110> 도 9는 반도체칩(1) 상에, 전술한 구성배치를 갖는 출력회로 셀(16C)을 배치한 다채널 반도체 집적회로의 평면도이다.
- <111> 도 9에 나타낸 바와 같이 반도체칩(1) 상에는, 중앙부에 입력제어회로 등에 의한 출력타이밍 제어를 행하는 저내압제어부(6)가 배치됨과 더불어, 이 저내압제어부(6)를 개재하고 대향하도록, 복수의 상기 출력회로 셀(16C)이 칩 가장자리를 따라 배치되며, 저내압제어부(6)와 출력회로 셀(16C)의 각각과는 버스배선(7)으로 접속되어, 저내압제어부(6)로부터의 제어신호를 버스배선(7)을 이용하여 프리드라이버(44)로 전달시킨다. 또, 복수의 출력회로 셀(16C) 양끝에는, 고압전원 패드(4) 및 기준전위 패드(5)가 배치된다. 여기서, 복수의 출력회로 셀(16C) 배치는 도시한 것에 한정되는 것은 아니며, 패드(8)에 접속되는 본딩와이어끼리 접촉하지 않는 여러 가지 배치로 할 수도 있다.
- <112> 또한, 출력회로 셀(16C) 내의 하측트랜지스터(11) 상에는, 기준전위 배선(3a)이 형성되며, 이 배선(3a)은, 복수의 출력회로 셀(16C) 양쪽에 배치된 기준전위 패드(5)에 접속된다. 마찬가지로, 출력회로 셀(16C) 내의 ESD보호소자(43) 상에는, 고압전위 배선(2)이 형성되며, 이 고압전위 배선(2)은 복수의 출력회로 셀(16C) 양쪽에 배치된 고압전원 패드(4)에 접속된다.
- <113> 또, 반도체칩(1) 내에서 복수의 출력회로 셀(16C) 양쪽에 배치된 기준전위 패드(5) 및 고압전원 패드(4)는, 패키지로부터의 와이어본딩으로 접속되므로, 기준전위 패드(5) 및 고압전원 패드(4)의 전위는 안정된다. 이로써, 각 채널의 출력이 대전류가 될 경우에도, 각각의 출력회로 셀(16C)의 기준전위 및 고압전위가 안정되어, 균일한 출력특성 및 ESD내성을 얻을 수 있다. 한편, 저내압제어부(6)에서 길이방향의 한쪽 단부에는, 입력제어 패드(9)가 배치됨과 더불어, 다른 쪽 단부에는 기준전위 패드(5)가 배치된다. 그리고, 저내압제어부(6) 상에는, 입력제어 패드(9) 쪽을 제외한 3방향을 둘러싸도록 기준전위 배선(3b)이 형성된다. 기준전위 배선(3b)은, 패드(8)로부터 침입하는 외부노이즈가 출력회로 셀(16C)을 통해 저내압제어부(6)로 전달되는 것을 방지하는 실드로서의 역할을 갖는다. 이로써, 저내압제어부(6)로부터의 프리드라이버(44)로 입력되는 신호가 안정화되어 출력특성이 안정된다.
- <114> [제 4 실시형태]
- <115> 도 10은, 본 발명의 제 4 실시형태에 관한 반도체 집적회로에서 출력회로 셀을 구성하는 출력회로(25d)의 기본적인 회로구성 예를 나타낸다.
- <116> 도 10에 나타낸 바와 같이 출력회로(25d)는, 단일IGBT드라이버(48)와 프리드라이버(44)를 구비한다. 단일IGBT드라이버(48)는, 하측트랜지스터(29)와, 하측 회생다이오드(31)와, ESD보호소자(43)와, 패드(8)로 구성된다. 또 하측트랜지스터(29)의 한끝에는 고압전원 패드(4)가, 하측트랜지스터(29)의 다른 끝에는 기준전위 패드(5)가, 프리드라이버(44)에는 입력단자(24)가 접속된다.
- <117> 도 11의 (a) 및 (b)는, 출력회로(25d)를 구성하는 출력회로 셀(16D)에서의 배치구성을 나타낸 평면도이다.
- <118> 도 11의 (a) 및 (b)에 나타낸 바와 같이 출력회로 셀(16D)의 구성은, ESD보호소자(43)와 하측 회생다이오드(31)가, 패드(8)를 개재하고 대향하도록 배치되는 것을 특징으로 한다. 이와 같이, 패드(8)를 끼고 한쪽에 ESD보호소자(43)를 배치함과 더불어, 다른 쪽에 하측 회생다이오드(31)를 배치함으로써, 종래와 같이 패드를 한 끝에 배치하고 하단에서 상단을 향해 하측 회생다이오드(31) 및 ESD보호소자를 차례로 배치하는 경우에 비해, 패드(8)로의 서지전압 등 이상입력이 인가된 경우에 발생하는 정전과피에 대한 내성을 향상시킬 수 있다.
- <119> 구체적으로는 도 11의 (a) 및 (b)에 나타낸 바와 같이, 패드(8)를 끼고 하단에 ESD보호소자(43)가 배치됨과 더불어, 패드(8)를 끼고 상단을 향해 하측 회생다이오드(31), 하측트랜지스터(29) 및 프리드라이버(44)가 차례로 배치된다.
- <120> 이 배치구성에 의해, 기준전위 이하의 마이너스서지에 의한 전류는 패드(8)에서 가장 가까운 하측 회생다이오드(31)로 흐르는 한편, 전원전압을 초과하는 플러스서지에 의한 전류는 패드(8)에서 가장 가까운 ESD보호소자(43)로 흐르므로, 정전과피에 대한 내성을 향상시킬 수 있다.
- <121> 또, 도 11의 (a) 및 (b)에 나타낸 바와 같이, ESD보호소자(43), 패드(8), 하측 회생다이오드(31), 하측트랜지스터(29), 및 프리드라이버(44)는 일직선상에 배치됨으로써, 후술하는 도 12에 나타낸 반도체 집적회로의 배치에서도 알 수 있는 바와 같이, 단일IGBT드라이버(48)를 포함하는 출력회로(25d)를 구성하는 출력회로 셀(16D)의 고집적화를 실현할 수 있다. 그리고, 프리드라이버(44)는, 셀 폭이 가장 큰 하측트랜지스터(29)의 셀 폭 내로 들어가도록 설계하며, 구체적으로는 도 11의 (a) 및 (b)에 나타낸 바와 같이, 하측트랜지스터(29)의 셀 폭에 맞

추어 설계함으로써, 반도체 집적회로의 고집적화를 실현한다.

- <122> 여기서 도 11 (b)의 21은 스루홀이며, 41은 콘택트이고, 37은 하측트랜지스터(29)의 에미터영역, 38은 하측트랜지스터(29)의 콜렉터영역, 39는 하측 회생다이오드(31) 및 ESD보호소자(43)의 음극영역, 40은 하측 회생다이오드(31) 및 ESD보호소자(43)의 양극영역이다.
- <123> 도 12는 반도체칩(1) 상에, 전술한 구성배치를 갖는 출력회로 셀(16D)을 배치한 다채널 반도체 집적회로의 평면도이다.
- <124> 도 12에 나타낸 바와 같이 반도체칩(1) 상에는, 중앙부에 입력제어회로 등에 의한 출력타이밍 제어를 행하는 저내압제어부(6)가 배치되고 더불어, 이 저내압제어부(6)를 개재하고 대향하도록, 복수의 상기 출력회로 셀(16D)이 칩 가장자리를 따라 배치되며, 저내압제어부(6)와 출력회로 셀(16D)의 각각과는 버스배선(7)으로 접속되어, 저내압제어부(6)로부터의 제어신호를 버스배선(7)을 이용하여 프리드라이버(44)로 전달시킨다. 또, 복수의 출력회로 셀(16D) 양끝에는, 고압전원 패드(4) 및 기준전위 패드(5)가 배치된다. 여기서, 복수의 출력회로 셀(16D) 배치는 도시한 것에 한정되는 것은 아니며, 패드(8)에 접속되는 본딩와이어끼리 접촉하지 않는 여러 가지 배치로 할 수도 있다.
- <125> 또한, 출력회로 셀(16D) 내의 하측트랜지스터(29) 상에는, 기준전위 배선(3a)이 형성되며, 이 배선(3a)은, 복수의 출력회로 셀(16D) 양쪽에 배치된 기준전위 패드(5)에 접속된다. 마찬가지로, 출력회로 셀(16D) 내의 ESD보호소자(43) 상에는, 고압전위 배선(2)이 형성되며, 이 고압전위 배선(2)은 복수의 출력회로 셀(16D) 양쪽에 배치된 고압전원 패드(4)에 접속된다.
- <126> 또, 반도체칩(1) 내에서 복수의 출력회로 셀(16D) 양쪽에 배치된 기준전위 패드(5) 및 고압전원 패드(4)는, 패키지로부터의 와이어본딩으로 접속되므로, 기준전위 패드(5) 및 고압전원 패드(4)의 전위는 안정된다. 이로써, 각 채널의 출력이 대전류가 될 경우에도, 각각의 출력회로 셀(16D)의 기준전위 및 고압전위가 안정되어, 균일한 출력특성 및 ESD내성을 얻을 수 있다. 한편, 저내압제어부(6)에서 길이방향의 한쪽 단부에는, 입력제어 패드(9)가 배치되고 더불어, 다른 쪽 단부에는 기준전위 패드(5)가 배치된다. 그리고, 저내압제어부(6) 상에는, 입력제어 패드(9) 쪽을 제외한 3방향을 둘러싸도록 기준전위 배선(3b)이 형성된다. 기준전위 배선(3b)은, 패드(8)로부터 침입하는 외부노이즈가 출력회로 셀(16D)을 통해 저내압제어부(6)로 전달되는 것을 방지하는 실드로서의 역할을 갖는다. 이로써, 저내압제어부(6)로부터의 프리드라이버(44)로 입력되는 신호가 안정화되어 출력특성이 안정된다.
- <127> 또한, 이상의 각 실시형태에 있어서 "기준전위"란 표현을 사용하여 설명하여, 접지전위 이외의 전위인 경우도 포함시켰는데, 여기서는 반도체칩 기판에 접속되는 전위이며, 통상은 접지전위를 의미한다.

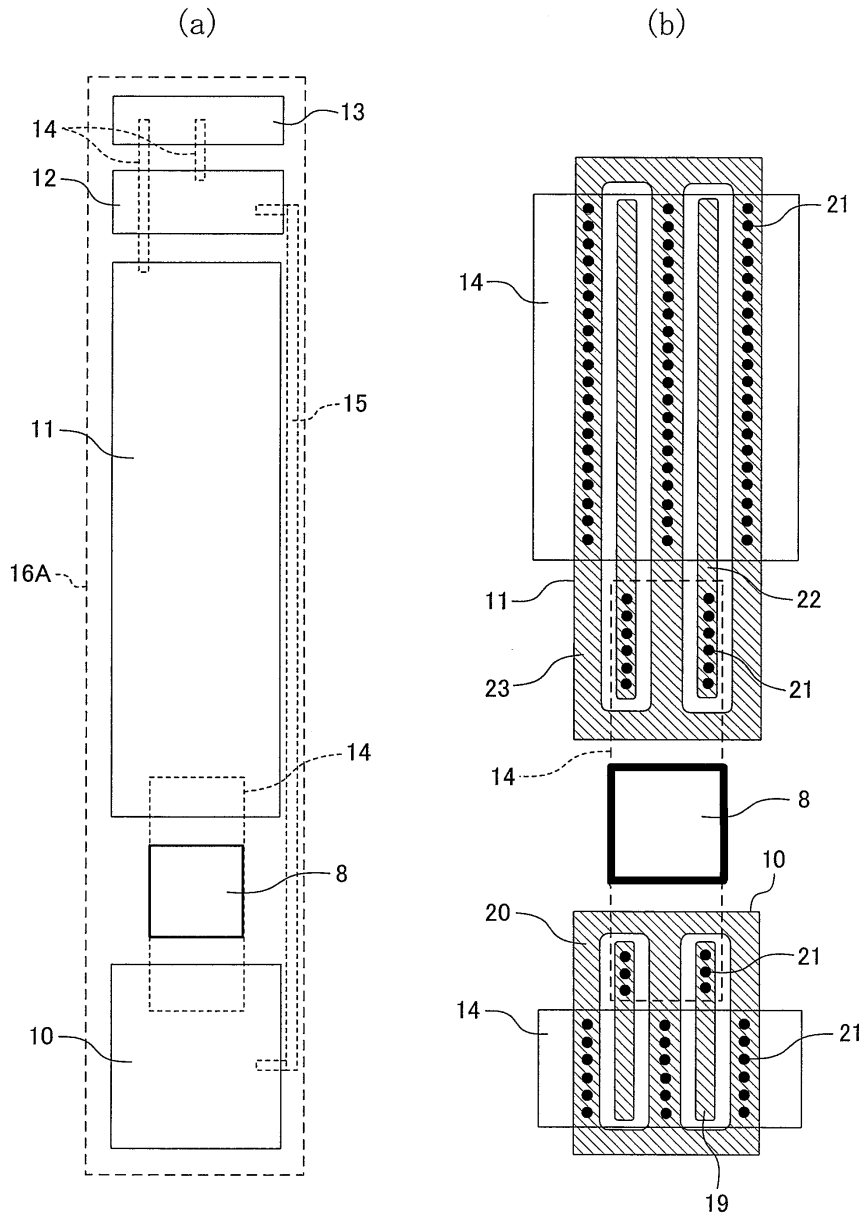
산업상 이용 가능성

- <128> 본 발명은, PDP 등의 용량성 부하를 구동시키는 다채널 반도체 집적회로에 유용하다.

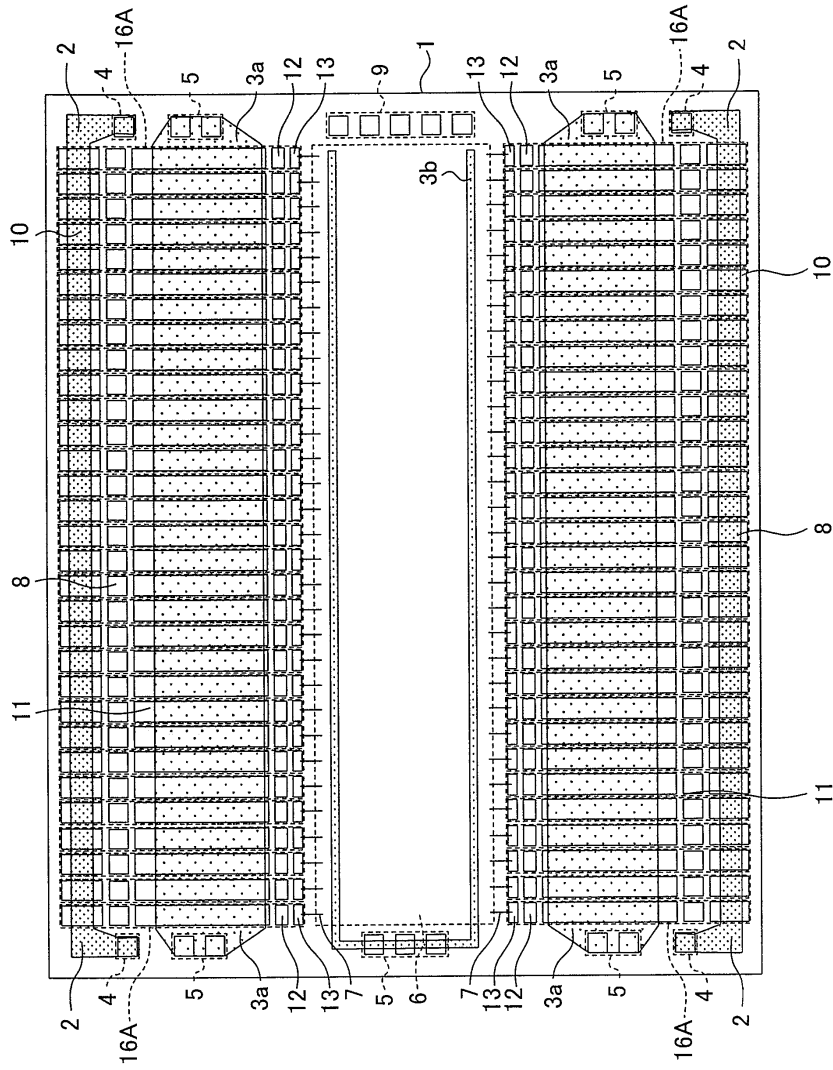
도면의 간단한 설명

- <35> 도 1은, 본 발명 제 1 실시형태에서의 패드를 갖는 MOS드라이버를 포함하는 출력회로의 회로구성 예를 나타낸 도이다.
- <36> 도 2의 (a) 및 (b)는, 본 발명 제 1 실시형태에서의 출력회로 셀 확대평면도이다.
- <37> 도 3은, 본 발명 제 1 실시형태에 관한 반도체 집적회로의 배치구성을 나타낸 평면도이다.
- <38> 도 4는, 본 발명 제 2 실시형태에서 패드를 갖는 IGBT드라이버를 포함하는 출력회로의 회로구성 예를 나타낸 도이다.
- <39> 도 5의 (a) 및 (b)는, 본 발명 제 2 실시형태에서의 출력회로 셀 확대평면도이다.
- <40> 도 6은, 본 발명 제 2 실시형태에 관한 반도체 집적회로의 배치구성을 나타낸 평면도이다.
- <41> 도 7은, 본 발명 제 3 실시형태에서 패드를 갖는 단일MOS드라이버를 포함하는 출력회로의 회로구성 예를 나타낸 도이다.
- <42> 도 8의 (a) 및 (b)는, 본 발명 제 3 실시형태에서의 출력회로 셀 확대평면도이다.

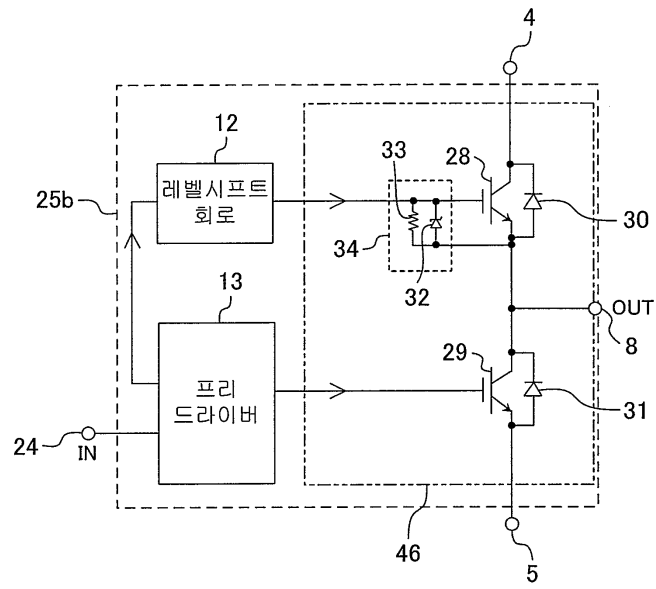
도면2



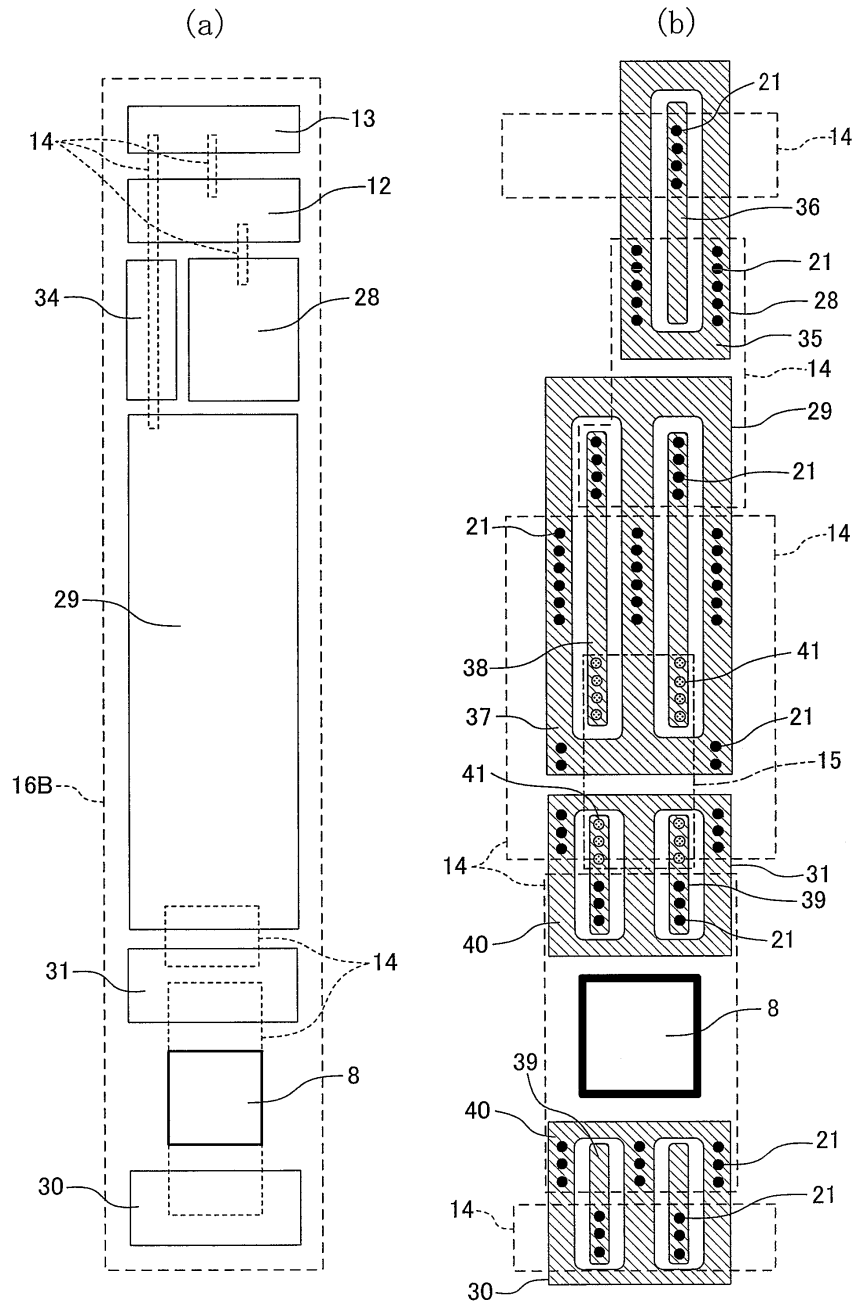
도면3



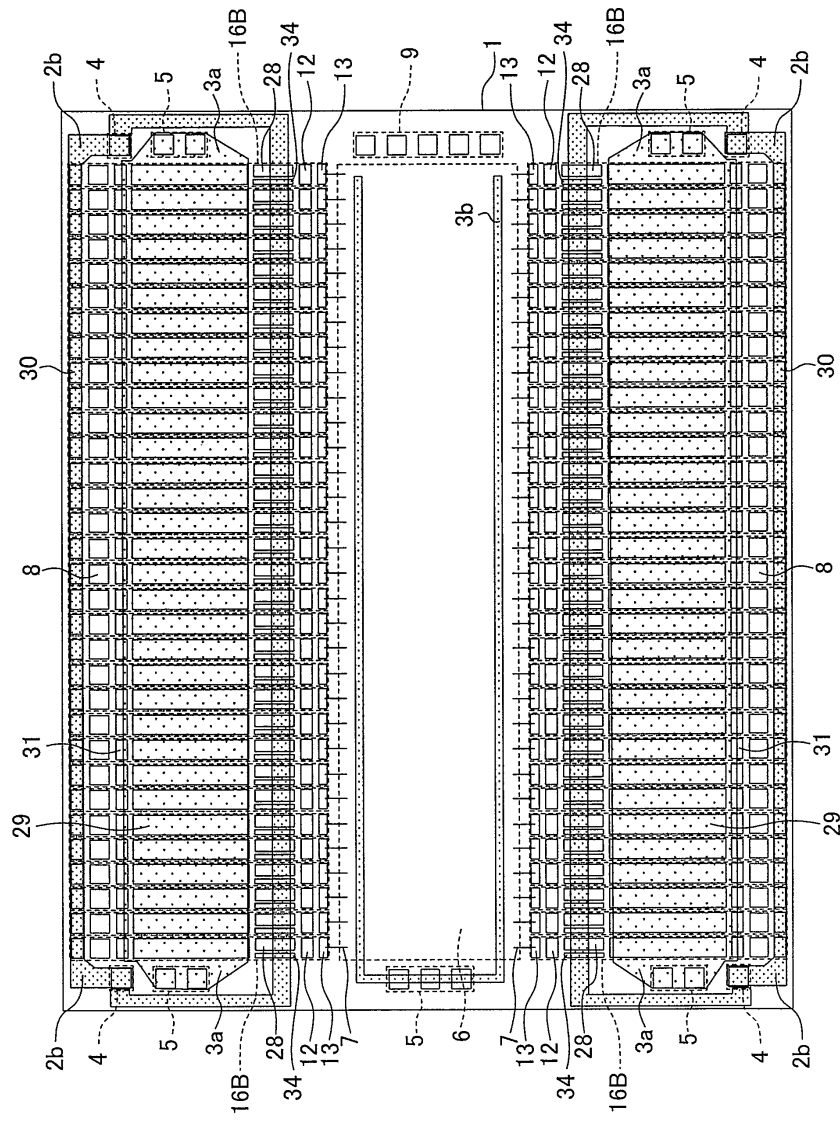
도면4



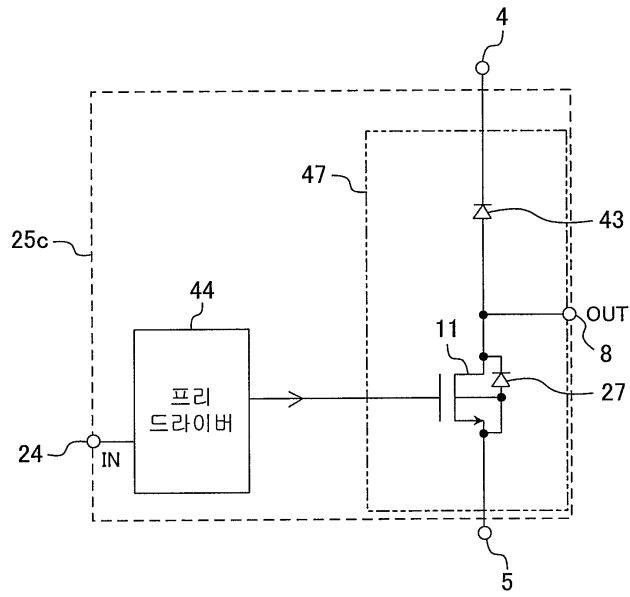
도면5



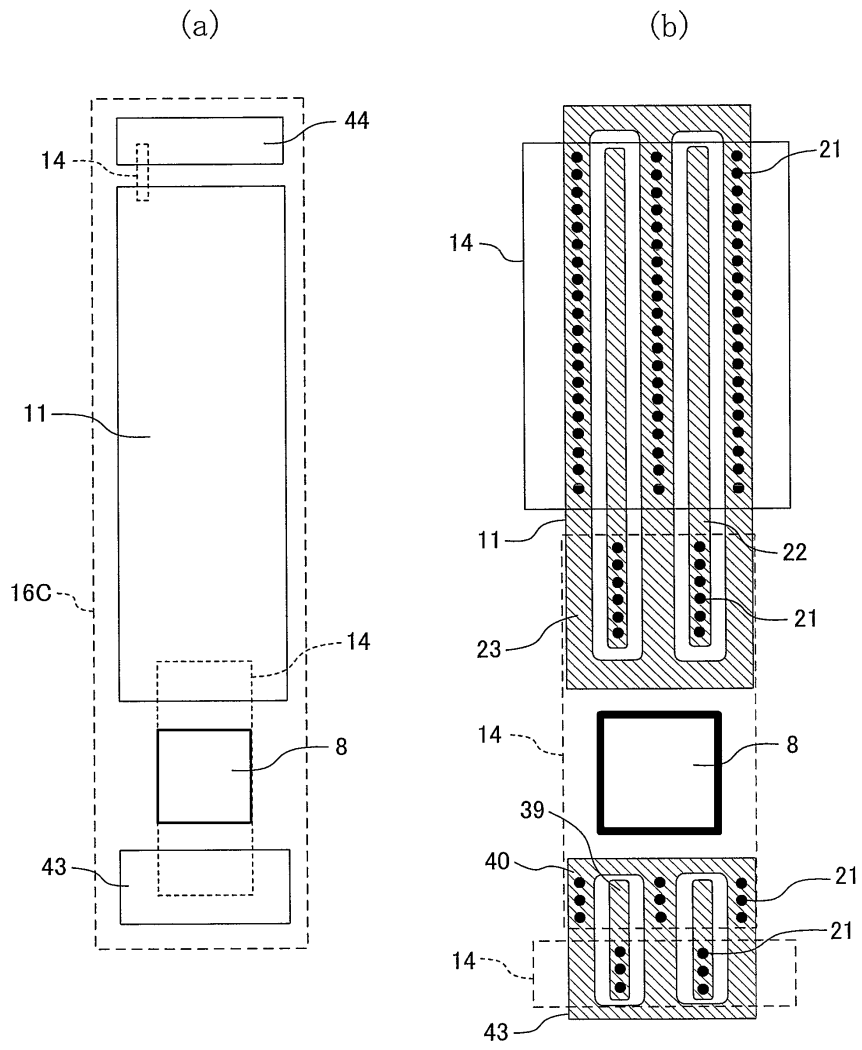
도면6



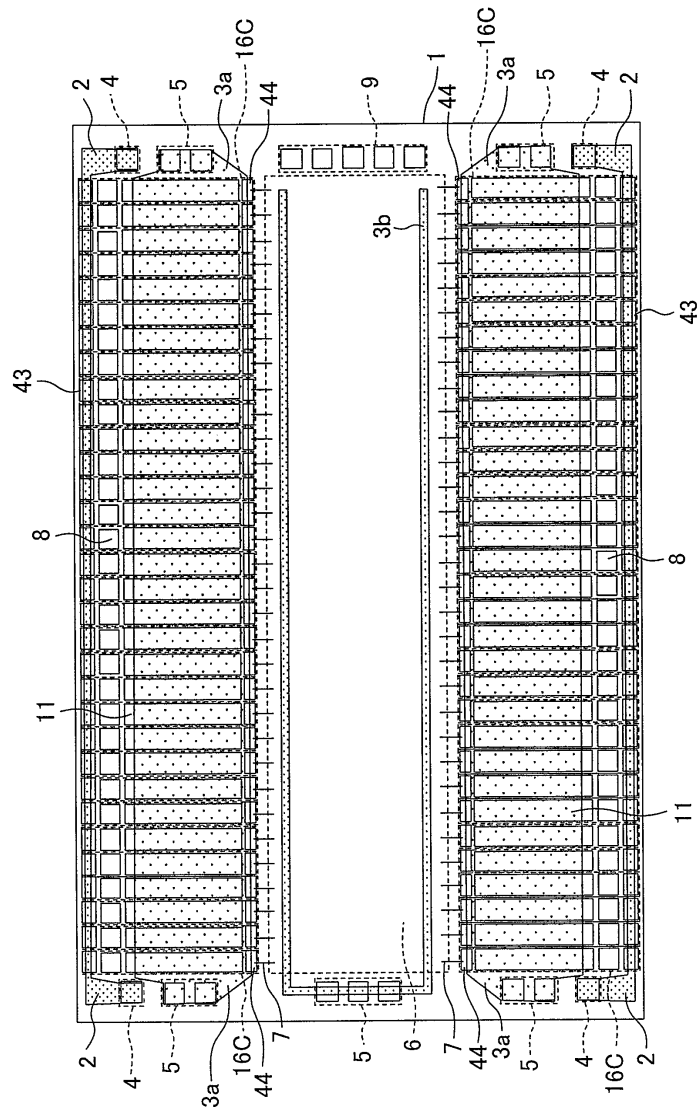
도면7



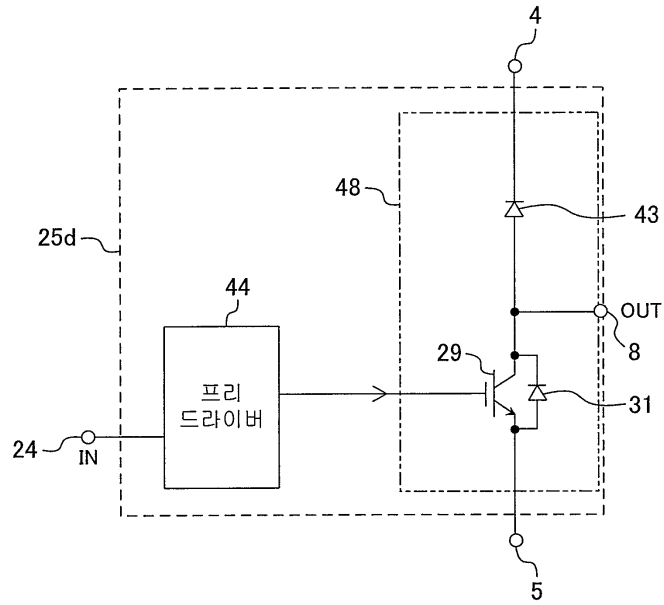
도면8



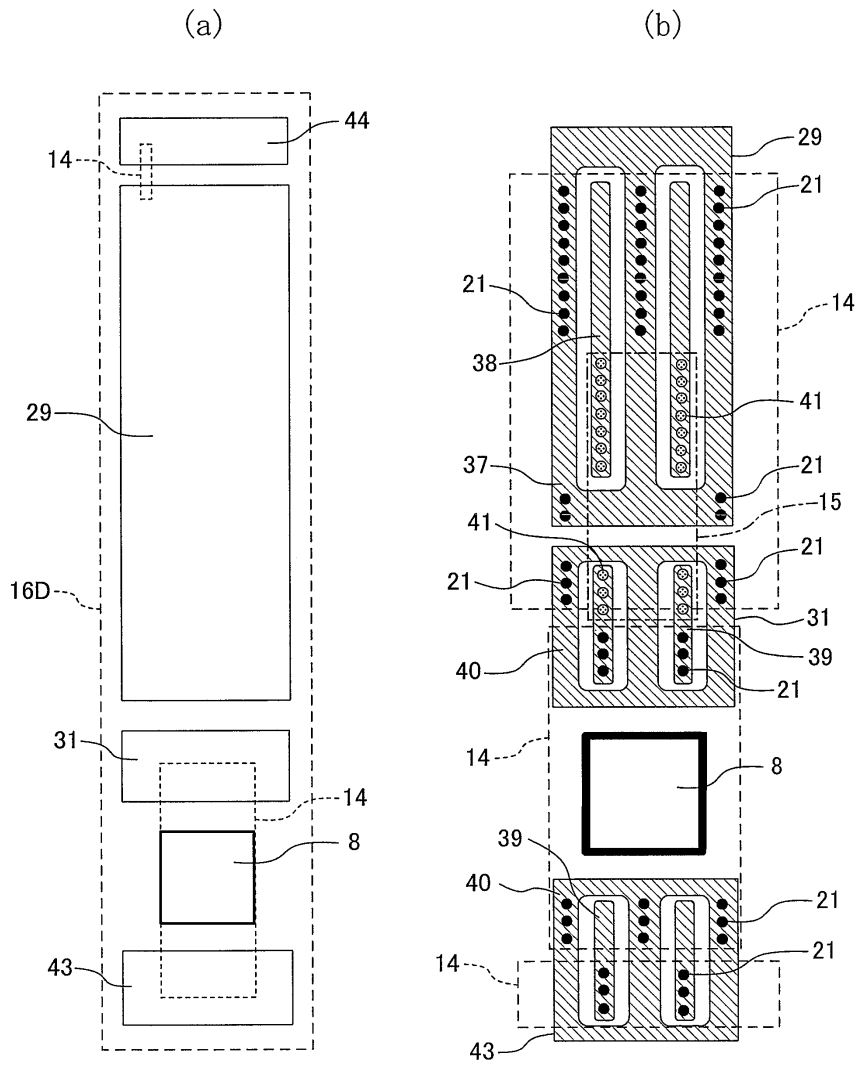
도면9



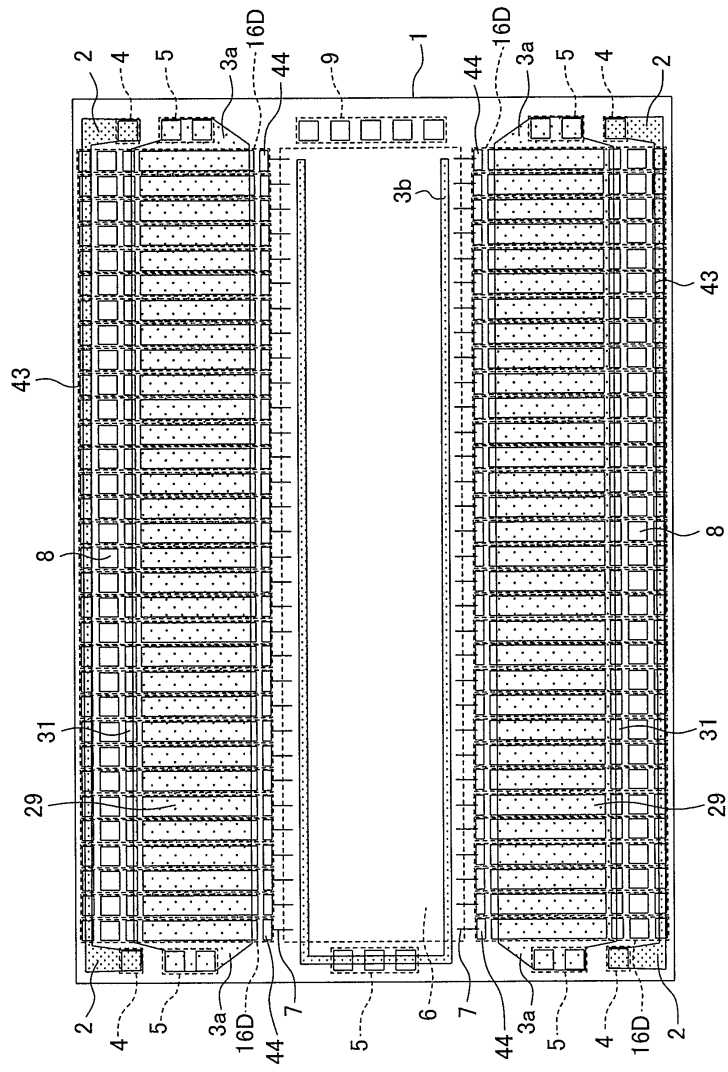
도면10



도면11



도면12



도면13

