

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第4区分  
 【発行日】平成29年1月19日(2017.1.19)

【公表番号】特表2016-528660(P2016-528660A)  
 【公表日】平成28年9月15日(2016.9.15)  
 【年通号数】公開・登録公報2016-055  
 【出願番号】特願2016-531772(P2016-531772)  
 【国際特許分類】

G 1 1 C 17/12 (2006.01)

【F I】

G 1 1 C 17/00 3 0 4 B

【手続補正書】

【提出日】平成28年11月22日(2016.11.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ビット線と相補ビット線とを含むカラム線ペアと、  
 複数のメモリセルと、ここにおいて、各メモリセルが、前記ビット線に結合された第1のトランジスタと、前記相補ビット線に結合された第2のトランジスタとを備えるトランジスタのペアを含み、ここにおいて、トランジスタの各ペアについて、前記第1および第2のトランジスタのうちの1つが低しきい値電圧(低 $V_t$ )トランジスタであり、前記第1および第2のトランジスタのうちの残りの1つが高しきい値電圧(高 $V_t$ )トランジスタである、

前記ビット線と前記相補ビット線との間の電圧差を検知するように構成されたセンス増幅器と、

接地と前記第1および第2のトランジスタの各々のソースとの間に結合されたチョークデバイスと、ここにおいて、前記チョークデバイスが、漏れ電流を抑制するために前記第1および第2のトランジスタの前記各々のためのゲートソース間電圧を低減するように構成される、

前記相補ビット線に結合されたそのゲートと、前記ビット線に結合されたドレインとを有する第1のPMOSTランジスタと、

前記ビット線に結合されたそのゲートと、前記相補ビット線に結合されたドレインとを有する第2のPMOSTランジスタと

を備えるマスクプログラムROM(MROM)。

【請求項2】

前記第1のトランジスタおよび前記第2のトランジスタがNMOSTランジスタである、請求項1に記載のMROM。

【請求項3】

前記チョークデバイスが、電源に結合されたゲートと、接地に結合されたソースと、前記第1および第2のトランジスタの前記ソースに結合されたドレインとを有するNMOSTランジスタを備える、請求項1に記載のMROM。

【請求項4】

前記第1のPMOSTランジスタのためのソースと前記第2のPMOSTランジスタのためのソースとが両方とも電源に結合された、請求項1に記載のMROM。

## 【請求項 5】

前記カラム線ペアの両端間のコモンモード電圧降下を減少させるように構成されたキーパーデバイスのペアをさらに備える、請求項 1 に記載の M R O M。

## 【請求項 6】

前記カラム線ペアをプリチャージするように構成されたプリチャージトランジスタのペアをさらに備える、請求項 1 に記載の M R O M。

## 【請求項 7】

ビット線と相補ビット線とを含むカラム線のペアをプリチャージすることと、

前記ビット線に結合された第 1 のトランジスタと、前記相補ビット線に結合された第 2 のトランジスタとを含むメモリセルにアクセスするためにワード線をアサートすることと、  
ここにおいて、前記第 1 および第 2 のトランジスタのうちの 1 つが低 V t トランジスタであり、ここにおいて、前記第 1 および第 2 のトランジスタのうちの残りの 1 つが高 V t トランジスタである、

前記ワード線のアサーションにตอบสนองして、前記アクセスされたメモリセルに記憶された 2 進値を検知するために、前記第 1 および第 2 のトランジスタのうちのどの 1 つが前記低 V t トランジスタであるか、および、前記第 1 および第 2 のトランジスタのうちのどの 1 つが前記高 V t トランジスタであるかを決定するために、カラム線の前記プリチャージされたペアの両端間の電圧差を検知することと、

漏れ電流を抑制するために、チョークデバイスを通して接地に前記第 1 のトランジスタのためのソースを結合し、前記チョークデバイスを通して接地に前記第 2 のトランジスタのソースを結合することと、

キーパーデバイスを通して前記ビット線と前記相補ビット線とを弱くチャージすることによって、前記カラム線のペアについてのコモンモード電圧降下を減少させることと

を備える、方法。

## 【請求項 8】

前記低 V t トランジスタが、前記プリチャージされたカラム線のうちの 1 つを、前記プリチャージされたカラム線のうちの残りの 1 つよりも低い電圧までディスチャージしたことにตอบสนองして、前記プリチャージされたカラム線の前記残りの 1 つを電源電圧までチャージするためにトランジスタをオンにすることをさらに備える、請求項 7 に記載の方法。

## 【請求項 9】

センス増幅器において前記電圧差を検知することをトリガするために、前記電圧差の発生後にセンスイネーブル信号をアサートすることをさらに備える、請求項 7 に記載の方法。

## 【請求項 10】

ビット線と相補ビット線とを含むカラム線ペアと、

チョークデバイスと、

複数のメモリセルと、ここにおいて、各メモリセルが、前記ビット線に結合された第 1 のトランジスタと、前記相補ビット線に結合された第 2 のトランジスタとを備えるトランジスタのペアを含み、ここにおいて、トランジスタの各ペアについて、前記第 1 および第 2 のトランジスタのうちの 1 つが、前記チョークデバイスを通して接地に結合されたソースを有する低しきい値電圧（低 V t ）トランジスタであり、前記第 1 および第 2 のトランジスタのうちの残りの 1 つが、前記チョークデバイスを通して接地に結合されたソースを有する高しきい値電圧（高 V t ）トランジスタであり、ここにおいて、前記チョークデバイスが、前記第 1 および第 2 のトランジスタの各々のためのゲートソース間電圧を低減するように構成される、

前記メモリセルのうちのアクセスされた 1 つのメモリセルにおいて前記第 1 および第 2 のトランジスタのうちのいずれが高 V t トランジスタまたは低 V t トランジスタであるかを決定するために前記ビット線と前記相補ビット線との間の電圧差を検知するための手段と、

前記相補ビット線に結合されたそのゲートと、前記ビット線に結合されたドレインと

を有する第 1 の P M O S トランジスタと

前記ビット線に結合されたそのゲートと、前記相補ビット線に結合されたドレインと  
を有する第 2 の P M O S トランジスタと

を備えるマスクプログラム D R O M ( M R O M ) 。

【請求項 1 1】

前記手段は、前記メモリセルのうちの前記アクセスされた 1 つのメモリセルにおいて前記第 1 および第 2 のトランジスタのうちのいずれが高 V t トランジスタまたは低 V t トランジスタであるかを決定するために、前記カラム線ペアの両端間の電圧差を検出するように構成された、請求項 1 0 に記載の M R O M 。

【請求項 1 2】

前記手段は、前記メモリセルのうちの前記アクセスされた 1 つのメモリセルにおいて前記第 1 および第 2 のトランジスタのうちのいずれが高 V t トランジスタまたは低 V t トランジスタであるかの前記決定に応答してビット判定を行うようにさらに構成された、請求項 1 1 に記載の M R O M 。

【請求項 1 3】

前記第 1 のトランジスタおよび前記第 2 のトランジスタが N M O S トランジスタである、請求項 1 0 に記載の M R O M 。