

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 6 月 21 日 (21.06.2012)



(10) 国际公布号
WO 2012/079307 A1

- (51) 国际专利分类号:
H01L 21/768 (2006.01) H01L 23/52 (2006.01)
H01L 21/31 (2006.01)
- (21) 国际申请号: PCT/CN2011/071360
- (22) 国际申请日: 2011 年 2 月 28 日 (28.02.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201010590432.4 2010 年 12 月 15 日 (15.12.2010) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 赵超 (ZHAO, Chao) [BE/BE]; 比利时凯瑟尔洛市普拉特洛斯彻特街 276 号, Kessel-lo B-3010 (BE)。 王文武 (WANG, Wenwu) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 钟汇才 (ZHONG, Huicai) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(74) 代理人: 北京集佳知识产权代理有限公司 (UNITALEN ATTORNEYS AT LAW); 中国北京市朝阳区建国门外大街 22 号赛特广场 7 层, Beijing 100004 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条(3))。

(54) Title: METHOD FOR FILLING OPENING

(54) 发明名称: 开口的填充方法

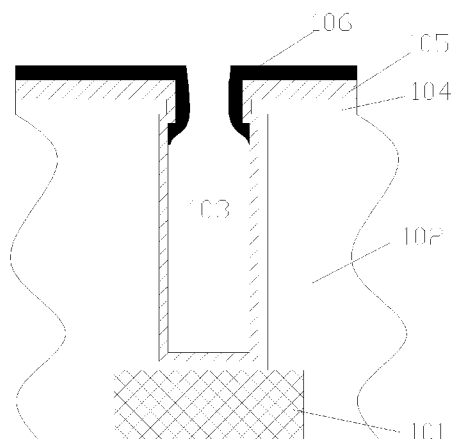


图 8 / Fig. 8

(57) Abstract: A method for filling an opening is provided. The method comprises: providing a semiconductor substrate, which has at least an underlayer metal connection line layer (101) and an isolating dielectric layer (102) above the underlayer metal connection line layer, forming an opening (103) in the isolating dielectric layer; forming a diffusion barrier layer (104) and a seed layer (105) on the surface of the isolating dielectric layer inside and outside the opening in sequence; and covering a metal layer (107) on the semiconductor substrate having a mask layer (106), thus filling the opening with the metal layer.

[见续页]

WO 2012/079307 A1

(57) 摘要:

提供一种开口的填充方法。该方法包括：提供半导体衬底，至少具有底层金属连线层（101）和底层金属连线层上方的隔离介质层（102），隔离介质层中形成有开口（103）；在开口内和开口外的隔离介质层表面依次形成扩散阻挡层（104）和籽晶层（105）；在具有掩膜层（106）的半导体衬底上覆盖金属层（107），金属层将开口填充。

开口的填充方法

本申请要求于 2010 年 12 月 15 日提交中国专利局、申请号为 201010590432.4、发明名称为“开口的填充方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及半导体制造技术领域，特别涉及一种开口的填充方法。

背景技术

随着对超大规模集成电路高集成度和高性能的需求逐渐增加，半导体技术向着 22nm 甚至更小特征尺寸的技术节点发展，而芯片的运算速度明显受到金属导线所造成的电阻电容延迟(Resistance Capacitance Delay Time, RC Delay Time)的影响。因此在目前的半导体制造技术中，采用具有更低电阻率的铜金属互连，来代替传统的铝金属互连，以改善 RC 延迟的现象。

铜电镀工艺已广泛地应用于集成电路的金属互连制造过程中，用来填充介质层中的沟槽和通孔，制造铜金属连线并实现上下金属连线层之间的连通。另外，在紧邻器件层的接触插塞结构中，如果使用铜接触，也采用电镀的方法填充。在采用穿硅通孔 (Through Si Via, TSV)实现的三维封装技术中，也需采用电镀的方法对 TSV 进行填充。

目前，随着器件小型化的不断深入，半导体结构的尺寸越来越小，致使电镀填充的难度越来越大。特别是当半导体结构的深宽比很大时，比如 TSV，由物理气相沉积法(PVD)形成的扩散阻挡层和铜籽晶层在通孔上部会形成锁颈，该锁颈会随着电镀的过程中进一步扩大，最终致使通孔开口封闭，造成填充的通孔中形成空洞，影响器件的可靠性。

图 1 至图 4 为现有一种通孔的填充方法。如图 1 所示，半导体衬底表面包括底层金属连线层 10 和具有通孔 11 的介质层 12，如图 2 所示，采用 PVD 方法在所述半导体衬底表面沉积扩散阻挡层 13 和铜籽晶层 14，通常为防止金属材料向介质层 12 中扩散，所述扩散阻挡层 13 的厚度不能小于一定值（例如 6 纳米），而当通孔的尺寸低于一定值时（例如 20 纳米），扩散阻挡层 13 沉积之后，给铜籽晶层 14 沉积留下的空间深宽比变得更大；如图 3 所示，在通孔 11 内外的铜籽晶层 14 表面电镀铜金属层 15，由于电镀工艺本身的填孔能力有限，

—2—

沉积铜金属层 15 时会不可避免地在通孔 11 的开口处形成一定程度的锁颈 A，即相对通孔内部来说通孔开口处会沉积更多铜金属层 15，如图 4 所示，随着电镀工艺的进行，继续沉积铜金属层 15 会导致通孔 11 开口过早地关闭，导致在已经填充铜金属层 15 的通孔 11 中留下空洞 B，最终造成电路可靠性问题。

此外，在 3D 封装中使用的贯穿孔和先进金属互连工艺中的沟槽，由于深宽比较大，在沉积扩散阻挡层和铜籽晶层时产生的锁颈也会造成同样的填充问题。

发明内容

本发明解决的问题是提供一种开口的填充方法，能够避免填充空洞的出现，提高电路的可靠性。

为解决上述问题，本发明提供一种开口的填充方法，包括：

提供半导体衬底，至少具有底层金属连线层和所述底层金属连线层上方隔离介质层，所述隔离介质层中具有开口；

在开口内和开口外的隔离介质层表面依次形成扩散阻挡层和籽晶层；

在所述开口外的籽晶层表面形成掩膜层；

在具有掩膜层的半导体衬底上覆盖金属层，所述金属层将所述开口填充。

在所述开口外的籽晶层表面形成掩膜层的步骤中，采用具有方向性束流的 PVD 工艺或者表面处理工艺，所述束流的方向偏离半导体衬底的法线方向。

优选的，所述掩膜层具有抑制金属层材料在其表面沉积的特性。

所述掩膜层还覆盖开口的缩颈区。

所述掩膜层材料包括高电阻金属材料、半导体材料或介质材料。

优选的，所述掩膜层包括：Ta 和 TaN 中的一种或它们的叠层。

所述表面处理工艺为氧离子注入工艺，则所述掩膜层的材料为氧化铜。

在所述开口外的籽晶层表面形成掩膜层的步骤中，通过调整工艺时间使得掩膜层仅在所述开口外的籽晶层表面形成。

所述开口包括通孔、沟槽和 TSV 中的一种或多种。

所述金属层将所述开口填充之后还包括：所述进行平坦化工艺，去除所述开口外的金属层、籽晶层和扩散阻挡层，以形成金属连线层。

与现有技术相比，上述技术方案具有以下优点：

本发明实施例提供的开口的填充方法中，在开口内和开口外的隔离介质层表面依次形成扩散阻挡层和籽晶层，而所述开口外的籽晶层表面形成有掩膜层，在所述掩膜层的阻挡作用下，后续在半导体衬底上沉积金属层的过程中，所述金属层并不是在开口内外的表面上同时沉积，而是先逐渐将所述开口内部填充，然后才沉积在开口外表面，从而能够避免缩颈现象的出现，减小或消除了空洞缺陷产生的概率，提高电路的可靠性。

附图说明

通过附图所示，本发明的上述及其它目的、特征和优势将更加清晰。在全部附图中相同的附图标记指示相同的部分。并未刻意按实际尺寸等比例缩放绘制附图，重点在于示出本发明的主旨。

图 1 至图 4 为现有一种通孔的填充方法的示意图；

图 5 为实施例一中开口的填充方法的流程图；

图 6 至图 12 为实施例一中开口的填充方法的示意图；

图 13 为实施例二中开口的填充方法的示意图。

具体实施方式

为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。

在下面的描述中阐述了很多具体细节以便于充分理解本发明，但是本发明还可以采用其他不同于在此描述的其它方式来实施，本领域技术人员可以在不违背本发明内涵的情况下做类似推广，因此本发明不受下面公开的具体实施例的限制。

其次，本发明结合示意图进行详细描述，在详述本发明实施例时，为便于说明，表示器件结构的剖面图会不依一般比例作局部放大，而且所述示意图只是示例，其在此不应限制本发明保护的范围。此外，在实际制作中应包含长度、宽度及深度的三维空间尺寸。

正如背景技术部分所述,当前超大规模集成电路制造技术向着 22nm 甚至更小特征尺寸的技术节点发展,随之而来电路可靠性问题的增多,提高良率始终是业内关注的重点。后端的金属连线层的制造工艺往往是引起电路可靠性降低的因素之一。

本发明的发明人研究发现,后端工艺中金属连线层的沟槽和层间通孔的尺寸较小、深宽比较大,在其中填充金属材料前需要先沉积的扩散阻挡层和电镀籽晶层,由于沉积铜籽晶层时会不可避免地开口处生成的锁颈,当采用电镀法作进一步填充金属时,将导致通孔的开口过早地关闭,在金属连线层中形成空洞缺陷,从而造成可靠性问题。

基于此,本发明提出一种开口的填充方法,采用选择性填充的方式,在通孔或沟槽等开口内填充金属材料,避免缩颈现象的发生。以下结合附图详细说明所述开口填充方法的具体实施方式。

实施例一

图 5 为本实施例中开口的填充方法的流程图,图 6 至图 11 为本实施例中开口的填充方法的示意图。本实施例以金属连线层之间的通孔填充过程为例,则所述开口为通孔。

如图所示,所述开口的填充方法包括:

步骤 S1: 提供半导体衬底,参照图 6 所示,该半导体衬底至少具有底层金属连线层 101 和底层金属连线层 101 上方的隔离介质层 102,所述隔离介质层 102 中具有通孔 103。这里“底层”仅是相对其上层的金属连线层而言,并不代表第一层金属连线层。所述半导体衬底上还包括逻辑器件、功率器件和/或存储器件(图中未示出)等,位于多层金属连线层的下方。所述通孔 103 的底面为底层金属连线层 101,其侧壁为隔离介质层 102。

步骤 S2: 如图 7 所示,在通孔 103 内和通孔 103 外的隔离介质层 102 表面依次形成扩散阻挡层 104 和籽晶层 105。

具体的,采用 PVD 方法在整个半导体衬底上沉积所述扩散阻挡层 104,覆盖通孔 103 的内外表面。该扩散阻挡层 104 通常由难熔金属及其合金组成,其材料包括 TaN、Ta、Ti、TiN 或者它们的叠层,例如,采用钛膜和钛膜之上

的氮化钛膜组成层叠的扩散阻挡层，钛膜对氧具有一定的溶解能力，因此与其底层金属连线层 101 直接接触，可以还原金属连线层 101 的表面，减小接触电阻；而氮化钛膜则可抑制或阻止后续工艺填入通孔内的金属材料向隔离介质层 102 中扩散。该扩散阻挡层 104 的厚度约为 10nm，除了 PVD 工艺也可以采用化学气相沉积工艺。

所述籽晶层 105 厚度仅几纳米，一方面可以增强后续填充的金属层与扩散阻挡层 104 的粘附力，另一方面可以为形成金属层提供形核基础，该籽晶层 105 的材料与后续填充的金属层的材料相同或接近，例如，金属层的材料为铜，则籽晶层 105 的材料也为铜或铜的合金。可选的，所述籽晶层 105 可以采用 PVD 制作。

步骤 S3：如图 8 所示，在所述通孔 103 外的籽晶层 105 表面形成掩膜层 106。换言之，掩膜层 106 在具有籽晶层 105 的半导体衬底表面实现选择性沉积，通孔 103 内的表面没有形成掩膜层 106，仅在通孔 103 外的表面形成掩膜层 106。

具体的，通过调整 PVD 工艺的束流入射角度和/或时间均能够实现掩膜层 106 的选择性沉积。

采用具有方向性束流的 PVD 工艺沉积掩膜层 106，所述束流的方向偏离所述半导体衬底的法线方向，使得掩膜层 106 仅覆盖通孔 103 外的籽晶层 105（即场区）表面，避免对通孔 103 内表面的覆盖，可选的，束流方向偏离半导体衬底法线方向的角度大于 45 度。

另外一种实现掩膜层 106 选择性沉积的方式为调整沉积时间。通过沉积时间来控制掩膜层 106 的覆盖范围主要是利用 PVD 工艺自身沉积的不均匀性。一般说来，掩膜层 106 在通孔 103 内表面的沉积速率远慢于通孔 103 外表面，于是，参考 PVD 设备性能和工艺参数，根据设计的掩膜层 106 的厚度可以推算出最佳的沉积时间。可选的，掩膜层 106 的厚度约为 2 纳米至 10 纳米，则沉积时间的范围约为 0.5 秒到 60 秒，但并不限于此，根据不同的 PVD 设备和工艺条件掩膜层的厚度和沉积时间也不同。

所述掩膜层 106 还覆盖了通孔 103 的缩颈区，所述缩颈区为通孔 103 侧墙与通孔 103 外表面的连接处。

所述掩膜层 106 的材料包括高电阻率金属材料、半导体材料或介质材料。所述高电阻率金属材料包括 TaN、Ta、Ti 和 TiN 中的一种或至少两种的叠层；所述半导体材料包括 Si、Ge 等；所述介质材料包括 SiO₂、SiC、SiN_x 和 SiON 的一种或至少两种的叠层。

优选的，所述掩膜层 106 包括：Ta 和 TaN 中的一种或它们的叠层。最优先的为 Ta 或 Ti，在传统的前端工艺中，已经使用 PVD 方法来沉积 Ta 或 Ti 基的扩散阻挡层 104，因此，采用 Ta 或 Ti 作为掩膜层材料，不必再引入新的工艺腔和前躯体，有利于工艺集成、提高产能。

所述掩膜层 106 具有抑制金属层材料在其表面沉积的特性，这样电镀工艺过程中掩膜层 106 表面就很难或者不会有金属层沉积。

步骤 S4：如图 9 至图 11 所示，在具有掩膜层 106 的半导体衬底上覆盖金属层 107，所述金属层 107 将所述通孔 103 填充。

具体的，以掩膜层 106 为阻挡层，采用电镀工艺向半导体衬底表面沉积金属层 107，所述金属层 107 的材料为铜。

如图 9 所示，由于掩膜层 106 的阻挡作用，或者说由于掩膜层 106 表面没有籽晶层而不具备金属层 107 形核生长的条件，沉积开始时，金属层 107 仅在通孔 103 内形成，而缩颈区和通孔外表面均没有金属层，随着沉积的进行，通孔 103 内剩余的空间越来越小。

如图 10 所示，通孔 103 内的空间完全被金属层 107 填充，继续进行电镀工艺，金属层 107 开始覆盖缩颈区和通孔 103 外的表面，直到把半导体衬底的裸露表面全部覆盖，参见图 11。

在本发明的另一实施例中，所述金属层 107 将通孔 103 填充之后还包括步骤 S5：进行平坦化工艺，去除所述通孔 103 外的金属层 107、籽晶层 105 和扩散阻挡层 104，以形成金属连线层。

如图 12 所示，所述平坦化工艺优选为化学机械研磨 (Chemical Mechanical Polishing, CMP)。CMP 过程中，由于掩膜层 106 具有抑制金属层材料在其表面沉积的特性，这样电镀工艺过程中金属层 107 没有沉积在掩膜层 106 表面，或只沉积很薄的金属层 107。因此金属层 107 可以很容易地被研磨掉，CMP 去除扩散阻挡层 104 之后，通孔 103 外为隔离介质层 102 表面，通孔 103 内形

成金属连线层，从而与底层金属连线层 101 电性相连。

本实施例提供的开口的填充方法中，在开口内和开口外的隔离介质层表面依次形成扩散阻挡层和籽晶层，而所述开口外的籽晶层表面形成有掩膜层，在所述掩膜层的阻挡作用下，后续在半导体衬底上沉积金属层的过程中，所述金属层并不是在开口内外的表面上同时沉积，而是先逐渐将所述开口内部填充，然后才沉积在开口外表面，从而能够避免缩颈现象的出现，减小或消除了空洞缺陷产生的概率，提高电路的可靠性。

本实施例中，所述开口为通孔，也可以为其他具有大深宽比的半导体结构。本发明其他实施例中所述开口还可以为沟槽或 TSV，或者为通孔、沟槽和 TSV 中至少两种的组合。

在所述开口外的籽晶层表面形成掩膜层的步骤中，以上实施例采用具有方向性束流的 PVD 工艺，事实上，也可以采用表面处理工艺形成掩膜层，以下实施例中详细说明。

实施例二

图 13 为本实施例中开口的填充方法的示意图。所述开口的填充方法包括：提供半导体衬底，至少具有底层金属连线层和所述底层金属连线层上方隔离介质层，所述隔离介质层中具有开口；

在开口内和开口外的隔离介质层表面依次形成扩散阻挡层和籽晶层；

在所述开口外的籽晶层表面形成掩膜层；

在具有掩膜层的半导体衬底上覆盖金属层，所述金属层将所述开口填充；

所述进行平坦化工艺，去除所述开口外的金属层、籽晶层和扩散阻挡层，以形成金属连线层。

以上步骤中与实施例不同的是，如图 13 所示，在所述开口 203 外的籽晶层 205 表面形成掩膜层 206 采用表面处理工艺。优选的，采用离子注入工艺使得籽晶层 205 表面改性，成为很难或者不会有金属层沉积的表面。

例如，采用氧离子注入铜籽晶层 205 表面，从而形成氧化铜的掩膜层 206。于是，后续沉积的铜金属层（图中未示出）就不会先沉积在掩膜层 206 表面，而是先沉积在开口 203 内。

其中，氧离子的注入深度应根据铜籽晶层 205 的厚度确定。例如，可采用厚度为 5-10 纳米的铜籽晶层，氧离子的注入深度则为 5-10 纳米。另外，注入过程需要控制注入离子束流的方向。所述注入离子束流的方向偏离所述半导体衬底的法线方向，使得掩膜层 206 仅覆盖开口 203 外的籽晶层 205（即场区）表面，避免对开口 203 内表面的覆盖，可选的，束流方向偏离半导体衬底法线方向的角度大于 45 度。

本实施例的其他步骤与实施例一基本类似，在此不再赘述。

本发明的另一实施例中，所述掩膜层也可以为包括光刻胶层在内的叠层结构，例如，籽晶层上方依次包括硬掩膜层、抗反射层和光刻胶层。通过光刻、曝光工艺形成具有开口图案的掩膜层，可以更准确的定义开口的位置，提高工艺的可靠性，但由于增加了一道光刻程序，成本控制方面不如实施例一和实施例二所述的开口填充方法。

以上所述，仅是本发明的较佳实施例而已，并非对本发明作任何形式上的限制。虽然上述实施例以金属连线层之间的通孔填充过程为例，本发明提供的开口填充方法也可以应用与 3D 封装中使用的贯穿孔和先进金属互连工艺中的沟槽。

虽然本发明已以较佳实施例披露如上，然而并非用以限定本发明。任何熟悉本领域的技术人员，在不脱离本发明技术方案范围情况下，都可利用上述揭示的方法和技术内容对本发明技术方案作出许多可能的变动和修饰，或修改为等同变化的等效实施例。因此，凡是未脱离本发明技术方案的内容，依据本发明的技术实质对以上实施例所做的任何简单修改、等同变化及修饰，均仍属于本发明技术方案保护的范围内。

本发明说明书中各个实施例采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分互相参见即可。对所公开的实施例的上述说明，使本领域专业技术人员能够实现或使用本发明。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的，本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下，在其它实施例中实现。因此，本发明将不会被限制于本文所示的这些实施例，而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

权 利 要 求

1、一种开口的填充方法，其特征在于，包括：

提供半导体衬底，至少具有底层金属连线层和所述底层金属连线层上方隔离介质层，所述隔离介质层中具有开口；

在开口内和开口外的隔离介质层表面依次形成扩散阻挡层和籽晶层；

在所述开口外的籽晶层表面形成掩膜层；

在具有掩膜层的半导体衬底上覆盖金属层，所述金属层将所述开口填充。

2、根据权利要求1所述的开口的填充方法，其特征在于，在所述开口外的籽晶层表面形成掩膜层的步骤中，采用具有方向性束流的PVD工艺或者表面处理工艺，所述束流的方向偏离半导体衬底的法线方向。

3、根据权利要求2所述的开口的填充方法，其特征在于，所述掩膜层具有抑制金属层材料在其表面沉积的特性。

4、根据权利要求1所述的开口的填充方法，其特征在于，所述掩膜层还覆盖开口的缩颈区。

5、根据权利要求1所述的开口的填充方法，其特征在于，所述掩膜层材料包括高电阻金属材料、半导体材料或介质材料。

6、根据权利要求1所述的开口的填充方法，其特征在于，所述掩膜层包括：Ta和TaN中的一种或它们的叠层。

7、根据权利要求2所述的开口的填充方法，其特征在于，所述表面处理工艺为氧离子注入工艺，则所述掩膜层的材料为氧化铜。

8、根据权利要求1所述的开口的填充方法，其特征在于，在所述开口外

的籽晶层表面形成掩膜层的步骤中,通过调整工艺时间使得掩膜层仅在所述开口外的籽晶层表面形成。

9、根据权利要求1所述的开口的填充方法,其特征在于,所述开口包括通孔、沟槽和TSV中的一种或多种。

10、根据权利要求1或9所述的开口的填充方法,其特征在于,所述金属层将所述开口填充之后还包括:所述进行平坦化工艺,去除所述开口外的金属层、籽晶层和扩散阻挡层,以形成金属连线层。

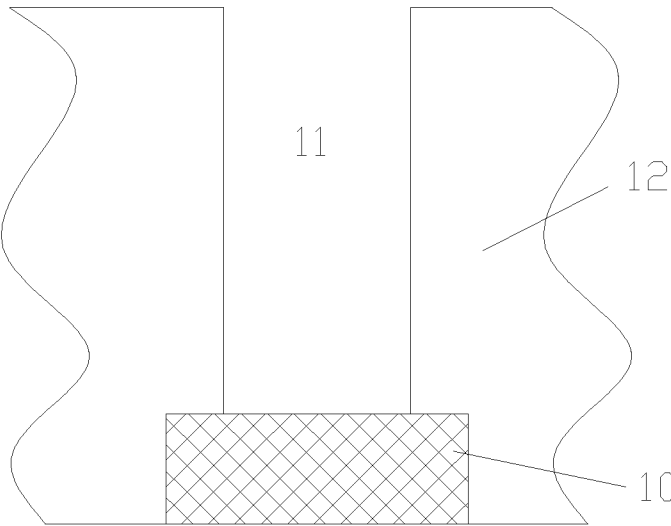


图 1

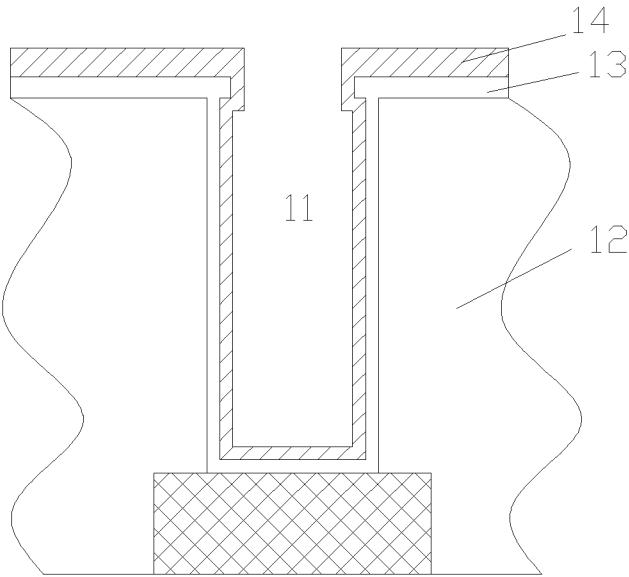


图 2

—2/7—

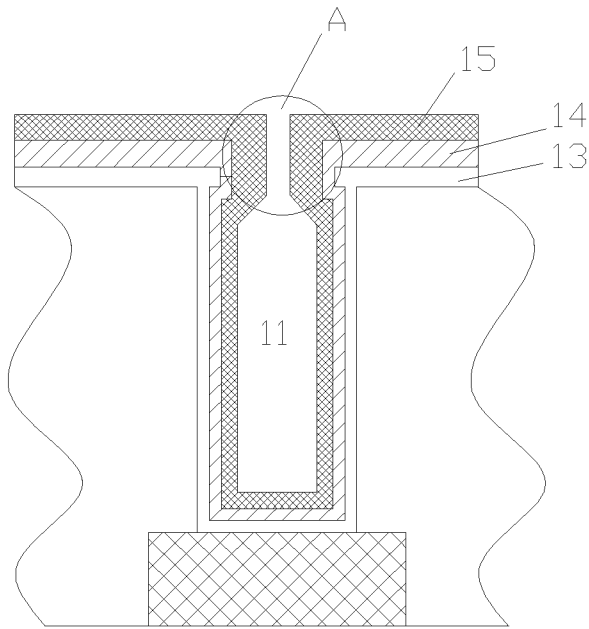


图 3

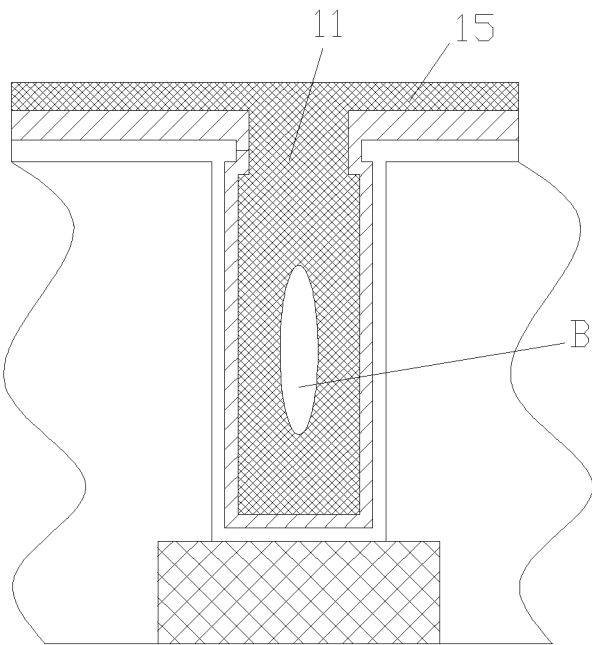


图 4

— 3/7 —

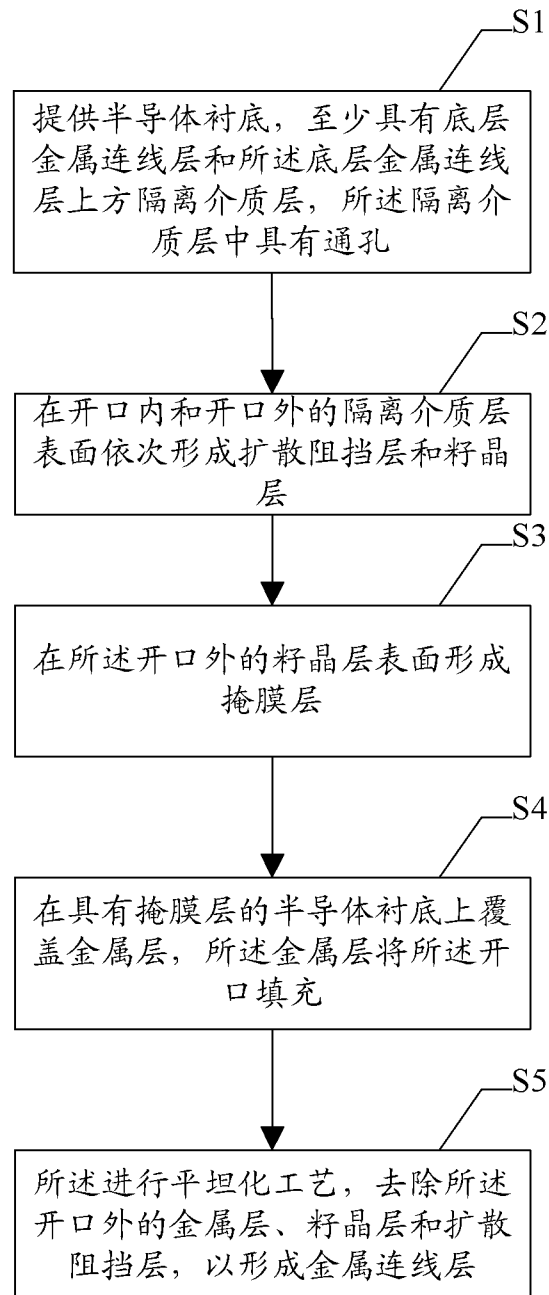


图 5

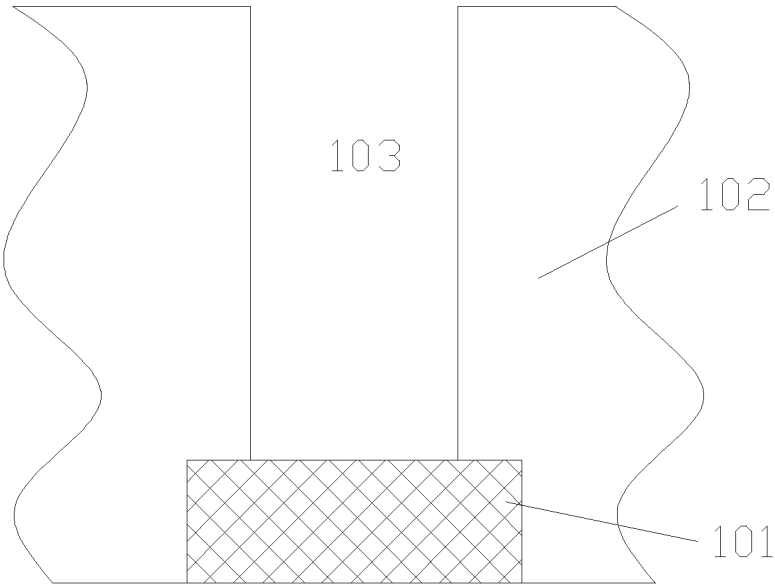


图 6

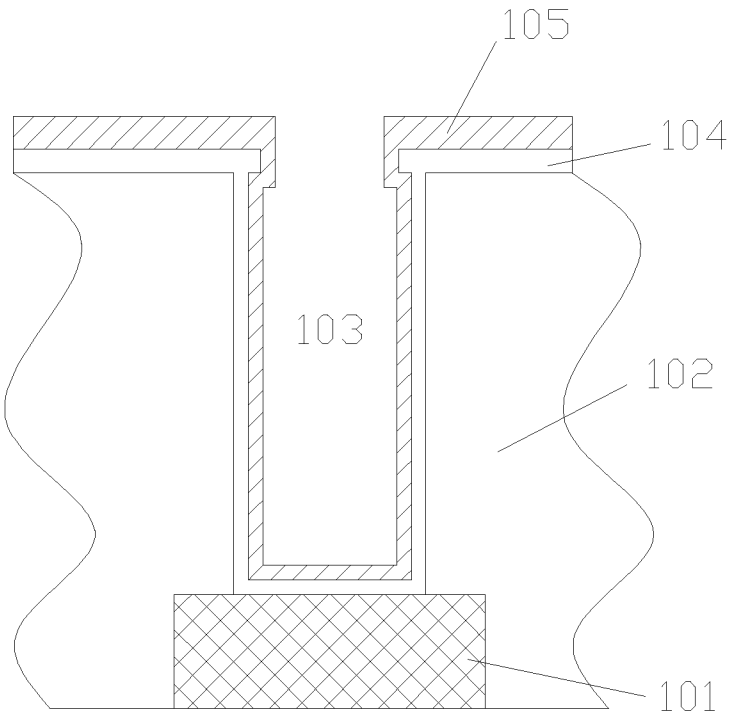


图 7

—5/7—

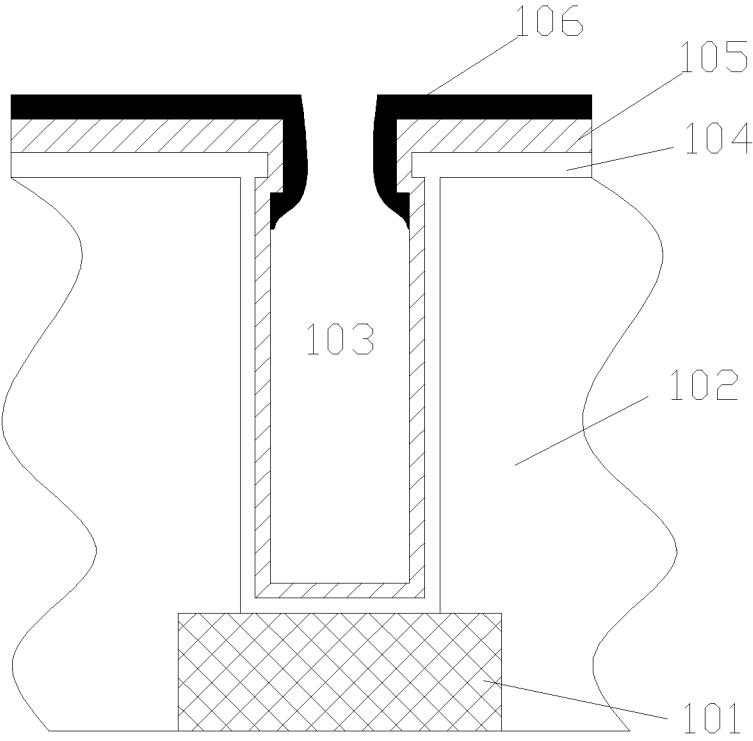


图 8

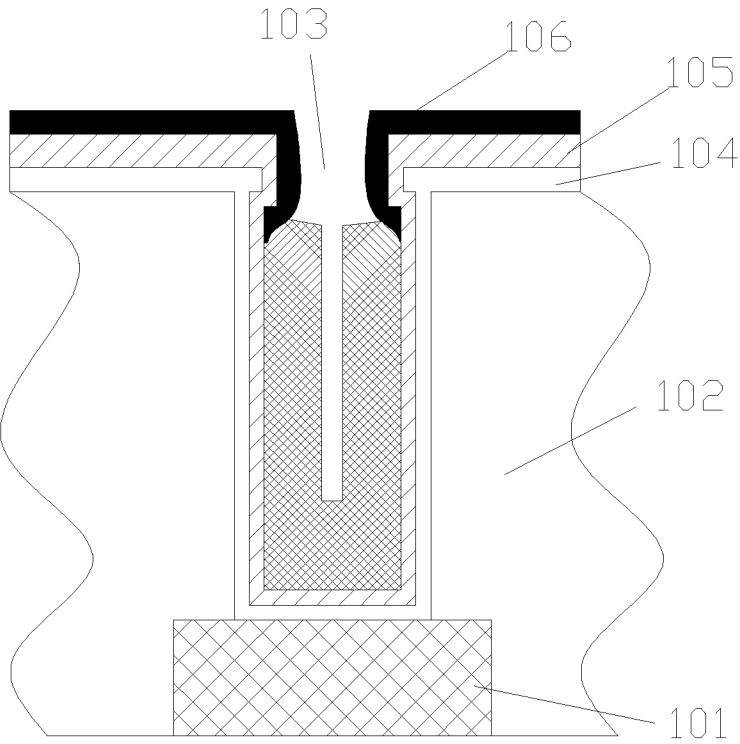


图 9

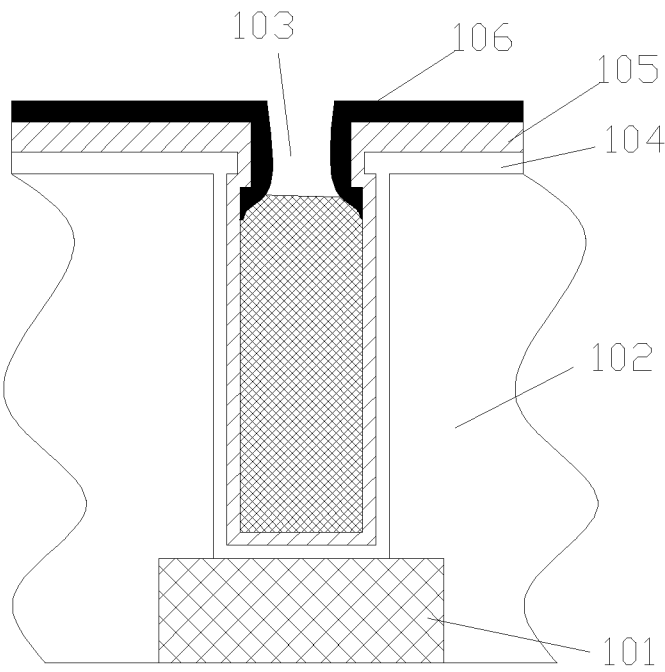


图 10

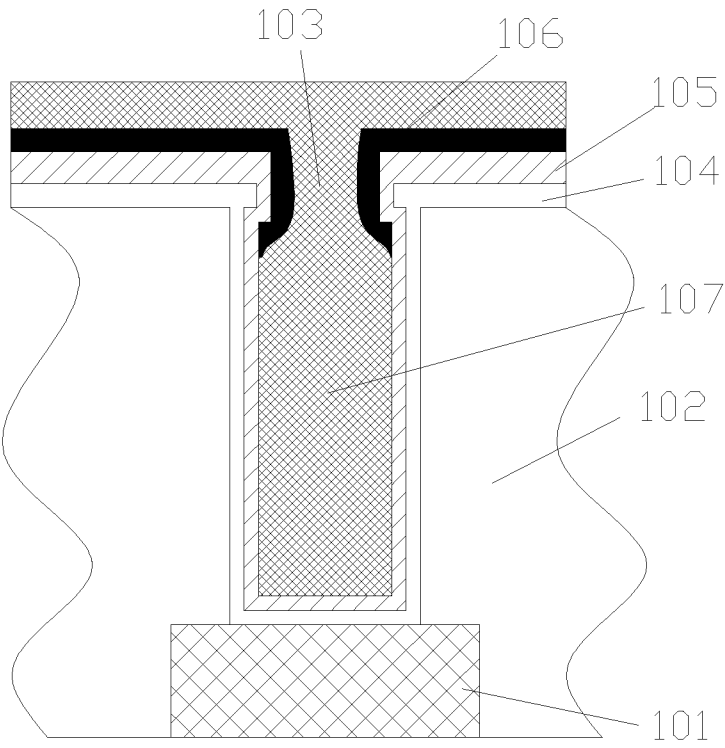


图 11

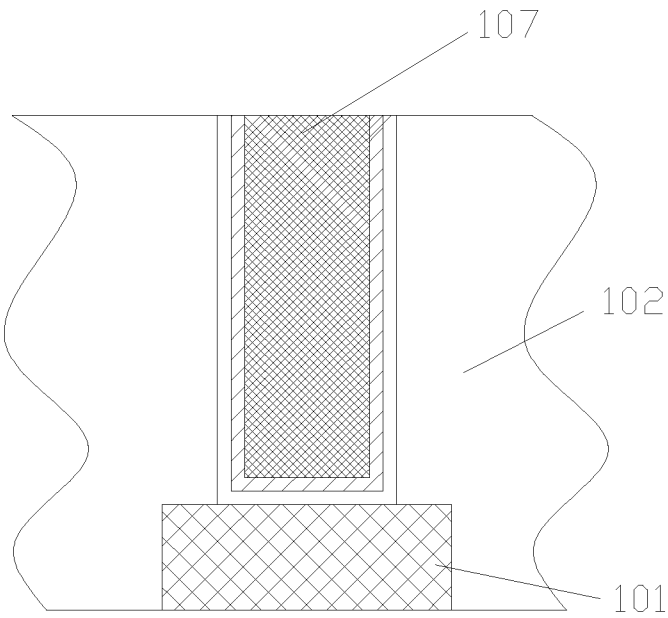


图 12

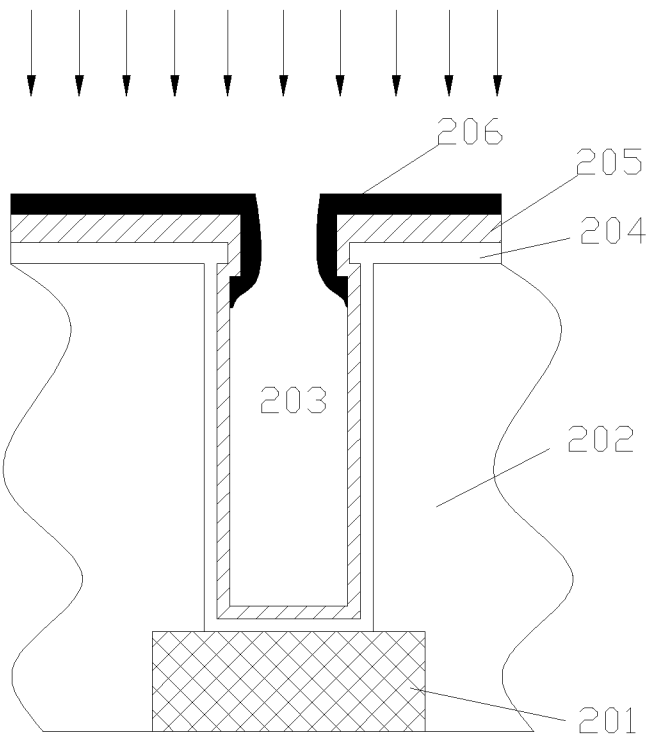


图 13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/071360

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT,CNKI,WPI,EPODOC: opening?, trench??, through hole?, via?, fill+, seed, diffusion, barrier, mask, hole?, gap, void

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US6080656A(TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY) 27 Jun. 2000(27.06.2000) see specification: column 3,line 50-column 4,line 44; figs.3-6	1,4-6,9,10
A	See the whole document	2,3,7,8
Y	US6420258B1(TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY) 16 Jul. 2002(16.07.2002) see specification: column 5,line 20-column 6,line 65; figs.1-6	1,4-6,9,10
Y	KR20010004718A(HYNIX SEMICONDUCTOR INC) 15 Jan. 2001(15.01.2001)	1,4-6,9,10

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&”document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
13 Jul.2011(13.07.2011)Date of mailing of the international search report
29 Sep. 2011 (29.09.2011)Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451

Authorized officer

YANG Zifang

Telephone No. (86-10)62411806

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/071360

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	See abstract,figs.1a-1c US6511912B1(MICRON TECHNOLOGY,INC.) 28 Jan.2003(28.01.2003) See specification: column 4,line 22-column 6,line 33,figs.2-19	1,4-6,9,10

International application No.
PCT/CN2011/071360

Form PCT/ISA /210 (patent family annex) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/071360

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/768(2006.01) i

H01L 21/31(2006.01) i

H01L 23/52 (2006.01) n

国际检索报告

国际申请号

PCT/CN2011/071360

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT,CNKI,WPI,EPODOC: 开口, 沟槽, 沟渠, 通孔, 填充, 籽晶, 晶种, 种子层, 扩散, 阻挡, 掩膜, 掩模, 孔, 洞, 空隙, 孔隙, 空洞, 孔洞, opening?, trench??. through hole?, via?, fill+, seed, diffusion, barrier, mask, hole?, gap, void

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	US6080656A(TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY) 27.6 月 2000(27.06.2000) 参见说明书第 3 栏第 50 行-第 4 栏第 44 行, 图 3-6	1,4-6,9,10
A	参见全文	2,3,7,8
Y	US6420258B1(TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY) 16.7 月 2002(16.07.2002) 参见说明书第 5 栏第 20 行-第 6 栏第 65 行, 图 1-6	1,4-6,9,10
Y	KR20010004718A (HYNIX SEMICONDUCTOR INC) 15.1 月 2001(15.01.2001) 参见摘要, 图 1a-1c	1,4-6,9,10
Y	US6511912B1(MICRON TECHNOLOGY,INC.) 28.1 月 2003(28.01.2003) 参见说明书第 4 栏第 22 行-第 6 栏第 33 行, 图 2-19	1,4-6,9,10

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

13.7 月 2011(13.07.2011)

国际检索报告邮寄日期

29.9 月 2011 (29.09.2011)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

杨子芳

电话号码: (86-10) **62411806**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/071360

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US6080656A	27.06.2000	无	
US6420258B1	16.07.2002	无	
KR20010004718A	15.01.2001	KR100323875B	16.02.2002
US6511912B1	28.01.2003	无	

A. 主题的分类

H01L 21/768(2006.01) i

H01L 21/31(2006.01) i

H01L 23/52 (2006.01) n