

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-253182

(P2012-253182A)

(43) 公開日 平成24年12月20日 (2012. 12. 20)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 21/3205 (2006.01)	H O 1 L 21/88 J	5 F O 3 3
H O 1 L 21/768 (2006.01)	H O 1 L 21/90 Q	
H O 1 L 23/522 (2006.01)		

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号	特願2011-124301 (P2011-124301)	(71) 出願人	000005821
(22) 出願日	平成23年6月2日 (2011. 6. 2)		パナソニック株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100081422
			弁理士 田中 光雄
		(74) 代理人	100100158
			弁理士 鮫島 睦
		(74) 代理人	100091524
			弁理士 和田 充夫
		(72) 発明者	大熊 崇文
			大阪府門真市大字門真1006番地 パナソニック株式会社内
		(72) 発明者	甲斐 隆行
			大阪府門真市大字門真1006番地 パナソニック株式会社内

最終頁に続く

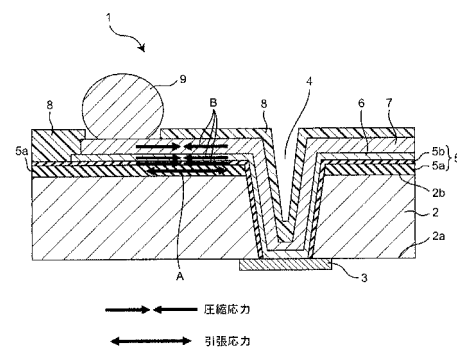
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体装置全体の応力緩和を実現すると共に、応力制御するための特別な構造が不要となり、装置の設計自由度も確保することができる半導体装置及びその製造方法を提供する。

【解決手段】 半導体装置1において、シリコン基板2とその上部に形成される金属配線層との絶縁を確保するために形成される絶縁部5を二層（第一絶縁部5a、第二絶縁部5b）に分離し、その一部に他の成膜工程で発生する残留応力と逆方向の残留応力を持たせることにより、半導体装置全体に作用する残留応力を低減する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板の一方の面に形成された第一導電部と、
前記基板の他方の面から前記第一導電部に達するまで前記基板に形成された貫通孔と、
前記貫通孔内に、前記第一導電部から、前記基板の前記他方の面まで形成された第二導電部と、

前記基板と前記第二導電部との間に形成された絶縁部とを備え、

前記絶縁部は、前記基板側に形成されて引張方向の残留応力を持つ第一絶縁部と、前記第二導電部側に形成されて圧縮方向の残留応力を持つ第二絶縁部の二層で構成されていることを特徴とする、

半導体装置。

10

【請求項 2】

前記第一絶縁部が、前記貫通孔内以外の前記基板の前記他方の面上にのみ形成されており、

前記第二絶縁部が、前記基板の前記他方の面、前記第一絶縁部上、及び、前記貫通孔内に形成されていることを特徴とする、

請求項 1 に記載の半導体装置。

【請求項 3】

前記第一絶縁部が、スピノングラスで形成された層で構成されていることを特徴とする、

請求項 2 に記載の半導体装置。

20

【請求項 4】

前記第一絶縁部の膜厚が、前記第二絶縁部の膜厚より厚く形成されていることを特徴とする、

請求項 2 又は 3 に記載の半導体装置。

【請求項 5】

前記第一絶縁部の膜厚が、前記第二絶縁部の膜厚の 1.1 倍以上かつ 3 倍以下であることを特徴とする、

請求項 4 に記載の半導体装置。

【請求項 6】

一方の面に第一導電部が形成された基板の、他方の面に第一絶縁部を形成し、
前記第一絶縁部にレジストを形成した後、前記第一絶縁部を部分的に除去し、
前記他方の面から前記第一導電部に達するように前記基板に貫通孔を形成し、
前記貫通孔が形成された前記基板の前記他方の面、前記第一絶縁部上、及び、前記貫通孔内の側壁に第二絶縁部を形成することを特徴とする、
半導体装置の製造方法。

30

【請求項 7】

前記第一絶縁部をスピノングラスで形成することを特徴とする、
請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記第一絶縁部の膜厚を、前記第二絶縁部の膜厚より厚く形成することを特徴とする、
請求項 6 又は 7 に記載の半導体装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置における、基板を貫通して基板の表裏の配線を電氣的に接続するいわゆる貫通電極装置である半導体装置及びその製造方法に関する。

【背景技術】

【0002】

半導体装置における三次元配線方法として、いわゆる三次元貫通電極形成技術に関する

50

開発が盛んに行われている。この三次元貫通電極形成技術とは、基板表面側に形成された電極もしくは配線を、基板の裏面側から基板を貫通して穿孔された穴を介して基板裏面側に引き出し、基板裏面において再配線と実装用のバンプを設ける技術である。このような構成によれば、従来のワイヤーボンディングによる配線に比べて、配線長が短くなることで、より高周波の信号伝送が可能になり、またワイヤーの引き回しが必要なくなるためにパッケージの小型化も同時に実現することができる。

【0003】

前記のように、三次元貫通電極は、構造面で、従来のワイヤーから薄膜配線へと大きな変化があるのと同様に、製造技術面においても、従来からの変化が大きい。三次元貫通電極の製造技術としては、IC又はシステムLSIを製造する、いわゆる半導体拡散技術が応用される。すなわち、フォトレジストによるパターンニング、スパッタ、CVD、ドライエッチング、めっきなどに代表される技術群である。ただし、寸法ルール又は膜厚については、これら技術群と大きな差異があり、従来技術をそのまま展開することは困難である。

10

【0004】

従来技術をそのまま展開することが困難な理由の一つが、三次元貫通電極の膜厚のオーダーがシステムLSIと比べて100～1000倍程度大きいことによる、半導体装置全体の応力制御の困難さである。貫通電極装置のような半導体装置においては、配線の抵抗を低く抑えるために、たとえば金属配線の膜厚はおおよそ数～10 μ m程度で設計されている。膜形成時に発生し、そのまま膜に残留する応力、又は、外部からの熱負荷による熱応力は、拡散工程の応力に比べて非常に大きく、完成した半導体装置そのものに歪が生じたり、応力集中により形成された膜が剥離したりといった品質的な問題を引き起こすことがある。

20

【0005】

このような問題に対して、いくつかの先行事例の提案がなされている。ここで、その一つの例について、図を用いて説明する。

【0006】

図5は、先行事例において提案されている金属配線に作用する熱応力が装置に及ぼす影響を抑えた、貫通電極装置の断面図である。シリコン基板102の一方の面（図5の下面）102aに形成されている第一導電部103に対して、シリコン基板102の他方の面（図5の上面）102bから貫通孔104を形成する。該貫通孔104の内側壁及び底面に導電部を形成して、シリコン基板102の両面を電氣的に接続するにあたって、シリコン基板102に対して電氣的絶縁を確保するための絶縁部105を貫通孔104の内側壁及び底部に形成する。貫通孔104の底部すなわち第一導電部103に接する部分の絶縁膜105を除去した後に、第二導電部106を、貫通孔104の内側壁の絶縁膜105上及び貫通孔104の底部の第一導電部103上に形成する。これら貫通孔104と、絶縁部105と、第二導電部106とから、貫通電極107が形成される。さらに、シリコン基板102の他方の面102b上に形成される配線の抵抗を低減して熱応力の影響を軽減するために、第三導電部108を、第二導電部106の上において、貫通孔104を除いた箇所に部分的に形成する。さらに、実装用の半田バンプ109を第三導電部108の上に形成すると共に、半田バンプ109以外の、露出している第三導電部108及び第二導電部106及びシリコン基板102の上に封止樹脂層110を形成する（例えば、特許文献1参照）。

30

40

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2008-53430号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

50

第三導電部 108 の形成箇所を工夫した特許文献 1 の半導体装置でも、応力の低減には限定的な効果は認められる。しかしながら、特許文献 1 の半導体装置では、応力を制御するために、レジスト形成などの工程の追加が必要となるという課題がある。

【0009】

本発明は、前記した課題に鑑み、半導体装置の応力緩和を実現すると共に、残留応力緩和のためのレジスト工程などが不要となり、装置の設計自由度も確保することができる半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0010】

前記目的を達成するために、本発明の半導体装置は、基板の一方の面に形成された第一導電部と、前記基板の他方の面から前記第一導電部に達するまで前記基板に形成された貫通孔と、前記貫通孔内に、前記第一導電部から、前記基板の前記他方の面まで形成された第二導電部と、前記基板と前記第二導電部との間に形成された絶縁部とを備え、前記絶縁部は、前記基板側に形成されて引張方向の残留応力を持つ第一絶縁部と、前記第二導電部側に形成されて圧縮方向の残留応力を持つ第二絶縁部の二層で構成されていることを特徴とする。

【0011】

また、前記目的を達成するために、本発明の半導体装置の製造方法は、一方の面に第一導電部が形成された基板の、他方の面に第一絶縁部を形成し、前記第一絶縁部にレジストを形成した後、前記第一絶縁部を部分的に除去し、前記他方の面から前記第一導電部に達するように前記基板に貫通孔を形成し、前記貫通孔が形成された前記基板の前記他方の面、前記第一絶縁部上、及び、前記貫通孔内の側壁に第二絶縁部を形成することを特徴とする。

【発明の効果】

【0012】

本発明の半導体装置およびその製造方法によれば、残留応力緩和のためのレジスト工程などが不要で、残留応力に外部熱負荷による応力が加わることによる、半導体装置の歪の発生、又は、応力集中による膜剥がれなどを防止することができ、装置の設計自由度も確保することができる。

【図面の簡単な説明】

【0013】

【図 1】 本発明の一実施形態に係る半導体装置の一例を示す断面図

【図 2】 (a) ~ (c) それぞれ、図 1 に示す半導体装置の製造工程の一例を示す断面図

【図 3】 (a) ~ (c) それぞれ、図 2 に示す工程に続く、製造方法を説明する断面図

【図 4】 (a) ~ (c) それぞれ、図 3 に示す工程に続く、製造方法を説明する断面図

【図 5】 特許文献 1 における半導体装置を説明する断面図

【図 6】 (a)、(b) 従来技術による半導体装置でのクラック発生及び基板剥離を説明するための説明図

【発明を実施するための形態】

【0014】

以下、本発明の実施形態について、図面を参照しながら説明する。

【0015】

まず、本発明の一実施形態の半導体装置の構成について、図 1 を用いて説明する。

【0016】

図 1 は、ウェハ状態で貫通電極を形成する工程と、再配線表面に樹脂封止を施す工程と、実装用の半田バンプを搭載する工程とを経た半導体装置の一部分の断面を示している。図 1 においては、簡単のために、半導体装置 1 に貫通電極を 1 個のみ配置した構成としているが、実際は、1 つの半導体装置 1 には、貫通電極が、例えば数百から数千個配置されている。

【0017】

貫通電極付きの半導体装置 1 の構成部材について、説明する。

【0018】

基板の一例としてのシリコン基板 2 のシリコン基板表面（図 1 の下面で、一方の面）2 a には第一導電部 3 が配置されている。この第一導電部 3 は、トランジスタなどの機能素子を作りこむ工程である、所謂、拡散工程にて形成されている。この第一導電部 3 は、アルミニウム又は銅を主成分とした、配線として用いられる材料で構成されている。また、第一導電部 3 は、チタン又は窒化チタンに代表されるような拡散防止層との積層膜として形成されている場合もある。

【0019】

シリコン基板 2 のシリコン基板裏面（図 1 の上面で、他方の面）2 b には、貫通孔 4 と、第一絶縁部 5 a と、第二絶縁部 5 b と、第二導電部 6 と、第三導電部 7 とで構成された、貫通電極が形成されている。本発明は、図 1 に示すように、絶縁部 5 を、第一絶縁部 5 a と第二絶縁部 5 b との 2 層で構成していることを特徴とする。

10

【0020】

貫通孔 4 は、第一導電部 3 からの引き出し配線をシリコン基板 2 を貫通して形成するために、シリコン基板 2 を穿って貫通して形成されている。

【0021】

第一絶縁部 5 a は、貫通孔 4 以外のシリコン基板裏面 2 b 上にのみ、絶縁材料で一様に形成されている。

【0022】

第二絶縁部 5 b は、第一絶縁部 5 a の表面と貫通孔 4 の側壁部分とを覆うようにして、絶縁材料で形成されている。

20

【0023】

第二導電部 6 は、第二絶縁部 5 b の表面及び貫通孔 4 の底部に露出した第一導電部 3 を覆うように、導電材料で形成されている。

【0024】

第三導電部 7 は、第二導電部 6 を覆うように、導電材料で形成されている。

【0025】

本実施形態における各部のおおよその寸法は、一例として、シリコン基板 2 の厚みは 200 μm 、貫通孔 4 の開口径は直径 100 μm 、貫通孔 4 の深さは 200 μm 、第一絶縁部 5 a 及び第二絶縁部 5 b のシリコン基板裏面 2 b 上での厚みはそれぞれ 1.1 μm 及び 1 μm 、第二導電部 6 及び第三導電部 7 のシリコン基板裏面 2 b 上での厚みはそれぞれ 2 μm と 10 μm としている。なお、残留応力をより確実に緩和する観点からは、第一絶縁部 5 a 及び第二絶縁部 5 b のシリコン基板裏面 2 b 上での厚みは、一例として、それぞれ、3 μm と 1 μm とするのが好ましい。

30

【0026】

ここで、第一絶縁部 5 a は、第一絶縁部 5 a の膜の表面沿いの引張方向の残留応力 A（図 1 の矢印 A を参照）を膜中に保持していることを特徴としている。そして、他の層（第一絶縁部 5 a より上の層であって、第二絶縁部 5 b を少なくとも含む層、例えば、第二絶縁部 5 b と第二導電部 6 と第三導電部 7 など）には、他の層のそれぞれの膜の表面沿いの圧縮方向の残留応力 B（図 1 の矢印 B を参照）を膜中に保持している。そして、本実施形態では、圧縮方向の残留応力 B と引張方向の残留応力 A とを相殺させることにより、半導体装置 1 の全体の残留応力を下げている。

40

【0027】

絶縁の機能としては、第一絶縁部 5 a と第二絶縁部 5 b とで絶縁部 5 を構成している。また、第一絶縁部 5 a を形成する工法が決まれば、単一膜厚あたりに発生する残留応力の値が予測できるため、第一絶縁部 5 a と第二絶縁部 5 b との膜厚比を調整することで、半導体装置 1 の全体の残留応力を最小化することができる。本実施形態においては、半導体装置 1 の全体の残留応力を第一絶縁部 5 a の一層のみで最小化するために、第一絶縁部 5 a に必要な引張方向の残留応力 A と絶縁性ことから、第一絶縁部 5 a と第二絶縁部 5 b の膜

50

厚比が 1 : 1 を超えるようにしている。

【0028】

ここで、第一絶縁部 5 a より上の層で保持される圧縮方向の残留応力 B と相殺するのに最低限必要な引張方向の残留応力 A を、第一絶縁部 5 a の膜中に確実に保持することが好ましい。最低限必要な引張方向の残留応力 A を第一絶縁部 5 a の膜中に保持するためには、第一絶縁部 5 a の膜厚は、第二絶縁部 5 b の膜厚より厚くする必要がある。また、第一絶縁部 5 a のパターンニングに時間がかかり過ぎないようにするため、第一絶縁部 5 a の膜厚は、第二絶縁部 5 b の膜厚の 1.1 倍以上かつ 3 倍以下とすることが好ましい。よって、例えば、第一絶縁部 5 a と第二絶縁部 5 b との膜厚比は、1.1 : 1 ~ 3 : 1 の範囲とするのが好ましい。

10

【0029】

具体的な膜厚寸法としては、貫通孔 4 の側壁での絶縁性を確保する観点からは、貫通孔 4 の側壁には少なくとも 200 nm の厚みの第二絶縁部 5 b が必要である。貫通孔 4 の側壁に少なくとも 200 nm の厚みの第二絶縁部 5 b を形成するためには、シリコン基板裏面 2 b 上の第二絶縁部 5 b の膜厚は少なくとも 1 μm が必要となる。よって、第一絶縁部 5 a の膜厚は第二絶縁部 5 b の膜厚より厚いことが好ましいことから、第一絶縁部 5 a の膜厚は 1 μm より厚くすることが好ましい。

【0030】

第二絶縁部 5 b は、絶縁部 5 での絶縁性を確実に確保する観点から、第一絶縁部 5 a とは、別途、形成する必要がある。

20

【0031】

本実施形態における第一絶縁部 5 a は、一例として、スピノングラス（以下、SOG）と呼ばれる、ガラス成分を含んだ液状の材料をスピノコート等により塗布し、加熱焼成することにより得ることができる。一般に、薄膜を形成するための工法である、プラズマ CVD 又はスパッタにおいては、チャンバ内のプラズマにより活性化され、かつ、加速された高エネルギー粒子が膜中に突入するため、圧縮方向の残留応力を持った薄膜が得られ易いといわれている。これに対して、本実施形態で使用している、塗布後に溶剤を揮発させて膜を形成する SOG では、逆に引張方向の残留応力を保持し易い。そのため、本実施形態では、第一絶縁部 5 a に、通常のは薄膜形成に使用しない、SOG を選択している。なお、本実施形態で採用した SOG は、一般的に CVD 法などで形成される SiO₂ と比較しても、その絶縁特性上は問題が無い。なお、SOG で第一絶縁部 5 a を形成した場合、OH 基が残留する場合があるため、必要に応じて対策を行う必要がある場合もある。

30

【0032】

第二絶縁部 5 b は、一例として、プラズマ CVD 法により形成した SiO₂ である。

【0033】

第二導電部 6 は、一例として、後に成膜する第三導電部 7 の成分である銅がシリコン基板 2 に拡散することを防止するためのチタンと、第三導電部 7 の成分である銅を電界メッキで形成する際の電極として機能するための銅とで構成されている。なお、第二導電部 6 として、チタンと銅との積層状態は図示していない。本実施形態において、第二導電部 6 を構成するチタン及び銅は、一例として、DC スパッタリング法により形成している。

40

【0034】

第三導電部 7 は、一例として、銅で構成され、前述の通り第二導電部 6 を電極として電界メッキにより形成している。

【0035】

前記のように貫通電極を形成し、シリコン基板 2 の表裏面双方の面間に電氣的導通を確保した後に、シリコン基板裏面 2 b 上の配線パターンニング工程により、所望の配線形状に加工する。配線パターンニング工程を経て得られた半導体装置 1 の耐候性を始めとする信頼性に関わる諸特性を向上させるために、シリコン基板裏面 2 b のうち、実装用の半田バンプ 9 を搭載する電極である第三導電部 7 の一部を除き、樹脂封止部 8 によりシリコン基板裏面 2 b 側を全面的に保護する構造としている。

50

【0036】

そして、最後に、実装用の半田バンプ9を搭載し、半導体装置1が完成する。

【0037】

この実施形態にかかる半導体装置1の構造の特徴は、シリコン基板裏面2bの配線部とシリコン基板2とを電氣的に絶縁する機能を持った薄膜（絶縁部5）を、第一絶縁部5aと、第二絶縁部5bとに分離し、そのうち引張方向の残留応力Aを保持する第一絶縁部5aをシリコン基板2側に形成し、この第一絶縁部5aに半導体装置1の全体の残留応力を調整する機能を持たせたことにある。

【0038】

従来は、残留応力に外部熱負荷による応力が加わることによって、図6（a）に示すように、絶縁部105の膜中の圧縮方向の残留応力がシリコン基板102に作用して、シリコン基板102の裏面（図6（a）の上面）の絶縁部105が上向き凸になるように湾曲して反る傾向があった。第二導電部106を構成する金属層は、その反りに応じて伸縮するが、絶縁部105である酸化膜はその反りに応じて伸縮できない。そのため、従来の半導体装置では、図6（b）のCに示すように、絶縁部105にクラックが発生したり、図6（b）のDに示すように、シリコン基板102から絶縁部105が剥離したりするといった問題が発生していた。

【0039】

これに対して、本実施形態では、引張方向の残留応力を保持する第一絶縁部5aに、半導体装置1の全体の残留応力を調整する機能を持たせることにより、第一絶縁部5aよりも上に積層される第二絶縁部5bと第二導電部6と第三導電部7などの圧縮応力を、第一絶縁部5aに保持した引張方向の応力で緩和している。そのため、本実施形態の半導体装置1では、前記したようなクラックの発生及びシリコン基板からの絶縁部の剥離を防止することができる。

【0040】

なお、第一絶縁部5aに保持される引張方向の残留応力は、第一絶縁部5aの絶縁材料を塗布して薄膜を形成した後、焼成するときに薄膜が収縮することにより、引張方向の応力が薄膜に残留して保持される。

【0041】

次に、本発明の一実施形態における半導体装置の製造方法について、図2から図4を用いて説明する。

【0042】

まず、図2（a）は、シリコン基板表面（図2（a）の下面）2aに第一導電部3が配置されているシリコン基板2について、シリコン基板裏面（図2（a）の上面）2b上の全面に第一絶縁部5aが形成された状態を示している。

【0043】

図2（a）のシリコン基板2は、工程の図示は省略するが、一例として、以下のように形成する。まず、直径200mm、厚さ725μmのシリコンの基板を用意する。このシリコンの基板のシリコン基板表面2a側に、スパッタリング又はエッチング工法を用いて、配線もしくは貫通電極を受ける電極となる部分、すなわち第一導電部3を形成する。その後、シリコンの基板のシリコン基板裏面側2bをバックグラインドなどの手段を用いて、厚み200μmまで薄板化して、シリコン基板2を得る。

【0044】

本実施形態では、シリコン基板表面2aには配線のみが形成されている例を説明しているが、トランジスタ又はイメージセンサが形成されている場合でも適用できる。また、前述のように、第一絶縁部5aは、一例として、スピノングラス（SOG）と呼ばれる工法を用いて形成している。本実施形態においては、第一絶縁部5aは、アルコキシシランを加水分解縮合したポリシロキサンポリマー溶液を用い、回転塗布法により形成している。このポリシロキサンポリマー溶液を調製する際、溶媒量を調節することにより、塗布後加熱して膜を形成する際の発生する収縮の程度を制御することができるので、結果として

SOGの膜の残留応力を制御することが可能となる。

【0045】

次に、図2(b)に示す工程について説明する。図2(b)は、以下の工程を示している。すなわち、図2(a)の工程で第一絶縁部5aをシリコン基板裏面2bの全面に塗布した後、第一絶縁部5aの上にエッチング用のフォトレジスト51を回転塗布法により形成する。その後、露光、現像によりパターンニングを行い、前述のように形成されたフォトレジスト51をエッチングマスクとして、第一絶縁膜5aの一部分、すなわちパターンニングされたフォトレジスト51の開口部51aに露出した第一絶縁膜5aをエッチング加工により除去したときの断面図を図2(b)として示している。ここで説明したフォトレジスト51の形状は、後工程でシリコン基板2を貫通する貫通孔4をあけるための開口部51aを有するパターンであり、一例として直径100 μ mの開口部51aを持つように設計されている。第一絶縁部5aのエッチングについては、一例として、ドライエッチング工法を用いている。

10

【0046】

エッチング終了後、不要となったフォトレジスト51を酸素アッシングにより除去した状態の断面図を図2(c)に示す。

【0047】

次に、図3(a)の工程について説明する。前述のようにエッチングされパターンニングされた第一絶縁部5aをマスクとして、シリコン基板2を貫通して、シリコン基板表面2a側にある第一導電部3に到達するように貫通孔4を形成している。一例として、貫通孔4のシリコン基板表面2a側の加工直径は80 μ m、貫通孔4のシリコン基板裏面2b側の開口径は100 μ mであり、貫通孔4の深さはシリコン基板2の厚みと同じく200 μ mであり、貫通孔4の形状は円錐台形状である。一例として、貫通孔4の加工は、ドライエッチングにより行い、エッチングガスとして6フッ化硫黄を用いている。ここで、本実施形態においては、第一絶縁部5aをマスクとしてエッチング加工を実施しているが、図2(b)において図示したフォトレジスト51を除去せずに、フォトレジスト51及び第一絶縁部5aの双方をマスクとしてエッチングし、貫通孔4の形成後にフォトレジスト51を除去する手段をとっても良い。

20

【0048】

次に、図3(b)は、以下の工程を示している。すなわち、シリコン基板裏面2b側に、貫通孔4の内部も含めて全面に第二絶縁部5bを形成する。このとき、シリコン基板裏面2b側では、シリコン基板裏面2b上に形成された第一絶縁部5aの表面と、貫通孔4の内部である側壁と底部とに、第二絶縁部5bを形成する。その後、第一導電部3を露出させるべく、シリコン基板裏面2b側から全面ドライエッチング処理を行い、貫通孔4の底部、すなわち、第一導電部3上に堆積した第二絶縁部5bを除去した状態の断面図を図3(b)として表している。第二絶縁部5bの形成には、一例として、プラズマCVD法を用い、シリコン成分を含む液体ソースを分解、及び、反応させることによりSiO₂膜を形成するという工法を用いている。本実施形態においては、貫通孔4を形成する工程の前後に、第一絶縁部5aと第二絶縁部5bとを形成する工程を分けて実施している。しかしながら、貫通孔4を形成した後に、第一絶縁部5a及び第二絶縁部5bを形成しても良い。この場合は、第一導電部3上に堆積して除去すべき膜の量が増えるので、工程をより簡便にするためには、本実施形態の方法が適していると考えている。

30

40

【0049】

次に、図3(c)は、以下の工程を示している。すなわち、シリコン基板裏面2b側全面に、後述の銅原子がシリコン基板2へ拡散することを防止するための拡散防止層(図示していない)、及び、後述の銅を電界メッキ法により形成する際の電極として用いる銅シード層、すなわち第二導電部6を積層して形成している。言い換えれば、シリコン基板裏面2bに形成された第二絶縁部5bと、貫通孔4の側壁に形成された第二絶縁部5bと、第一導電部3との上に、第二導電部6を積層して形成している。次いで、次なる工程であるメッキ工程において、シリコン基板裏面2bに形成された第二絶縁部5bの一部、すな

50

わち、膜を形成しない部分に、マスクとしてドライフィルムレジスト52を形成した状態の断面図を図3(c)に示している。

【0050】

第二導電部6を形成することにより、第一導電部3とシリコン基板裏面2b側とが、第二導電部6により電氣的に接続される。本実施形態において、一例として、第二導電部6の厚みは、シリコン基板裏面2b上においては $1.5\mu\text{m}$ 、貫通孔4の底部の第一導電部3上においては、 $0.3\mu\text{m}$ である。また、拡散防止層の材料としてはチタンを用いているが、チタンと同様に窒化チタンを用いても、同様の効果が期待できる。

【0051】

次に、図4(a)の工程について説明する。前述の第二導電部6をカソード電極とした電界メッキ法により、シリコン基板裏面2b上のうち、ドライフィルムレジスト52によりメッキのための電流が流れない部分を除いた箇所に、銅の膜すなわち第三導電部7が形成される。すなわち、図4(a)では、シリコン基板裏面2bの第二導電部6上のドライフィルムレジスト52が形成されていない部分と、貫通孔4の側壁の第二導電部6と、第一導電部3の第二導電部6とに、第三導電部7が形成される。第二導電部6の上に、電界メッキにより改めて銅の膜を形成する理由は、厚膜化することで配線抵抗を下げるためである。この第三導電部7については、前述のドライフィルムレジスト52より既にパターニングされており、酸素アッシングによりドライフィルムレジスト52を除去するのみで所望の回路を得ることができる。

【0052】

次に、第二導電部6を、第三導電部7と同様の形状に加工する工程について、図4(b)を用いて説明する。エッチング加工しない部分をドライフィルムレジスト52により被覆し、ウェットエッチング処理により、前述の第二導電部6の一部と拡散防止層の一部、すなわち、第二導電部6と拡散防止層とのドライフィルムレジスト52により被覆されていない部分を除去加工した状態の断面図を図4(b)に示す。このウェットエッチング処理について、ドライフィルムレジスト52を用いずに、全面をウェットエッチングして、比較的膜厚の薄い第二導電部6のうち第三導電部7から露出している部分、すなわち不要部分をエッチングすることもできる。しかしながら、貫通孔4の内部にも、その形状ゆえに第三導電部7の膜厚が薄い部分が存在し、断線するおそれもあることから、ドライフィルムレジスト52により保護した上でエッチング処理を行うべきであると判断している。

【0053】

前記エッチング処理後、ドライフィルムレジスト52を酸素アッシングにより剥離し、第三導電部7のうちの半田パンプ載置予定箇所以外の部分に樹脂封止部8を形成し、最後に、第三導電部7のうちの半田パンプ載置予定箇所に、半田パンプ9を載置する。これにより、貫通電極を有する半導体装置1としての機能が完成する。この断面図を図4(c)に示す。

【0054】

本実施形態によれば、以下のような効果を奏することができる。

【0055】

一般に、従来の貫通電極装置の製造に用いられる、スパッタ又はCVDなどのプラズマを使用した方法は、材料又は製造条件に依り左右されるが、圧縮応力を持つ膜が形成されることが多い。すなわち、これらの薄膜が積層された貫通電極装置は、熱負荷が無くとも、圧縮応力を持つことになる。これに対して、本実施形態では、シリコン基板2と金属配線層(第二導電部6, 第三導電部7)との電氣的絶縁を採る絶縁部5を二層構造としている。この絶縁部5の一つの層(第一絶縁部5a)は、シリコン基板2に成膜した際に、膜側が凹形状になるような引張方向の残留応力を保持し、絶縁部5の他方の層(第二絶縁部5b)は、一つの層(第一絶縁部5a)とは逆に、シリコン基板2に成膜した際に、膜側が凸形状になるような圧縮方向の残留応力を保持している。これら二層に保持された引張方向の残留応力と圧縮方向の残留応力とを互いに相殺させることで、半導体装置完成時の全体の残留応力を緩和することが可能となる。このことにより、残留応力に外部熱負荷に

よる応力が加わることによる、半導体装置 1 の歪の発生、又は、応力集中による膜剥がれなどを防止することができ、製品の信頼性向上に対して有効である。この結果、半導体装置全体の応力緩和を実現すると共に、残留応力緩和のためのレジスト工程などが不要となり、半導体装置の設計自由度も確保することができる。

【0056】

また、引張方向の残留応力を持つ第一絶縁部 5 a の膜厚を、圧縮方向の残留応力を持つ第二絶縁部 5 b の膜厚よりも厚くすることで、圧縮方向の残留応力を確実に緩和することができ、貫通電極装置（半導体装置）全体の残留応力を低減することができる。すなわち、第一絶縁部 5 a と、第一絶縁部 5 a よりも外側に積層される薄膜（第一絶縁部 5 a より上の層であって、第二絶縁部 5 b を少なくとも含む層、例えば、第二絶縁部 5 b と第二導電部 6 と第三導電部 7 など）との膜厚比を調整することで、貫通電極を有する半導体装置全体の残留応力をコントロールすることができる。

10

【0057】

また、本実施形態によれば、絶縁部 5 を第一絶縁部 5 a と第二絶縁部 5 b との二層で構成し、電氣的に絶縁するという同じ機能を有するも、異なる材料又は異なる方法で形成された二つの層を形成することで、貫通電極装置全体の剛性を向上させることもできる。

【0058】

また、本実施形態によれば、第一絶縁部 5 a が、シリコン基板 2 のシリコン基板裏面 2 b 上にのみ形成されており、貫通孔 4 内には形成されていない。なお、第二絶縁部 5 b は、シリコン基板 2 のシリコン基板裏面 2 b 上及び貫通孔 4 内の双方に形成されている。このように構成することにより、貫通電極装置全体の応力低減に、貫通孔 4 内にある膜の残留応力は作用しない。不必要に貫通孔 4 内に絶縁膜を形成すると、後工程において導通を確保するための除去工程が煩雑になることを防ぐことができる。

20

【0059】

また、本実施形態によれば、工程順などの工夫により、例えば、貫通孔やパターン段差などのない平坦なシリコン基板上に成膜できるようにしたので、引張方向の残留応力を保持する第一絶縁部 5 a を比較的簡便に形成することができる。

【0060】

なお、前記様々な実施形態又は変形例のうちの任意の実施形態又は変形例を適宜組み合わせることにより、それぞれの有する効果を奏するようにすることができる。

30

【産業上の利用可能性】

【0061】

本発明の半導体装置及びその製造方法を用いることで、主に貫通電極を有する半導体装置における主に残留応力と因果関係のある性能についての信頼性向上を実現することができる、半導体装置として有用である。

【符号の説明】

【0062】

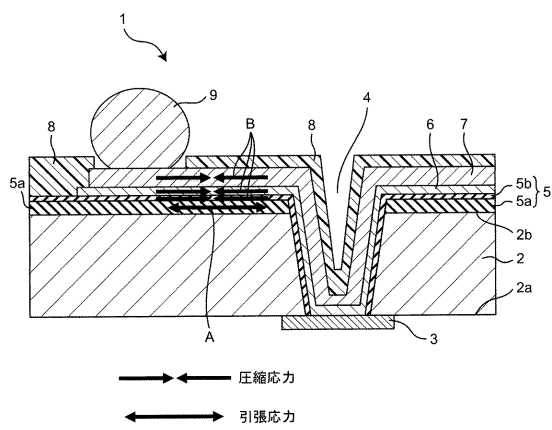
- 1 半導体装置
- 2 シリコン基板
- 2 a シリコン基板表面
- 2 b シリコン基板裏面
- 3 第一導電部
- 4 貫通孔
- 5 絶縁部
- 5 a 第一絶縁部
- 5 b 第二絶縁部
- 6 第二導電部
- 7 第三導電部
- 8 樹脂封止部
- 9 半田バンプ

40

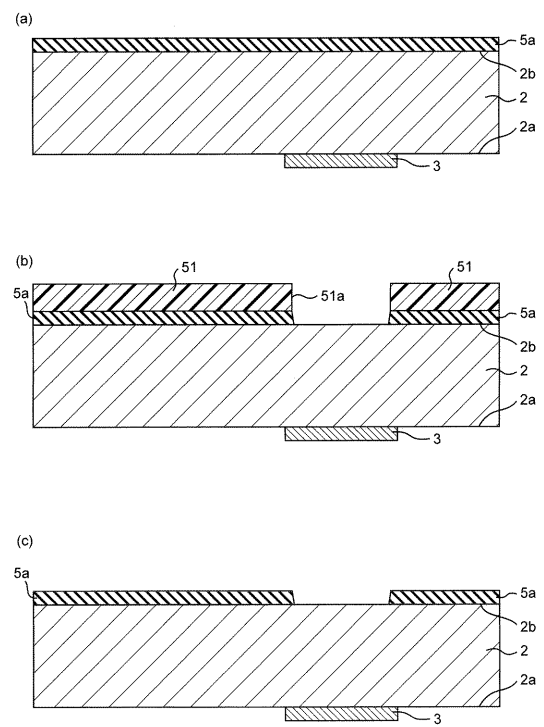
50

- 5 1 フォトレジスト
5 2 ドライフィルムレジスト

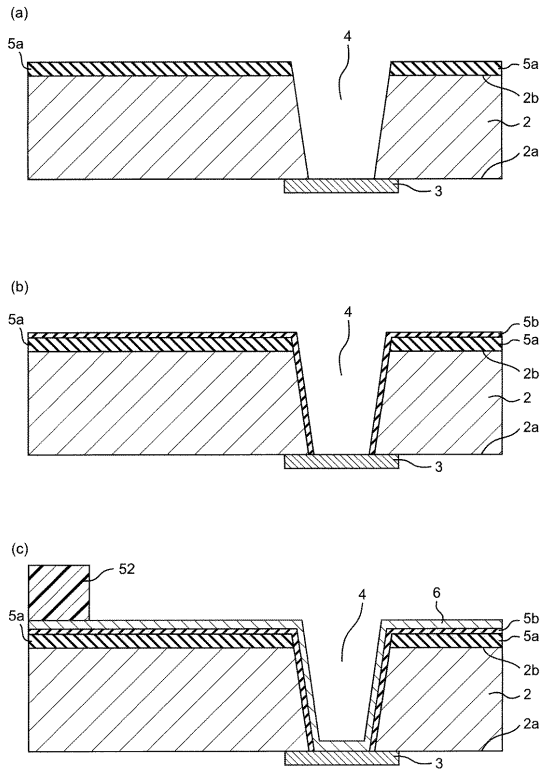
【図 1】



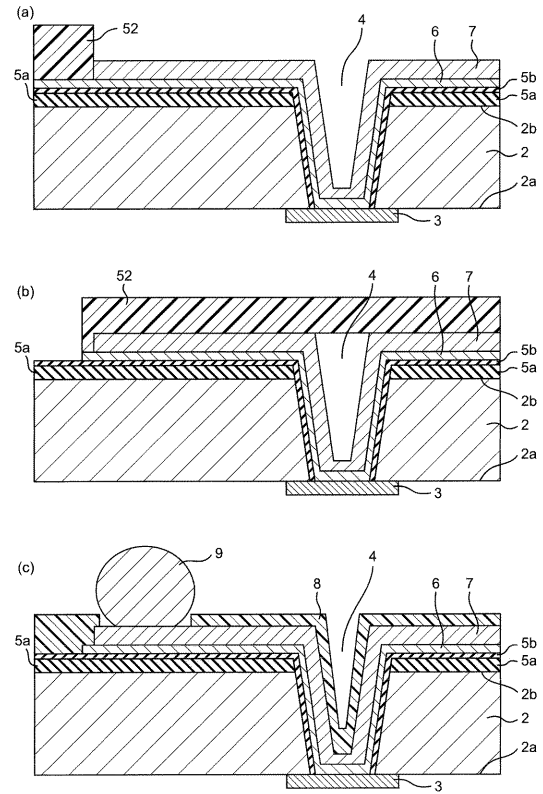
【図 2】



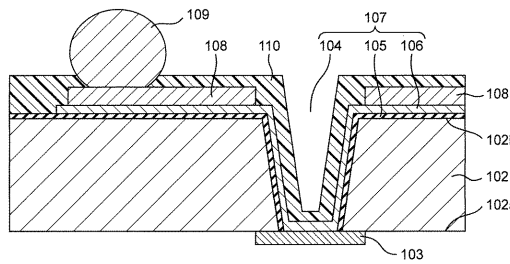
【図 3】



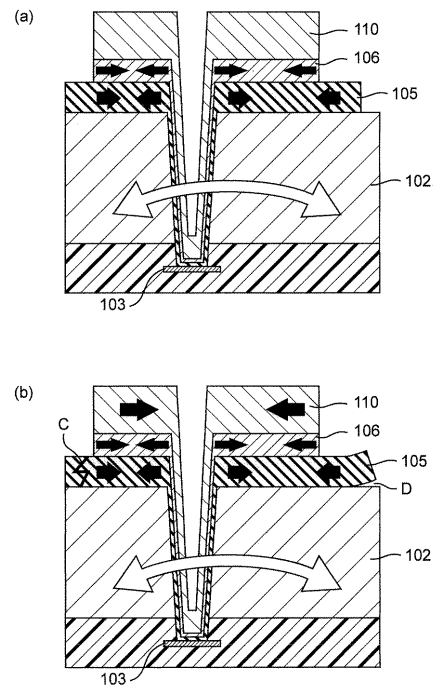
【図 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 末次 大輔

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

Fターム(参考) 5F033 HH11 HH18 MM30 PP15 PP27 QQ07 QQ09 QQ11 QQ25 RR04
RR09 SS15 SS22 TT02 TT07 VV07 XX19