(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3695006号

(P3695006)

(45)発行日　平成17年9月14日(2005.9.14)　(24)登録日　平成17年7月8日(2005.7.8)

(51)Int.Cl.[7]	F I		
H04N 11/20	H04N	11/20	
H04N 7/01	H04N	7/01	J
H04N 7/30	H04N	7/133	Z

請求項の数 10　(全 26 頁)

(21)出願番号　特願平8-236241
(22)出願日　平成8年9月6日(1996.9.6)
(65)公開番号　特開平10-84559
(43)公開日　平成10年3月31日(1998.3.31)
審査請求日　平成15年2月7日(2003.2.7)

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100082131
弁理士　稲本　義雄
(72)発明者　中屋　秀雄
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　近藤　哲二郎
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　松永　隆志

最終頁に続く

(54)【発明の名称】信号処理装置および方法

(57)【特許請求の範囲】

【請求項１】

コンポジット標準ＴＶ信号に対応するデータを入力し、ＨＤＴＶ信号に対応するデータに変換して出力する信号処理装置において、

入力された入力データの所定の注目データを、前記注目データを中心とするブロック内にある複数のデータどうしの相関に基づいて所定のクラスに分類する第１の分類手段と、

前記入力データの所定の注目データを、前記ブロック内にある複数のデータのうちの、前記第１の分類手段によって分類されたクラスに基づいて求められる前記相関の強い方向のデータを用いてＹ／Ｃ分離した後、ＹＵＶ信号またはＹ，ＰｒＰｂ信号に変換し、変換された前記入力データの所定の注目データを、前記入力データの空間的なパターンに基づいて符号化することにより、前記入力データの所定の注目データを所定のクラスに分類する第２の分類手段と、

所定の演算式の係数が記憶された記憶手段と、

前記第１の分類手段と前記第２の分類手段とによって分類された前記クラスに応じて選択された前記係数と、入力された前記入力データとに基づく積和演算を行う演算手段と

を備えることを特徴とする信号処理装置。

【請求項２】

前記ブロック内にある複数のデータと、前記ブロック内にある複数のデータに対応する、時間方向が異なる他のフレームの複数のデータとの差分の絶対値の平均値を求めることにより、前記入力データの所定の注目データを所定のクラスに分類する第３の分類手段を

更に備え、
前記記憶手段には、前記第１の分類手段、前記第２の分類手段、及び前記第３の分類手段によって分類されるクラスに応じた係数が記憶されており、
前記演算手段は、前記第１の分類手段、前記第２の分類手段、及び前記第３の分類手段によって分類された前記クラスに応じて選択された前記係数と、入力された前記入力データとに基づく積和演算を行う
ことを特徴とする請求項１に記載の信号処理装置。
【請求項３】
前記係数は、前記第１の分類手段と前記第２の分類手段とによって分類された前記クラスに応じて、最小自乗法を用いた学習によって求められる
ことを特徴とする請求項１に記載の信号処理装置。
【請求項４】
前記演算手段における演算式は、線形１次結合式であり、
前記入力データを直接入力する場合、オフセット項を有し、
予めゲインオフセット調整が行われた前記入力データが入力される場合、前記線形１次結合式は、オフセット項を有しない
ことを特徴とする請求項１に記載の信号処理装置。
【請求項５】
前記第１の分類手段は、前記ブロック内にある、水平、垂直、斜め方向のサブキャリアが同位相のデータの差分の絶対値を大小比較することにより、相関の強い方向を特定し、前記方向に対応するコードを、前記入力データの所定の注目データの前記クラスを表すインデックスとする
ことを特徴とする請求項１に記載の信号処理装置。
【請求項６】
前記第１の分類手段は、前記入力データの所定の注目データと、前記ブロック内にある、水平、垂直、斜め方向のサブキャリアが同位相のデータの平均値との差分の絶対値を大小比較することにより、相関の強い方向を特定し、前記方向に対応するコードを、前記入力データの所定の注目データの前記クラスを表すインデックスとする
ことを特徴とする請求項１に記載の信号処理装置。
【請求項７】
前記第２の分類手段は、前記入力データの所定の注目データをＹ／Ｃ分離した後、ＹＵＶ信号またはY_2ＰｒＰｂ信号に変換し、変換された前記入力データの所定の注目データをＡＤＲＣ符号化したコードを、前記クラスを表すインデックスとする
ことを特徴とする請求項１に記載の信号処理装置。
【請求項８】
前記第２の分類手段は、前記入力データの所定の注目データをＹ／Ｃ分離した後、ＹＵＶ信号またはY_2ＰｒＰｂ信号に変換し、変換された前記入力データの所定の注目データをＤＣＴ符号化、またはＢＴＣ符号化したコードを、前記クラスを表すインデックスとする
ことを特徴とする請求項１に記載の信号処理装置。
【請求項９】
前記第３の分類手段は、前記ブロック内にある複数のデータのうちの前記相関の強い方向のデータを用いて、前記入力データをＹ／Ｃ分離した後、前記ブロック内にあるＹ／Ｃ分離後の複数のデータと、前記ブロック内にある複数のデータに対応する、時間方向が異なる他のフレームのＹ／Ｃ分離後の複数のデータとの差分の絶対値の平均値を求めることにより、前記入力データの所定の注目データを前記所定のクラスに分類する
ことを特徴とする請求項２に記載の信号処理装置。
【請求項１０】
コンポジット標準ＴＶ信号に対応するデータを入力し、ＨＤＴＶ信号に対応するデータに変換して出力する信号処理装置の信号処理方法において、

入力された入力データの所定の注目データを、前記注目データを中心とするブロック内にある複数のデータどうしの相関に基づいて所定のクラスに分類する第１の分類ステップと、

前記入力データの所定の注目データを、前記ブロック内にある複数のデータのうちの、前記第１の分類ステップの処理によって分類されたクラスに基づいて求められる前記相関の強い方向のデータを用いてＹ／Ｃ分離した後、ＹＵＶ信号またはY_2ＰｒＰｂ信号に変換し、変換された前記入力データの所定の注目データを、前記入力データの空間的なパターンに基づいて符号化することにより、前記入力データの所定の注目データを所定のクラスに分類する第２の分類ステップと、

前記第１の分類ステップの処理と前記第２の分類ステップの処理とによって分類された前記クラスに応じて、所定の演算式の係数が記憶された記憶手段から選択された前記係数と、入力された前記入力データとに基づく積和演算を行う演算ステップと

を含むことを特徴とする信号処理方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、信号処理装置および方法に関し、例えば、直接コンポジット標準ＴＶ信号から、Ｙ／Ｃ分離並びにマトリクス変換、解像度創造を行うことができる信号処理装置および方法に関する。

【０００２】

【従来の技術】

従来、コンポジット標準ＴＶ信号をＨＤＴＶ（High Definition television）信号に変換する方法として、動き適応補間方式や倍速スキャン方式等がある。動き適応補間方式とは、動いている映像に対しては、同一フィールド内の信号を用いて走査線間の信号を疑似的に生成するライン補間を行い、静止している映像に対しては、１フィールド前の映像信号を用いて走査線間の信号を生成するフィールド補間を適用するものであり、倍速スキャン方式とは、同一のラインを２度走査することにより走査線を２倍にするものである。

【０００３】

【発明が解決しようとする課題】

しかしながら、これらの手法では、解像度を上げることができないため、ＨＤＴＶの画面サイズにまで画面を大きくすることはできても、画質が悪い課題があった。

【０００４】

また、コンポジット信号からコンポーネント信号に変換する、いわゆるＹ／Ｃ分離においても、かなり高級な機種でも３次元の適応Ｙ／Ｃ分離が行われているのが一般的であり、判断ミスのためにクロスカラーやドット妨害などによる劣化があり、これがＨＤＴＶの画面サイズに拡大されることで、かなり画質を悪くする課題があった。

【０００５】

本発明はこのような状況に鑑みてなされたものであり、直接、コンポジット信号から、Ｙ／Ｃ分離、マトリクス変換、および解像度創造を行うことができるようにするものである。

【０００７】

【課題を解決するための手段】

請求項１に記載の信号処理装置は、入力された入力データの所定の注目データを、注目データを中心とするブロック内にある複数のデータどうしの相関に基づいて所定のクラスに分類する第1の分類手段と、入力データの所定の注目データを、ブロック内にある複数のデータのうちの、第１の分類手段によって分類されたクラスに基づいて求められる相関の強い方向のデータを用いてＹ／Ｃ分離した後、ＹＵＶ信号またはY_2ＰｒＰｂ信号に変換し、変換された入力データの所定の注目データを、入力データの空間的なパターンに基づいて符号化することにより、入力データの所定の注目データを所定のクラスに分類する第２の分類手段と、所定の演算式の係数を記憶する記憶手段と、第１の分類手段と第２の

分類手段とによって分類されたクラスに応じて選択された係数と、入力された入力データとに基づく積和演算を行う演算手段とを備えることを特徴とする。

【０００８】

請求項２に記載の信号処理装置は、ブロック内にある複数のデータと、ブロック内にある複数のデータに対応する、時間方向が異なる他のフレームの複数のデータとの差分の絶対値の平均値を求めることにより、入力データの所定の注目データを所定のクラスに分類する第３の分類手段を更に備え、記憶手段には、第１の分類手段、第２の分類手段、及び第３の分類手段によって分類されるクラスに応じた係数が記憶されており、演算手段は、第１の分類手段、第２の分類手段、及び第３の分類手段によって分類されたクラスに応じて選択された係数と、入力された入力データとに基づく積和演算を行うことを特徴とする。

請求項１０に記載の信号処理方法は、入力された入力データの所定の注目データを、注目データを中心とするブロック内にある複数のデータどうしの相関に基づいて所定のクラスに分類する第１の分類ステップと、入力データの所定の注目データを、ブロック内にある複数のデータのうちの、第１の分類ステップの処理によって分類されたクラスに基づいて求められる相関の強い方向のデータを用いてＹ／Ｃ分離した後、ＹＵＶ信号またはＹ，ＰｒＰｂ信号に変換し、変換された入力データの所定の注目データを、入力データの空間的なパターンに基づいて符号化することにより、入力データの所定の注目データを所定のクラスに分類する第２の分類ステップと、第１の分類ステップの処理と第２の分類ステップの処理とによって分類されたクラスに応じて、所定の演算式の係数が記憶された記憶手段から選択された係数と、入力された入力データとに基づく積和演算を行う演算ステップとを含むことを特徴とする。

【００１１】

請求項１に記載の信号処理装置においては、第１の分類手段が、入力された入力データの所定の注目データを、注目データを中心とするブロック内にある複数のデータどうしの相関に基づいて所定のクラスに分類し、第２の分類手段が、入力データの所定の注目データを、ブロック内にある複数のデータのうちの、第１の分類手段によって分類されたクラスに基づいて求められる相関の強い方向のデータを用いてＹ／Ｃ分離した後、ＹＵＶ信号またはＹ，ＰｒＰｂ信号に変換し、変換された入力データの所定の注目データを、入力データの空間的なパターンに基づいて符号化することにより、入力データの所定の注目データを所定のクラスに分類し、記憶手段が、所定の演算式の係数を記憶し、演算手段が、第１の分類手段と第２の分類手段とによって分類されたクラスに応じて選択された係数と、入力された入力データとに基づく積和演算を行う。

請求項１０に記載の信号処理方法においては、第１の分類ステップにおいて、入力された入力データの所定の注目データを、注目データを中心とするブロック内にある複数のデータどうしの相関に基づいて所定のクラスに分類し、第２の分類ステップにおいて、入力データの所定の注目データを、ブロック内にある複数のデータのうちの、第１の分類ステップの処理によって分類されたクラスに基づいて求められる相関の強い方向のデータを用いてＹ／Ｃ分離した後、ＹＵＶ信号またはＹ，ＰｒＰｂ信号に変換し、変換された入力データの所定の注目データを、入力データの空間的なパターンに基づいて符号化することにより、入力データの所定の注目データを所定のクラスに分類し、演算ステップにおいて、第１の分類ステップの処理と第２の分類ステップの処理とによって分類されたクラスに応じて、所定の演算式の係数が記憶された記憶手段から選択された係数と、入力された入力データとに基づく積和演算を行う。

【００１９】

【発明の実施の形態】

図１は、本発明の信号処理装置を応用したＨＤＴＶ（High Definition Television）の構成例を示すブロック図である。クラス分類回路１は、例えば、８ビットで量子化された入力コンポジット標準ＴＶ信号（ＳＤ（Standard Definition）コンポジット信号）を、入力信号の特性に基づいた所定の方法でクラス分類し、入力信号に対応するクラスを表すイ

ンデックスを生成するようになされている。遅延回路２は、クラス分類回路１からインデックスが出力されるまで、入力コンポジット標準ＴＶ信号を遅延させるようになされている。

【００２０】

予測回路３は、線形一次結合式に与える係数を予め記憶し、クラス分類回路１より供給されたインデックスに応じて適応的に読み出し、遅延回路２より供給される入力コンポジット標準ＴＶ信号と積和演算を行うことにより、ＨＤＴＶ信号のコンポーネント信号である、Y_2，Ｐｒ，Ｐｂ信号を生成し、例えば、図示せぬモニタに供給するようになされている。これにより、対応する画像がモニタに表示される。

【００２１】

図２は、入力コンポジット標準ＴＶ信号の画素と、アップコンバートして出力するＨＤＴＶ信号の画素位置の関係を表している。入力コンポジット標準ＴＶ信号は、４ｆｓｃでサンプリングされたものとし、サブキャリアの位相を考慮し、○□等の記号で表している。中心の画素（ｄ［８］）を注目画素とし、生成するＨＤＴＶ信号の画素位置を「＋」で示している。各画素には、クラスを表すインデックスを生成するときに使用する画素を示すために、便宜上、番号（ｄ［１］乃至ｄ［１５］）を付けている。また、実線は偶数フィールドを表し、破線は奇数フィールドを表している。また、○および□の外側の○および□は、２フィールド前の画素を表している。

【００２２】

なお、以下において説明するクラス生成は、サブキャリアの位相毎に行うものとする。

【００２３】

次に、第１のクラス分類方法について説明する。第１のクラス分類は、空間内の相関性を見るためのものであり、Ｙ／Ｃ分離を精度よく行うための役割を果たす。第１のクラス分類を行う第１の方法は、同位相の画素の水平、垂直、斜め方向の差分の絶対値を計算し、その大小関係でコード化するものである。ここでは、例として、２ビットにコード化する方法について説明する。

【００２４】

まず、水平方法、垂直方向、斜め方向１（図２において、画素ｄ［１］とｄ［１５］を結ぶ方向）、斜め方向２（図２において、画素ｄ［５］と画素ｄ［１１］を結ぶ方向）の画素の画素値の差分の絶対値を求める。

【００２５】

ｃｉｄ［０］＝ａｂｓ（ｄ［６］－ｄ［１０］）　（水平）
ｃｉｄ［１］＝ａｂｓ（ｄ［３］－ｄ［１３］）　（垂直）
ｃｉｄ［２］＝ａｂｓ（ｄ［１］－ｄ［１５］）　（斜め１）
ｃｉｄ［３］＝ａｂｓ（ｄ［５］－ｄ［１１］）　（斜め２）

【００２６】

次に、求めた差分値ｃｉｄ［０］乃至ｃｉｄ［３］の値に基づいて、以下のようにして２ビットのコード（ｃｏｄｅ）を生成する。

【００２７】

```
if ((cid[0]≦cid[1])
      &&  (cid[0]≦cid[2])
      &&  (cid[0]≦cid[3]))
   code=0;
else  if ((cid[1]＜cid[0])
      &&  (cid[1]≦cid[2])
      &&  (cid[1]≦cid[3]))
   code=1;
else  if ((cid[2]＜cid[0])
      &&  (cid[2]＜cid[1])
      &&  (cid[2]≦cid[3]))
   code=2;
else  if ((cid[3]＜cid[0])
      &&  (cid[3]＜cid[1])
      &&  (cid[3]＜cid[2]))
   code=3;
else
   code=0;
```

【００２８】
即ち、水平方向の差分の絶対値がいちばん小さいクラスを０とし、それ以外で垂直方向の差分がいちばん小さいクラスを１とする。同様に、斜め方向に関して、クラス２、クラス３とする。これらのどれにも当てはまらない場合、クラス０にまとめる。このコードは、どの方向でＹ／Ｃ分離をすればよいかを示すコードでもあり、第１のクラス分類以外の目的にも使用することができる。
【００２９】
図３は、第１のクラス分類回路の構成例を示すブロック図であり、上述した第１のクラス分類を第１の方法によって行うためのものである。第１のクラス分類回路は、入力されたコンポジット標準ＴＶ信号に対応する画素をブロック化するブロック化回路２１、ブロック化した画素の画素値の差分を演算する減算器２２乃至２５、減算器２２乃至２５の出力データの絶対値を演算する絶対値演算回路２６乃至２９、および、絶対値演算回路２６乃至２９より供給されたデータに基づいて、所定の比較および判断を行い、２ビットのコードを生成し、出力する比較判断回路３０より構成されている。
【００３０】
入力されたＳＤコンポジット信号は、ブロック化回路２１により、所定の画素数毎にブロック化され、減算器２２乃至２５にそれぞれ供給される。減算器２２においては、画素ｄ［６］の画素値と画素ｄ［１０］の画素値の差分が演算され、減算器２３により、画素ｄ［３］の画素値と画素ｄ［１３］の画素値の差分が演算され、減算器２４により、画素ｄ［１］の画素値と画素ｄ［１５］の画素値の差分が演算され、さらに、減算器２５において、画素ｄ［５］の画素値と画素ｄ［１１］の画素値の差分が演算される。
【００３１】
絶対値演算回路２６においては、減算器２２より供給された信号の絶対値が演算され、絶

対値演算回路２７により、減算器２３より供給された信号の絶対値が演算され、絶対値演算回路２８により、減算器２４より供給された信号の絶対値が演算され、さらに、絶対値演算回路２９により、減算器２５より供給された信号の絶対値が演算される。次に、比較判断回路３０により、絶対値演算回路２６乃至２９より供給された差分の大きさが上述したようにして比較され、２ビットのコードに変換された後、インデックスとして出力される。

【００３２】

また、時間方向の相関を見るために、画素ｄ［８］の２フレーム前の同一位相の画素との差分の絶対値を比較判断の対象にし、３ビットにコード化することも可能である。

【００３３】

空間相関を見る第１のクラス分類の第２の方法は、同位相の画素の水平、垂直、斜め方向の画素の平均値と、注目画素との差分の絶対値を計算し、その大小関係でコード化するものである。この場合も、第１の方法の場合と同様に、例として２ビットにコード化する方法について説明する。

【００３４】

まず、水平方法、垂直方向、斜め方向１（図２において、画素ｄ［１］とｄ［１５］を結ぶ方向）、斜め方向２（図２において、画素ｄ［５］と画素ｄ［１１］を結ぶ方向）の画素の画素値の平均値と注目画素の画素値との差分の絶対値を求める。

【００３５】

ｃｉｄ［０］＝ａｂｓ（（ａ＋ｂ）／２－ｄ［８］）　（水平）

ｃｉｄ［１］＝ａｂｓ（（a_2＋b_2）／２－ｄ［８］）　（垂直）

ｃｉｄ［２］＝ａｂｓ（（ｄ［１］＋ｄ［１５］）／２－ｄ［８］）（斜め１）

ｃｉｄ［３］＝ａｂｓ（（ｄ［５］＋ｄ［１１］）／２－ｄ［８］）（斜め２）

【００３６】

次に、求めた差分値ｃｉｄ［０］乃至ｃｉｄ［３］の値に基づいて、以下のようにして２ビットのコード（ｃｏｄｅ）を生成する。

【００３７】

```
if ((cid[0]≦cid[1])
      &&  (cid[0]≦cid[2])
      &&  (cid[0]≦cid[3]))
   code=0;
else  if ((cid[1]＜cid[0])
      &&  (cid[1]≦cid[2])
      &&  (cid[1]≦cid[3]))
   code=1;
else  if ((cid[2]＜cid[0])
      &&  (cid[2]＜cid[1])
      &&  (cid[2]≦cid[3]))
   code=2;
else  if ((cid[3]＜cid[0])
      &&  (cid[3]＜cid[1])
      &&  (cid[3]＜cid[2]))
   code=3;
else
   code=0;
```

【００３８】
即ち、水平方向の差分の絶対値が一番小さいクラスを０とし、それ以外で垂直方向の差分の絶対値が一番小さいクラスを１とする。同様に、斜め方向に関してクラス２，３とする。これらのどれにも当てはまらない場合、クラス０にまとめる。第２の方法で生成されるコードも、どの方向でＹ／Ｃ分離をすればよいのかを示すコードでもあり、第１のクラス分類以外の目的でも使用することができることは第１の方法の場合と同様である。
【００３９】
図４は、第１のクラス分類回路の他の構成例を示すブロック図であり、上述した第１のクラス分類を第２の方法によって行うためのものである。この第１のクラス分類回路は、入力されたＳＤコンポジット信号に対応する画素をブロック化するブロック化回路３１、ブロック化した画素の画素値の平均値を演算する加算器３２乃至３５、演算された平均値と注目画素の画素値の差分を演算する減算器３６乃至３９、減算器３６乃至３９の出力データの絶対値を演算する絶対値演算回路４０乃至４３、および、絶対値演算回路４０乃至４３より供給されたデータに基づいて、所定の比較および判断を行い、２ビットのコードを生成し、インデックスとして出力する比較判断回路４４より構成される。
【００４０】
入力されたＳＤ（Standard Definition）コンポジット信号は、ブロック化回路３１により、所定の画素数毎にブロック化され、加算器３２乃至３５に供給される。加算器３２においては、画素ａの画素値と画素ｂの画素値とが加算され、例えば、１ビットだけＬＳＢ方向にシフトされるなどして１／２が乗算され、平均値とされた後、減算器３６に供給される。加算器３３においては、画素a_2の画素値と画素b_2の画素値とが加算され、同様にして１／２が乗算され、平均値とされた後、減算器３７に供給される。加算器３４においては、画素ｄ［１］の画素値と画素ｄ［５］の画素値とが加算され、１／２が乗算され、

平均値とされた後、減算器３８に供給される。加算器３５においては、画素ｄ［１１］の画素値と画素ｄ［８］の画素値とが加算され、１／２が乗算され、平均値とされた後、減算器３９に供給される。

【００４１】

減算器３６乃至３９には、対応する加算器３２乃至３５からの演算結果がそれぞれ供給されるとともに、注目画素（この場合、画素ｄ［８］）の画素値が供給される。そして、減算器３６により、加算器３２からの演算結果（（ａ＋ｂ）／２）と画素ｄ［８］の画素値の差分が演算され、減算器３７により、加算器３３からの演算結果（（a_2＋b_2）／２）と画素ｄ［８］の画素値の差分が演算され、減算器３８により、加算器３４からの演算結果（（ｄ［１］＋ｄ［１５］）／２）と画素ｄ［８］の画素値の差分が演算され、さらに、減算器３９において、加算器３５からの演算結果（（ｄ［５］＋ｄ［１１］）／２）と画素ｄ［８］の画素値の差分が演算される。

【００４２】

絶対値演算回路４０においては、減算器３６より供給されたデータの絶対値が演算され、絶対値演算回路４１により、減算器３７より供給されたデータの絶対値が演算され、絶対値演算回路４２により、減算器３８より供給されたデータの絶対値が演算され、さらに、絶対値演算回路４３により、減算器３９より供給された信号の絶対値が演算される。次に、比較判断回路４４により、絶対値演算回路４０乃至４３より供給された差分の大きさが上述したようにして比較され、２ビットのコードに変換された後、インデックスとして出力される。

【００４３】

次に、第２のクラス分類方法について説明する。ここでは、例として、ＡＤＲＣ（Adaptive Dynamic Range Coding）を使用した空間パターン分類を行う場合について説明する。この第２のクラス分類は、主に、解像度成分を作るための役割を果たす。

【００４４】

まず、第１のクラス分類において生成された空間相関に基づくインデックスによって、以下のようにＹ／Ｃ分離を行う方向を定める。

【００４５】

Ｙについて、

ｃｏｄｅ＝０（水平）のとき、

Ｙ＝（ｄ［７］＋ｄ［９］）／２

ｃｏｄｅ＝１（垂直）のとき、

Ｙ＝（ｄ［３］＋２×ｄ［８］＋ｄ［１３］）／４

ｃｏｄｅ＝２（斜め１）のとき、

Ｙ＝（ｄ［２］＋ｄ［１４］）／２

ｃｏｄｅ＝３（斜め２）のとき、

Ｙ＝（ｄ［４］＋ｄ［１２］）／２

【００４６】

Ｃについて、

０度位相のとき、　Ｉ＝ｄ［８］－Ｙ

９０度位相のとき、　Ｑ＝ｄ［８］－Ｙ

１８０度位相のとき、Ｉ＝Ｙ－ｄ［８］

２７０度位相のとき、Ｑ＝Ｙ－ｄ［８］

【００４７】

このようにして求められたＹＩＱ信号を、以下の式に従って、コンポーネントのＹＵＶ信号に変換する。（Ｉ，Ｑについては、前値ホールドも含む）

【００４８】

Ｙ＝（Ｙ－６０）×２１９／１４０＋１６

Ｂ－Ｙ＝２．０３×｛ｓｉｎ（－３３．０）×Ｉ＋ｃｏｓ（－３３．０）×Ｑ）

Ｒ－Ｙ＝１．１４×｛ｃｏｓ（－３３．０）×Ｉ－ｓｉｎ（－３３．０）×Ｑ）

Ｕ＝２２４／１４０×０．５６４×（Ｂ－Ｙ）＋１２８
Ｖ＝２２４／１４０×０．７１３×（Ｒ－Ｙ）＋１２８
【００４９】
さらに、ＨＤの信号であるY_2ＰｒＰｂに変換する場合、次式を使用する。
【００５０】
Y_2＝２１９／１４０×｛（Ｙ－６０）－０．２０３４６２×０．５６４×（Ｂ－Ｙ）－０．０８７１２７×０．７１３×（Ｒ－Ｙ）｝＋１６
Ｐｒ＝２２４／１４０×｛１．０１９０２７×０．５６４×（Ｂ－Ｙ）＋０．０５５２８４×０．７１３×（Ｒ－Ｙ）｝＋１２８
Ｐｂ＝２２４／１４０×｛０．１１１４２５×０．５６４×（Ｂ－Ｙ）＋１．０１８７１７×０．７１３×（Ｒ－Ｙ）｝＋１２８
【００５１】
以上のようにしてＹ／Ｃ分離後、ＹＵＶ信号またはY_2ＰｒＰｂ信号にまで変換された、コンポジット標準ＴＶ信号の画素に対応するデータは、それぞれのコンポーネント毎にＡＤＲＣ符号化（後述する）され、パターン分類される。
【００５２】
図５は、第２のクラス分類回路の構成例を示すブロック図であり、上述した第２のクラス分類方法に従ったクラス分類を行うためのものである。第２のクラス分類回路は、コンポジット標準ＴＶ信号を遅延させるとともに、ブロック化する遅延ブロック化回路５１、遅延ブロック化回路５１の出力データの所定のものをそれぞれ加算する加算器５２乃至５５、加算器５２乃至５５より供給された加算結果のうちのいずれか１つを選択的に出力する選択回路５６、選択回路５６からの出力データと注目画素の画素値の差分を演算する減算器５７、入力信号の位相に従って、減算器５７からの出力データの符号を反転させる符号器５８より構成されている。
【００５３】
さらに、選択回路５６からの出力データと、符号器５８からの出力データ（ＹＩＱ信号）を入力し、マトリクス変換を行うマトリクス変換回路５９、マトリクス変換回路５９からの出力データに対して、コンポーネント毎にＡＤＲＣ符号化を行い、第２のインデックス信号を出力するＡＤＲＣ符号化器６０乃至６２より構成されている。
【００５４】
入力されたＳＤコンポジット信号は、遅延ブロック化回路５１により、遅延されるとともに、ブロック化され、加算器５２乃至５５に供給される。この場合、図２に示したように、画素ｄ［７］の画素値と画素ｄ［９］の画素値が加算器５２に供給され、画素ｄ［３］の画素値と画素ｄ［８］の画素値と画素ｄ［１３］の画素値が加算器５３に供給され、画素ｄ［２］の画素値と画素ｄ［１４］の画素値が加算器５４に供給され、画素ｄ［４］の画素値と画素ｄ［１２］の画素値が加算器５５に供給される。
【００５５】
加算器５２においては、画素ｄ［７］の画素値と画素ｄ［９］の画素値が加算され、その後、１ビットだけＬＳＢ方向にシフトするなどして１／２が乗算され、演算結果が選択回路５６に供給される。加算器５３においては、画素ｄ［３］の画素値と画素ｄ［８］の画素値が２回加算され、次に画素ｄ［１３］の画素値が加算される。その後、２ビットだけＬＳＢ方向にシフトするなどして１／４が乗算され、演算結果が選択回路５６に供給される。
【００５６】
加算器５４においては、画素ｄ［２］の画素値と画素ｄ［１４］の画素値が加算され、その後、１ビットだけＬＳＢ方向にシフトするなどして１／２が乗算され、演算結果が選択回路５６に供給される。加算器５５においては、画素ｄ［４］の画素値と画素ｄ［１２］の画素値が加算され、その後、１ビットだけＬＳＢ方向にシフトするなどして１／２が乗算され、演算結果が選択回路５６に供給される。
【００５７】

選択回路５６においては、上述した第１のクラス分類回路より供給されたインデックス（ｃｏｄｅ）に基づいて、加算器５２乃至５５より供給された演算結果から、対応するものを選択し、Ｙ信号として出力するとともに、減算器５７に供給する。

【００５８】

減算器５７においては、選択回路５６より供給されたＹ信号と、遅延ブロック化回路５１より供給された注目画素ｄ［８］の画素値との差分が演算され、演算結果が符号器５８に供給される。符号器５８においては、入力信号（注目画素）の位相に従って、適宜、減算器５７からの演算結果の符号を反転し、出力する。このようにして得られたＹＩＱ信号は、マトリックス変換回路５９に供給され、上述したように、ＨＤの信号であるY_2ＰｒＰｂに変換され、ＡＤＲＣ符号化回路６０乃至６２に供給され、符号化される。

【００５９】

次に、ＡＤＲＣ符号化について説明する。図６は、ＡＤＲＣ符号化回路の構成例を示すブロック図である。例えば、ブロック化回路７１において、Ｙ信号について、図２における画素ｄ［３］，ｄ［８］，ｄ［９］，ｄ［１３］，ｄ［１４］に相当する位置のコンポジット標準ＴＶ信号の画素のデータが集められ、ブロック化される。以下の式では、各画素の値をL_iとする。ブロック化されたデータは、最大値ＭＡＸ演算回路７２、最小値ＭＩＮ演算回路７３、および遅延回路７４に供給される。

【００６０】

ＭＡＸ演算回路７２においては、そのブロック内の最大値ＭＡＸが検出され、ＭＩＮ演算回路７３においては、そのブロック内の最小値ＭＩＮが検出される。検出されたブロック内の最大値ＭＡＸおよび最小値ＭＩＮは、減算器７５に供給され、その差分が演算され、ブロック内ダイナミックレンジＤＲと定義される。

【００６１】

一方、遅延回路７４より出力される各画素の値L_iは、減算器７６に供給され、ＭＩＮ演算回路７３より供給されるブロック内の最小値との間でその差分（L_i－ＭＩＮ）が演算される。そして、適応量子化回路７７において、例えば、ブロック内の各画素値L_iを８ビットより少ないビット数（ｎ）で再量子化する場合、次式によって量子化コードX_iが計算される。

【００６２】

$$X_i = (L_i - \mathrm{MIN}) \times (2^n / \mathrm{DR})$$

【００６３】

上記式における計算は、切り捨てにより整数化される。また、適応量子化回路７７は、回路的にはＲＯＭまたはかけ算器により実現される。量子化されたデータは、並列化回路７８に供給され、所定の順序に従って５画素分集められ、第２のインデックスとされる。

【００６４】

もう少し回路を簡素化することを考え、１ビットで量子化するものとすると、最大値および最小値の平均値と、入力画素を比較することにより、１／０に量子化することができる。図７は、１ビットＡＤＲＣ符号化回路の構成例を示すブロック図である。図７に示した回路においては、図６に示した回路から、減算器７６をなくし、減算器７５に代えて加算器８５を設け、さらに、適応量子化回路７７に代えて、比較回路８７を設けるようにしている。

【００６５】

比較回路８７においては、加算器８５より供給された最大値ＭＡＸと最小値ＭＩＮの加算結果を例えばＬＳＢ方向に１ビットシフトし、１／２を乗算した値、即ち、最大値と最小値の平均値と、遅延回路７４より供給された入力画素（注目画素）の画素値とが比較され、１または０に量子化される。並列化回路７８においては、量子化された１ビットのデータが５つ集められ、５ビットのインデックスが生成された後、出力される。

【００６６】

さらに、ビットを少なくするために、例えば、図８に示すような、４つのＥＸＣＬＵＳＩＶＥ－ＯＲゲート９１乃至９４からなるビット縮退回路を用い、５ビットのインデックス

のＭＳＢ（Ｍ４）が１のとき下位の４ビット（Ｍ３，Ｍ２，Ｍ１，Ｍ０）を反転して出力し、ＭＳＢが０のとき下位の４ビットをそのまま出力するようにする。これにより、４ビットのインデックス（Ｎ０乃至Ｎ３）でパターン分類を行うことができる。

【００６７】

なお、ＡＤＲＣ符号化の代わりに、ＤＣＴ（Discrete Cosine Transform）やＢＴＣ（Block Truncation Coding）等の圧縮符号化を使用してパターン分類を行うようにすることも可能である。

【００６８】

ここで、ＢＴＣとは、画面を適当な大きさのブロックに分割し、各ブロック毎に２つの階調レベルを設定し、各画素に対して１ビットの選択コードを割り当てるものである。このＢＴＣは、画像のもつ２次元的相関を積極的に利用したものであり、４×４のブロックサイズでは、１／４の圧縮が可能である。２つの階調レベルP_1，P_0は、ブロック内のデータの平均値Ｔと標準偏差Ｈより、それぞれ次のように設定される。

【００６９】

$P_1 = T + H$

$P_0 = T - H$

【００７０】

あるいは、以下のように、平均値Ｔをしきい値として、ブロック内のデータをレベル方向で２分割し、各々の平均T_1，T_2を２つの階調レベルに設定するようにすることもできる。この場合、２つの階調レベルP_1，P_0は、次のようになる。

【００７１】

$P_1 = T_1$

$P_0 = T_2$

【００７２】

次に、第３のクラス分類方法について説明する。これは、基本的には、フレーム間差を計算することにより、動き検出を行うものである。第３のクラス分類方法の第１の方法は、ＳＤコンポジット信号をそのまま演算し、クラス分類を行うものである。即ち、時間軸方向に２フレーム前に、同一のサブキャリアの位相の画素が存在することから、その画素毎の差分の絶対値の空間平均を求め、ｍビットの信号に量子化することにより、第３のクラスのインデックスを生成する。

【００７３】

ここでは、例として、９画素の平均を求めるものとし、現フレームの９画素をｄ［ｉ］、２フレーム前の９画素をd_2［ｉ］（ここで、ｉは2，3，4，7，8，9，１２，１３，１４）とすると、空間平均ｍｖは、次式のようになる。

【００７４】

$$mv = \{abs(d[2] - d_2[2]) + abs(d[3] - d_2[3]) + abs(d[4] - d_2[4]) + abs(d[7] - d_2[7]) + abs(d[8] - d_2[8]) + abs(d[9] - d_2[9]) + abs(d[12] - d_2[12]) + abs(d[13] - d_2[13]) + abs(d[14] - d_2[14])\} / 9$$

【００７５】

図９は、第３のクラス分類回路の構成例を示すブロック図であり、上述した空間平均ｍｖを求めるための回路である。第３のクラス分類回路は、入力されたコンポジット標準ＴＶ信号を２フレーム分だけ遅延させる２フレーム遅延回路１０１、入力されたＳＤコンポジット信号と、２フレーム前のＳＤコンポジット信号の差分を演算する減算器１０２、減算器１０２の出力データの絶対値を演算する絶対値演算回路１０３、および、絶対値演算回

路１０３の出力データを９画素分だけ集め、ブロック化し、上記式に従って加算する加算器１０５より構成される。

【００７６】

入力されたＳＤコンポジット信号は、減算器１０２に供給されるとともに、２フレーム遅延回路１０１にも供給され、減算器１０２において、所定の画素の画素値と、２フレーム遅延回路１０１より供給された２フレーム前の同一位置の画素の画素値との差分が演算される。この差分は、絶対値演算回路１０３に供給され、その絶対値が演算された後、ブロック化回路１０４に供給される。例えば、図２に示した画素ｄ［２］について、２フレーム前の同一位置の画素d_2［２］との差分の絶対値が演算される。

【００７７】

同様にして、図２に示した画素ｄ［ｉ］（この場合、ｉ＝３，４，７，８，９，１２，１３，１４）について、２フレーム前の同一位置の画素d_2［ｉ］との差分の絶対値が演算される。そして、ブロック化回路１０４において、これらの差分値が９画素分毎にブロック化され、加算器１０５に供給される。加算器１０５に供給されたこれらの差分値は加算された後、図示せぬ除算器等により画素数９で除算され、空間平均ｍｖが求められ、第３のインデックスとして出力される。

【００７８】

第３のクラス分類を行う第２の方法は、例えば、水平方向の２画素を用いて、一旦Ｙ／Ｃ分離を行い、分離されたＹ信号のフレーム間差の絶対値の平均ｍｖを演算し、ｍビットの信号に量子化することにより、第３のクラスのインデックスを生成するものである。ここでは、例として、６画素の平均を求めるものとし、現フレームの９画素をｄ［ｉ］、１フレーム前の９画素をd_1［ｉ］（ここで、ｉは１，３，５，６，８，１０，１１，１３，１５）とすると、平均ｍｖは、次式のようになる。

【００７９】

$$mv=\{abs((d[1]+d[3])/2-(d_1[1]+d_1[3])/2)+abs((d[3]+d[5])/2-(d_1[3]+d_1[5])/2)+abs((d[6]+d[8])/2-(d_1[6]+d_1[8])/2)+abs((d[8]+d[10])/2-(d_1[8]+d_1[10])/2)+abs((d[11]+d[13])/2-(d_1[11]+d_1[13])/2)+abs((d[13]+d[15])/2-(d_1[13]+d_1[15])/2)\}/6$$

【００８０】

また、Ｙ／Ｃ分離後の画素のフレーム毎の平均値を現フレームと１フレーム前のそれぞれについて求め、それらのフレーム間差の絶対値を第３のクラスのインデックスとしてもよい。

【００８１】

図１０は、第３のクラス分類回路の他の構成例を示すブロック図である。この第３のクラス分類回路は、水平方向の２画素分の画素値を記憶するレジスタ１１１，１１２、それらの画素値の加算値を演算する加算器１１３、入力されたデータを１フレーム分だけ遅延させるフレーム遅延回路１１４、現フレームの画素と１フレーム前の画素の差分を演算する減算器１１５、減算器１１５により演算された差分値の絶対値を求める絶対値演算回路１１６、および、絶対値演算回路１１６からの出力データをブロック化するブロック化回路１１７、およびブロック化回路１１７からの出力を加算する加算器１１８より構成されている。

【００８２】

入力されたＳＤコンポジット信号の水平方向の２つの画素は、レジスタ１１１および１１２に一旦記憶され、加算器１１３に供給され、加算された後、例えば、ＬＳＢ方向に１ビットだけシフトするなどして１／２が乗算され、減算器１１５に供給されるとともに、フレーム遅延回路１１４にも供給される。従って、フレーム遅延回路１１４には、レジスタ１１１および１１２に記憶された画素に対応する１フレーム前の同一位置の画素の平均値が記憶されている。

【００８３】
現フレームの所定の水平方向の２画素の平均値と、フレーム遅延回路１１４に記憶されている１フレーム前の対応する画素の平均値は、減算器１１５に供給され、その差分値（Ｙ信号のフレーム間差）が求められる。そして、絶対値演算回路１１６によりその差分値の絶対値が演算され、ブロック化回路１１７において、ブロック化された後、加算器１１８に供給される。加算器１１８に供給された差分値は加算され、１ブロックを構成するデータ数で除算することにより、フレーム間差の平均値が演算され、第３のインデックスとして出力される。
【００８４】
以上のようにして、第１乃至第３のクラスのインデックスを生成した後、これらのインデックスをひとまとめにして最終的なクラスのインデックスとする。第２のクラスについては、各コンポーネント毎に異なっているので、最終的なインデックスについても各コンポーネント毎に存在する。
【００８５】
また、仮に、ここでのクラス数が非常に多くなった場合、図１１に示すように、クラスの縮退を行う縮退ＲＯＭ１２１を挿入することにより、上記クラスを表すビット数を効果的に削減することも可能である。
【００８６】
次に、図１の予測回路３について説明する。予測回路３は、Ｙ／Ｃ分離、ゲインオフセット補正、マトリクス変換、解像度創造を同時に行うものである。最終的には、ＨＤＴＶの３つのコンポーネント信号Y_2ＰｒＰｂが出力されるが、ここでは、代表して、Y_2信号のみの回路を示し、同一の回路が３つ並列に存在するものとする。
【００８７】
上述した、クラス分類回路１において生成されたインデックスと、それとタイミングが合うように遅延されたコンポジット標準ＴＶ信号が予測回路３に入力される。図１２は、予測回路３の構成例を示すブロック図である。予測回路３は、ゲインオフセット補正を行う補正回路１３１と、ブロック化を行うブロック化回路１３２、所定の係数を保持し、インデックス信号に従って、係数を出力する係数メモリ１３３－１乃至１３３－ｎ、および係数メモリ１３３－１乃至１３３－ｎから出力された係数と、ブロック化回路１３２から出力された所定の画素の画素値とを乗算する乗算器１３４ー１乃至１３４－ｎ、乗算器１３４－１乃至１３４－ｎから出力されたデータを加算する加算器１３５、および加算器１３５からの出力データの大きさを制限するリミッタ１３６より構成される。
【００８８】
また、図１３は、予測回路３の他の構成例を示すブロック図である。この場合、予測回路３は、ブロック化を行うブロック化回路１４１、所定の係数を保持し、インデックス信号に従って、係数を出力する係数メモリ１４２－１乃至１４２－ｎ、および係数メモリ１４２－１乃至１４２－ｎから出力された係数と、ブロック化回路１４１から出力された所定の画素の画素値とを乗算する乗算器１４３－１乃至１４３－ｎ、所定のオフセット項を出力する補正回路１４４、乗算器１４３－１乃至１４３－ｎ、および補正回路１４４から出力されたデータを加算する加算器１４５、および加算器１４５からの出力データの大きさを制限するリミッタ１４６より構成される。
【００８９】
図１２および図１３に示した予測回路３には、上述したクラス分類回路１において生成されたインデックスと、それとタイミングが合うように遅延されたコンポジット標準ＴＶ信号が入力される。インデックス信号は、係数メモリのアドレスとなり、それに応じた係数が読み出される。コンポジット信号に関しては、２通りの方法が考えられ、図１２に示したように、ゲインオフセット補正後にブロック化回路１３２に入力されるか、または、図１３に示したように、直接ブロック化回路１４１に入力される。
【００９０】
ゲインオフセット補正を行う場合、積和演算においてはオフセット項が存在しないが、直

接の場合、オフセット項を入れる必要がある。なお、ゲインオフセット補正は次式で行う。

【００９１】

$S_2=(S_1-60)\times 219/140+16$

【００９２】

ブロック化回路１３２，１４１においては、積和演算に必要な画素がブロック化されるが、ここでは、図２に示したように、現フィールドの５画素×３ライン、前フィールドの３画素×２ライン、２フィールド前の２画素×２ラインの計２５画素を予測演算に使用する画素とする。勿論、他のパターンも可能である。

【００９３】

積和器（乗算器１３４－１乃至１３４－ｎと加算器１３５、または乗算器１４３－１乃至１４３－ｎと加算器１４５）では、各画素と係数が乗算され、足し込まれた結果が、リミッタ回路１３６または１４６でその存在範囲を制限されて最終結果が出力される。例えば、Y_2信号の場合、その値は０乃至２５５のうちの１６乃至２３５、Ｐｒ信号，Ｐｂ信号の場合、それぞれ１２８を足し込んで、１６乃至２４０の範囲とされる。

【００９４】

次に、各クラスに対応する係数を学習によって求める方法について説明する。図１４は、学習を行う学習装置の構成例を示すブロック図である。学習装置は、入力された教師信号であるＨＤＴＶ信号（Y_2ＰｒＰｂ）をダウンコンバートし、マトリクス変換し、ＹＩＱ信号に変換するマトリクス変換回路１５１、マトリクス変換回路１５１から出力されたＹＩＱ信号をＮＴＳＣ信号（コンポジット標準ＴＶ信号）にエンコードするＮＴＳＣエンコーダ１５３、クラス分類を行うクラス分類回路１５４、ＳＤコンポジット信号を遅延させる遅延回路１５５、遅延回路１５５からの出力データのゲインオフセット補正を行う補正回路１５６、教師信号としてのＨＤＴＶ信号を遅延し、出力する遅延回路１５２、補正回路１５６からの出力データと、遅延回路１５２からの出力データをブロック化するブロック化回路１５７、および、ブロック化回路１５７より出力されたデータに基づいて、最適な係数を学習する学習回路１５８より構成される。

【００９５】

入力された教師信号としてのＨＤＴＶ信号は、マトリクス変換回路１５１に供給されるとともに、遅延回路１５２にも供給され、マトリクス変換回路１５１に供給されたＨＤＴＶ信号は、ダウンコンバートされ、マトリクス変換された後、ＮＴＳＣエンコーダ１５３に供給される。マトリクス変換されたＹＩＱ信号は、ＮＴＳＣエンコーダ１５３に供給され、ＮＴＳＣ信号（コンポジット標準ＴＶ信号）にエンコードされた後、クラス分類回路１５４に供給されるとともに、遅延回路１５５にも供給される。

【００９６】

クラス分類回路１５４においては、上述したようにして、入力されたＳＤコンポジット信号のクラスが決定され、そのクラスに対応するインデックスが生成された後、学習回路１５８に供給される。遅延回路１５５においては、入力されたＳＤコンポジット信号が遅延され、補正回路１５６に供給される。補正回路１５６においては、入力されたＳＤコンポジット信号のゲインオフセットが補正され、ブロック化回路１５７に供給される。

【００９７】

また、遅延回路１５２に記憶されている教師信号としてのＨＤＴＶ信号も、ブロック化回路１５７に供給され、ブロック化された後、学習回路１５８に供給される。このように、学習装置は、基本的には、クラス分類を行う部分と最小自乗法による学習を行う部分に分かれる。

【００９８】

クラス分類については、上述した場合と同様であり、求められた最終インデックスをクラスの識別コードとする。これらのクラス毎に、最小自乗法による学習を行う学習回路１５８は、一定期間に渡ってデータを分類し、クラス毎の正規方程式を生成し、これを解くことにより、クラス毎の係数を計算する。

【００９９】
次に、学習を行う場合において、多数の入力画素と所定の画素（ここでは推定誤差）との関係を求める方法として、最小自乗法を採用した場合について説明する。まず、次式（１）に示すように、上記入力画素の画素値の間に線形１次結合の関係があると仮定し、モデルを立てる。
【０１００】
ＸＷ＝Ｙ　・・・（式１）
【０１０１】
ここで、ＸはＮＴＳＣ信号の画素値、Ｗは係数、Ｙは変換後のＨＤＴＶ信号の画素値であり、次式（２）のように表される。
【０１０２】
【数１】

$$\begin{pmatrix} x_{11} & x_{12} & \cdots & x_{1m} \\ x_{21} & x_{22} & \cdots & x_{2m} \\ \cdots & \cdots & \cdots & \cdots \\ x_{n1} & x_{n2} & \cdots & x_{nm} \end{pmatrix}, W=\begin{pmatrix} W_1 \\ W_2 \\ \cdots \\ W_m \end{pmatrix}, Y=\begin{pmatrix} \delta y_1 \\ \delta y_2 \\ \cdots \\ \delta y_n \end{pmatrix} \qquad (式2)$$

【０１０３】
ここでは、オフセット補正をしない場合について説明するが、オフセット補正を行う場合、線形１次結合式に定数項が加わり、その定数項を含めて係数を求めることになる。
【０１０４】
次に、最小自乗法による、係数の算出方法について説明する。
【０１０５】
次式（３）に示すような残差方程式において、
【０１０６】
【数２】

$$XW=Y+E,\ E=\begin{pmatrix} e_1 \\ e_2 \\ \cdots \\ e_n \end{pmatrix} \qquad (式3)$$

【０１０７】
各w_i（ｉ＝１，２，・・・，ｍ）の最確値を見いだすためには、
【０１０８】
【数３】

$$\sum_{j=1}^{n} e_i^2$$

【０１０９】
を最小にする条件、即ち、次式（４）
【０１１０】

【数４】

$$e_1\frac{\partial e_1}{\partial w_i}+e_2\frac{\partial e_2}{\partial w_i}+\cdots+e_n\frac{\partial e_n}{\partial w_i}=0\ (i=1,2,\cdots,m)\quad (式4)$$

【０１１１】
なる、ｍ個の条件を入れ、これを満足するw_1，w_2，・・・，w_mを見いだせばよい。
【０１１２】
上記式（３）より、
【０１１３】
【数５】

$$\frac{\partial e_i}{\partial w_1}=x_{i1},\frac{\partial e_i}{\partial w_2}=x_{i2},\cdots,\frac{\partial e_i}{\partial w_m}=x_{im}(i=1,2,\cdots,n)\quad (式5)$$

【０１１４】
となり、上記式（４）の条件をｉ＝１，２，・・・，ｍについて立てると、それぞれ次式（６）に示すような条件が得られる。
【０１１５】
【数６】

$$\sum_{i=1}^{n}e_ix_{i1}=0,\sum_{i=1}^{n}e_ix_{i2}=0,\cdots,\sum_{i=1}^{n}e_ix_{im}=0\quad (式6)$$

【０１１６】
ここで、式（３）および式（６）より、次式（７）の正規方程式が得られる。
【０１１７】
【数７】

$$\left\{\begin{array}{l}(\sum_{j=1}^{n}x_{j1}x_{j1})w_1+(\sum_{j=1}^{n}x_{j1}x_{j2})w_2+\cdots+(\sum_{j=1}^{n}x_{j1}x_{jm})w_m=(\sum_{j=1}^{n}x_{j1}\delta y_j)\\(\sum_{j=1}^{n}x_{j2}x_{j1})w_1+(\sum_{j=1}^{n}x_{j2}x_{j2})w_2+\cdots+(\sum_{j=1}^{n}x_{j2}x_{jm})w_m=(\sum_{j=1}^{n}x_{j2}\delta y_j)\\\cdots\\(\sum_{j=1}^{n}x_{jm}x_{j1})w_1+(\sum_{j=1}^{n}x_{jm}x_{j2})w_2+\cdots+(\sum_{j=1}^{n}x_{jm}x_{jm})w_m=(\sum_{j=1}^{n}x_{jm}\delta y_j)\end{array}\right\}\quad (式7)$$

【０１１８】
上記式（７）は、丁度未知数の数ｍだけある連立方程式であるから、これより最確値である各係数ｗｉを求めることができる。正確にいうと、式（７）において、係数ｗｉにかかる
【０１１９】
【数８】

$$\left(\sum_{j=1}^{n} x_{jk}x_{jl}\right)(k=1,2\cdots,m,l=1,2,\cdots,m)$$

のマトリクスが正則であれば解くことができる。実際には、Ｇａｕｓｓ－Ｊｏｒｄａｎの消去法（掃き出し法）などの解法を用いて連立方程式を解くことになる。
【０１２０】
次に、最小自乗法の計算を行うハードウェアについて説明する。図１５は、最小自乗法の計算を実行する計算回路の構成例を示すブロック図である。この計算回路は、図１４に示した学習回路１５８を構成している。この計算回路には、遅延され、ゲインオフセット補正がなされたＳＤコンポジット信号と、遅延回路１５２において遅延されたＨＤＴＶ信号がブロック化されて入力されるとともに、クラス分類回路１５４において生成されたクラスのインデックスが入力される。
【０１２１】
最小自乗法を行うこの計算回路は、図１５に示したように、大きく分けて正規方程式を生成するための乗算アレイ１６１、インデックスのデコードを行うデコード部１６３、および加算メモリアレイ１６２と、係数を求めるためのＣＰＵ１６４より構成される。乗算器アレイ１６１は、注目画素位置に対して１組、加算メモリアレイ１６２はさらにクラスの数だけの組が存在する。
【０１２２】
まず、補正されたＳＤコンポジット信号の画素に対応するデータと、ＨＤＴＶ信号の画素に対応するデータは、図１６に示すように、正規方程式生成回路としての乗算器アレイ１６１を構成する乗算器１７１において、各要素同士の乗算が行われ、その結果が正規方程式生成回路としての加算器メモリアレイ１６２に供給される。
【０１２３】
図１７は、加算器メモリアレイ１６２の構成例を示すブロック図である。加算器メモリアレイ１６２は、加算器アレイ１８１とメモリアレイ（レジスタアレイ）１８２－１乃至１８２－ｎからなり、加算器アレイ１８１には、乗算器アレイ１６１からの乗算結果とメモリアレイ１８２－１乃至１８２－ｎの所定のものからの出力データが供給され、そこで加算された後、その加算結果がメモリアレイ１８２－１乃至１８２－ｎの所定のものに供給され、更新して記憶される。
【０１２４】
メモリアレイ１８２－１乃至１８２－ｎのうち、どれが選択されるかは、インデックスをデコードすることにより一意に決定される。即ち、インデックスによって決まるクラス毎に、メモリアレイ１８２－１乃至１８２－ｎの所定のものが選択され、積和演算が行われる。積和演算の結果は、メモリアレイ１８２－１乃至１８２－ｎの所定のものに更新して記憶される。
【０１２５】
なお、各々のメモリアレイの位置は、式（７）で表された正規方程式の係数w_i（ｉ＝１，２，・・・，ｍ）にかかる
【０１２６】
【数８】

$$(\sum_{j=1}^{n} x_{jk}x_{jl})(k=1,2\cdots,m,l=1,2,\cdots,m)$$

の位置に対応する。式（７）の正規方程式から分かるように、右上の項を反転すれば、左下の項と同一となる（例えば、$X_{j1}X_{jm}$を反転すると$X_{jm}X_{j1}$となる）ため、各アレイは３角形の形状とされている。

【０１２７】

以上のようにして、ある一定期間に、クラス毎に積和演算が行われ、各画素位置、および各クラス毎に正規方程式が生成される。クラス毎の正規方程式の各項の結果は、それぞれのクラスに対応するメモリアレイ１８２－１乃至１８２－ｎのいずれかに記憶されている。そして、クラス毎の正規方程式の各項がＣＰＵ１６４に供給され、その係数が計算される。

【０１２８】

計算された係数の組は、図１２および図１３に示した予測回路の、例えばＲＯＭで構成される係数テーブル（係数メモリ１３３－１乃至１３３－ｎ、および係数メモリ１４２－１乃至１４２－ｎ）に書き込まれ、使用される。

【０１２９】

以上のようにして、従来のコンポジット標準ＴＶ信号からＨＤＴＶ信号に変換する場合において、クラス適応処理を行うことにより、直接、コンポジット標準ＴＶ信号から、Ｙ／Ｃ分離、マトリクス変換、および解像度創造を同時に行うことができ、Ｙ／Ｃ分離による画質の劣化の改善、並びに解像度の向上を実現することができる。

【０１３０】

なお、上記実施例においては、全ての処理をハードウェアによって実現するようにしたが、ディジタル化されたデータを計算機に取り込むことにより、ソフトウェアによって処理するようにすることも可能である。

【０１３２】

【発明の効果】

請求項１に記載の信号処理装置によれば、第1の分類手段が、入力された入力データの所定の注目データを、注目データを中心とするブロック内にある複数のデータどうしの相関に基づいて所定のクラスに分類し、第２の分類手段が、入力データの所定の注目データを、ブロック内にある複数のデータのうちの、第１の分類手段によって分類されたクラスに基づいて求められる相関の強い方向のデータを用いてＹ／Ｃ分離した後、ＹＵＶ信号またはＹ，ＰｒＰｂ信号に変換し、変換された入力データの所定の注目データを、入力データの空間的なパターンに基づいて符号化することにより、入力データの所定の注目データを所定のクラスに分類し、演算手段が、第１の分類手段と第２の分類手段とによって分類されたクラスに応じて選択された係数と、入力された入力データとに基づく積和演算を行うようにしたので、コンポジット標準ＴＶ信号からＨＤＴＶ信号に変換する場合において、直接コンポジット標準ＴＶ信号からＹ／Ｃ分離、マトリクス変換、解像度創造を行うことができ、Ｙ／Ｃ分離の改善、および解像度の向上を実現することができる。

【０１３３】

請求項２に記載の信号処理装置によれば、第３の分類手段が、ブロック内にある複数のデータと、ブロック内にある複数のデータに対応する、時間方向が異なる他のフレームの複数のデータとの差分の絶対値の平均値を求めることにより、入力データの所定の注目データを所定のクラスに分類し、演算手段が、第１の分類手段、第２の分類手段、及び第３の分類手段によって分類されたクラスに応じて選択された係数と、入力された入力データとに基づく積和演算を行うようにしたので、コンポジット標準ＴＶ信号からＨＤＴＶ信号に変換する場合において、直接コンポジット標準ＴＶ信号からＹ／Ｃ分離、マトリクス変換、解像度創造を行うことができ、Ｙ／Ｃ分離の改善、および解像度の向上を実現するこ

とができる。

また、請求項１０に記載の信号処理方法によれば、第１の分類ステップにおいて、入力された入力データの所定の注目データを、注目データを中心とするブロック内にある複数のデータどうしの相関に基づいて所定のクラスに分類し、第２の分類ステップにおいて、入力データの所定の注目データを、ブロック内にある複数のデータのうちの、第１の分類ステップの処理によって分類されたクラスに基づいて求められる相関の強い方向のデータを用いてＹ／Ｃ分離した後、ＹＵＶ信号またはＹ，ＰｒＰｂ信号に変換し、変換された入力データの所定の注目データを、入力データの空間的なパターンに基づいて符号化することにより、入力データの所定の注目データを所定のクラスに分類し、演算ステップにおいて、第１の分類ステップの処理と第２の分類ステップの処理とによって分類されたクラスに応じて、所定の演算式の係数が記憶された記憶手段から選択された係数と、入力された入力データとに基づく積和演算を行うようにしたので、コンポジット標準ＴＶ信号からＨＤＴＶ信号に変換する場合において、直接コンポジット標準ＴＶ信号からＹ／Ｃ分離、マトリクス変換、解像度創造を行うことができ、Ｙ／Ｃ分離の改善、および解像度の向上を実現することができる。

【図面の簡単な説明】

【図１】本発明の信号処理装置を応用したＨＤＴＶの構成例を示すブロック図である。

【図２】コンポジット標準ＴＶ信号の画素と、アップコンバートして出力されるＨＤＴＶ信号の画素の位置関係を表す図である。

【図３】第１のクラス分類回路の構成例を示すブロック図である。

【図４】第１のクラス分類回路の他の構成例を示すブロック図である。

【図５】第２のクラス分類回路の構成例を示すブロック図である。

【図６】ＡＤＲＣ符号化回路の構成例を示すブロック図である。

【図７】１ビットＡＤＲＣ符号化回路の構成例を示すブロック図である。

【図８】ビット縮退回路の構成例を示すブロック図である。

【図９】第３のクラス分類回路の構成例を示すブロック図である。

【図１０】第３のクラス分類回路の他の構成例を示すブロック図である。

【図１１】縮退ＲＯＭを用いて最終インデックスを生成する方法を説明する図である。

【図１２】予測回路の構成例を示すブロック図である。

【図１３】予測回路の他の構成例を示すブロック図である。

【図１４】学習装置の構成例を示すブロック図である。

【図１５】最小自乗法を計算する計算装置の構成例を示すブロック図である。

【図１６】正規方程式生成回路としての乗算器アレイの構成例を示すブロック図である。

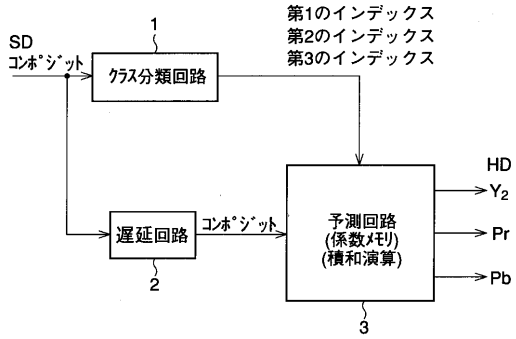
【図１７】正規方程式生成回路を構成する加算器アレイおよびメモリアレイの構成例を示すブロック図である。

【符号の説明】

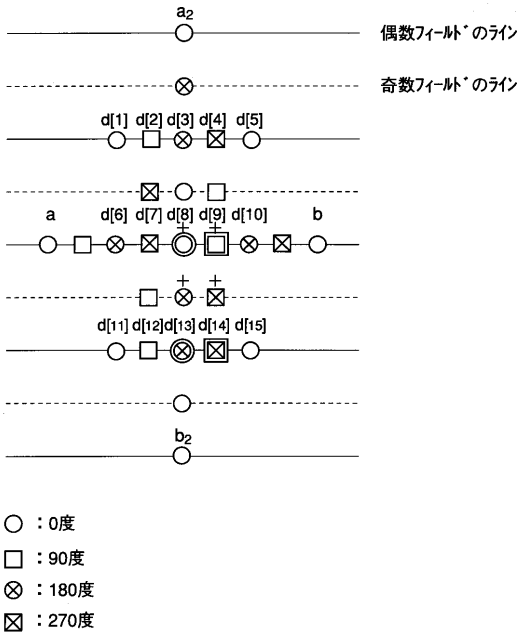
１　クラス分類回路，２　遅延回路，３　予測回路，２１　ブロック化回路，２２乃至２５　減算器，２６乃至２９　絶対値演算回路，３０　比較判断回路，３１　ブロック化回路，３２乃至３５　加算器，３６乃至３９　減算器，４０乃至４３　絶対値演算回路，４４　比較判断回路，５１遅延ブロック化回路，５２乃至５５　加算器，５６　選択回路，５７　減算器，５８　符号器，５９　マトリクス変換回路，６０乃至６２　ＡＤＲＣ符号化回路，７１　ブロック化回路，７２　ＭＡＸ演算回路，７３　ＭＩＮ演算回路，７４　遅延回路，７５，７６　減算器，７７　適応量子化回路，７８　並列化回路，８５　加算器，８７　比較回路，９１乃至９４　ＥＸＣＬＵＳＩＶＥ－ＯＲゲート，１０１　２フレーム遅延回路，１０２　減算器，１０３　絶対値演算回路，１０４　ブロック化回路，１０５　加算器，１１１，１１２　レジスタ，１１３　加算器，１１４　フレーム遅延回路，１１５　減算器，１１６　絶対値演算回路，１１７　ブロック化回路，１１８　加算器，１２１　縮退ＲＯＭ，１３１　補正回路，１３２　ブロック化回路，１３３－１乃至１３３－ｎ　係数メモリ，１３４－１乃至１３４－ｎ乗算器，１３５　加算器，１３６　リミッタ，１４１　ブロック化回路，１４２－１乃至１４２－ｎ　係数メモリ，１４３－１

乃至１４３－ｎ　乗算器，１４５　加算器，１４６　リミッタ，１５１　マトリクス変換回路，１５２　遅延回路，１５３　ＮＴＳＣエンコーダ，１５４　クラス分類回路，１５５　遅延回路，１５６　補正回路，１５７　ブロック化回路，１５８　学習回路，１６１　乗算器アレイ，１６２　加算器メモリアレイ，１６３　デコード部（インデックスデコーダ），１６４　ＣＰＵ，１７１　乗算器，１８１　加算器アレイ，１８２－１乃至１８２－ｎ　メモリアレイ

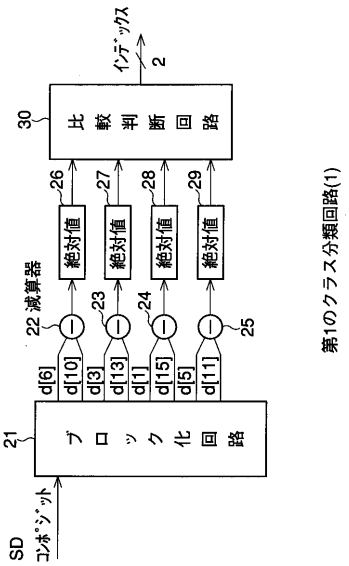
【図１】



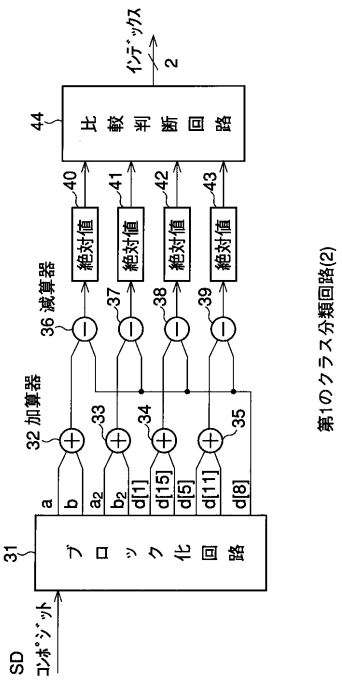
【図２】



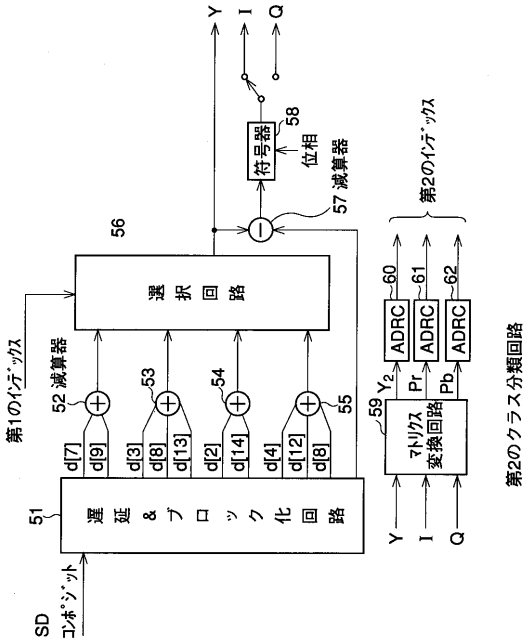
【図３】


インデックス
2
30
比較判断回路
26
27
28
29
絶対値
22 減算器
23
24
25
d[6]
d[10]
d[3]
d[13]
d[1]
d[15]
d[5]
d[11]
21
ブロック化回路
SD
コンポジット
第1のクラス分類回路(1)

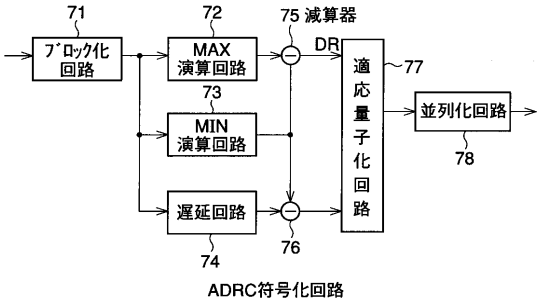
【図４】


インデックス
2
44
比較判断回路
40
41
42
43
絶対値
36 減算器
37
38
39
32 加算器
33
34
35
a
b
a2
b2
d[1]
d[15]
d[5]
d[11]
d[8]
31
ブロック化回路
SD
コンポジット
第1のクラス分類回路(2)

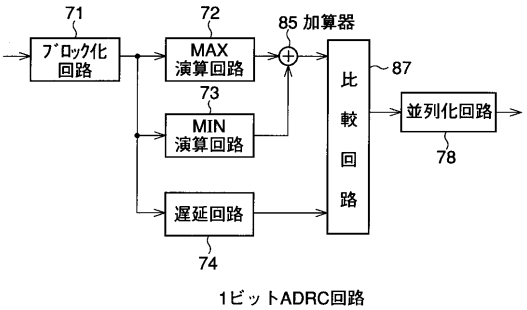
【図５】


Y
I
Q
符号器
58
位相
57 減算器
56
選択回路
第1のインデックス
52 減算器
53
54
55
d[7]
d[9]
d[3]
d[8]
d[13]
d[2]
d[14]
d[4]
d[12]
d[8]
51
遅延&ブロック化回路
SD
コンポジット
第2のインデックス
60
61
62
ADRC
ADRC
ADRC
59
マトリクス変換回路
Y2
Pr
Pb
Y
I
Q
第2のクラス分類回路

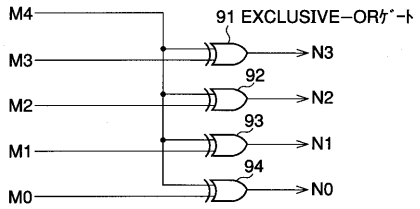
【図６】


71
ブロック化回路
72
MAX演算回路
73
MIN演算回路
74
遅延回路
75 減算器
DR
76
適応量子化回路
77
並列化回路
78
ADRC符号化回路

【図７】

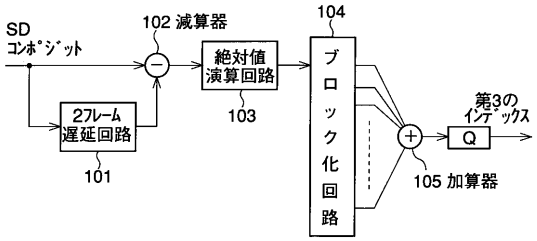

71
ブロック化回路
72
MAX演算回路
73
MIN演算回路
74
遅延回路
85 加算器
比較回路
87
並列化回路
78
1ビットADRC回路

【図８】



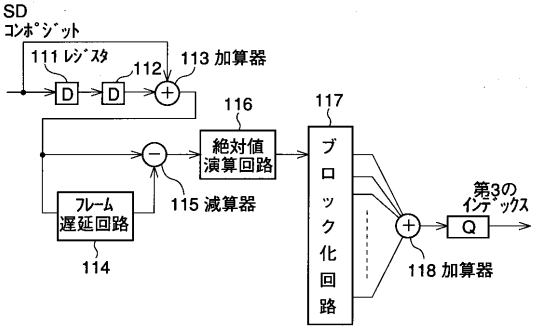
ビット縮退回路

【図９】



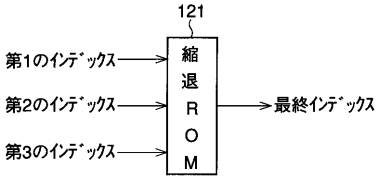
第3のｸﾗｽ分類回路(1)

【図１０】



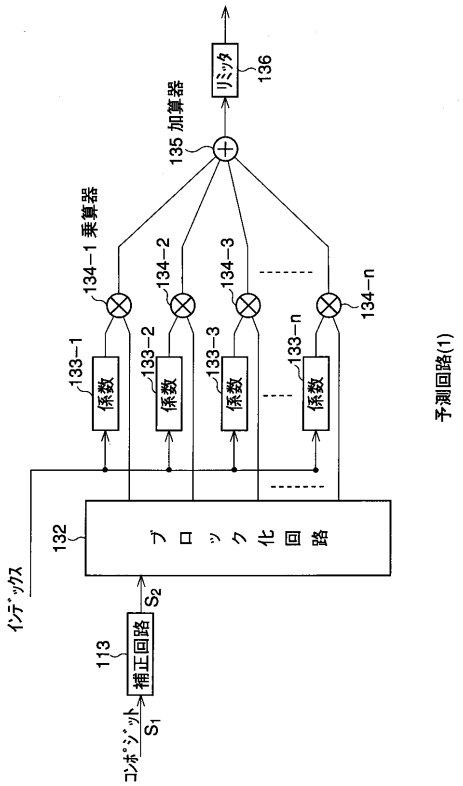
第3のｸﾗｽ分類回路(2)

【図１１】



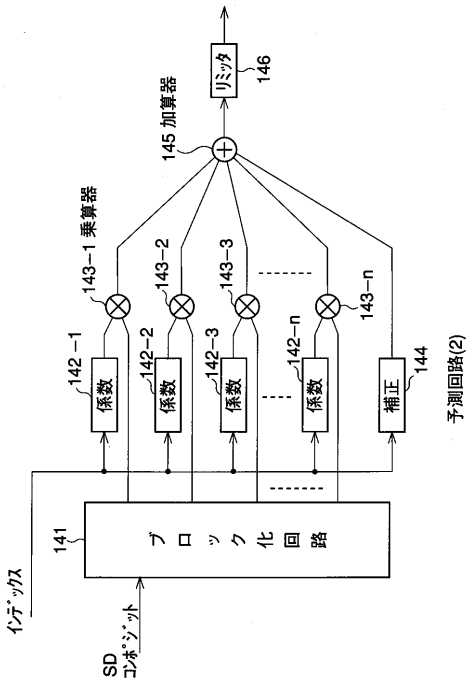
縮退ROM(最終インデックス出力)

【図１２】

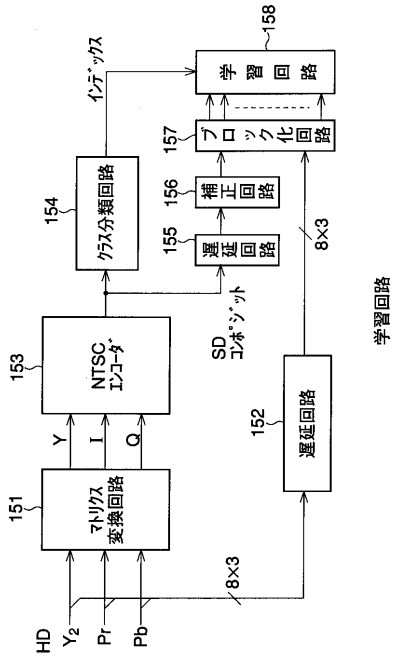


予測回路(1)

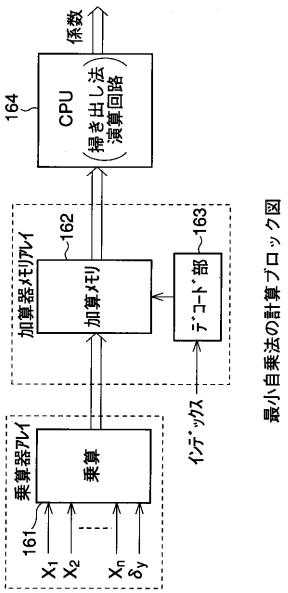
【図１３】



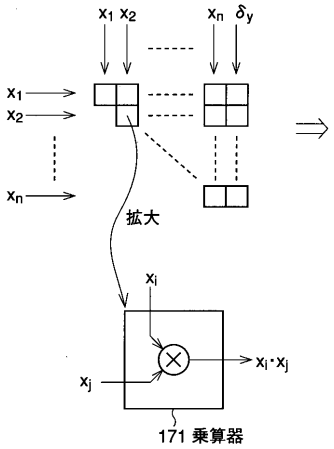
【図１４】



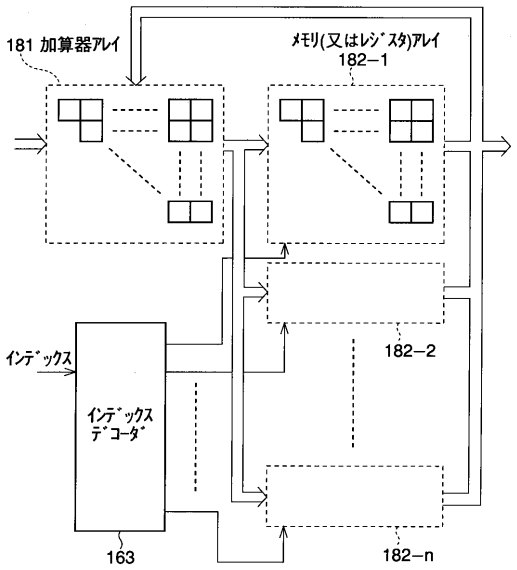
【図１５】



【図１６】



【図１７】



正規方程式生成回路

フロントページの続き

(56)参考文献 特開平０８－０８８８４９（ＪＰ，Ａ）
特開平０８－０５１５９９（ＪＰ，Ａ）
特開平０７－２８８８４２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H04N 11/20
H04N 7/01
H04N 7/30