

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5646597号  
(P5646597)

(45) 発行日 平成26年12月24日(2014.12.24)

(24) 登録日 平成26年11月14日(2014.11.14)

(51) Int. Cl. F I  
**GO2F 1/155 (2006.01)** GO2F 1/155  
**GO2F 1/15 (2006.01)** GO2F 1/15 502

請求項の数 18 (全 16 頁)

(21) 出願番号	特願2012-505209 (P2012-505209)	(73) 特許権者	504416080
(86) (22) 出願日	平成22年4月15日 (2010.4.15)		セイジ・エレクトロクロミクス, インコーポレイテッド
(65) 公表番号	特表2012-524290 (P2012-524290A)		アメリカ合衆国ミネソタ州55021, ファリボルト, ワン・セイジ・ウェイ
(43) 公表日	平成24年10月11日 (2012.10.11)	(74) 代理人	110001173
(86) 国際出願番号	PCT/FR2010/050723		特許業務法人川口国際特許事務所
(87) 国際公開番号	W02010/119228	(72) 発明者	ラミーヌ, ドリス
(87) 国際公開日	平成22年10月21日 (2010.10.21)		フランス国、エフー75014・パリ、リュ・ブーリット・4
審査請求日	平成25年3月8日 (2013.3.8)	(72) 発明者	バランタン, エマニユエル
(31) 優先権主張番号	0952491		フランス国、エフー94420・ル・プレシ・トレビス、アブニユ・シエレ・18
(32) 優先日	平成21年4月16日 (2009.4.16)		
(33) 優先権主張国	フランス (FR)		

最終頁に続く

(54) 【発明の名称】 透明度制御エレクトロクロミック素子

(57) 【特許請求の範囲】

【請求項1】

少なくとも1つの電気制御アクティブエリア(CDEF)の制御透過性または反射性を有し、少なくとも、下部導電性電極(4)を形成する層と、少なくとも1つがエレクトロクロミック層であり、かつ少なくとも1つ(6、7a)が絶縁性である種々の機能層(7)と、上部導電性電極(9)とを順次備える多層スタックをキャリア基板(3)上に有するエレクトロクロミック素子であって、

少なくとも1つの「全面」パーティション(5)が、絶縁層(6、7a)を通過せずに絶縁層から延び、絶縁層を基板(3)から分離する層(4、2)を通過し、下部電極(4)の表面を2つの相互に電氣的に分離された領域、つまり、これに合わせて上部電極(9)が第1の電流源コネクタ(15)に半田付けされる自由領域(4a)と、アクティブエリア(CDEF)を含有するアクティブ領域(4b)とに分割し、

少なくとも1つの「選択」パーティション(12)が、上部電極(9)と、上部電極を下部電極(4)から分離する種々の層とを通過し、上部電極(9)の表面を2つの相互に電氣的に分離された領域、つまり、下部電極(4)に半田付けされた第2の電流源コネクタ(17)を受容する自由領域(9a)と、アクティブエリア(CDEF)を含有するアクティブ領域(9b)とに分割し、

下部電極(4)の自由領域(4a)が上部電極(9)の第1の電流源コネクタ(15)に半田付けされる、前記エレクトロクロミック素子。

【請求項2】

10

20

キャリア基板(3)がグレーディング機能を有しており、具体的にはガラスまたはプラスチックからなることを特徴とする、請求項1に記載の透過性制御エレクトロクロミック素子。

【請求項3】

電流源コネクタ(15、17)と電極(4、9)間の半田ジョイントの少なくとも1つが超音波半田付けされることを特徴とする、請求項1または2のいずれかに記載の透過性制御エレクトロクロミック素子。

【請求項4】

上部電極(9)が少なくとも1つの湿気防止層(11)によって被覆され、湿気防止層が前記選択パーティション(12)によって貫通されることを特徴とする、請求項1から3の一項に記載の透過性制御エレクトロクロミック素子。

10

【請求項5】

前記絶縁層が、下部電極(4)上に堆積された酸化タンタル( $Ta_2O_5$ )層であることを特徴とする、請求項1から4の一項に記載の透過性制御エレクトロクロミック素子。

【請求項6】

電極(4、9)の少なくとも1つが少なくとも1つのインジウムスズ酸化物(ITO)層から形成されることを特徴とする、請求項1から5の一項に記載の透過性制御エレクトロクロミック素子。

【請求項7】

上部電極(9)が、少なくとも1つのコネクタ(17)に接続された細線導電ワイヤ(30)のアレイと接触していることを特徴とする、請求項1から6の一項に記載の透過性制御エレクトロクロミック素子。

20

【請求項8】

ワイヤ(30)のアレイが、具体的には、例えばポリウレタンやポリビニルブチラール(PVB)などの熱可塑性ポリマーからなる支持体(32)によって支持されることを特徴とする、請求項7に記載の透過性制御エレクトロクロミック素子。

【請求項9】

全面パーティション(5)および選択パーティション(12)によって画定された自由領域(4a、9)が前記素子の周辺に配置されることを特徴とする、請求項1から8の一項に記載の透過性制御エレクトロクロミック素子。

30

【請求項10】

基板(3)が矩形であり、全面パーティション(5)および選択パーティション(12)が、基板(3)の対向辺(3a、3b)と平行になるようにそれぞれ生成されることを特徴とする、請求項9に記載の透過性制御エレクトロクロミック素子。

【請求項11】

全面パーティション(5)が、略正方形の自由領域(4a)を構成するように基板(3)の4つの角に生成され、選択パーティション(12)が、略矩形の自由領域(9a)を構成するように前記素子の縁部の周辺の略途中に生成されることを特徴とする、請求項1から10の一項に記載の透過性制御エレクトロクロミック素子。

【請求項12】

少なくとも1つの電気制御アクティブエリア(CDEF)の制御透過性または反射性を有し、少なくとも、下部電極(4)を形成する導電層と、少なくとも1つがエレクトロクロミック層であり、かつ少なくとも1つが絶縁性である種々の機能層と、上部電極(9)を形成する導電層とを順次備える多層スタックをキャリア基板(3)上に有するエレクトロクロミック素子の製造プロセスであって、

40

基板(3)の表面の少なくとも一部に、下部電極(4)を形成する少なくとも1つの導電層を堆積するステップであって、これらの層が前記絶縁層に先行するステップと、

絶縁層を通過せずに、絶縁層から開始して、絶縁層を基板(3)から分離する層の少なくとも1つの全面パーティション(5)を生成するステップであって、各全面パーティション(5)が下部電極(4)の表面を2つの相互に電氣的に分離された領域、つまり自由

50

領域(4a)と、アクティブエリア(CDEF)を含有するアクティブ領域(4b)とに分割する、ステップと、

自由領域およびアクティブ領域(4a、4b)上に、絶縁層(7a)と、種々の他の機能層(7)と、上部電極(9)を形成する導電層とを堆積するステップと、

上部電極と、上部電極を下部電極(4)から分離する種々の層によって少なくとも1つの選択パーティション(12)を生成するステップであって、各選択パーティション(12)が上部電極(9)の表面を2つの相互に電氣的に分離された領域、つまり自由領域(9a)と、アクティブエリア(CDEF)を含有するアクティブ領域(9b)とに分割する、ステップと、

電流源コネクタ(15)を上部電極(9)のアクティブ領域(9b)に半田付けするステップと、

電流源コネクタ(17)を、上部電極(9)の自由領域(9a)と、上部電極に合わせて配置された下部電極のアクティブ領域(4b)とに半田付けするステップとを含む、前記製造プロセス。

【請求項13】

電流源コネクタ(15)が下部電極(4)の自由領域(4a)に半田付けされることを特徴とする、請求項12に記載の透過性制御エレクトロクロミック素子の製造プロセス。

【請求項14】

半田ジョイントの少なくとも1つが超音波半田付けされることを特徴とする、請求項12または13のいずれかに記載の透過性制御エレクトロクロミック素子の製造プロセス。

【請求項15】

パーティション(5、12)の少なくとも1つがレーザービームによって生成されることを特徴とする、請求項12から14の一項に記載の透過性制御エレクトロクロミック素子の製造プロセス。

【請求項16】

請求項1から12の一項に記載の複数のエレクトロクロミック素子が同一キャリア基板上に生成され、前記素子が完成されると、キャリア基板およびこの上に堆積されたすべての層が、特定の素子を構成するようにカットされることを特徴とする、請求項12から15の一項に記載の透過性制御エレクトロクロミック素子の製造プロセス。

【請求項17】

具体的に可変光および/またはエネルギー透過性および/または反射性を有する請求項1から11の一項に記載のエレクトロクロミック素子を含み、基板または基板の少なくとも一部が透明または部分的に透明であり、プラスチックからなり、好ましくは複数および/または積層グレージングまたはダブルグレージングとして装備されることを特徴とするエレクトロクロミックグレージング。

【請求項18】

アーキテクチャグレージングとして、自動車用グレージングとして、産業車両用、または列車、海上もしくは航空の公共輸送用、農業車両用、工事現場の機械用、バックミラーもしくはサイドミラー用または他のミラー用、表示および標識用、およびカメラシャッター用のグレージングとしての、請求項17に記載のグレージングの使用。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、透明度制御エレクトロクロミック素子、具体的には、電気制御グレージングでの使用向けに設計された素子と、前記素子の製造プロセスとに関する。本発明はまた、このような素子を具備するエレクトロクロミックグレージングと、広範な用途でのこのグレージングの使用とに関する。

【背景技術】

【0002】

良好な透明度レベルから完全な不透明に至るまで調整可能な光透過能力を具備するグレ

10

20

30

40

50

ージングが知られている。このようなグレージングは広範な技術分野に適用されてきた。

【0003】

したがってグレージングは、例えば、外部条件およびユーザーの希望に応じて室内に入る日光の量を調整するように、住居用の窓として使用可能である。グレージングはまた、外部に対してまたは隣接する部屋に対してある部屋の住人のプライバシーを保護するためのパーティションスクリーンとして使用されてもよい。

【0004】

このような装置はまた、例えば、ドライバーの方に反射する光束を制御して、ドライバーのまぶしさを回避するために、自動車のフロントガラスおよび/またはサイドウィンドウまたはサンルーフの透明度、ならびに、とりわけバックミラーやサイドミラーなどの前記自動車の装備品の一部の透明度を調整するために自動車分野で使用可能である。当然これらは、具体的には、例えば航空機の客室の窓の透明度を制御するために、航空分野などの他の分野でも使用可能である。

10

【0005】

エレクトロクロミック素子は、可逆的かつ同時にイオンおよび電子を挿入可能なエレクトロクロミック材料層を備えていることが知られており、この酸化状態は、挿入状態および放出状態に対応して、適切な電源を介して供給される場合には異なる色を有しており、これらの状態の一方は他方よりも高い光透過性を有している。エレクトロクロミック材料は、例えば酸化タングステンをベースとするものであってもよく、例えば透明な導電層などの電子源、およびイオン伝導性電解液などのイオン（陽イオンおよび陰イオン）源と接触されなければならない。これもまた可逆的に陽イオンを挿入可能な対向電極は、前記層に対して対称的にエレクトロクロミック材料層と関連付けられなければならない、微視的に電解液は単一のイオン媒体として現れることが知られている。対向電極は、エレクトロクロミック層が着色状態の場合に、中間色、あるいは少なくとも透明またはわずかに着色されている層から構成されなければならない。

20

【0006】

酸化タングstenはカソードエレクトロクロミック材料であるため、つまりこの着色状態は最も着色の少ない状態に相当するため、酸化ニッケルや酸化インジウムをベースとするアノードエレクトロクロミック材料が、例えば対向電極に使用されてもよい。例えば酸化セリウムや、導電性ポリマー（ポリアニリン）やプルシアンブルーなどの有機材料などの、当該酸化状態では光学的に中性な材料を使用することも提案されてきた。

30

【0007】

現在、エレクトロクロミックシステムは、使用される電解液に応じて2つのカテゴリーに分けられる。

【0008】

したがって第1のカテゴリーにおいて、電解液は、例えば欧州特許第0253713号明細書および欧州特許第0670346号明細書に記載されているようなプロトン伝導性ポリマーなどのポリマーやゲル、または欧州特許第0382623号明細書、欧州特許第0518754号明細書および欧州特許第0532408号明細書に記載されているようなリチウムイオンによる伝導性ポリマーの形態をとることがある。そしてこれらのシステムは「ハイブリッド」エレクトロクロミックシステムと称される。

40

【0009】

第2のカテゴリーにおいて、電解液はまた、電気分離されたイオン伝導体を形成するミネラル層から構成されてもよい。そしてこれらのエレクトロクロミックシステムは「全固体」システムと称される。読者は欧州特許第0867752号明細書および欧州特許第0831360号明細書を参照してもよい。

【0010】

具体的に「全ポリマー」エレクトロクロミックシステムと称されるような他のタイプのエレクトロクロミックシステムが知られており、これは、2つの導電層が、カソード着色ポリマーと、（最も一般的には $H^+$ または $Li^+$ イオンの）イオン伝導性絶縁ポリマーと

50

、（ポリアニリンやポリピロールなどの）アノード着色ポリマーとを備える多層スタックの一方の側に配置されている。

【0011】

現在のエレクトロクロミック素子製造技術は概略的に、透明であるか否かを問わず支持基板の上に、一般的にはインジウムスズ酸化物（ITO）層である下部導電層と、例えば酸化インジウム（ $\text{In}_2\text{O}_3$ ）、酸化タングステン（ $\text{WO}_3$ ）および酸化タンタル（ $\text{Ta}_2\text{O}_5$ ）などの機能性エレクトロクロミック層と、上部導電性電極とを順次堆積することからなることが知られている。通常、多層スタックは積層ポリマーおよび対向基板によって完成される。

【0012】

当然、2つの上部導電性電極および下部導電性電極は、それぞれの電流源コネクタに接続されなければならない。この接続は通常、上部電極および下部電極と接触される金属シムによるものである。

【0013】

コネクタを上部電極と接触させることは基本的に難しいことではないが、これはコネクタと下部電極との接触にはあてはまらず、それは、下部電極は種々の層の堆積ゆえにアクセス不可能であるからである。これは、「接続領域」と称される下部電極の領域が、エレクトロクロミック層の堆積時に接着マスクによって維持されるからである。種々の層が堆積されると、接着剤が除去され、この上に堆積されている層を同時に除去することによって下部電極へのアクセスを可能にし、そして下部電極は自身のコネクタを受容する。

【先行技術文献】

【特許文献】

【0014】

【特許文献1】欧州特許第0253713号明細書

【特許文献2】欧州特許第0670346号明細書

【特許文献3】欧州特許第0382623号明細書

【特許文献4】欧州特許第0518754号明細書

【特許文献5】欧州特許第0532408号明細書

【特許文献6】欧州特許第0867752号明細書

【特許文献7】欧州特許第0831360号明細書

【特許文献8】国際公開第00/57243号

【発明の概要】

【発明が解決しようとする課題】

【0015】

本技術は、具体的には、一方では接着マスクの使用に関して、他方では電極にコネクタを固定するための手段に関して多数の関連する欠点を有している。

【0016】

接着マスクに関して、この配置は時間のかかる細かい操作であり、一方で接着マスクは、後続層の堆積を妨げないように下部電極上に完全に適用されなければならない、他方でカバーされる長さは、特に下部電極との接続が基板の全周になされる場合に相当なものである。

【0017】

次に、マスクの除去時に、この上に堆積された層は、分解してから、粒子状の多層スタック上に再び堆積される傾向があるため、素子を誤作動させることになる。このような欠陥を回避するために、マスクの除去は通常真空吸引を伴うものであり、これは、この操作を実行するために2つのオペレータを必要とする。

【0018】

さらに、接着マスクの適用に続く種々の層の堆積時には、接着マスクは熱効果により収縮することがあり、結果として、上部電極を形成する導電層の適用時には、上部電極は下部電極と接触可能になり、これによって、素子がもたらし得るコントラストを低減する効

10

20

30

40

50

果を有する多少の部分的短絡を生成することになる。このようなリスクを緩和するために、マスクによってカバーされている領域の周辺に制御マージンが生成され、これはいわば、種々の堆積層まで通過して、下部電極を形成する層上で停止するギャップである。

【0019】

加えて、種々の層の堆積時に示される種々の物理的ストレスにも関わらず接着マスクがこの一体性を保持しなければならない限り、接着マスクの選択は細かい操作である。したがって、具体的には、気体放出なしにかなり低い圧力に耐え、かつ良好な温度耐性を有することができなければならない。このような非常に厳しい仕様の結果として、通常接着マスクのコストは高い。

【0020】

コネクタと電極間の接続に伴う問題について、下部電極へのこの接続は、上述した技術では半田接合であってもよいが、これは上部電極にはあてはまらず、それは、上部電極の半田付けが貫通して、短絡によってグレージングアセンブリを使用不可能にする下部電極との接続をもたらすからである。これは、電気接続が、コネクタと電極間を単に接触させることによって保証されるからである。

【0021】

この電気接触が不完全である点は別として、この収縮モードは、使用中に電極の貫通と、ひいてはグレージングの機能性の低下をもたらすリスクがある。

【0022】

加えて、電極への電流分布不良ゆえに、素子の耐性は劣化される。

【0023】

本発明の目的の1つは、電極が電流源コネクタに対して半田付け、具体的には超音波半田付け可能な透明度制御エレクトロクロミック素子を提供することによって上述した欠点を改善することである。

【課題を解決するための手段】

【0024】

本発明の目的の1つは、少なくとも1つの電気制御アクティブエリアの制御透過性または反射性を有し、少なくとも、下部導電性電極を形成する層と、少なくとも1つがエレクトロクロミック層であり、かつ少なくとも1つが絶縁性である種々の機能層と、上部導電性電極とを順次備える多層スタックをキャリア基板上に有するエレクトロクロミック素子

であり、この素子において、

少なくとも1つの「全面」パーティションが、絶縁層を通過することなくここから延び、絶縁層を基板から分離する層まで通過し、下部電極の表面を2つの相互に電氣的に分離された領域、つまりこれに合わせて上部電極が第1の電流源コネクタに半田付けされる自由領域と、アクティブエリアを含有するアクティブ領域とに分割し、

少なくとも1つの「選択」パーティションが上部電極と、上部電極を下部電極から分離する種々の層とを通過し、この選択パーティションは上部電極の表面を2つの相互に電氣的に分離された領域、つまり下部電極に半田付けされた第2の電流源コネクタを受容する自由領域と、アクティブエリアを含有するアクティブ領域とに分割する。

【0025】

キャリア基板は好ましくは、グレージング機能を有する基板であり、具体的にはガラスまたはプラスチックからなる。

【0026】

本発明によると、下部電極の自由領域は上部電極の電流源コネクタに半田付けされ、電流源コネクタと電極間の半田ジョイントの少なくとも1つが超音波半田付けされる。

【0027】

本発明の実現変形例では、上部電極は少なくとも1つの湿気防止層で被覆され、これは前記選択パーティションによって貫通されている。

【0028】

さらに、前記絶縁層は場合によっては、下部電極上に堆積された酸化タンタル ( $Ta_2$

10

20

30

40

50

0<sub>5</sub>)層である。

【0029】

本発明によると、素子の電極の少なくとも1つが少なくとも1つのインジウムスズ酸化物(ITO)層から形成される。

【0030】

実現変形例では、上部電極は場合によっては、少なくとも1つのコネクタに接続された細線導電ワイヤアレイと接触する。

【0031】

このワイヤアレイは好ましくは、熱可塑性ポリマー、具体的にはポリウレタンまたはポリビニルブチラール(PVB)からなる支持体によって支持される。

10

【0032】

全面パーティションおよび選択パーティションによって画定された自由領域は、好ましくは、具体的には矩形の基板の周辺に配置される。さらに、全面パーティションおよび選択パーティションは場合によっては、基板の対向辺と平行になるように生成される。

【0033】

変形例において、全面パーティションは、略正方形の自由領域を構成するように基板の4つの角に生成され、選択パーティションは、略矩形の自由領域を構成するように、前記素子の縁部周辺の略途中に生成される。

【0034】

本発明の目的はまた、少なくとも1つの電気制御アクティブエリア(CDEF)の制御透過性または反射性を有し、少なくとも、下部電極(4)を形成する導電層と、少なくとも1つがエレクトロクロミック層であり、かつ少なくとも1つが絶縁性である種々の機能層と、上部電極(9)を形成する導電層とを順次備える多層スタックをキャリア基板(3)上に有するエレクトロクロミック素子の製造プロセスであり：

20

基板(3)の表面の少なくとも一部に、下部電極(4)を形成する少なくとも1つの導電層を堆積するステップであって、これらの層が前記絶縁層に先行するステップと、

絶縁層を通過せずに絶縁層から開始して、絶縁層を基板(3)から分離する層の少なくとも1つの全面パーティション(5)を生成するステップであって、各全面パーティション(5)が下部電極(4)の表面を2つの相互に電氣的に分離された領域、つまり自由領域(4a)と、アクティブエリア(CDEF)を含有するアクティブ領域(4b)とに分割するステップと、

30

自由領域およびアクティブ領域(4a、4b)上に、絶縁層(7a)と、種々の他の機能層(7)と、上部電極(9)を形成する導電層とを堆積するステップと、

上部電極と、上部電極を下部電極(4)から分離する種々の層とによって少なくとも1つの選択パーティション(12)を生成するステップであって、各選択パーティション(12)が上部電極(9)の表面を2つの相互に電氣的に分離された領域、つまり自由領域(9a)と、アクティブエリア(CDEF)を含有するアクティブ領域(9b)とに分割するステップと、

電流源コネクタ(15)を上部電極(9)のアクティブ領域(9b)に半田付けするステップと、および

40

電流源コネクタ(15)を、上部電極(9)の自由領域(9a)と、上部電極に合わせ配置された下部電極のアクティブ領域(4b)とに半田付けするステップ、とを含むプロセスである。

【0035】

有利には、電流源コネクタは場合によっては、上部電極において下部電極の自由領域に半田付けされる。

【0036】

好ましくは、パーティションはレーザービームによって生成される。

【0037】

本発明によると、半田ジョイントの少なくとも1つが超音波半田付けされる。

50

## 【0038】

さらに、複数のエレクトロクロミック素子は場合によっては同一のキャリア基板上に生成される。このために、前記素子が完成されると、キャリア基板と、この上に堆積されたすべての層は、特定の素子を構成するようにカットされる。

## 【0039】

本発明の目的はまたエレクトロクロミックグレージングであり、具体的には可変光および/またはエネルギー透過性および/または反射性を有する上述したようなエレクトロクロミック素子を含んでおり、基板または基板の少なくとも一部が透明または部分的に透明であり、プラスチックからなり、かつ好ましくは複数および/または積層グレージングとしてあるいはダブルグレージングとして装備されていることを特徴とする。

10

## 【0040】

本発明の目的はまた、このようなグレージングをアーキテクチャグレージングとして、自動車用グレージングとして、産業車両用または列車、海上もしくは航空の公共輸送用、農業車両用、工事現場の機械用、バックミラーもしくはサイドミラー用または他のミラー用、表示および標識用、およびカメラシャッター用のグレージングとして使用することである。

## 【0041】

本発明の種々の実施形態は、非制限的例として、添付の図面を参照して以下に説明される。

## 【図面の簡単な説明】

20

## 【0042】

【図1a】本発明にしたがったエレクトロクロミック素子の第1の実施形態の第1の段階を図示する、図1bの線AAに沿った概略垂直断面図である。

【図1b】図1aに示された実施形態を図示する概略平面図である。

【図1c】図1aおよび図1bに示された生成段階の変形例を図示する垂直断面図である。

【図2a】図2bの線AAに沿った概略垂直断面図である。

【図2b】本発明にしたがった全面パーティションの生成段階を図示する概略平面図である。

【図3a】図3bの線BBに沿った概略垂直断面図である。

30

【図3b】本発明にしたがった選択パーティションの別の生成段階を図示する概略平面図である。

【図4a】図4bの線AAに沿った概略垂直断面図である。

【図4b】先行図面に示された本発明にしたがった素子の上部電極に接続要素を半田付けする段階を図示する概略平面図である。

【図5a】図5bの線BBに沿った概略断面図である。

【図5b】先行図面に示された本発明にしたがった素子の下部電極に接続要素を半田付けする段階を図示する概略平面図である。

【図6】先行図面に示された本発明にしたがった素子の最終生成段階を図示する概略垂直断面図である。

40

【図7】本発明の別の実現変形例の、図5bの線BBに沿った概略垂直断面図である。

【図8】先行図面に示された本発明にしたがった素子の掩蔽プロファイルを図示する平面図である。

【図8a】図9に示された素子の変形例の部分平面図である。

【図9】本発明にしたがった素子の第2の実現モードの平面図である。

【図10】本発明にしたがった素子の変形実施形態の平面図である。

【図11】本発明にしたがった素子の変形実施形態の平面図である。

【図12a】図12bの線BBに沿った概略垂直断面図である。

【図12b】本発明にしたがった別の実施形態の概略平面図である。

【図13】本発明の別の実現モードの概略平面図である。

50

## 【発明を実施するための形態】

## 【0043】

本発明にしたがった透過性制御エレクトロクロミック素子1の種々の実施形態の基本的段階が図1aから図5bに示されており、これは具体的に、透明度が調整可能であることが望ましいグレーディング構成への適用が意図されている。

## 【0044】

第1の段階では、図1aおよび図1bに示されているように、下部電極4を形成する導電層が、本実現モードでガラス支持体から構成されているキャリア基板3上に堆積される。この堆積は具体的に、従来のスパッタリングプロセスによって実行される。知られているように、この電極は金属タイプであっても、または、 $\text{In}_2\text{O}_3:\text{Sn}$ (ITO)、 $\text{SnO}_2:\text{F}$ もしくは $\text{ZnO}:\text{Al}$ からなる透明な導電性酸化物(TCO)タイプであってもよい。場合によっては、具体的には金属が銀、金、プラチナおよび銅から選択されるTCO/金属/TCOタイプの多層であっても、または具体的には金属が銀、金、プラチナおよび銅から選択されるNiCr/金属/NiCrタイプの多層であってもよい。

10

## 【0045】

プロセスの第2の段階では、直線パーティション5が、ガラス基板3の2つの対向辺3aの境界として生成され、前記辺にそれぞれ平行である。

## 【0046】

用語「パーティション」は、素子の特定の層からなる横断面を意味するように本書では理解されるべきであり、この幅は、横断層の各部分が他の部分から電氣的に分離されるのに十分である。パーティションは、この絶縁層を通過せずに最終的な絶縁層の第1の層から深さ方向に延びる場合に「全面」であると称され、基板に達するまで基板3から絶縁層を分離する種々の層を通過する。パーティションは所与の層から延び、この所与の層、ならびに下部電極を通過せずにここで停止する、下部電極4からこの所与の層を分離する層まで通過する場合に「選択的」とされるとされる。これらのパーティションは好ましくはレーザービームによる知られている方法で生成されるが、上記のような他の生成手段も使用可能である。

20

## 【0047】

したがって、図1bは全面パーティション5を(点線で)示している。図1cに示されているように、下部電極4を形成する層の堆積には、基板からのアルカリ金属の侵入を防止する接着層2またはバリア層、具体的には、窒化シリコンおよび/または混合スズシリカ酸化物からなる層の堆積が先行されることが理解されるべきである。この実現変形例では、次いで全面パーティション5が層2および4を通過する。さらに、下部電極4に続く層が電流伝道層であるとする、電流伝道層は、全面パーティションの前に堆積される。したがって、図1cに示されている変形例では、下部電極4が、酸化イリジウム $\text{IrO}_x$ からなる導電層6によって被覆され、導電層6は全面パーティション5によって貫通される。

30

## 【0048】

したがって2つのパーティションの各々は下部電極4の表面を2つの領域、つまり「自由」な第1の領域および「アクティブ」な第2の領域に分割する。本実現モードでは、アクティブ領域は両パーティションに共通であり、素子のアクティブエリアCDEFである領域を含有しており、これは、光の透過性が後述されるように制御されるエリアである。

40

## 【0049】

次に、図2aおよび図2bに示されているように、機能性エレクトロクロミックアセンブリを形成する一連の層7が堆積され、これらの層のうちの第1の層は、絶縁状態で堆積された電気アクティブ層7aであり、電解層7bおよび第2の電気アクティブ層7cが続く。次いで上部電極9を形成する層が堆積される。

## 【0050】

2つの全面パーティション5の生成後に堆積された第1の層7aが絶縁層である場合、領域4aおよび4bは相互に電氣的に分離されるのみならず、多層スタックの他の層から

50

も電氣的に分離される。

【0051】

次に、図3 aおよび図3 bに示されているように、2つの他のパーティション12が基板3の2つの他の対向辺3 bの境界として生成され、これら他のパーティションは図面に実線として示されている。これら2つのパーティションは、上部電極9を介して、かつ下部電極4を通過せずにここで停止する機能性エレクトロクロミック層7を介して延びる選択パーティションである。したがってこれら2つのパーティション12は上部電極9の表面を2つの領域、つまり「自由」な第1の領域9 aおよび「アクティブ」な第2の領域9 bに分割する。本実現モードでは、アクティブ領域は両パーティションに共通であり、後述されるような素子のアクティブエリアC D E Fを含有している。

10

【0052】

各全面パーティションによって画定された自由領域4 aの各々と、各選択パーティションによって画定された自由領域9 aの各々は、一方では他の自由領域4 aおよび9 aから、他方ではそれぞれのアクティブ領域4 bおよび9 b、または素子のアクティブエリアC D E Fを含有する下部および上部電極から電氣的に分離される点に留意されたい。したがって電極の自由領域の各々は、短絡をもたらすことなく他の電極のアクティブ領域に接続可能である。

【0053】

したがって本発明は、図4 aに示されているように、特に超音波半田付けによって接続リード15を上部電極9に半田付けすることを可能にし、この操作時には、短絡をもたらすことなく、これに合わせて、つまり基板の表面に垂直に配置された下部電極4の自由領域4を伴うものである。同様に、図5 aおよび図5 bに示されているように、接続リード17が、この短絡を招く操作なしに、上部電極9の自由領域9 aから下部電極4に半田付けされてもよい。

20

【0054】

接続リード15および17が半田付けによって接続されると、多層スタックは、積層中間層19を、特に、知られているように熱可塑性ポリマー、例えばポリウレタンやポリビニルブチラル(PVB)からなるものを多層スタック上に堆積してから、バック基板21を仕上げることによって、図6に示されているように従来の方法で完成されてもよい。積層中間層19の寸法は好ましくは、接続リード15および17が通過することによって、リードを適所に維持することに寄与するシール23を周辺に適用できるようにするために、多層スタックの他の層の寸法よりわずかに小さい。そしてアセンブリが積層される。

30

【0055】

本発明のこの実現モードでは、素子のアクティブエリアC D E Fは、(点線で図示されている)全面パーティション5および(実線で図示されている)選択パーティション12によって境界設定されている。本発明は、それに合わせて接続がなされる自由領域の面積を最小化することができるため、従来技術の手段と比較して素子のアクティブエリアを増大させることができる。

【0056】

当然、本発明によると、素子は場合によっては積層されず、多層スタックが、図7に示されているように選択パーティション12によって貫通される湿気防止層11の堆積によって仕上げられてもよい。

40

【0057】

さらに、アクティブ表面の透過性が変更される場合、例えば透明度の変動に関して、この変動は、このアクティブ表面全体に対する即時の均一密度の変動ではないことが知られている。当該種々のエレクトロクロミック層の抵抗率、ならびに上下の電極間の抵抗率の差と具体的に関連した問題ゆえに、以下「掩蔽プロファイル」と称されるアクティブ表面の透明度の時間的な幾何学的変動は、後述されるように、電極への接続リード15および17の配置に応じて種々の態様をとることができる。

50

## 【0058】

本発明によって素子設計者は極めて容易にエレクトロクロミック素子を生成することができ、この接続リードは、所望の掩蔽プロファイルに応じて電極に成形および配置されてもよい。

## 【0059】

したがって、以前より用いられている接続リードの配置によって、図8に概略的に示されている、縁部3aから中心に移動するカーテン形態の掩蔽プロファイルが取得される。

## 【0060】

より均一な掩蔽プロファイルを取得するために、図9に示されている種類の構成も採用可能である。

10

## 【0061】

この構成を取得するために、下部電極を形成する層4の基板3への堆積後に、上述されるように、全面パーティション5は、正方形の自由領域4aを下部電極に形成するように、(点線で図示されている)基板3の角の各々において層4まで生成される。次に、種々の機能性エレクトロクロミック層7と、上部電極を形成する層9とが堆積される。次に、(実線として図示されている)選択パーティションが上部電極を通して生成され、前記パーティションは、下部電極4を通過せずにここで停止する堆積層まで通過する。このパーティション12は、基板3の周辺に位置し、かつ基板の各辺の中央にある実線で囲まれた矩形の形状を有しており、上部電極の表面を2つの領域、つまり自由領域9aと、素子のアクティブエリアCDEFを含有するアクティブ領域9bとに分割する。

20

## 【0062】

図8aに示されているように、3辺のみで選択パーティション12の各々を生成し、第4の辺が基板の縁部と一致していることもまた可能である。

## 【0063】

図10に示されている別の実現変形例では、全面パーティション5(点線)は基板3の周辺にわたって生成され、下部電極4に接続された接続リード15は、囲み線に続いて選択パーティション12によって境界設定されている自由領域9aの全面パーティション内で半田付けされ、上部電極9に接続された接続リード17は、下部電極4の自由領域4aに合わせて、全面パーティションの外側で半田付けされる。

## 【0064】

当然、パーティションの位置は、全面パーティションでも選択パーティションでも、基板の周辺に制限されない。これらは、用途に応じて、基板の中央領域に全体的または部分的に配置されてもよい。

30

## 【0065】

したがって、図11は、グレーディング壁の4つのウィンドウ27の不透明度を個別または同時に制御することが望ましい用途を示している。

## 【0066】

このために、この場合は正方形の基板の中央部分が4つの連続アクティブエリアCDEFに再分割される。これを実行するために、全面パーティションは下部電極4を介して生成されることによって、(図11に点線で示されている)中央の十字型の自由領域4aを下部電極レベルで境界設定し、次いで、機能性エレクトロクロミック層7と、第2の電極を形成する層9が堆積された後、全面パーティション12が4つの角に生成されて、4つの正方形の自由領域9aを上部電極レベルに画定する。上部電極9の接続リード15は十字型であり、下部電極4の自由領域4aに合わせて配置され、下部電極4の接続リード17は正方形であり、上部電極9の自由領域9aを占め、具体的には超音波半田付けによって下部電極4に半田付けされる。このように構成された4つの素子の各々は、接続要素17が個別に接続される場合には個別に制御され得る。当然これらの素子はまた、接続リードの接合によって全体的に制御可能である。

40

## 【0067】

したがって本発明によって、マスキング接着剤の配置および除去のクリチカルステップ

50

がエレクトロクロミック素子製造プロセスから排除可能になり、このことはかなりの時間短縮をもたらし、同時に、これらの素子の経時的な信頼性は、電極が接続手段に半田付けされているために改良される。漏洩電流を大きく低減することによって、本発明は、応答時間が短縮され、かつ生じる電気消費の少ないエレクトロクロミック素子の製造も可能にする。最終的には本発明によって、アクティブエリアC D E Fが支持基板のサイズにまで最大化可能になり、素子の掩蔽プロファイルの形状が制御可能になる。

【0068】

本発明はまた、上部電極の導電率を増大させるために、平行導電ワイヤのアレイが上部電極に付加されるエレクトロクロミック素子に適用可能である。

【0069】

知られているように、通常エレクトロクロミック素子の上下の電極は、CVD技術や、具体的には真空スパッタリング技術を使用する冷却堆積によって、種々の基板上に熱堆積可能な、具体的には熱分解によってガラス上に熱堆積可能なフッ素ドープスズ酸化物( $\text{SnO}_2 : \text{F}$ )やスズドープインジウム酸化物(ITO)などのドープ金属酸化物からなる。

【0070】

層が透明である厚さに関して、これらの材料からなる層は導電性が十分ではない、つまり適切な電圧が端子間に印加されて、透過性を修正するのに必要な状態変化修正を誘発する場合、これらの層は、システムの応答時間、つまりスイッチング時間を増大させることが分かっている。

【0071】

より正確には、例えば2つの導電層がスズドープインジウム酸化物(ITO)からなる場合、3から5 / 付近のベース層または下部層の抵抗率は、薄さゆえに上部層の場合に60から70 / に増大する。具体的には、ベース層がおよそ500nmの厚さを有する場合、上部層自体は、基本的には多層スタックに生成された機械歪みゆえに、100nm程度の厚さを有することが分かっている。

【0072】

素子のスイッチング時間、つまりシステムが最も透明な状態から最も不透明な状態にスイッチングするのに必要な時間をより低速にするのは、上下の層間の抵抗率の差である。このような低速化は、さらに上述の「ハ口」現象の形成に寄与する。

【0073】

このような欠点を緩和するために、国際公開第00/57243号の出願において、上部導電層に、約1から3mmの距離で相互に間隔をあけられた導電ワイヤのアレイを付加することによって上部導電層の導電率を増加させることが提案されている。

【0074】

図12aおよび図12bに示されているように、このようなワイヤ30のアレイは、熱可塑性ポリマーからなる層間支持シート32、具体的には、素子全体の積層時に上部電極9に対してワイヤ30のアレイを適用する、ポリウレタンまたはポリビニルブチラール(PVB)からなるシートに配置される。したがって上部電極の抵抗率が約0.5 / の値に低下されると、システムのスイッチング時間および上述のハ口現象を短縮および低減することができる。

【0075】

同様に、本発明によると、複数のエレクトロクロミック素子1が同一の支持基板上に生成されてもよい。製造プロセスの終わりには、これらの素子は、特定のエレクトロクロミック素子1を構成するように、図13に点破線で示されている線34に沿って基板をカットすることによって分離される。

【0076】

このような実現モードによって4つの素子に対して4つの全面パーティションおよび4つの選択パーティションのみの製造が可能になり、このことは製造時の簡略化および時間短縮を表している。

10

20

30

40

50

【図 1 a】

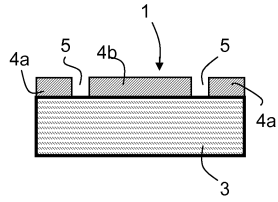


FIG 1a

【図 2 a】

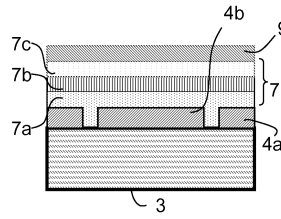


FIG 2a

【図 1 b】

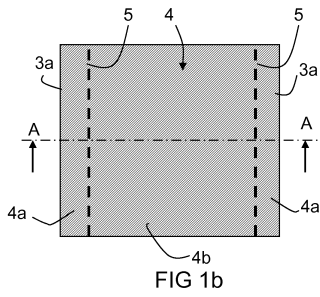


FIG 1b

【図 2 b】

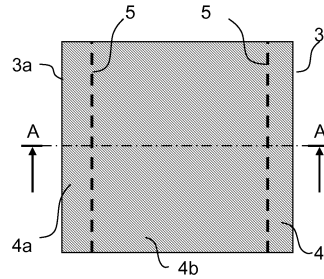


FIG 2b

【図 1 c】

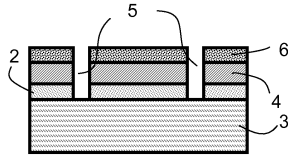


FIG 1c

【図 3 a】

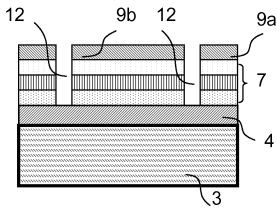


FIG 3a

【図 4 a】

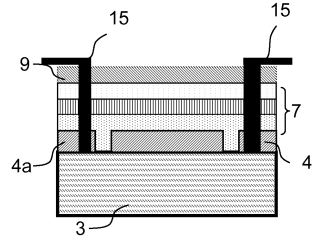


FIG 4a

【図 3 b】

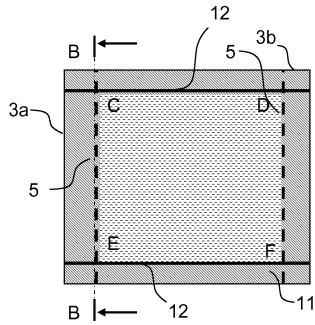


FIG 3b

【図 4 b】

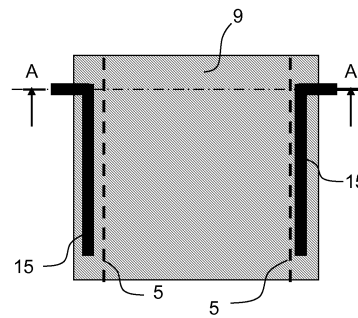


FIG 4b

【図 5 a】

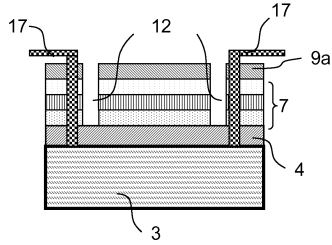


FIG 5a

【図 6】

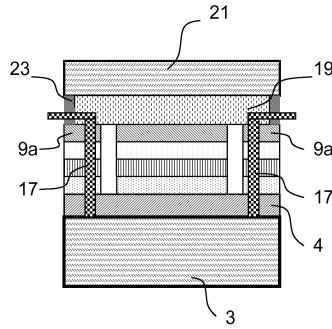


FIG 6

【図 5 b】

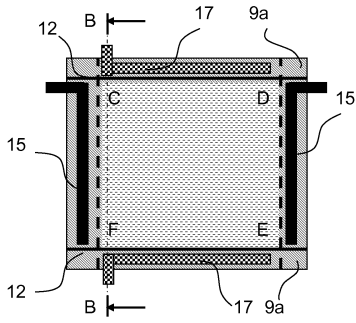


FIG 5b

【図 7】

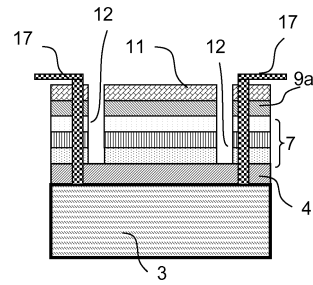


FIG 7

【図 8】

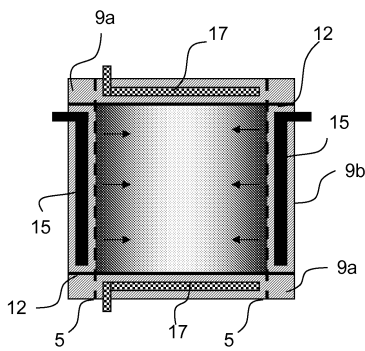


FIG 8

【図 9】

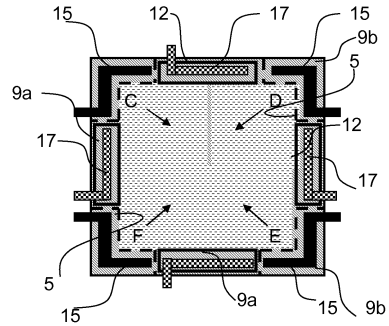


FIG 9

【図 8 a】

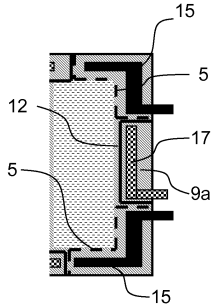


FIG 8a

【図 10】

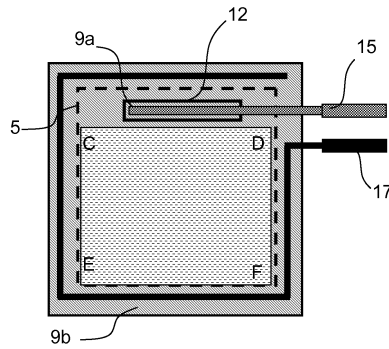


FIG 10

【 図 1 1 】

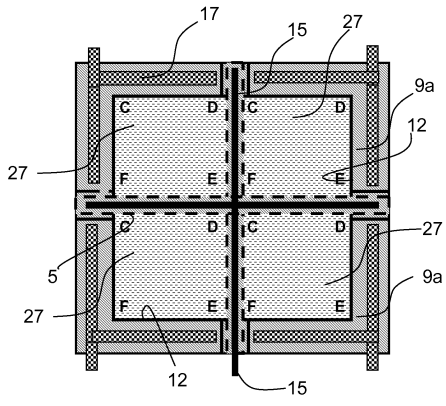


FIG 11

【 図 1 2 b 】

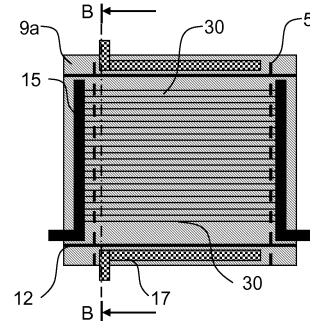


FIG 12b

【 図 1 2 a 】

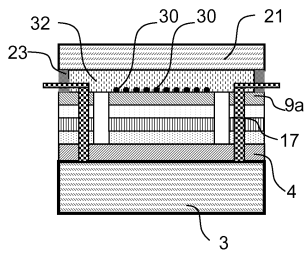


FIG 12a

【 図 1 3 】

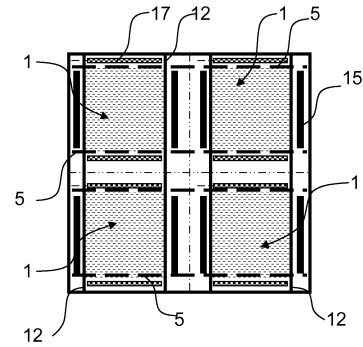


FIG 13

---

フロントページの続き

(72)発明者 デュブレナ, サミュエル  
フランス国、エフ - 7 5 0 1 7 ・パリ、ブルバール・ベルチエ・1 7 4

審査官 磯野 光司

(56)参考文献 特表2001-507818(JP,A)  
特開昭62-014118(JP,A)  
米国特許第5530581(US,A)  
特表2008-509430(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G02F 1/15 - 1/163