

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 27 日(27.12.2012)



(10) 国際公開番号
WO 2012/176330 A1

- (51) 国際特許分類:
G06F 13/16 (2006.01) *H01L 21/822* (2006.01)
G11C 11/401 (2006.01) *H01L 27/04* (2006.01)
H01L 21/82 (2006.01)
- (21) 国際出願番号: PCT/JP2011/064542
- (22) 国際出願日: 2011 年 6 月 24 日(24.06.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社 (RENESAS ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者: および
- (75) 発明者/出願人(米国についてのみ): 松井 重純 (MATSUI, Shigezumi) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 諏訪 元大(SUWA, Motoo) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 米田 哲

(YONEDA, Satoshi) [JP/JP]; 〒2210056 神奈川県横浜市神奈川区金港町 3 番地 1 ルネサスマイクロシステム株式会社内 Kanagawa (JP). 渡辺 俊 (WATANABE, Takashi) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).

- (74) 代理人: 特許業務法人深見特許事務所 (Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

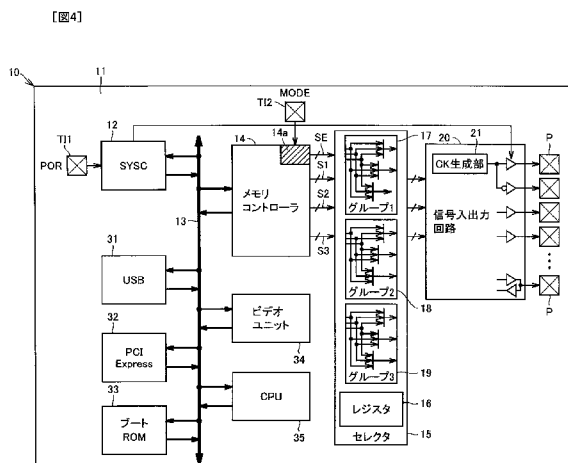


FIG. 4:
14 Memory controller
15 Selector
16 Register
17, 18, 19 Group
20 Signal input/output circuit
21 CK generation unit
32 PCI Express
33 Boot ROM
34 Video unit

(57) Abstract: This semiconductor device (1) is provided with a memory controller (14) which outputs a plurality of signals (S1 to S3) which are partitioned into three groups, three switching circuits (17 to 19) which are each provided so as to correspond to the respective three groups, a plurality of buffer circuits (B1 to B3) which are partitioned into three groups, and a plurality of external terminals (TA) which are each provided so as to correspond to the respective pluralities of buffer circuits (B1 to B3). Each switching circuit imparts a plurality of signals of a corresponding group to a plurality of buffer circuits of the corresponding group in parallel in an order which corresponds to a selector control signal (SE).

(57) 要約: 半導体装置 (1) は、3つのグループに分割された複数の信号 (S1 ~ S3) を出力するメモリコントローラ (14) と、それぞれ3つのグループに対応して設けられた3個の切替回路 (17 ~ 19) と、3つのグループに分割された複数のバッファ回路 (B1 ~ B3) と、それぞれ複数のバッファ回路 (B1 ~ B3) に対応して設けられた複数の外部端子 (TA) とを備える。各切替回路は、対応のグループの複数の信号を、セクタ制御信号 (SE) に応じた順序で対応のグループの複数のバッファ回路に並列に与える。



MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は半導体装置に関し、特に、複数の配線を介して半導体メモリ装置に接続される半導体装置に関する。

背景技術

[0002] D R A M (Dynamic Random Access Memory)、S R A M (Static Random Access Memory) などの半導体メモリ装置は、半導体メモリチップをパッケージ基板の表面に搭載して樹脂で封止したものであり、パッケージ基板の裏面には複数の外部端子が行列状に配置されている。半導体メモリチップは、半導体基板の表面に複数のメモリセル、書込／読出回路などを形成したものであり、パッケージ基板を介して複数の外部端子に接続される。半導体メモリ装置の外部端子の配列パターンは、半導体メモリ装置の機種毎に異なる（たとえば、特開 2 0 0 3 - 5 1 5 4 5 号公報（特許文献 1）参照）。

[0003] また、このような半導体メモリ装置を制御する半導体装置は、半導体チップをパッケージ基板の表面に搭載して樹脂で封止したものであり、パッケージ基板の裏面には複数の外部端子が行列状に配置されている。半導体チップは、半導体基板の表面にメモリコントローラなどを形成したものであり、パッケージ基板を介して複数の外部端子に接続される。半導体装置の外部端子の配列パターンは、半導体メモリ装置の外部端子の配列パターンに合わせて設定される。

[0004] 半導体メモリ装置と半導体装置は、1 枚のマザーボードに搭載されて 1 つの半導体モジュールを構成する。半導体メモリ装置の各外部端子は、マザーボードの配線を介して半導体装置の対応の外部端子に接続される（たとえば、特開 2 0 1 0 - 1 2 3 2 0 3 号公報（特許文献 2）参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開2003-51545号公報

特許文献2：特開2010-123203号公報

発明の概要

発明が解決しようとする課題

[0006] 半導体装置と1または2以上の半導体メモリ装置とを1枚のマザーボードに搭載して半導体モジュールを構成する場合、マザーボードの配線同士が交差しないように、半導体メモリ装置の機種および数に合せて半導体装置の外部端子の配列パターンを最適に設計する必要がある。しかし、半導体メモリ装置の機種や数が変わる度に半導体装置の外部端子の配列パターンを変えると、半導体装置がコスト高になるという問題がある。

[0007] それゆえに、この発明の主たる目的は、低コストの半導体装置を提供することである。

課題を解決するための手段

[0008] この発明に係る半導体装置は、予めM個（ただし、Mは2以上の整数である）の信号グループに分割されたN個（ただし、NはMよりも大きな整数である）の信号を出力する信号発生回路と、それぞれM個の信号グループに対応して設けられたM個の切換回路と、それぞれM個の切換回路に対応するM個のバッファグループに分割されたN個のバッファ回路と、それぞれN個のバッファ回路に対応して設けられたN個の外部端子とを備えたものである。各信号グループは複数の信号を含み、各バッファグループは対応の信号グループの信号と同数のバッファ回路を含む。各切換回路は、対応の信号グループの複数の信号を、モード設定信号に応じた順序で対応のバッファグループの複数のバッファ回路に並列に与える。各バッファグループの各バッファ回路は、対応の切換回路から与えられた信号を対応の外部端子に与える。

発明の効果

[0009] この発明に係る半導体装置では、切換回路は、信号発生回路で生成された複数の信号を、モード設定信号に応じた順序で複数のバッファ回路に並列に

与える。したがって、接続される半導体メモリ装置の機種および数に応じて外部端子の配列パターンを切換えることができるので、装置の低コスト化を図ることができる。

図面の簡単な説明

[0010] [図1]この発明の実施の形態1による半導体装置と、それを用いた半導体モジュールの構成を示す図である。

[図2]図1に示した実施の形態1の効果を示す図である。

[図3]図1に示した実施の形態1の効果を示す他の図である。

[図4]図1に示した半導体装置に含まれる半導体チップの構成を示すブロック図である。

[図5]図4に示した信号入出力回路の構成を示すブロック図である。

[図6]図5に示したバッファ回路B1の構成を示すブロック図である。

[図7]図5に示したバッファ回路B3の構成を示すブロック図である。

[図8]図5に示したバッファ回路B4の構成を示すブロック図である。

[図9]図1に示した半導体装置の第1モードおよび第2モードにおける外部端子の配列パターンを示す図である。

[図10]図9に示した信号の波形を示すタイムチャートである。

[図11]図1に示した半導体装置の動作を示すフローチャートである。

[図12]図1に示した半導体装置の第1モードにおける外部端子の配列パターンを示す図である。

[図13]図1に示した半導体メモリ装置3の外部端子の配列パターンを示す図である。

[図14]図1に示したマザーボード4の第1レイヤを示す図である。

[図15]図1に示したマザーボード4の第3レイヤを示す図である。

[図16]図1に示したマザーボード4の第6レイヤを示す図である。

[図17]図1に示した半導体装置の第2モードにおける外部端子の配列パターンを示す図である。

[図18]図1に示した半導体メモリ装置6の外部端子の配列パターンを示す図

である。

[図19]図1に示したマザーボード7の第1レイヤを示す図である。

[図20]図1に示したマザーボード7の第3レイヤを示す図である。

[図21]図1に示したマザーボード7の第6レイヤを示す図である。

[図22]この発明の実施の形態2による半導体装置の構成および使用方法を示す図である。

[図23]図23に示した半導体装置の効果を示す図である。

発明を実施するための形態

[0011] [実施の形態1]

図1(a)は本発明の実施の形態1による半導体装置(LSI: Large Scale Integration)1の構成を示す図であり、図1(b)(c)はそれぞれ半導体装置1を用いた半導体モジュール2, 5を示す図である。

[0012] 図1(a)において、半導体装置1は、半導体チップをパッケージ基板の表面に搭載して樹脂で封止したものであり、パッケージ基板の裏面には複数の外部端子TAが行列状に配置されている。半導体チップは、半導体基板の表面にメモリコントローラなどを形成したものであり、パッケージ基板を介して複数の外部端子TAに接続される。

[0013] また図1(b)において、半導体モジュール2は、半導体装置1と2つの半導体メモリ装置3とを1枚のマザーボード4の表面に搭載したものである。半導体メモリ装置3は、たとえばDDR3-SDRAM(Double Data Rate3-Synchronous Dynamic Random Access Memory)である。半導体メモリ装置3は、半導体メモリチップをパッケージ基板の表面に搭載して樹脂で封止したものであり、パッケージ基板の裏面には複数の外部端子TBが行列状に配置されている。半導体メモリチップは、半導体基板の表面に複数のメモリセル、書込／読出回路などを形成したものであり、パッケージ基板を介して複数の外部端子TBに接続される。

[0014] 半導体メモリ装置3の複数の外部端子TBは、所定の配列パターンに従って配置されている。半導体メモリ装置3の外部端子TBの配列パターンは固

定されている。つまり、各外部端子ＴＢに入力される信号の種類は固定されている。一方、半導体装置１の外部端子ＴＡの配列パターンは、内蔵の切換回路により、半導体メモリ装置３の外部端子ＴＢの配列パターンに合せて設定される。つまり、各外部端子ＴＡから出力される信号の種類は、切換回路によって変更可能になっている。切換回路については後述する。

[0015] マザーボード４には、半導体装置１の複数の外部端子ＴＡと半導体メモリ装置３の複数の外部端子ＴＢとを接続するための複数の配線が形成されている。半導体装置１の外部端子ＴＡの配列パターンは、マザーボード４の配線同士が同一レイヤで交差しないように設定される。半導体メモリ装置３の各外部端子ＴＢは、マザーボード４の配線を介して半導体装置１の対応の外部端子ＴＡに接続される。

[0016] また図１（ｃ）において、半導体モジュール５は、半導体装置１と２つの半導体メモリ装置６とを１枚のマザーボード７の表面に搭載したものである。半導体メモリ装置６は、半導体メモリ装置３と異なる機種の半導体メモリ装置であり、たとえばＤＤＲ２－ＳＤＲＡＭである。半導体メモリ装置６は、半導体メモリチップをパッケージ基板の表面に搭載して樹脂で封止したものであり、パッケージ基板の裏面には複数の外部端子ＴＣが行列状に配置されている。半導体メモリチップは、半導体基板の表面に複数のメモリセル、書込／読出回路などを形成したものであり、パッケージ基板を介して複数の外部端子ＴＣに接続される。

[0017] 半導体メモリ装置６の複数の外部端子ＴＣは、所定の配列パターンに従って配置されている。半導体メモリ装置６の外部端子ＴＣの配列パターンは固定されており、半導体メモリ装置３の外部端子ＴＢの配列パターンと異なる。一方、半導体装置１の外部端子ＴＡの配列パターンは、内蔵の切換回路により、半導体メモリ装置６の外部端子ＴＣの配列パターンに応じて設定される。

[0018] マザーボード７には、半導体装置１の複数の外部端子ＴＡと半導体メモリ装置６の複数の外部端子ＴＣとを接続するための複数の配線が形成されてい

る。半導体装置 1 の外部端子 T A の配列パターンは、マザーボード 7 の配線同士が交差しないように設定される。半導体メモリ装置 6 の各外部端子 T C は、マザーボード 7 の配線を介して半導体装置 1 の対応の外部端子 T A に接続される。

[0019] このように、本実施の形態 1 では、接続される半導体メモリ装置の機種に応じて半導体装置 1 の外部端子 T A のパターン配列を変更することができるので、装置の低コスト化および信号伝送特性の改善を図ることができる。

[0020] 図 2 (a) ~ (c) は、実施の形態 1 の効果を示す図である。図 2 (a) は、半導体装置 1 と 2 つの半導体メモリ装置 3 を裏面側から見た図である。図 2 (a) において、半導体装置 1 の四角形状の裏面には複数の外部端子 T A が行列状に配置されている。また、各半導体メモリ装置 3 の四角形状の裏面には、複数の外部端子 T B が行列状に配置されている。半導体装置 1 の 1 辺と 2 つの半導体メモリ装置 3 の 1 辺とは、対向して配置されている。

[0021] 2 つの半導体メモリ装置 3 のうちの一方の半導体メモリ装置 3 の 1 辺に沿って、それぞれ信号 A 1 , A 2 , R A S 0 , C A S 0 用の 4 つの外部端子 T B が設けられているものとする。また、他方の半導体メモリ装置 3 の 1 辺に沿って、それぞれ信号 A 5 , A 6 , R A S 1 , C A S 1 用の 4 つの外部端子 T B が設けられているものとする。

[0022] この場合、2 つの半導体メモリ装置 3 の 1 辺に対向する半導体装置 1 の 1 辺に沿って、信号 A 1 , A 2 , R A S 0 , C A S 0 , A 5 , A 6 , R A S 1 , C A S 1 用の 8 個の外部端子 T A を設ければ、半導体装置 1 の 8 個の外部端子 T A と 2 つの半導体メモリ装置 3 の合計 8 個の外部端子 T B とを交差しない 8 本の配線 L B で接続することができる。

[0023] また図 2 (b) は、半導体装置 1 と 2 つの半導体メモリ装置 6 を裏面側から見た図である。図 2 (b) において、半導体装置 1 の四角形状の裏面には複数の外部端子 T A が行列状に配置されている。また、各半導体メモリ装置 6 の四角形状の裏面には、複数の外部端子 T C が行列状に配置されている。半導体装置 1 の 1 辺と 2 つの半導体メモリ装置 6 の 1 辺とは、対向して配置

されている。

[0024] 2つの半導体メモリ装置6のうちの一方の半導体メモリ装置6の1辺に沿って、それぞれ信号A2, A1, RAS0, CAS0用の4つの外部端子TCが設けられているものとする。また、他方の半導体メモリ装置6の1辺に沿って、それぞれ信号A6, A5, RAS1, CAS1用の4つの外部端子TCが設けられているものとする。

[0025] この場合、半導体装置1の外部端子TAの配列パターンとして図2(a)で示した配列パターンを採用して、半導体装置1の各外部端子TAを配線LCを介して対応の外部端子TCに接続すると、図2(b)に示すように、8本の配線LCが4箇所で交差してしまう。2本の配線LCが交差すると、一方の配線LCを他方の配線LCの下方を通過させる必要が生じ、一方の配線LCの配線長が他方の配線LCより増加することにより信号間の伝送特性にずれ(スキュー)が発生し、結果として伝送特性の悪化を招くことがある。

[0026] これに対して本実施の形態1では、図2(c)に示すように、半導体装置1と半導体メモリ装置6とを接続する場合は、内蔵の切換回路により、半導体装置1の外部端子TAの配列パターンを半導体メモリ装置6の外部端子TCに合せて変更するので、配線LCの交差を解消することができる。

[0027] すなわち、本実施の形態1では、半導体装置1と2つの半導体メモリ装置3で半導体モジュール2を構成する場合は、半導体装置1はモード設定信号によって第1モードに設定される。第1モードに設定された半導体装置1は、2つの半導体メモリ装置3の1辺に対向する8個の外部端子TAからそれぞれ信号A1, A2, RAS0, CAS0, A5, A6, RAS1, CAS1を出力する。したがって、マザーボード4には、8本の配線LBを交差させることなく形成することができる。

[0028] また、半導体装置1と2つの半導体メモリ装置6で半導体モジュール5を構成する場合は、半導体装置1はモード設定信号によって第2モードに設定される。第2モードに設定された半導体装置1は、2つの半導体メモリ装置6の1辺に対向する8個の外部端子TAからそれぞれ信号A2, A1, CA

S 0, R A S 0, A 6, A 5, C A S 1, R A S 1 を出力する。したがって、マザーボード 7 には、8 本の配線 L C を交差させることなく形成することができる。

[0029] 図 3 (a) (b) は、半導体装置 1 と半導体メモリ装置 6 を裏面側から見た図であって、実施の形態 1 の効果を示す他の図である。図 3 (a) (b) では、半導体装置 1 の複数の外部端子 T A と半導体メモリ装置 6 の複数の外部端子 T C とが複数の配線 L C で接続されている。

[0030] 図 3 (a) では、半導体メモリ装置 6 に対する半導体装置 1 の外部端子 T A の配列パターンが適切でないために、複数の配線 L C が複数箇所で交差している。2 本の配線 L C が交差する箇所では、2 本の配線 L C を同じ配線層で形成することができず、一方の配線 L C を他の配線層で形成し、上層の配線 L C と下層の配線 L C をビアホールで接続する必要がある。したがって、配線層の数が増加するので、コスト高になる。また、信号が複数のビアホールを介して伝送されるので、伝送特性が悪化する。また、配線 L C のレイアウト面積が増大する。

[0031] これに対して本願発明では、図 3 (b) に示すように、半導体メモリ装置 6 に対する半導体装置 1 の外部端子 T A の配列パターンが適切に設定されるので、配線 L C 同士が交差しない。したがって、低コストで、伝送特性が良好で、レイアウト面積が小さな半導体モジュール 5 を構成することができる。

[0032] 以下、半導体装置 1 および半導体モジュール 2, 5 の構成について、より詳細に説明する。図 4 は、半導体装置 1 に含まれる半導体チップ 10 の構成を示すブロック図である。図 4 において、この半導体チップ 10 は、半導体基板 11 を備える。半導体基板 11 には、入力端子 T I 1, T I 2、複数のパッド P、システムコントローラ (S Y S C) 12、バス 13、メモリコントローラ 14、セクタ 15、信号入出力回路 20 が形成されている。

[0033] 入力端子 T I 1 には、半導体装置 1 内の他の半導体チップあるいは半導体装置 1 外からパワーオンリセット信号 P O R が与えられる。パワーオンリセ

ット信号P O Rは、半導体装置1に電源電圧が供給されたときに所定期間だけ活性化レベルにされる信号である。入力端子T I 2には、外部からモード設定信号M O D Eが与えられる。たとえば、半導体装置1を第1モードに設定する場合はモード設定信号M O D Eは「L」レベルに設定され、半導体装置1を第2モードに設定する場合はモード設定信号M O D Eは「H」レベルに設定される。各パッドPは、たとえばボンディングワイヤを介してパッケージ基板に接続され、さらにパッケージ基板の配線を介して対応の外部端子T Aに接続される。

[0034] システムコントローラ12は、パワーオンリセット信号P O Rが活性化レベルにされたときにリセットされ、バス13を介して半導体チップ10全体を制御する。メモリコントローラ14は、システムコントローラ12などからバス13を介して与えられる信号に従って、半導体メモリ装置を制御するための複数の信号Sを生成する。複数の信号Sは、予め3つの信号グループに分割されている。

[0035] 第1信号グループに属する複数の信号S1の各々は、パワーオンリセット信号P O Rなどによって半導体チップ10がリセットされたとき、「H」レベルと「L」レベルのうちのいずれのレベルにされてもよい信号である。複数の信号S1は、具体的には、アドレス信号A00～A15およびバンクアドレス信号BA0～BA2である。

[0036] 第2信号グループに属する複数の信号S2の各々は、パワーオンリセット信号P O Rなどによって半導体チップ10がリセットされたとき、強制的に「H」レベルにされるべき信号である。複数の信号S2は、具体的には、チップセレクト信号CSN0、CSN1、ライトイネーブル信号WEN、列アドレスストロブ信号CASN、行アドレスストロブ信号RASNである。

[0037] 第3信号グループに属する複数の信号S3の各々は、パワーオンリセット信号P O Rなどによって半導体チップ10がリセットされたとき、強制的に「L」レベルにされるべき信号である。複数の信号S3は、具体的には、信

号ODT0、ODT1およびクロックイネーブル信号CKEである。第1信号グループの複数の信号S1、第2信号グループの複数の信号S2、および第3信号グループの複数の信号S3は、セクタ15に与えられる。

[0038] また、メモリコントローラ14に含まれるモード設定回路14aは、外部から入力端子T12を介して与えられたモード設定信号MODEに従って、セクタ制御信号SEを生成する。セクタ制御信号SEは、セクタ15に与えられる。

[0039] セクタ15は、レジスタ16および切換回路17～19を含む。レジスタ16は、モード設定回路14aからのセクタ制御信号SEを保持するとともに、そのセクタ制御信号SEを切換回路17～19の各々に与える。切換回路17は、レジスタ16からのセクタ制御信号SEに応じた順序で、メモリコントローラ14からの複数の信号S1を信号入出力回路20に並列に与える。切換回路18は、レジスタ16からのセクタ制御信号SEに応じた順序で、メモリコントローラ14からの複数の信号S2を信号入出力回路20に並列に与える。切換回路19は、レジスタ16からのセクタ制御信号SEに応じた順序で、メモリコントローラ14からの複数の信号S3を信号入出力回路20に並列に与える。

[0040] 信号入出力回路20は、メモリコントローラ14からセクタ15を介して与えられた複数の信号S1、複数の信号S2、および複数の信号S3をそれぞれ複数のパッドPに伝達させる。また、信号入出力回路20は、クロック信号CK、CKNを生成して2つのパッドPに与える。

[0041] すなわち、信号入出力回路20は、図5に示すように、それぞれ切換回路17からの複数の信号S1に対応して設けられた複数のバッファ回路B1と、それぞれ切換回路18からの複数の信号S2に対応して設けられた複数のバッファ回路B2と、それぞれ切換回路19からの複数の信号S3に対応して設けられた複数のバッファ回路B3と、クロック生成部21と、バッファ回路B4とを含む。

[0042] 複数のパッドPは、それぞれ複数のバッファ回路B1に対応する複数のパ

ッドP 1と、それぞれ複数のバッファ回路B 2に対応する複数のパッドP 2と、それぞれ複数のバッファ回路B 3に対応する複数のパッドP 3と、バッファ回路B 4に対応する2つのパッドP 4 A, P 4 Bとを含む。

[0043] 各バッファ回路B 1は、切換回路1 7からの信号S 1に対応のパッドP 1に伝達させる。各バッファ回路B 2は、切換回路1 8からの信号S 2に対応のパッドP 2に伝達させる。各バッファ回路B 3は、切換回路1 9からの信号S 3に対応のパッドP 3に伝達させる。クロック生成部2 1は、クロック信号C Kを生成する。バッファ回路B 4は、クロック生成部2 1からのクロック信号C Kに応答してクロック信号C Kの相補信号C K Nを生成し、クロック信号C K, C K NをそれぞれパッドP 4 A, P 4 Bに与える。

[0044] 信号S 1に対応するバッファ回路B 1は、図6に示すように、レベルアップシフタ(L U) 2 2, 2 3, 2 5、レベルダウンシフタ(L D) 2 4、バッファ2 6、およびコンパレータ2 7を含む。メモリコントローラ1 4の電源電圧はたとえば1. 0 Vであり、半導体メモリ装置3, 6の電源電圧はたとえば1. 5 Vである。

[0045] レベルアップシフタ2 2は、メモリコントローラ1 4からの信号S 1の論理振幅電圧を1. 0 Vから1. 5 Vに変換してバッファ2 6の入力ノードに与える。また、レベルアップシフタ2 2は、リセット信号R Eが活性化レベルの「H」レベルにされると、信号S 1の論理レベルに関係なく「H」レベルの信号を出力する。パワーオンリセット信号P O Rが活性化レベルにされると、リセット信号R Eが活性化レベルにされる。

[0046] レベルアップシフタ2 3は、アウトプットイネーブル信号O E Nの論理振幅電圧を1. 0 Vから1. 5 Vに変換してバッファ2 6の制御ノードに与える。信号O E Nは、信号S 1を外部に出力する場合は活性化レベルの「L」レベルにされ、信号S 1を外部に出力しない場合は非活性化レベルの「H」レベルにされる。また、レベルアップシフタ2 3は、リセット信号R Eが活性化レベルの「H」レベルにされると、信号O E Nの論理レベルに関係なく「L」レベルを出力する。

- [0047] バッファ26は、半導体メモリ装置3, 6の電源電圧である1.5Vで駆動される。バッファ26は、レベルアップシフタ23の出力信号26OENが活性化レベルの「L」レベルにされた場合は信号S1をパッドP1に出力し、信号26OENが非活性化レベルの「H」レベルにされた場合はパッドP1をハイ・インピーダンス状態にする。したがって、リセット信号REが活性化レベルの「H」レベルにされた場合は、信号S1, OENの論理レベルに関係なく、パッドP1は「H」レベルにされる。
- [0048] レベルダウンシフタ24、レベルアップシフタ25、およびコンパレータ27は、出荷前の半導体装置1をテストするときに使用されるものであり、通常は使用されない点線で示されている。
- [0049] レベルアップシフタ25は、インプットイネーブル信号IEの論理振幅電圧を1.0Vから1.5Vに変換してコンパレータ27の制御ノードに与える。信号IEは、テストモード時は活性化レベルの「H」レベルにされ、通常動作時は非活性化レベルの「L」レベルにされる。また、レベルアップシフタ25は、リセット信号REが活性化レベルの「H」レベルにされると、信号IEの論理レベルに関係なく「L」レベルを出力する。
- [0050] コンパレータ27は、半導体メモリ装置3, 6の電源電圧である1.5Vで駆動される。コンパレータ27は、レベルアップシフタ25の出力信号27IEが活性化レベルの「H」レベルである場合に活性化され、外部からパッドP1に与えられた電圧と参照電圧Vrefとの高低を比較し、比較結果を示す信号を出力する。外部からパッドP1に与えられた電圧が参照電圧Vrefよりも低い場合は、コンパレータ27の出力信号は「L」レベルになる。外部からパッドP1に与えられた電圧が参照電圧Vrefよりも高い場合は、コンパレータ27の出力信号は「H」レベルになる。
- [0051] レベルダウンシフタ24は、コンパレータ27の出力信号の論理振幅電圧を1.5Vから1.0Vに変換してテスト信号CINを生成する。また、レベルダウンシフタ24は、リセット信号REが活性化レベルの「H」レベルにされると、信号IEの論理レベルに関係なく「L」レベルを出力する。

- [0052] 信号S 2に対応するバッファ回路B 2の構成は、信号S 1に対応するバッファ回路B 1と同じ構成である。信号S 2は、リセットされたときに「H」レベルにされるべき信号である。信号S 1は、リセットされたときに「H」レベルでも「L」レベルでもいずれでもよい信号である。本実施の形態1では、バッファ回路B 1とB 2を同じ構成にして半導体装置1の構成を簡単化している。
- [0053] 信号S 3に対応するバッファ回路B 3は、図7に示すように、バッファ回路B 1のレベルアップシフタ22をレベルアップシフタ28で置換したものである。レベルアップシフタ28は、メモリコントローラ14からの信号S 3の論理振幅電圧を1.0Vから1.5Vに変換してバッファ26の入力ノードに与える。また、レベルアップシフタ28は、リセット信号REが活性化レベルの「H」レベルにされると、信号S 3の論理レベルに関係なく「L」レベルの信号を出力する。
- [0054] またバッファ回路B 4は、図8に示すように、バッファ回路B 1のレベルアップシフタ22をレベルアップシフタ29で置換し、バッファ30を追加したものである。レベルアップシフタ29は、クロック生成部21からのクロック信号CKの論理振幅電圧を1.0Vから1.5Vに変換してバッファ26の入力ノードに与える。また、レベルアップシフタ29は、クロック信号CKの相補信号CKNを生成してバッファ30の入力ノードに与える。信号CKNの論理振幅電圧は1.5Vである。また、レベルアップシフタ29は、リセット信号REが活性化レベルの「H」レベルにされると、入力されるクロック信号CKの論理レベルに関係なく、出力クロック信号CK, CKNをそれぞれ「H」レベルおよび「L」レベルに固定する。
- [0055] バッファ26, 30は、半導体メモリ装置3, 6の電源電圧である1.5Vで駆動される。バッファ26は、レベルアップシフタ23の出力信号26OENが活性化レベルの「L」レベルにされた場合はクロック信号CKをパッドP4Aに出力し、信号26OENが非活性化レベルの「H」レベルにされた場合はパッドP4Aをハイ・インピーダンス状態にする。

[0056] また、バッファ30は、信号26OENが活性化レベルの「L」レベルにされた場合は信号CKNをパッドP4Bに出力し、信号26OENが非活性化レベルの「H」レベルにされた場合はパッドP4Bをハイ・インピーダンス状態にする。したがって、リセット信号REが活性化レベルの「H」レベルにされた場合は、入力されるクロック信号CKの論理レベルに関係なく、パッドP4A、P4Bはそれぞれ「H」レベルおよび「L」レベルにされる。

[0057] 図4に戻って、この半導体装置1は、さらにUSB (Universal Serial Bus) 31、PCI (Peripheral Component Interconnect) Express 32、ブートROM (Read Only Memory) 33、ビデオユニット34、およびCPU (Central Processing Unit) 35を備え、これらはバス13に接続されている。

[0058] USB 31は、USB規格のシリアルインターフェースである。PCI Express 32は、PCI Express規格の入出力インターフェースである。ブートROM 33には、プログラムが格納されている。ビデオユニット34は、画像データを発生する。CPU 35は、ブートROM 33から読み出されたプログラムに従って半導体チップ10全体を制御する。

[0059] なお、セクタ制御信号SEをブートROM 33に格納しておき、半導体チップ10の起動時にブートROM 33から読み出したセクタ制御信号SEをセクタ15のレジスタ16に格納してもよい。この場合は、モード設定信号MODE用の入力端子T12が不要となる。

[0060] また、半導体チップ10に電源が投入されたことに応じてパワーオンリセット信号PORを発生するパワーオンリセット回路を半導体チップ10に搭載し、発生した信号PORをシステムコントローラ12やバッファ回路B1～B4に与えてもよい。この場合は、信号POR用の入力端子T11が不要となる。

[0061] 図9は、第1モードおよび第2モードにおける外部端子TAの配列パターンを例示する図である。図9において、第1モードでは、1番目から9番目

の外部端子T Aにそれぞれ第1グループの信号A 1 4, B A 1, A 1 2, A 6, A 1 1, A 1 5, A 1 0, A 1, A 4が出力され、20番目から29番目の外部端子T Aにそれぞれ第1グループの信号B A 2, B A 0, A 3, A 9, A 0, A 1 3, A 5, A 7, A 2, A 8が出力される。

[0062] これに対して第2モードでは、1番目から9番目の外部端子T Aにそれぞれ第1グループの信号A 3, A 6, A 1 1, A 1 3, A 8, A 0, A 2, A 1 5, A 4が出力され、20番目から29番目の外部端子T Aにそれぞれ第1グループの信号B A 2, B A 1, A 9, A 1 4, B A 0, A 1 0, A 1 2, A 5, A 1, A 7が出力される。このように、第1グループの信号A 0～A 1 5, B A 0～B A 2は1～9, 20～29番の外部端子T Aに出力され、第1モードであるか第2モードであるかで、1～9, 20～29番の外部端子T Aに出力される信号A 0～A 1 5, B A 0～B A 2の順番が変更される。換言すると、第1モードであるか第2モードであるかで、信号A 0～A 1 5, B A 0～B A 2が出力される外部端子T Aの順番（配列パターン）が変更される。

[0063] また、第1モードでは、10～12, 15, 19番の外部端子T Aにそれぞれ第2グループの信号C S N 1, C S N 0, W E N, C A S N, R A S Nが出力される。これに対して第2モードでは、10～12, 15, 19番の外部端子T Aにそれぞれ第2グループの信号C A S N, C S N 1, C S N 0, R A S N, W E Nが出力される。このように、第2グループの信号C S N 1, C S N 0, W E N, C A S N, R A S Nは10～12, 15, 19番の外部端子T Aに出力され、第1モードであるか第2モードであるかで、10～12, 15, 19番の外部端子T Aに出力される信号C S N 1, C S N 0, W E N, C A S N, R A S Nの順番が変更される。換言すると、第1モードであるか第2モードであるかで、信号C S N 1, C S N 0, W E N, C A S N, R A S Nが出力される外部端子T Aの順番（配列パターン）が変更される。

[0064] また、第1モードおよび第2モードでは、13, 14, 18番の外部端子

TAにそれぞれ第3グループの信号ODT0, ODT1, CKEが出力される。ここでは、第3グループの信号ODT0, ODT1, CKEの順番を変更する必要がなかったことが例示されている。なお、第3グループの信号ODT0, ODT1, CKEの順番を変更する必要がある場合は、切換回路19によって変更可能である。

[0065] また、第1モードおよび第2モードでは、16, 17番の外部端子TAにそれぞれ第4グループのクロック信号CK, CKNが出力される。クロック信号CK, CKNはクロック生成部21からの信号に基いて生成される互いに相補な信号であり、DDR2-SDRAMやDDR3-SDRAMが動作する基準となるタイミングを決定する差動クロックとなる。そのため、クロック信号CK, CKNを第1～第3グループの信号と異なる第4グループとし、セレクタ15によるクロック信号CK, CKNの順番の変更を行っていない。

[0066] 図10(a)～(g)は、第1モードおよび第2モードにおける16, 17, 1, 10, 13番目の外部端子TA16, TA17, TA1, TA10, TA13のレベル変化を例示するタイムチャートである。パワーオンリセット期間では、外部端子TA16, TA1, TA10はともに「H」レベルに固定され、外部端子TA17, TA13は「L」レベルに固定されている。パワーオンリセット期間が終了すると(時刻t0)、外部端子TA16, TA17にそれぞれクロック信号CK, CKNが出力される。

[0067] また、第1モードにおいてパワーオンリセット期間が終了すると(時刻t0)、クロック信号CK, CKNに同期して、外部端子TA1, TA10, TA13にそれぞれ信号A14, CSN1, ODT0が出力される。半導体メモリ装置3は、クロック信号CKの立ち上がりエッジに同期して、信号A14, CSN1, ODT0をラッチする。

[0068] また、第2モードにおいてパワーオンリセット期間が終了すると(時刻t0)、クロック信号CK, CKNに同期して、外部端子TA1, TA10, TA11にそれぞれ信号A3, CASN, ODT0が出力される。半導体メ

メモリ装置6は、クロック信号CKの立ち上がりエッジに同期して、信号A3, CASN, ODT0をラッチする。

[0069] 図11は、半導体装置1の動作を示すフローチャートである。図11において、半導体装置1に電源電圧が投入されると、ステップST1においてパワーオンリセットが開始される。ステップST2において、リセット信号REが活性化レベルの「H」レベルにされてバッファ回路B1～B4がリセット状態にされる。すなわち、バッファ回路B1, B2の出力信号が「H」レベルに固定され、バッファ回路B3の出力信号が「L」レベルに固定され、バッファ回路B4の出力信号CK, CKNがそれぞれ「H」レベルおよび「L」レベルに固定される。パワーオンリセット状態が所定の時間経過した後、ステップST3において、パワーオンリセットが終了する。

[0070] ステップST4において、半導体装置1が第1モードと第2モードのうちのいずれのモードに設定されたのかがモード設定回路14aによって判定される。モード設定回路14aは、半導体装置1が第1モードに設定されたと判定した場合、ステップST5において、セクタ15を第1モードに設定するためのセクタ制御信号SEを生成してレジスタ16に格納する。レジスタ16に第1モード用のセクタ制御信号SEが格納されると、切換回路17～19によってDDR3-SDRAM用の配列パターンが形成される。メモリコントローラ14は、ステップST6においてDDR3-SDRAM用の初期化処理を行なった後、ステップST9においてDDR3-SDRAMに対する通常のアクセスを開始する。

[0071] ステップST4において半導体装置1が第2モードに設定されたと判定した場合、モード設定回路14aは、ステップST7において、セクタ15を第2モードに設定するためのセクタ制御信号SEを生成してレジスタ16に格納する。レジスタ16に第2モード用のセクタ制御信号SEが格納されると、切換回路17～19によってDDR2-SDRAM用の配列パターンが形成される。メモリコントローラ14は、ステップST8においてDDR2-SDRAM用の初期化処理を行なった後、ステップST9において

DDR2-SDRAMに対する通常のアクセスを開始する。

[0072] 次に、半導体装置1の外部端子TAの配列パターン、半導体メモリ装置3, 6の外部端子TB, TCの配列パターン、マザーボード4, 7の配線LB, LCについて具体的に説明する。図12は、第1モード時における半導体装置1の外部端子TAの配列パターンを示す図である。図12において、半導体装置1は5行(A~E行)、25列に配置された複数の外部端子TAを含む。ここでは、本願発明に関連する外部端子TAについてのみ説明する。

[0073] 第9列のB~D行の外部端子TAには、それぞれ第1グループG1の信号A14, BA1, A12が出力される。第10列のA~D行の外部端子TAには、それぞれ第1グループG1の信号A6, A11, A15, A10が出力される。第11列のA, B, D行の外部端子TAには、それぞれ第1グループG1の信号A1, A4および第2グループG2の信号CSN1が出力される。第12列のA~D行の外部端子TAには、それぞれ第2グループG2の信号CSN0, WENおよび第3グループG3の信号ODT0, ODT1が出力される。第13列のA, C, D行の外部端子TAには、それぞれ第2グループG2の信号CASNおよび第4グループの信号CK, CKNが出力される。

[0074] 第14列のA~D行の外部端子TAには、それぞれ第3グループG3の信号CKE、第2グループG2の信号RASN、および第1グループG1の信号BA2, BA0が出力される。第15列のA, B, D行の外部端子TAには、それぞれ第1グループG1の信号A3, A9, A0が出力される。第16列のA~D行の外部端子TAには、それぞれ第1グループG1の信号A13, A5, A7, A2が出力される。第17列のB, C行の外部端子TAには、それぞれ第1グループG1の信号A8とリセット信号RESETNとが出力される。なお、VSS, VSSQは接地電圧であり、VCCQは電源電圧であり、VREFは参照電圧である。

[0075] また図13は、半導体メモリ装置3(DDR3-SDRAM)の外部端子TBの配列パターンを示す図である。図13において、半導体メモリ装置3

は、16行（A～H，J～N，P，R，T行）、6列（1～3，7～9列）に配置された複数の外部端子TBを含む。ここでは、本願発明に関連する外部端子TBについてのみ説明する。

[0076] なお、外部端子TBの配列パターンは、SDRAMのデータ入出力数によって変わる。図13では、データ入出力数が16の場合（DQU0～7、DQL0～7）が示されている。データ入出力数が8以下の場合、A行～C行の3行が無くなり、13行（D～H，J～N，P，R，T行）、6列（1～3，7～9列）の配列パターンとなる（図13中の点線で囲われた部分）。

[0077] また、DDR3-SDRAMの配列パターンでは、T行3列、T行7列、およびM行7列の外部端子TBがともにNC（No connection）とされている場合もある。しかし、データ入出力数が8以下の場合、それらの外部端子TBはそれぞれアドレス信号A13～A15の入力に使用される。図13では、T行3列、T行7列、およびM行7列の外部端子TBが信号A13～A15の入力に使用される場合が示されている。

[0078] 第1列のK行の外部端子TBは、信号ODTを受ける。第2列のL～N，P，R，T行の外部端子TBは、それぞれ信号CSN，BA0，A3，A5，A7，RESETNを受ける。第3列のJ～N，P，R，Tは、それぞれ信号RASN，CASN，WEN，BA2，A0，A2，A9，A13を受ける。第7列のJ～L，N，P，R，T行の外部端子TBは、それぞれ信号CK，CKN，A10，A15，A12，A1，A11，A14を受ける。第8列のN，P，R，T行の外部端子TBは、それぞれ信号BA1，A4，A6，A8を受ける。第9列のK行の外部端子TBは、信号CKEを受ける。

[0079] また図14～図16は、それぞれマザーボード4の第1、第3、および第6レイヤを示す図である。第1レイヤはマザーボード4の表面であり、第1レイヤの下方に第3レイヤが設けられ、第3レイヤの下方に第6レイヤが設けられている。マザーボード4の第1レイヤすなわちマザーボード4の表面

には、図 1 4 に示すように、半導体装置 1 が搭載される矩形領域 1 A と、2 つの半導体メモリ装置 3 が搭載される 2 つの矩形領域 3 A、3 B とが設けられている。

[0080] 矩形領域 1 A の短辺および長辺は、それぞれ図 1 4 中の X 方向および Y 方向に向けられている。矩形領域 3 A、3 B の各々の短辺および長辺は、それぞれ Y 方向および X 方向に向けられている。矩形領域 1 A は図 1 4 中の左側に配置され、矩形領域 3 A は図 1 4 中の右上側に配置され、矩形領域 3 B は図 1 4 中の右下側に配置される。矩形領域 1 A と 3 A と 3 B とは、互いに所定の隙間を開けて配置されている。

[0081] 矩形領域 1 A には、5 行（A～E 行）、25 列の外部端子 T A に対応する複数の電極 4 1 が設けられている。各電極 4 1 は、矩形領域 1 A に搭載された半導体装置 1 の対応の外部端子 T A に半田付けされる。また、矩形領域 1 A には、複数の電極 4 2 が分散配置されている。各電極 4 2 は、配線によって隣接する電極 4 1 に接続されている。

[0082] 矩形領域 3 A には、16 行（A～H、J～N、P、R、T 行）、7 列（1～3、7～9 列）の外部端子 T B に対応する複数の電極 4 3 が設けられている。各電極 4 3 は、矩形領域 3 A に搭載された半導体メモリ装置 3 の対応の外部端子 T B に半田付けされる。また、矩形領域 3 A には、複数の電極 4 4 が分散配置されている。各電極 4 4 は、配線によって隣接する電極 4 3 に接続されている。

[0083] また、矩形領域 3 A の 2 本の短辺のうちの矩形領域 1 A と反対側の短辺を横切るようにして、28 個の電極 4 5 が X 方向に千鳥足状に配置される。図 1 4 中の下側の列の 14 個の電極 4 5 と、矩形領域 3 A の 1～3 列の 14 個の電極 4 3 とが 14 本の配線で接続される。14 個の電極 4 5 は、それぞれ図 1 4 中の右側から信号 A 7、RESET N、A 5、A 1 3、A 9、A 3、A 2、A 0、BA 0、BA 2、WEN、ODT、CAS N、RAS N 用の電極 4 3 と接続される。

[0084] 図 1 4 中の上側の列の 14 個の電極 4 5 と、矩形領域 3 A の 2、7～9 列

の 14 個の電極 43 とが 14 本の配線で接続される。14 個の電極 45 は、それぞれ図 14 中の右側から信号 A8, A14, A6, A11, A1, A4, A12, BA1, CSN, A15, A10, CKE, CKN, CK用の電極 43 と接続される。

[0085] 矩形領域 3B には、16 行 (A~H, J~N, P, R, T 行)、7 列 (1~3, 7~9 列) の外部端子 TB に対応する複数の電極 46 が設けられている。各電極 46 は、矩形領域 3B に搭載された半導体メモリ装置 3 の対応の外部端子 TB に半田付けされる。また、矩形領域 3B には、複数の電極 47 が分散配置されている。各電極 47 は、配線によって隣接する電極 46 に接続されている。

[0086] また、矩形領域 3B の 2 本の短辺のうちの矩形領域 1A と反対側の短辺を横切るようにして、28 個の電極 48 が X 方向に千鳥足状に配置される。図 14 中の下側の列の 14 個の電極 48 と、矩形領域 3B の 1~3 列の 14 個の電極 46 とが 14 本の配線で接続される。14 個の電極 48 は、それぞれ図 14 中の右側から信号 A7, RESETN, A5, A13, A9, A3, A2, A0, BA0, BA2, WEN, ODT, CASN, RASN用の電極 46 と接続される。

[0087] 図 14 中の上側の列の 14 個の電極 48 と、矩形領域 3A の 2, 7~9 列の 14 個の電極 46 とが 14 本の配線で接続される。14 個の電極 48 は、それぞれ図 14 中の右側から信号 A8, A14, A6, A11, A1, A4, A12, BA1, CSN, A15, A10, CKE, CKN, CK用の電極 46 と接続される。

[0088] また、28 個の電極 45 と 28 個の電極 48 との中間の位置に 28 個の電極 49 が配置される。28 個の電極 49 は、電極 45, 48 と同様に、X 方向に千鳥足状に配置される。図 14 中の下側の列の 14 個の電極 49 のうちの 7 個の電極 49 と、矩形領域 1A の A 行および B 行の 7 個の電極 41 とが 7 本の配線で接続される。図 14 中の右側から 3~6, 11, 13, 14 番の 7 個の電極 49 は、それぞれ信号 A5, A13, A9, A3, WEN, C

A S N, R A S N用の電極4 1と接続される。

[0089] 図1 4 中の上側の列の1 4 個の電極4 9のうちの8個の電極4 9と、矩形領域1 AのA行およびB行の8個の電極4 1とが8本の配線で接続される。

図1 4 中の右側から1 ~ 6, 9, 1 2番の8個の電極4 9は、それぞれ図1 4 中の右側から信号A 8, A 1 4, A 6, A 1 1, A 1, A 4, C S N 0, C K E用の電極4 1と接続される。

[0090] なお、図1 4 では、電極4 1, 4 9間の配線のうちの第1グループの信号用の配線を実線で示し、第2グループの信号用の配線を1点鎖線で示し、第3グループの信号用の配線を点線で示している。

[0091] また図1 5 に示すように、マザーボード4の第3レイヤには、それぞれ第1レイヤの矩形領域1 A, 3 A, 3 Bに対向して矩形領域1 B, 3 C, 3 Dが設けられている。矩形領域1 Bには、第1レイヤの各電極4 2に対向して電極5 2が設けられ、各電極5 2はビアホールを介して対応の電極4 2に接続されている。

[0092] また矩形領域3 Cには、第1レイヤの各電極4 4に対向して電極5 4が設けられ、各電極5 4はビアホールを介して対応の電極4 4に接続されている。また、第1レイヤの各電極4 5に対向して電極5 5が設けられ、各電極5 5はビアホールを介して対応の電極4 5に接続されている。

[0093] また矩形領域3 Dには、第1レイヤの各電極4 7に対向して電極5 7が設けられ、各電極5 7はビアホールを介して対応の電極4 7に接続されている。また、第1レイヤの各電極4 8に対向して電極5 8が設けられ、各電極5 8はビアホールを介して対応の電極4 8に接続されている。また、第1レイヤの各電極4 9に対向して電極5 9が設けられ、各電極5 9はビアホールを介して対応の電極4 9に接続されている。また、各電極5 9は、配線によってY方向に隣接する電極5 5に接続されるとともに、配線によってY方向に隣接する電極5 8に接続されている。

[0094] たとえば、図1 4 のB行1 7列の信号A 8用の電極4 1は、配線を介して電極4 9に接続され、その電極4 9はビアホールを介して図1 5の電極5 9

に接続される。その電極 5 9 は配線を介して電極 5 5 に接続され、その電極 5 5 はビアホールを介して図 1 4 の電極 4 5 に接続され、その電極 4 5 は T 行 8 列の信号 A 8 用の電極 4 3 に接続される。これにより、半導体装置 1 の B 行 1 7 列の外部端子 T A から出力されたアドレス信号 A 8 は、半導体メモリ装置 3 の T 行 8 列の外部端子 T B に伝達される。

[0095] また図 1 6 に示すように、マザーボード 4 の第 6 レイヤには、それぞれ第 3 レイヤの矩形領域 1 B, 3 C, 3 D に対向して矩形領域 1 C, 3 E, 3 F が設けられている。矩形領域 1 C には、第 3 レイヤの各電極 5 2 に対向して電極 6 2 が設けられ、各電極 6 2 はビアホールを介して対応の電極 5 2 に接続されている。

[0096] また矩形領域 3 E には、第 3 レイヤの各電極 5 4 に対向して電極 6 4 が設けられ、各電極 6 4 はビアホールを介して対応の電極 5 4 に接続されている。また、第 3 レイヤの各電極 5 5 に対向して電極 6 5 が設けられ、各電極 6 5 はビアホールを介して対応の電極 5 5 に接続されている。

[0097] また矩形領域 3 F には、第 3 レイヤの各電極 5 7 に対向して電極 6 7 が設けられ、各電極 6 7 はビアホールを介して対応の電極 5 7 に接続されている。また、第 3 レイヤの各電極 5 8 に対向して電極 6 8 が設けられ、各電極 6 8 はビアホールを介して対応の電極 5 8 に接続されている。また、第 3 レイヤの各電極 5 9 に対向して電極 6 9 が設けられ、各電極 6 9 はビアホールを介して対応の電極 5 9 に接続されている。

[0098] 図 1 6 中の下側の列の 1 4 個の電極 6 9 のうちの 7 個の電極 6 9 と、矩形領域 1 C の 7 個の電極 6 2 とが 7 本の配線で接続される。図 1 6 中の右側から 1, 2, 7 ~ 1 0, 1 2 番の 7 個の電極 6 9 は、それぞれ信号 A 7, R E S E T N, A 2, A 0, B A 0, B A 2, O D T 0 用の電極 6 2 と接続される。

[0099] 図 1 6 中の上側の列の 1 4 個の電極 6 9 のうちの 6 個の電極 6 9 と、矩形領域 1 C の 6 個の電極 6 2 とが 6 本の配線で接続される。図 1 6 中の右側から 7, 8, 1 0, 1 1, 1 3, 1 4 番の 6 個の電極 6 9 は、それぞれ図 1 6

中の右側から信号 A 1 2, B A 1, A 1 5, A 1 0, C K N, C K 用の電極 6 2 と接続される。

[0100] たとえば、図 1 4 の D 行 9 列の信号 A 1 2 用の電極 4 1 は、配線を介して隣接する電極 4 2 に接続され、その電極 4 2 はビアホール、電極 5 2、およびビアホールを介して図 1 6 の電極 6 2 に接続される。その電極 6 2 は配線を介して電極 6 9 に接続され、その電極 6 9 はビアホールを介して図 1 5 の電極 5 9 に接続される。その電極 5 9 は配線を介して電極 5 5 に接続され、その電極 5 5 はビアホールを介して図 1 4 の電極 4 5 に接続され、その電極 4 5 は N 行 7 列の信号 A 1 2 用の電極 4 3 に接続される。これにより、半導体装置 1 の D 行 9 列の外部端子 T A から出力されたアドレス信号 A 1 2 は、半導体メモリ装置 3 の N 行 7 列の外部端子 T B に伝達される。

[0101] また、図 1 7 は、第 2 モード時における半導体装置 1 の外部端子 T A の配列パターンを示す図である。図 1 7 において、半導体装置 1 は 5 行 (A ~ E 行)、2 5 列に配置された複数の外部端子 T A を含む。ここでは、本願発明に関連する外部端子 T A についてのみ説明する。

[0102] 第 9 列の B ~ D 行の外部端子 T A には、それぞれ第 1 グループ G 1 の信号 A 3, A 6, A 1 1 が出力される。第 1 0 列の A ~ D 行の外部端子 T A には、それぞれ第 1 グループ G 1 の信号 A 1 3, A 8, A 0, A 2 が出力される。第 1 1 列の A, B, D 行の外部端子 T A には、それぞれ第 1 グループ G 1 の信号 A 1 5, A 4 および第 2 グループ G 2 の信号 C A S N が出力される。第 1 2 列の A ~ D 行の外部端子 T A には、それぞれ第 2 グループ G 2 の信号 C S N 1, C S N 0 および第 3 グループ G 3 の信号 O D T 0, O D T 1 が出力される。第 1 3 列の A, C, D 行の外部端子 T A には、それぞれ第 2 グループ G 2 の信号 R A S N および第 4 グループの信号 C K, C K N が出力される。

[0103] 第 1 4 列の A ~ D 行の外部端子 T A には、それぞれ第 3 グループ G 3 の信号 C K E、第 2 グループ G 2 の信号 W E N、および第 1 グループ G 1 の信号 B A 2, B A 1 が出力される。第 1 5 列の A, B, D 行の外部端子 T A には

、それぞれ第1グループG1の信号A9, A14, BA0が出力される。第16列のA～D行の外部端子TAには、それぞれ第1グループG1の信号A10, A12, A5, A1が出力される。第17列のB行の外部端子TAには、第1グループG1の信号A7が出力される。なお、VSS, VSSQは接地電圧であり、VCCQは電源電圧であり、VREFは参照電圧である。

[0104] また図18は、半導体メモリ装置6 (DDR2-SDRAM) の外部端子TCの配列パターンを示す図である。図18において、半導体メモリ装置6は、15行 (A～H, J～N, P, R行)、6列 (1～3, 7～9列) に配置された複数の外部端子TCを含む。ここでは、本願発明に関連する外部端子TCについてのみ説明する。

[0105] なお、外部端子TCの配列パターンは、SDRAMのデータ入出力数によって変わる。図18では、データ入出力数が16の場合 (DQ0～15) が示されている。データ入出力数が8以下の場合、A行～D行の4行が無くなり、11行 (E～H, J～N, P, R行)、6列 (1～3, 7～9列) の配列パターンとなる (図18中の点線で囲われた部分)。

[0106] また、DDR3-SDRAMの配列パターンでは、R行の3, 7, 8列の外部端子TCがともにNCとされている場合もある。しかし、データ入出力数が8以下の場合、それらの外部端子TCはそれぞれアドレス信号A14, A15, A13の入力に使用される。図18では、R行の3, 7, 8列の外部端子TCが信号A14, A15, A13の入力に使用される場合が示されている。

[0107] 第1列のL行の外部端子TCは、信号BA2を受ける。第2列のK～N, P, R行の外部端子TCは、それぞれ信号CKE, BA0, A10, A3, A7, A12を受ける。第3列のK～N, P, Rの外部端子TCは、それぞれ信号WEN, BA1, A1, A5, A9, A14を受ける。第7列のK～N, P, R行の外部端子TCは、それぞれ信号RASN, CASN, A2, A6, A11, A15を受ける。第8列のJ～N, P, R行の外部端子TCは、それぞれ信号CK, CKN, A0, A4, A8, A13を受ける。第9

列のK行の外部端子TCは、信号ODTを受ける。

[0108] また図19～図21は、それぞれマザーボード7の第1、第3、および第6レイヤを示す図である。第1レイヤはマザーボード7の表面であり、第1レイヤの下方に第3レイヤが設けられ、第3レイヤの下方に第6レイヤが設けられている。マザーボード7の第1レイヤすなわちマザーボード7の表面には、図19に示すように、半導体装置1が搭載される矩形領域1Aと、2つの半導体メモリ装置6が搭載される2つの矩形領域6A、6Bとが設けられている。

[0109] 矩形領域1Aの短辺および長辺は、それぞれ図19中のX方向およびY方向に向けられている。矩形領域6A、6Bの各々の短辺および長辺は、それぞれY方向およびX方向に向けられている。矩形領域1Aは図19中の左側に配置され、矩形領域6Aは図19中の右上側に配置され、矩形領域6Bは図19中の右下側に配置される。矩形領域1Aと6Aと6Bとは、互いに所定の隙間を開けて配置されている。

[0110] 矩形領域1Aには、5行（A～E行）、25列の外部端子TAに対応する複数の電極71が設けられている。各電極71は、矩形領域1Aに搭載された半導体装置1の対応の外部端子TAに半田付けされる。また、矩形領域1Aには、複数の電極72が分散配置されている。各電極72は、配線によって隣接する電極71に接続されている。

[0111] 矩形領域6Aには、15行（A～H、J～N、P、R行）、7列（1～3、7～9列）の外部端子TBに対応する複数の電極73が設けられている。各電極73は、矩形領域6Aに搭載された半導体メモリ装置6の対応の外部端子TCに半田付けされる。また、矩形領域6Aには、複数の電極74が分散配置されている。各電極74は、配線によって隣接する電極73に接続されている。

[0112] また、矩形領域6Aの2本の短辺のうちの矩形領域1Aと反対側の短辺を横切るようにして、25個の電極75がX方向に千鳥足状に配置される。図19中の下側の列の13個の電極75と、矩形領域6Aの1～3列の13個

の電極 7 3 とが 1 3 本の配線で接続される。1 3 個の電極 7 5 は、それぞれ図 1 9 中の右側から信号 A 3, A 7, A 1 2, A 1 0, A 1 4, A 9, A 5, A 1, B A 0, B A 1, B A 2, W E N, C K E 用の電極 7 3 と接続される。

[0113] 図 1 9 中の上側の列の 1 2 個の電極 7 5 と、矩形領域 6 A の 7 ~ 9 列の 1 2 個の電極 7 3 とが 1 2 本の配線で接続される。1 2 個の電極 7 5 は、それぞれ図 1 9 中の右側から信号 A 8, A 1 3, A 2, A 1 5, A 1 1, A 6, A 0, A 2, C S N 0, C A S N, O D T 0, R A S N 用の電極 7 3 と接続される。

[0114] 矩形領域 6 B には、1 5 行 (A ~ H, J ~ N, P, R 行)、7 列 (1 ~ 3, 7 ~ 9 列) の外部端子 T B に対応する複数の電極 7 6 が設けられている。各電極 7 6 は、矩形領域 6 B に搭載された半導体メモリ装置 6 の対応の外部端子 T C に半田付けされる。また、矩形領域 6 B には、複数の電極 7 7 が分散配置されている。各電極 7 7 は、配線によって隣接する電極 7 6 に接続されている。

[0115] また、矩形領域 6 B の 2 本の短辺のうちの矩形領域 1 A と反対側の短辺を横切るようにして、2 5 個の電極 7 8 が X 方向に千鳥足状に配置される。図 1 9 中の下側の列の 1 3 個の電極 7 8 と、矩形領域 6 B の 1 ~ 3 列の 1 3 個の電極 7 6 とが 1 3 本の配線で接続される。1 3 個の電極 7 8 は、それぞれ図 1 9 中の右側から信号 A 3, A 7, A 1 2, A 1 0, A 1 4, A 9, A 5, A 1, B A 0, B A 1, B A 2, W E N, C K E 用の電極 7 6 と接続される。

[0116] 図 1 9 中の上側の列の 1 2 個の電極 7 8 と、矩形領域 6 A の 7 ~ 9 列の 1 2 個の電極 7 6 とが 1 2 本の配線で接続される。1 2 個の電極 7 8 は、それぞれ図 1 9 中の右側から信号 A 8, A 1 3, A 2, A 1 5, A 1 1, A 6, A 0, A 2, C S N 0, C A S N, O D T 0, R A S N 用の電極 7 6 と接続される。

[0117] また、2 5 個の電極 7 5 と 2 5 個の電極 7 8 との中間の位置に 2 5 個の電

極 7 9 が配置される。25 個の電極 7 9 は、電極 7 5, 7 8 と同様に、X 方向に千鳥足状に配置される。図 19 中の下側の列の 13 個の電極 7 9 のうちの 7 個の電極 7 9 と、矩形領域 1 A の A 行および B 行の 7 個の電極 7 1 とが 7 本の配線で接続される。図 19 中の右側から 1 ~ 6, 12, 13 番の 7 個の電極 7 9 は、それぞれ信号 A3, A7, A12, A10, A14, A9, WEN, CKE 用の電極 7 1 と接続される。

[0118] 図 19 中の上側の列の 12 個の電極 7 9 のうちの 6 個の電極 7 9 と、矩形領域 1 A の A 行および B 行の 6 個の電極 7 1 とが 6 本の配線で接続される。図 19 中の右側から 1 ~ 4, 9, 12 番の 6 個の電極 7 9 は、それぞれ図 19 中の右側から信号 A8, A13, A2, A15, CSN0, RASN 用の電極 7 1 と接続される。

[0119] なお、図 19 では、電極 7 1, 7 9 間の配線のうちの第 1 グループの信号用の配線を実線で示し、第 2 グループの信号用の配線を 1 点鎖線で示し、第 3 グループの信号用の配線を点線で示している。

[0120] また図 20 に示すように、マザーボード 7 の第 3 レイヤには、それぞれ第 1 レイヤの矩形領域 1 A, 6 A, 6 B に対向して矩形領域 1 B, 6 C, 6 D が設けられている。矩形領域 1 B には、第 1 レイヤの各電極 7 2 に対向して電極 8 2 が設けられ、各電極 8 2 はビアホールを介して対応の電極 7 2 に接続されている。

[0121] また矩形領域 6 C には、第 1 レイヤの各電極 7 4 に対向して電極 8 4 が設けられ、各電極 8 4 はビアホールを介して対応の電極 7 4 に接続されている。また、第 1 レイヤの各電極 7 5 に対向して電極 8 5 が設けられ、各電極 8 5 はビアホールを介して対応の電極 7 5 に接続されている。

[0122] また矩形領域 6 D には、第 1 レイヤの各電極 7 7 に対向して電極 8 7 が設けられ、各電極 8 7 はビアホールを介して対応の電極 7 7 に接続されている。また、第 1 レイヤの各電極 7 8 に対向して電極 8 8 が設けられ、各電極 8 8 はビアホールを介して対応の電極 7 8 に接続されている。また、第 1 レイヤの各電極 7 9 に対向して電極 8 9 が設けられ、各電極 8 9 はビアホールを

介して対応の電極 7 9 に接続されている。また、各電極 8 9 は、配線によって Y 方向に隣接する電極 8 5 に接続されるとともに、配線によって Y 方向に隣接する電極 8 8 に接続されている。また、矩形領域 6 C, 6 D の中間の位置に 2 つの電極 8 3 が設けられる。各電極 8 3 は、Y 方向に延びる配線によって対応の電極 8 4, 8 7 に接続されている。

[0123] たえば、図 1 9 の B 行 1 7 列の信号 A 7 用の電極 7 1 は、配線を介して電極 7 9 に接続され、その電極 7 9 はビアホールを介して図 2 0 の電極 8 9 に接続される。その電極 8 9 は配線を介して電極 8 5 に接続され、その電極 8 5 はビアホールを介して図 1 9 の電極 7 5 に接続され、その電極 7 5 は N 行 2 列の信号 A 7 用の電極 7 3 に接続される。これにより、半導体装置 1 の B 行 1 7 列の外部端子 T A から出力されたアドレス信号 A 7 は、半導体メモリ装置 6 の N 行 2 列の外部端子 T C に伝達される。

[0124] また図 2 1 に示すように、マザーボード 7 の第 6 レイヤには、それぞれ第 3 レイヤの矩形領域 1 B, 6 C, 6 D に対向して矩形領域 1 C, 6 E, 6 F が設けられている。矩形領域 1 C には、第 3 レイヤの各電極 8 2 に対向して電極 9 2 が設けられ、各電極 9 2 はビアホールを介して対応の電極 8 2 に接続されている。

[0125] また矩形領域 6 E には、第 3 レイヤの各電極 8 4 に対向して電極 9 4 が設けられ、各電極 9 4 はビアホールを介して対応の電極 8 4 に接続されている。また、第 3 レイヤの各電極 8 5 に対向して電極 9 5 が設けられ、各電極 9 5 はビアホールを介して対応の電極 8 5 に接続されている。

[0126] また矩形領域 6 F には、第 3 レイヤの各電極 8 7 に対向して電極 9 7 が設けられ、各電極 9 7 はビアホールを介して対応の電極 8 7 に接続されている。また、第 3 レイヤの各電極 8 8 に対向して電極 9 8 が設けられ、各電極 9 8 はビアホールを介して対応の電極 8 8 に接続されている。また、第 3 レイヤの各電極 8 9 に対向して電極 9 9 が設けられ、各電極 9 9 はビアホールを介して対応の電極 8 9 に接続されている。

[0127] 図 2 1 中の下側の列の 1 3 個の電極 9 9 のうちの 5 個の電極 9 9 と、矩形

領域 1 C の 5 個の電極 9 2 とが 5 本の配線で接続される。図 2 1 中の右側から 7 ～ 1 1 番の 5 個の電極 9 9 は、それぞれ信号 A 5, A 1, B A 0, B A 1, B A 2 用の電極 9 2 と接続される。

[0128] 図 2 1 中の上側の列の 1 2 個の電極 9 9 のうちの 6 個の電極 9 9 と、矩形領域 1 C の 6 個の電極 9 2 とが 6 本の配線で接続される。図 2 1 中の右側から 5 ～ 8, 1 0, 1 1 番の 6 個の電極 9 9 は、それぞれ図 2 1 中の右側から信号 A 1 1, A 6, A 0, A 2, C A S N, O D T O 用の電極 9 2 と接続される。

[0129] また、第 3 レイヤの各電極 8 3 に対向して電極 9 3 が設けられ、各電極 9 3 はビアホールを介して対応の電極 8 3 に接続されている。図 2 1 中の 2 個の電極 9 3 は、それぞれ図 2 1 中の右側から信号 C K N, C K 用の電極 9 2 と接続される。

[0130] たとえば、図 1 9 の D 行 9 列の信号 A 1 1 用の電極 7 1 は、配線を介して隣接する電極 9 2 に接続され、その電極 9 2 はビアホール、電極 8 2、およびビアホールを介して図 2 1 の電極 9 2 に接続される。その電極 9 2 は配線を介して電極 9 9 に接続され、その電極 9 9 はビアホールを介して図 2 0 の電極 8 9 に接続される。その電極 8 9 は配線を介して電極 8 5 に接続され、その電極 8 5 はビアホールを介して図 1 9 の電極 7 5 に接続され、その電極 7 5 は P 行 7 列の信号 A 1 1 用の電極 7 3 に接続される。これにより、半導体装置 1 の D 行 9 列の外部端子 T A から出力されたアドレス信号 A 1 1 は、半導体メモリ装置 6 の P 行 7 列の外部端子 T B に伝達される。

[0131] [実施の形態 2]

図 2 2 (a) は本発明の実施の形態 2 による半導体装置 (L S I) 1 0 1 を示す図であり、図 2 2 (b) (c) はそれぞれ半導体モジュール 1 0 2, 1 0 5 を示す図である。

[0132] 図 2 2 (a) において、半導体装置 1 0 1 は、半導体チップをパッケージ基板の表面に搭載して樹脂で封止したものであり、パッケージ基板の裏面には複数の外部端子 T D が行列状に配置されている。半導体チップは、半導体

基板の表面にメモリコントローラなどを形成したものであり、パッケージ基板を介して複数の外部端子ＴＤに接続される。

[0133] また図２２（ｂ）において、半導体モジュール１０２は、半導体装置１０１と１つの半導体メモリ装置３とを１枚のマザーボード１０３の表面に搭載したものである。半導体メモリ装置３は、たとえばＤＤＲ３－ＳＤＲＡＭである。半導体メモリ装置３は、半導体メモリチップをパッケージ基板の表面に搭載して樹脂で封止したものであり、パッケージ基板の裏面には複数の外部端子ＴＢが行列状に配置されている。半導体メモリチップは、半導体基板の表面に複数のメモリセル、書込／読出回路などを形成したものであり、パッケージ基板を介して複数の外部端子ＴＢに接続される。

[0134] 半導体メモリ装置３の複数の外部端子ＴＢは、所定の配列パターンに従って配置されている。半導体メモリ装置３の外部端子ＴＢの配列パターンは固定されている。つまり、各外部端子ＴＢに入力される信号の種類は固定されている。一方、半導体装置１０１の外部端子ＴＢの配列パターンは、内蔵の切換回路により、半導体メモリ装置３の数に合わせて変更される。つまり、各外部端子ＴＢから出力される信号の種類は、切換回路によって変更可能になっている。半導体装置１０１の構成は、半導体装置１の構成と同様である。

[0135] マザーボード１０３には、半導体装置１０１の複数の外部端子ＴＤと半導体メモリ装置３の複数の外部端子ＴＢとを接続するための複数の配線が形成されている。半導体装置１０１の外部端子ＴＤの配列パターンは、マザーボード１０３の配線同士が同一レイヤで交差しないように設定される。半導体メモリ装置３の各外部端子ＴＢは、マザーボード１０３の配線を介して半導体装置１０１の対応の外部端子ＴＤに接続される。

[0136] また図２２（ｃ）において、半導体モジュール１０５は、半導体装置１０１と４つの半導体メモリ装置３とを１枚のマザーボード１０６の表面に搭載したものである。４つの半導体メモリ装置３の外部端子ＴＢの配列パターンは同一であるが、半導体装置１０１に１つの半導体メモリ装置３を接続する場合と、半導体装置１０１に４つの半導体メモリ装置３を接続する場合とで

は、配線の配置が異なる。半導体装置 101 の外部端子 TD の配列パターンは、内蔵の切換回路により、半導体メモリ装置 3 の数に応じて変更される。

[0137] マザーボード 106 には、半導体装置 101 の複数の外部端子 TD と 4 つの半導体メモリ装置 3 の複数の外部端子 TB とを接続するための複数の配線が形成されている。半導体装置 101 の外部端子 TD の配列パターンは、マザーボード 106 の配線同士が同一レイヤで交差しないように設定される。各半導体メモリ装置 3 の各外部端子 TB は、マザーボード 106 の配線を介して半導体装置 101 の対応の外部端子 TD に接続される。

[0138] このように、本実施の形態 2 では、接続される半導体メモリ装置 3 の数に応じて半導体装置 101 の外部端子 TD の配列パターンを切換えるので、半導体装置 101 の低コスト化を図ることができる。

[0139] 図 23 (a) ~ (c) は、実施の形態 2 の効果を示す図である。図 23 (a) は、半導体装置 101 と 1 つの半導体メモリ装置 3 を裏面側から見た図である。図 23 (a) において、半導体装置 101 の四角形状の裏面には複数の外部端子 TD が行列状に配置されている。また、各半導体メモリ装置 3 の四角形状の裏面には、複数の外部端子 TB が行列状に配置されている。半導体装置 101 の 1 辺と半導体メモリ装置 3 の 1 辺とは、対向して配置されている。

[0140] 半導体メモリ装置 3 の 3 辺に沿って、それぞれ信号 RAS, A1, A2, CAS, CS, A5, CK, CKN 用の 8 個の外部端子 TB が設けられているものとする。この場合、半導体メモリ装置 3 の 1 辺に対向する半導体装置 101 の 1 辺に沿って、信号 RAS, A1, A2, CAS, CS, A5, CK, CKN 用の 8 個の外部端子 TD を設ければ、半導体装置 101 の 8 個の外部端子 TD と 1 つの半導体メモリ装置 3 の合計 8 個の外部端子 TB とを交差しない 8 本の配線 LB で接続することができる。

[0141] また図 23 (b) は、半導体装置 101 と 2 つの半導体メモリ装置 3 を裏面側から見た図である。図 23 (b) において、半導体装置 101 の四角形状の裏面には複数の外部端子 TD が行列状に配置されている。また、各半導

体メモリ装置3の四角形状の裏面には、複数の外部端子TBが行列状に配置されている。半導体装置1の1辺と2つの半導体メモリ装置3の1辺とは、対向して配置されている。

[0142] 各半導体メモリ装置3の3辺に沿って、それぞれ信号RAS, A1, A2, CAS, CS, A5, CK, CKN用の8個の外部端子TBが設けられているものとする。この場合、半導体装置101の外部端子TDの配列パターンとして図22(a)で示した配列パターンを採用して、半導体装置101の各外部端子TDを配線LBを介して対応の外部端子TBに接続すると、図22(b)に示すように、多数箇所配線LB同士が交差する。また、半導体装置101と半導体メモリ装置3の間を横切る9本の配線LBが配置される。したがって、コスト高、伝送特性の悪化、基板面積の増大を招く。

[0143] これに対して本実施の形態2では、図23(c)に示すように、半導体装置101と2つの半導体メモリ装置3とを接続する場合は、内蔵の切換回路により、半導体装置101の外部端子TDの配列パターンを2つの半導体メモリ装置3の外部端子TBに合わせて変更するので、配線LB同士が交差する回数を減少させることができる。また、半導体装置101と半導体メモリ装置3が間の配線LBの数を減少させることができる。たとえば、図22(b)では半導体装置101と半導体メモリ装置3の間に9本の配線LBが設けられているのに対し、図22(c)では半導体装置101と半導体メモリ装置3の間に6本の配線LBが設けられている。

[0144] すなわち、本実施の形態2では、半導体装置101と1つの半導体メモリ装置3で半導体モジュール102を構成する場合は、半導体装置101はモード設定信号によって第1モードに設定される。第1モードに設定された半導体装置101は、1つの半導体メモリ装置3の1辺に対向する8個の外部端子TDからそれぞれ信号RAS, A1, A2, CAS, CS, A5, CK, CKNを出力する。したがって、マザーボード103には、8本の配線LBを交差させることなく形成することができる。

[0145] また、半導体装置101と2つの半導体メモリ装置3で半導体モジュール

5を構成する場合は、半導体装置101はモード設定信号によって第2モードに設定される。第2モードに設定された半導体装置1は、2つの半導体メモリ装置3の1辺に対向する8個の外部端子TDからそれぞれ信号CS, CAS, A5, RAS, A2, A1, CK, CKNを出力する。この場合は、マザーボード106における配線LB同士の交差箇所数を減少させるとともに、半導体装置101と半導体メモリ装置3の間を横切る配線LBの数を減らすことができる。この実施の形態2でも、実施の形態1と同じ効果が得られる。

[0146] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明でなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0147] 1, 101 半導体装置、1A~1C, 3A~3F, 6A~6F 矩形領域、2, 5, 102, 105 半導体モジュール、3, 6 半導体メモリ装置、4, 7, 103, 106 マザーボード、10 半導体チップ、11 半導体基板、12 システムコントローラ、13 バス、14 メモリコントローラ、14a モード設定回路、15 セレクタ、16 レジスタ、17~19 切換回路、20 信号入出力回路、21 クロック生成部、22, 23, 25, 28, 29 レベルアップシフタ、24 レベルダウンシフタ、26, 30 バッファ、27 コンパレータ、31 USB、32 PCI Express、33 ブートROM、34 ビデオユニット、35 CPU、41~49, 52, 54, 55, 57~59, 62, 64, 65, 67~69, 71~79, 82~85, 87~89, 92~95, 97~99 電極、B1~B4 バッファ回路、LB, LC 配線、P パッド、TA, TB, TC, TD 外部端子、TI1, TI2 入力端子、TI2 入力端子。

請求の範囲

- [請求項1] 予めM個（ただし、Mは2以上の整数である）の信号グループに分割されたN個（ただし、NはMよりも大きな整数である）の信号を出力する信号発生回路（14）と、
- それぞれ前記M個の信号グループに対応して設けられたM個の切換回路（17～19）と、
- それぞれ前記M個の切換回路（17～19）に対応するM個のバッファグループに分割されたN個のバッファ回路（B1～B3）と、
- それぞれ前記N個のバッファ回路（B1～B3）に対応して設けられたN個の外部端子（TAまたはTD）とを備え、
- 各信号グループは複数の信号を含み、各バッファグループは対応の信号グループの信号と同数のバッファ回路（B1、B2またはB3）を含み、
- 各切換回路（17、18または19）は、対応の信号グループの複数の信号を、制御信号（SE）に応じた順序で対応のバッファグループの複数のバッファ回路（B1、B2またはB3）に並列に与え、
- 各バッファグループの各バッファ回路（B1、B2またはB3）は、対応の切換回路（17、18または19）から与えられた信号を対応の外部端子（TAまたはTD）に与える、半導体装置。
- [請求項2] 前記M個のバッファグループは第1および第2のバッファグループを含み、
- 前記第1のバッファグループのバッファ回路（B1）は、リセット信号に応答して第1の論理レベルの信号を出力し、
- 前記第2のバッファグループのバッファ回路（B3）は、前記リセット信号に応答して第2の論理レベルの信号を出力する、請求項1に記載の半導体装置。
- [請求項3] 前記半導体装置（1）は、複数機種の副半導体装置（3、6）のうちの所望の機種の副半導体装置と接続可能であり、

各切換回路（１７，１８または１９）は、対応の信号グループの複数の信号を、前記制御信号（ＳＥ）に従い、接続される前記副半導体装置の機種に応じた順序で対応のバッファグループの複数のバッファ回路（Ｂ１，Ｂ２またはＢ３）に並列に与える、請求項１に記載の半導体装置。

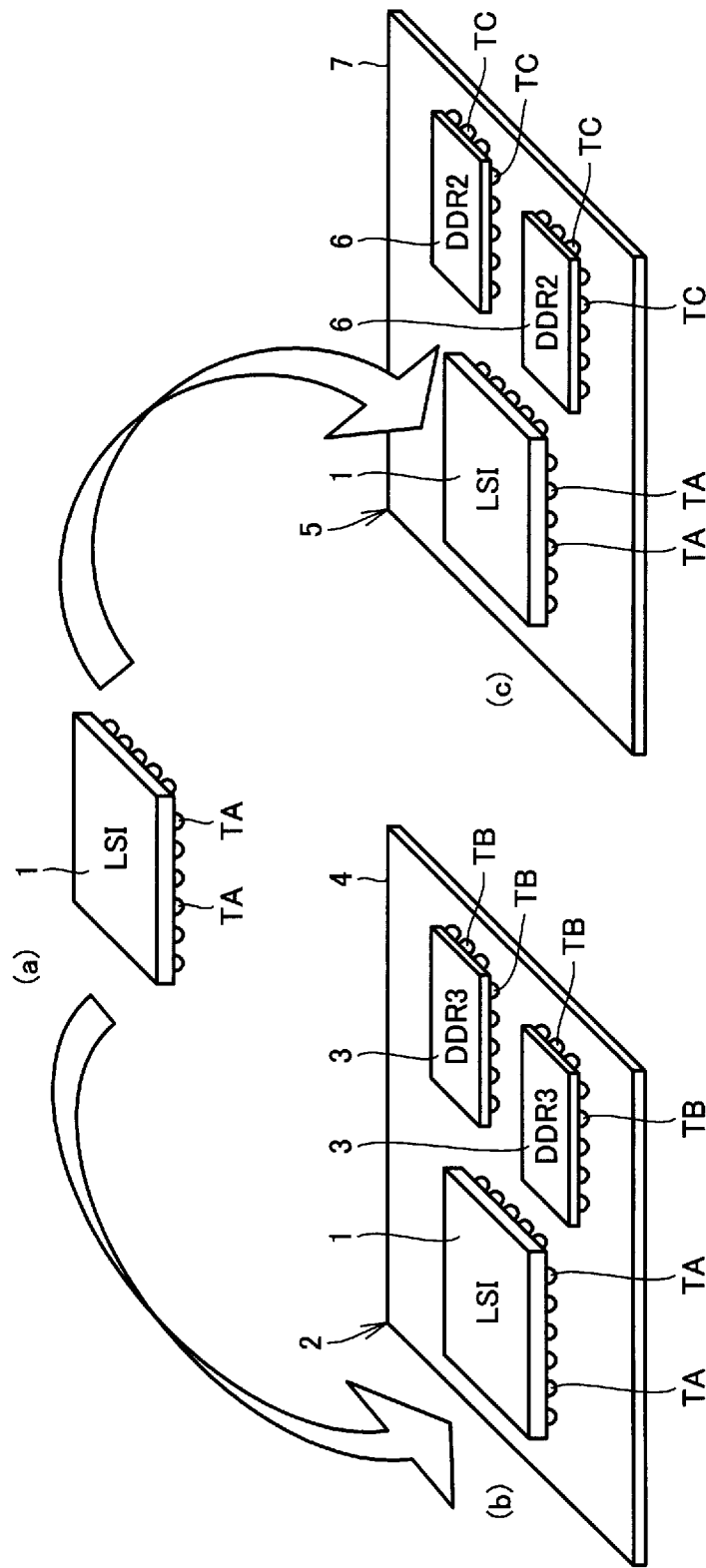
[請求項４] 前記副半導体装置（３または６）は半導体メモリ装置である、請求項３に記載の半導体装置。

[請求項５] 前記半導体装置（１０１）は、所望の数の副半導体装置（３）と接続可能であり、

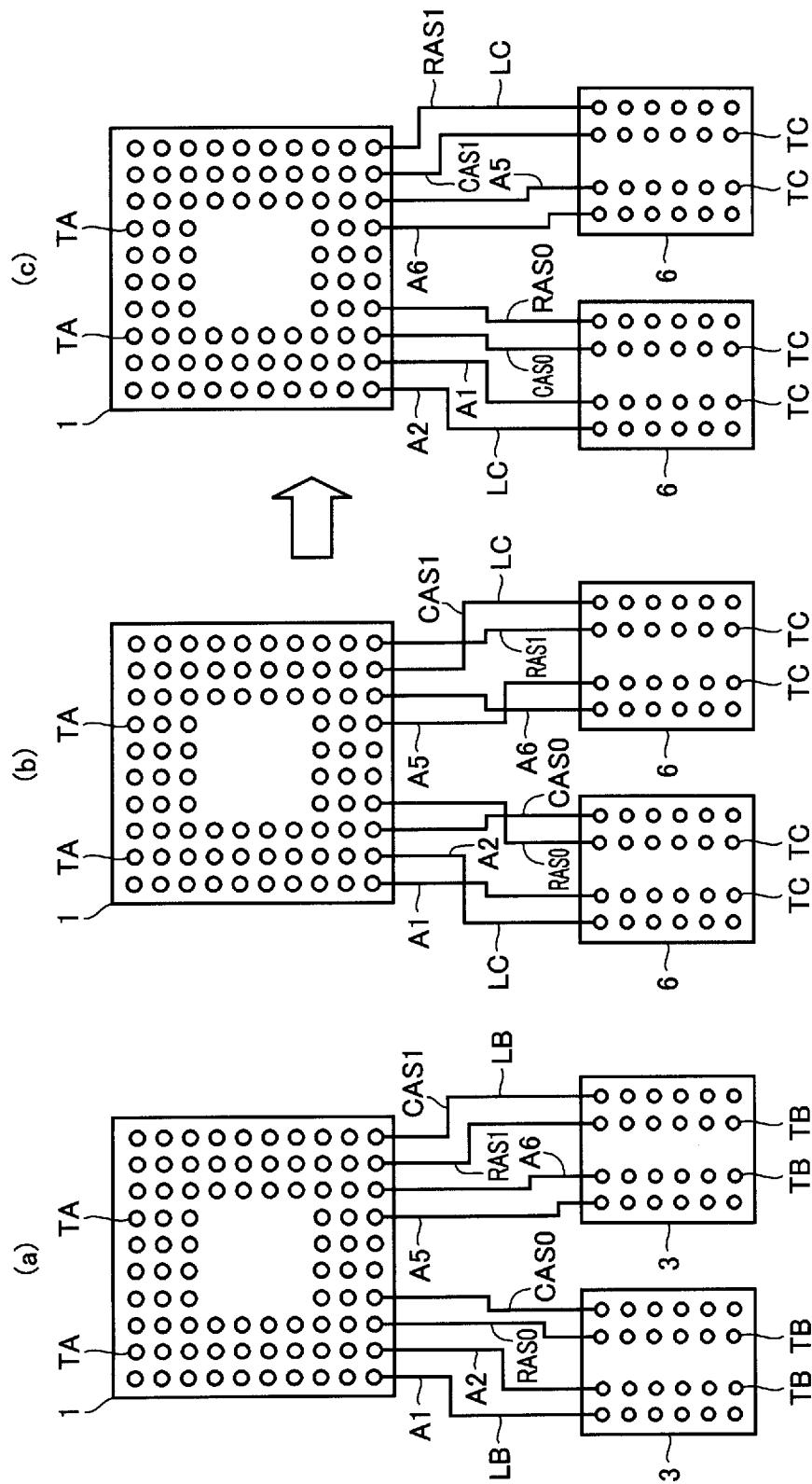
各切換回路（１７，１８または１９）は、対応の信号グループの複数の信号を、前記制御信号（ＳＥ）に従い、接続される前記副半導体装置（３）の数に応じた順序で対応のバッファグループの複数のバッファ回路（Ｂ１，Ｂ２またはＢ３）に並列に与える、請求項１に記載の半導体装置。

[請求項６] 前記副半導体装置（３）は半導体メモリ装置である、請求項５に記載の半導体装置。

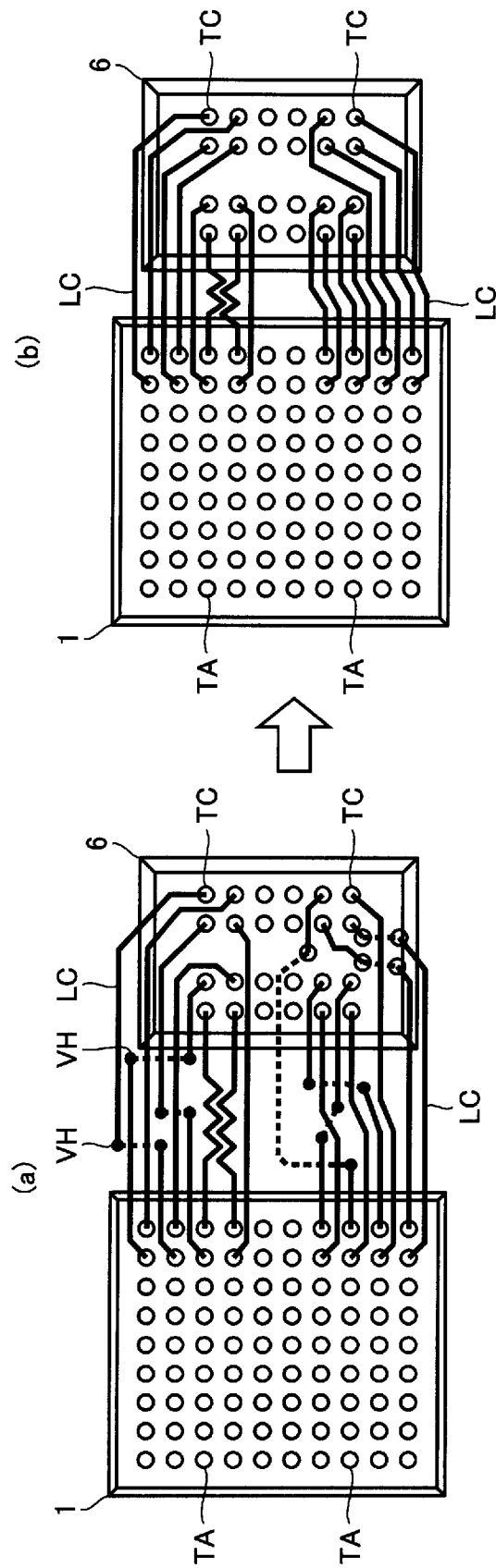
[図1]



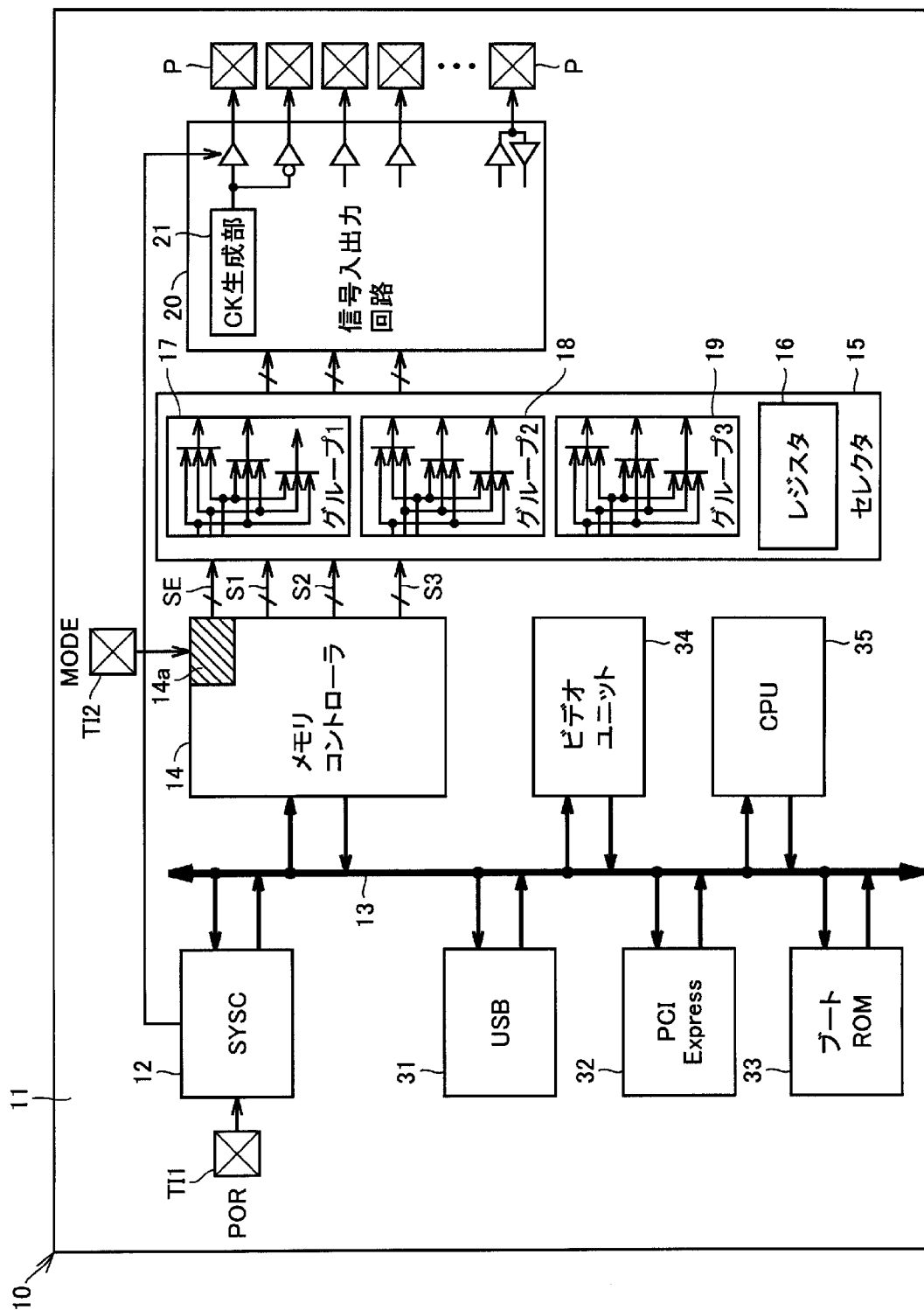
[図2]



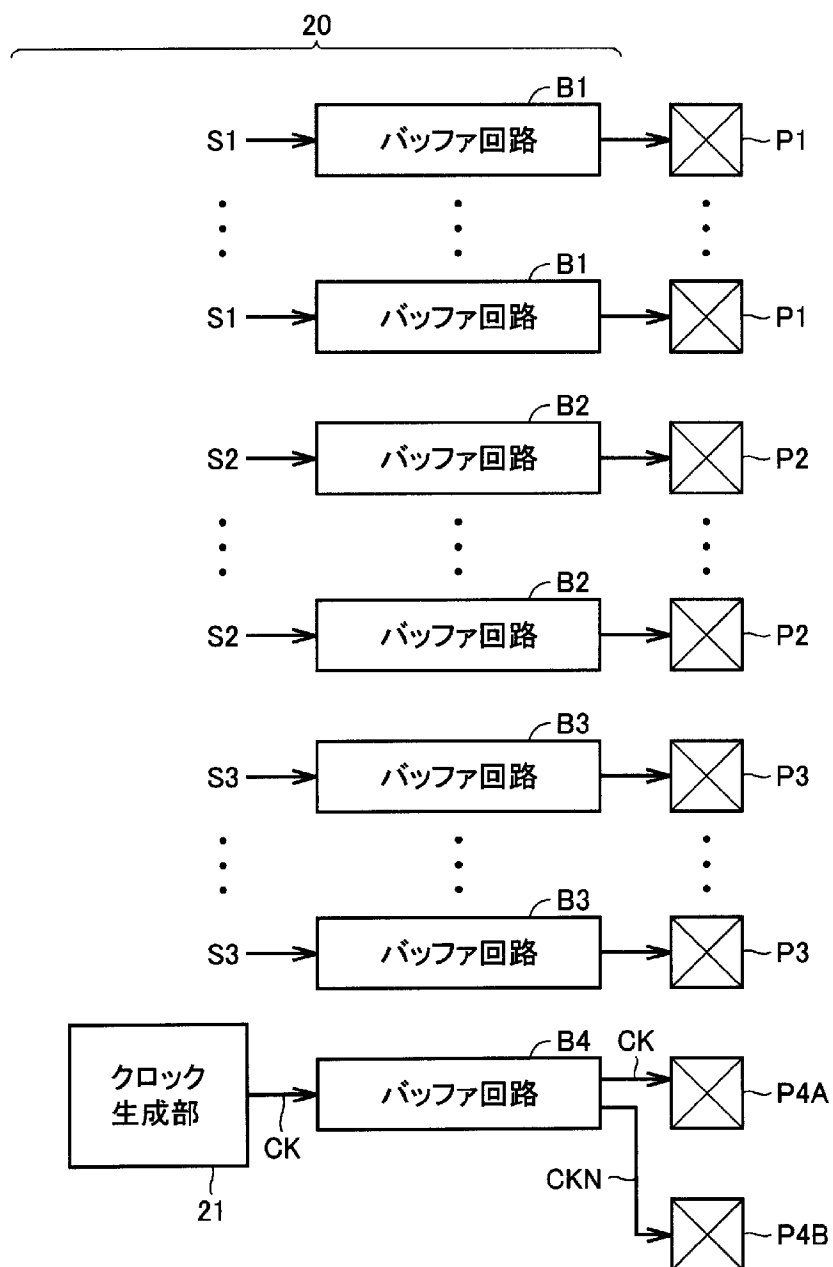
[図3]



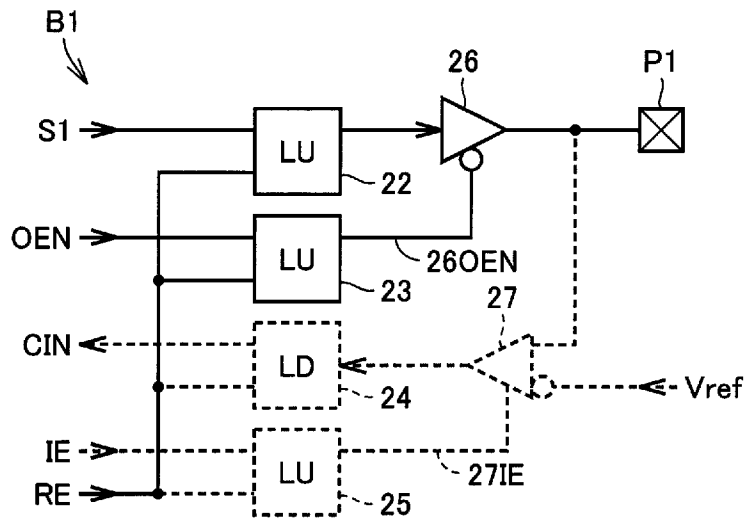
[図4]



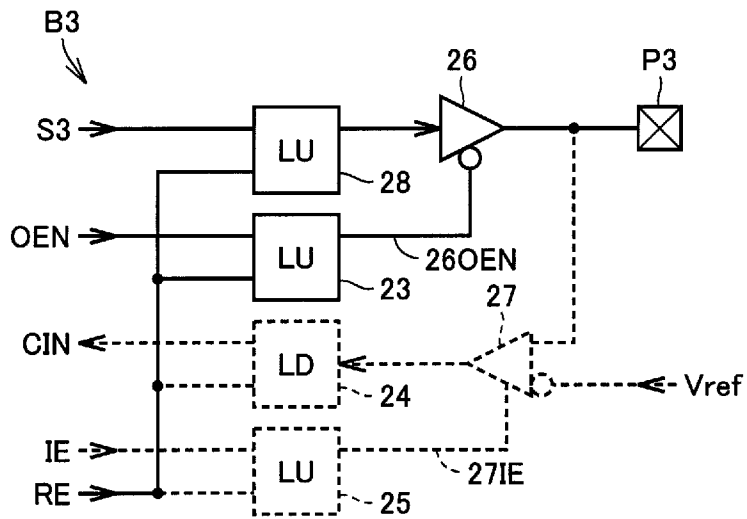
[図5]



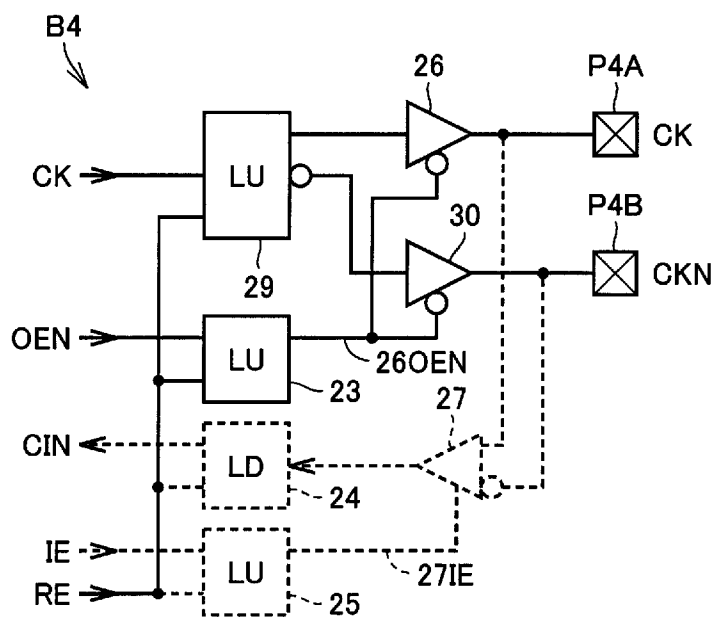
[図6]



[図7]



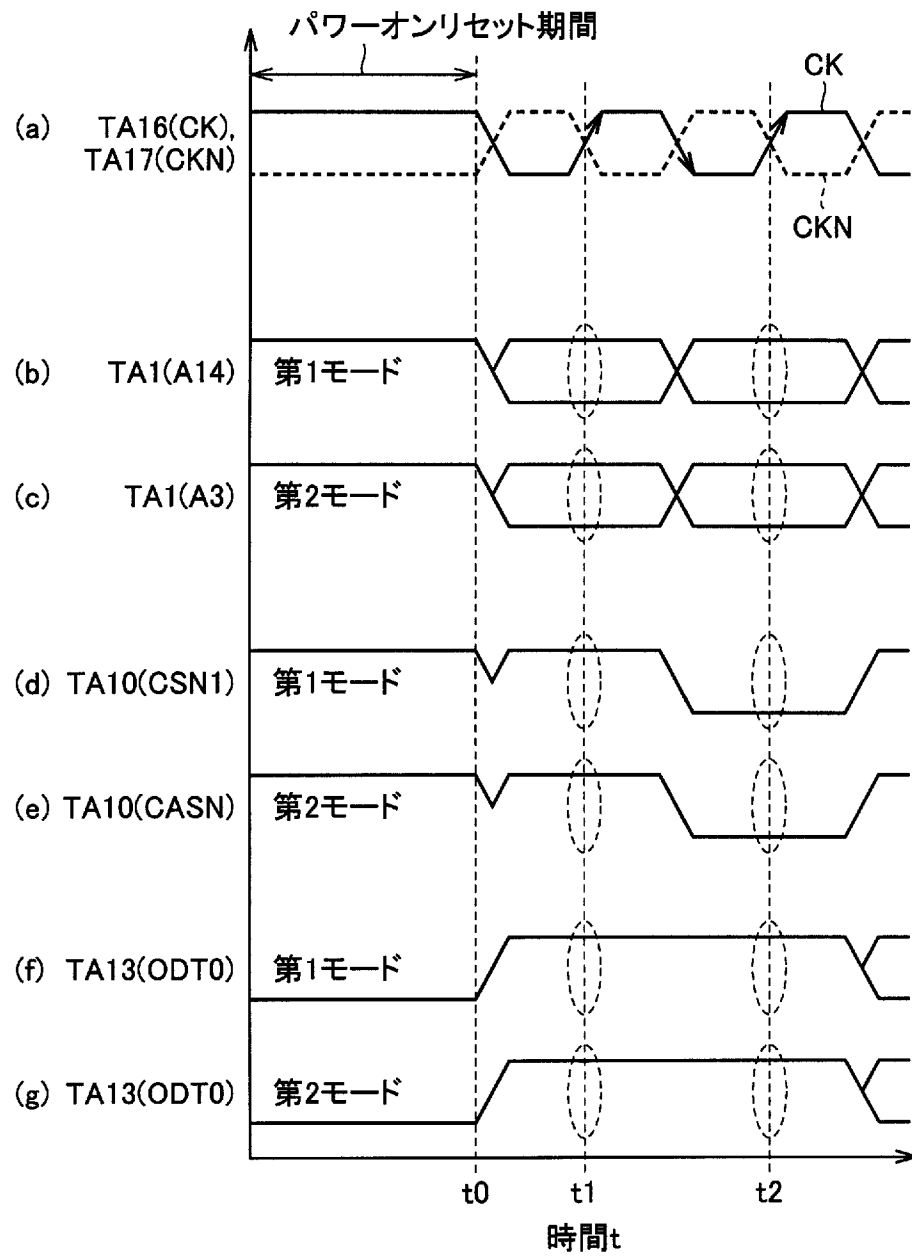
[図8]



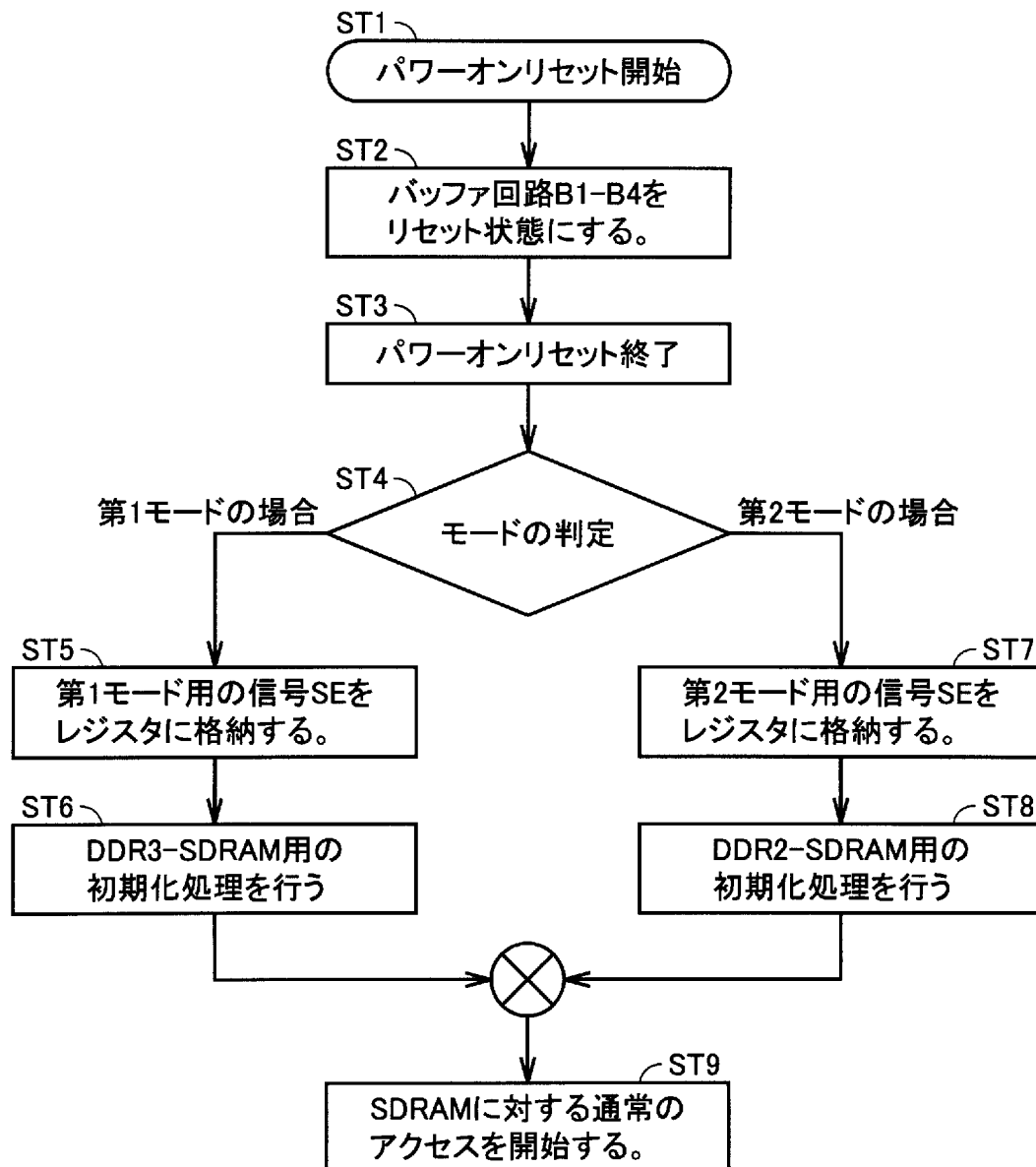
[図9]

端子 番号	信号		グループ
	第1モード	第2モード	
1	A14	A3	1
2	BA1	A6	1
3	A12	A11	1
4	A6	A13	1
5	A11	A8	1
6	A15	A0	1
7	A10	A2	1
8	A1	A15	1
9	A4	A4	1
10	CSN1	CASN	2
11	CSN0	CSN1	2
12	WEN	CSN0	2
13	ODT0	ODT0	3
14	ODT1	ODT1	3
15	CASN	RASN	2
16	CK	CK	4
17	CKN	CKN	4
18	CKE	CKE	3
19	RASN	WEN	2
20	BA2	BA2	1
21	BA	BA1	1
22	A3	A9	1
23	A9	A14	1
24	A0	BA	1
25	A13	A10	1
26	A5	A12	1
27	A7	A5	1
28	A2	A1	1
29	A8	A7	1

[図10]



[図11]



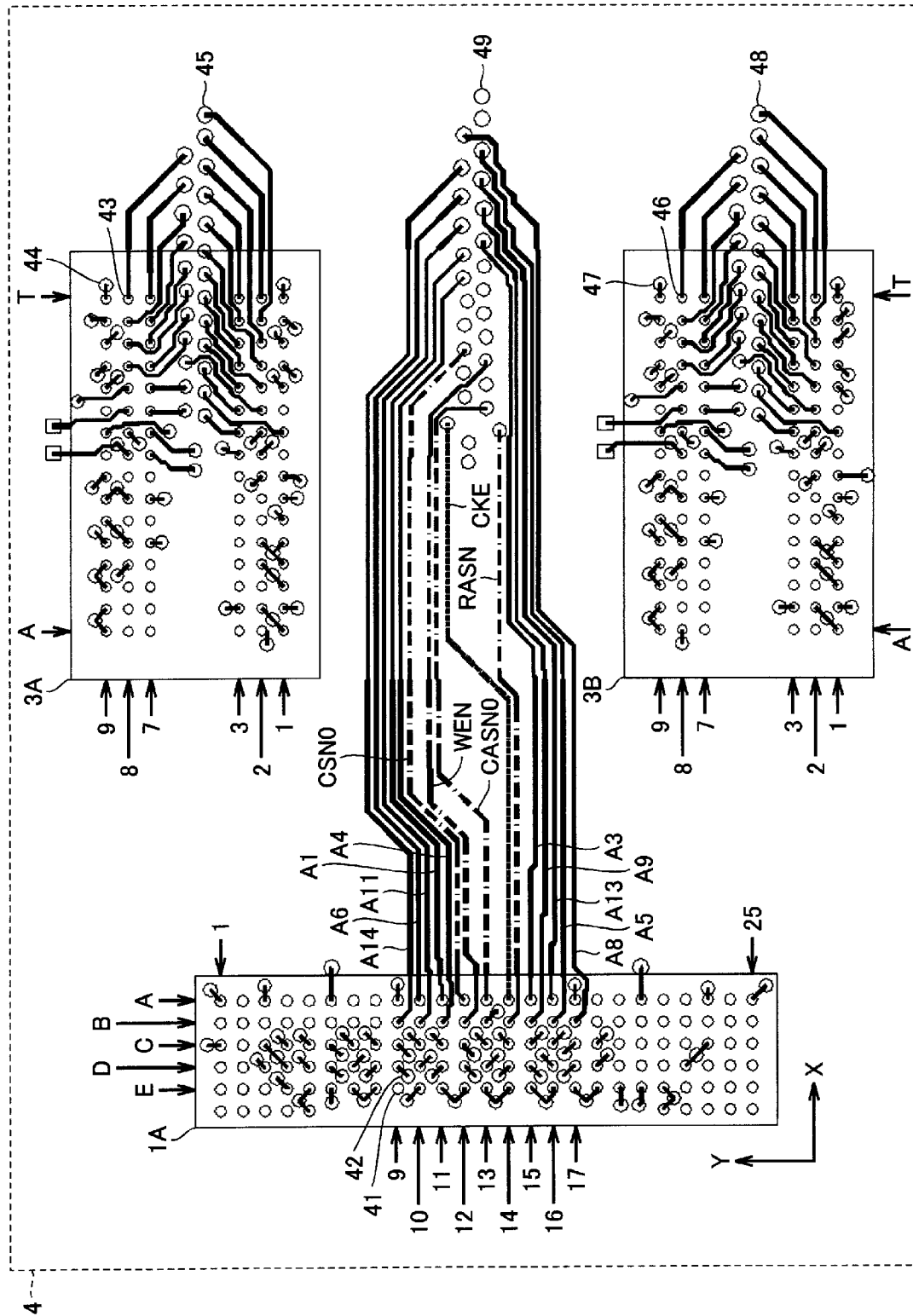
[図12]

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
A	VSS		VCCQ			VCCQ			VCCQ	G1_ A6	G1_ A1	G2_ CSN0	G2_ CASN	G3_ CKE	G1_ A3	G1_ A13	VCCQ			VCCQ			VCCQ		VSS
B									G1_ A14	G1_ A11	G1_ A4	G2_ WEN	G2_ VSS	G2_ RASN	G1_ A9	G1_ A5	G1_ A8								
C	VCCQ		VSS				VSS		G1_ BA1	G1_ A15	VSS	G3_ ODT0	G3_ CK	G1_ BA2	VSS	G1_ A7	RESET N		VSS				VSS		VCCQ
D				VSS					G1_ A12	G1_ A10	G2_ CSN1	G3_ ODT1	G3_ CKN	G1_ BA0	G1_ A0	G1_ A2						VSS			
E					VSS	VREF	VCCQ	VCCQ	VREF	VSS	VCCQ	VCCQ	VSS	VSS	VCCQ	VCCQ	VSS	VSS	VCCQ	VREF	VSS				

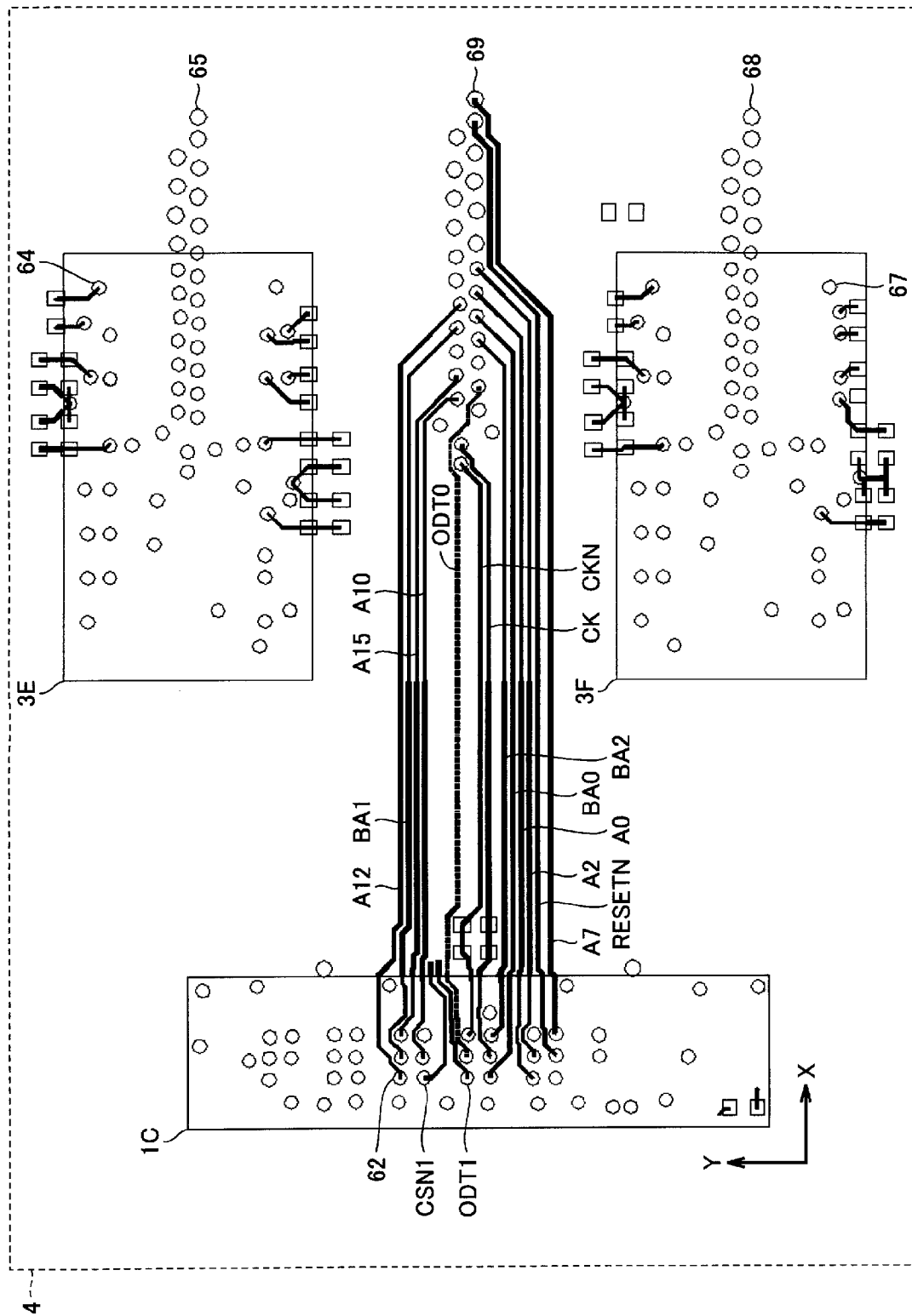
[図13]

	1	2	3	7	8	9
A	○ VDDQ	○ DQU5	○ DQU7	○ DQU4	○ VDDQ	○ VSS
B	○ VSSQ	○ VDD	○ VSS	○ DQSUN	○ DQU6	○ VSSQ
C	○ VDDQ	○ DQU3	○ DQU1	○ DQSU	○ DQU2	○ VDDQ
D	○ VSSQ	○ VDDQ	○ DMU	○ DQU0	○ VSSQ	○ VDD
E	○ VSS	○ VSSQ	○ DQL0	○ DML	○ VSSQ	○ VDDQ
F	○ VDDQ	○ DQL2	○ DQSL	○ DQL1	○ DQL3	○ VSSQ
G	○ VSSQ	○ DQL6	○ DQSLN	○ VDD	○ VSS	○ VSSQ
H	○ VREFDQ	○ VDDQ	○ DQL4	○ DQL7	○ DQL5	○ VDDQ
J	○ NC	○ VSS	○ RASN	○ CK	○ VSS	○ NC
K	○ ODT	○ VDD	○ CASN	○ CKN	○ VDD	○ CKE
L	○ NC	○ CSN	○ WEN	○ A10	○ ZQ	○ NC
M	○ VSS	○ BA0	○ BA2	○ A15	○ VREFCA	○ VSS
N	○ VDD	○ A3	○ A0	○ A12	○ BA1	○ VDD
P	○ VSS	○ A5	○ A2	○ A1	○ A4	○ VSS
R	○ VDD	○ A7	○ A9	○ A11	○ A6	○ VDD
T	○ VSS	○ RESETN	○ A13	○ A14	○ A8	○ VSS

[図14]



[図16]



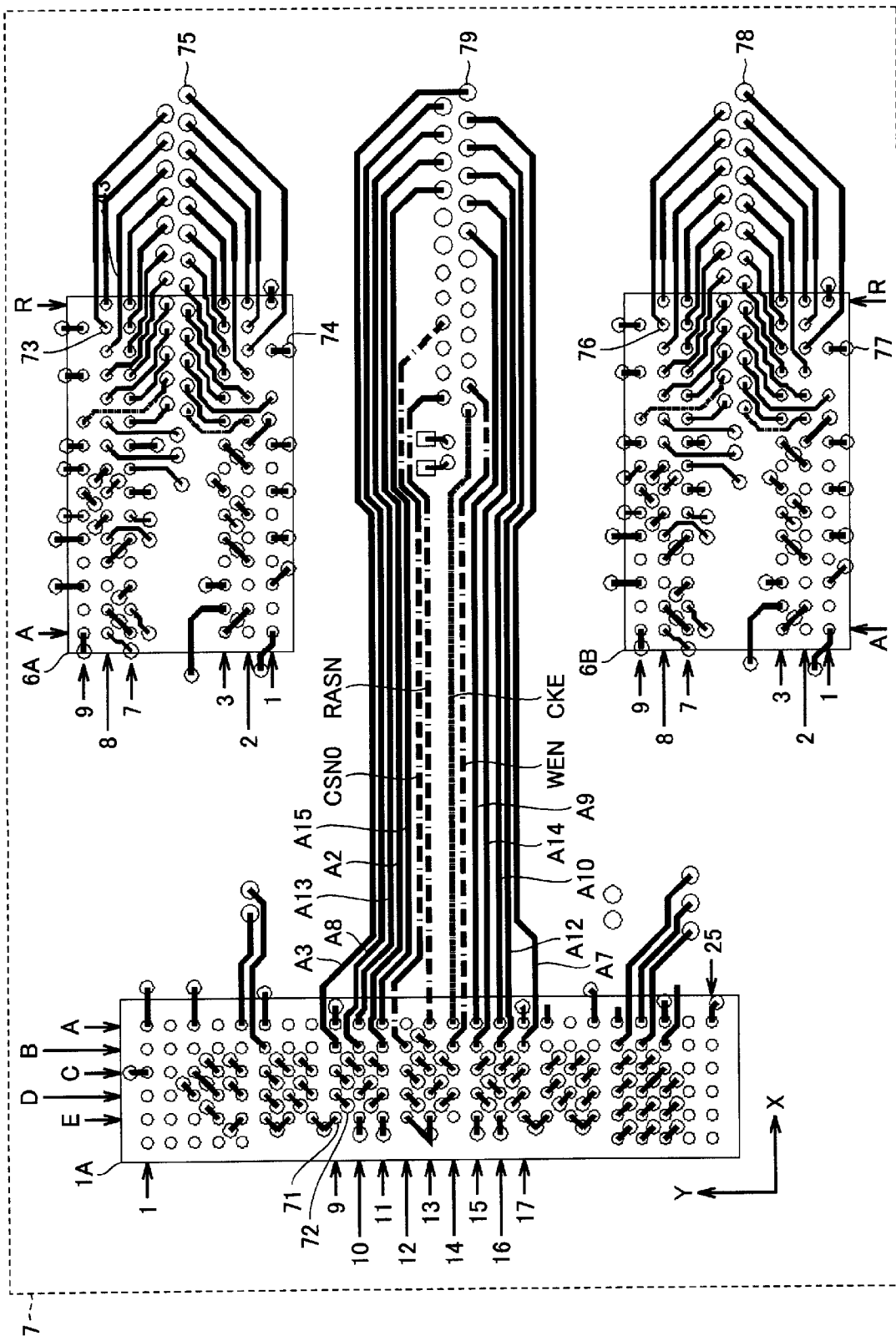
[図17]

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
A	VSS		VCCQ			VCCQ			VCCQ	G1_ A13	G1_ A15	G2_ CSN1	G2_ RASN	G3_ CKE	G1_ A9	G1_ A10	VCCQ			VCCQ			VCCQ		VSS
B									G1_ A3	G1_ A8	G1_ A4	G2_ CSN0	VSS	G2_ WEN	G1_ A14	G1_ A12	G1_ A7								
C	VCCQ		VSS				VSS		G1_ A6	G1_ A0	VSS	G3_ ODT0	CK	G1_ BA2	VSS	G1_ A5	NC (Re set)	VSS					VSS		VCCQ
D				VSS					G1_ A11	G1_ A2	G2_ CASN	G3_ ODT1	CKN	G1_ BA1	G1_ BA0	G1_ A1						VSS			
E					VSS	VREF	VCCQ	VCCQ	VREF	VSS	VCCQ	VCCQ	VSS	VSS	VCCQ	VCCQ	VSS	VSS	VCCQ	VREF	VSS				

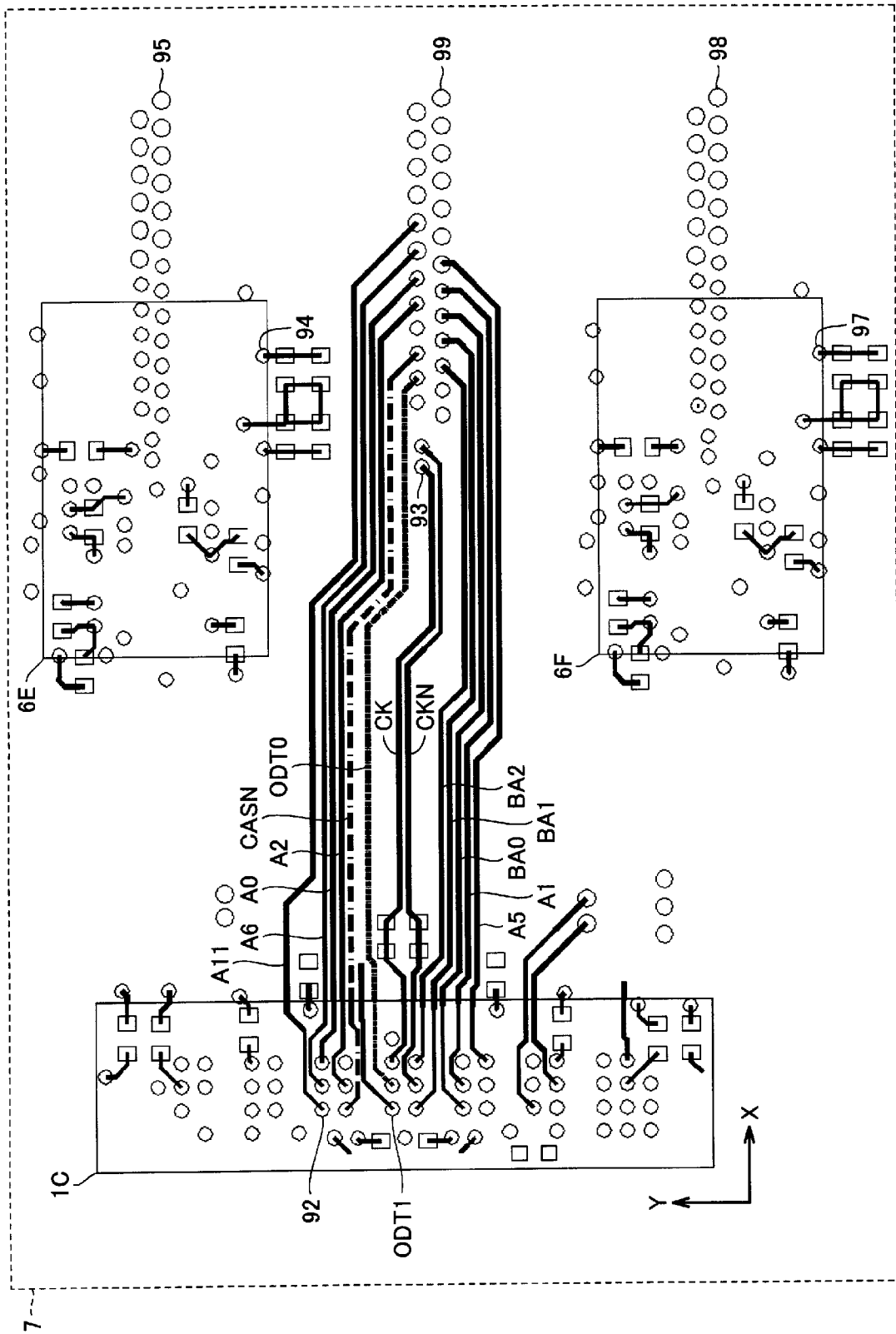
[図18]

	1	2	3	7	8	9
A	○ VDD	○ NC	○ VSS	○ VSSQ	○ UDQSN	○ VDDQ
B	○ DQ14	○ VSSQ	○ UDM	○ UDQS	○ VSSQ	○ DQ15
C	○ VDDQ	○ DQ9	○ VDDQ	○ VDDQ	○ DQ8	○ VDDQ
D	○ DQ12	○ VSSQ	○ DQ11	○ DQ10	○ VSSQ	○ DQ13
E	○ VDD	○ NC	○ VSS	○ VSSQ	○ LDQSN	○ VDDQ
F	○ DQ6	○ VSSQ	○ LDM	○ LDQS	○ VSSQ	○ DQ7
G	○ VDDQ	○ DQ1	○ VDDQ	○ VDDQ	○ DQ0	○ VDDQ
H	○ DQ4	○ VSSQ	○ DQ3	○ DQ2	○ VSSQ	○ DQ5
J	○ VDDL	○ VREF	○ VSS	○ VSSDL	○ CK	○ VDD
K		○ CKE	○ WEN	○ RASN	○ CKN	○ ODT
L	○ BA2	○ BA0	○ BA1	○ CASN	○ CSN	
M		○ A10	○ A1	○ A2	○ A0	○ VDD
N	○ VSS	○ A3	○ A5	○ A6	○ A4	
P		○ A7	○ A9	○ A11	○ A8	○ VSS
R	○ VDD	○ A12	○ A14	○ A15	○ A13	

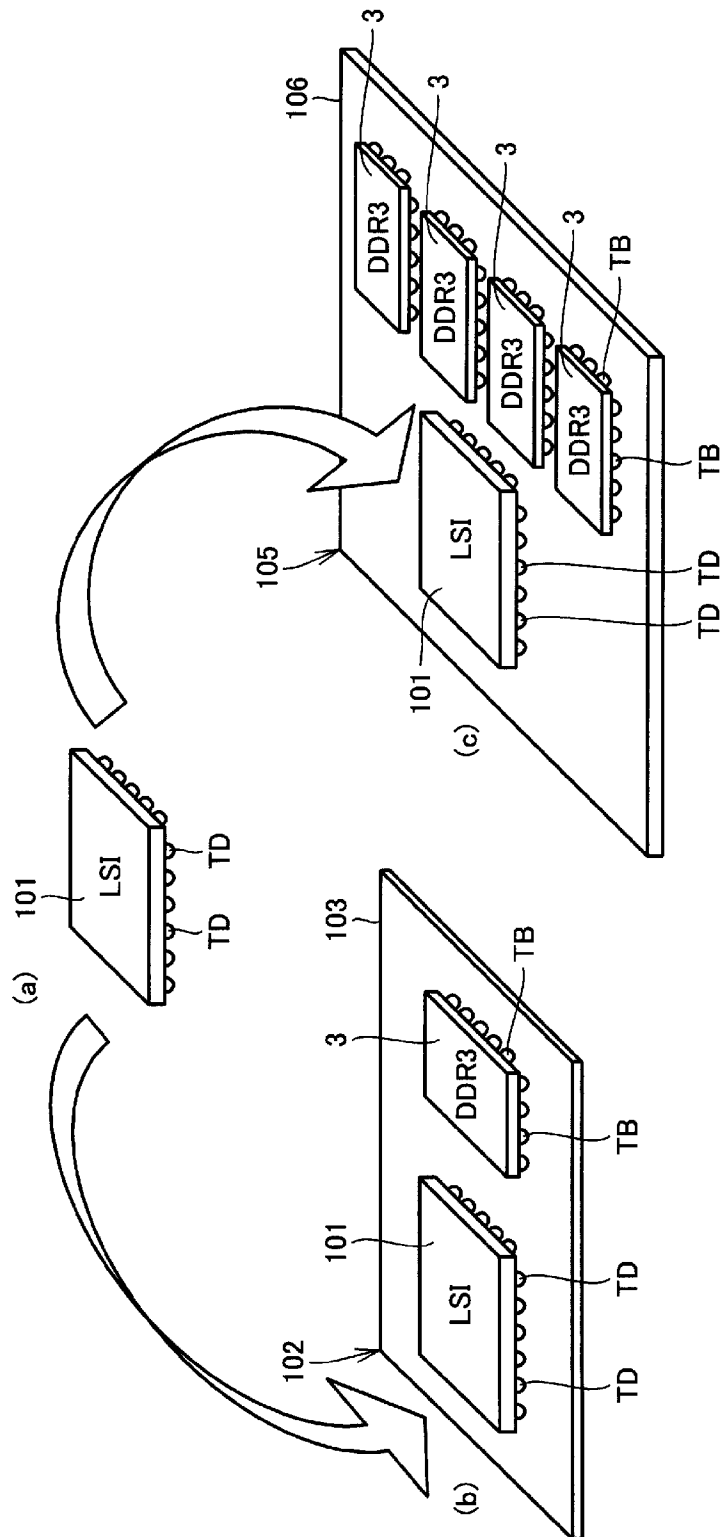
[図19]



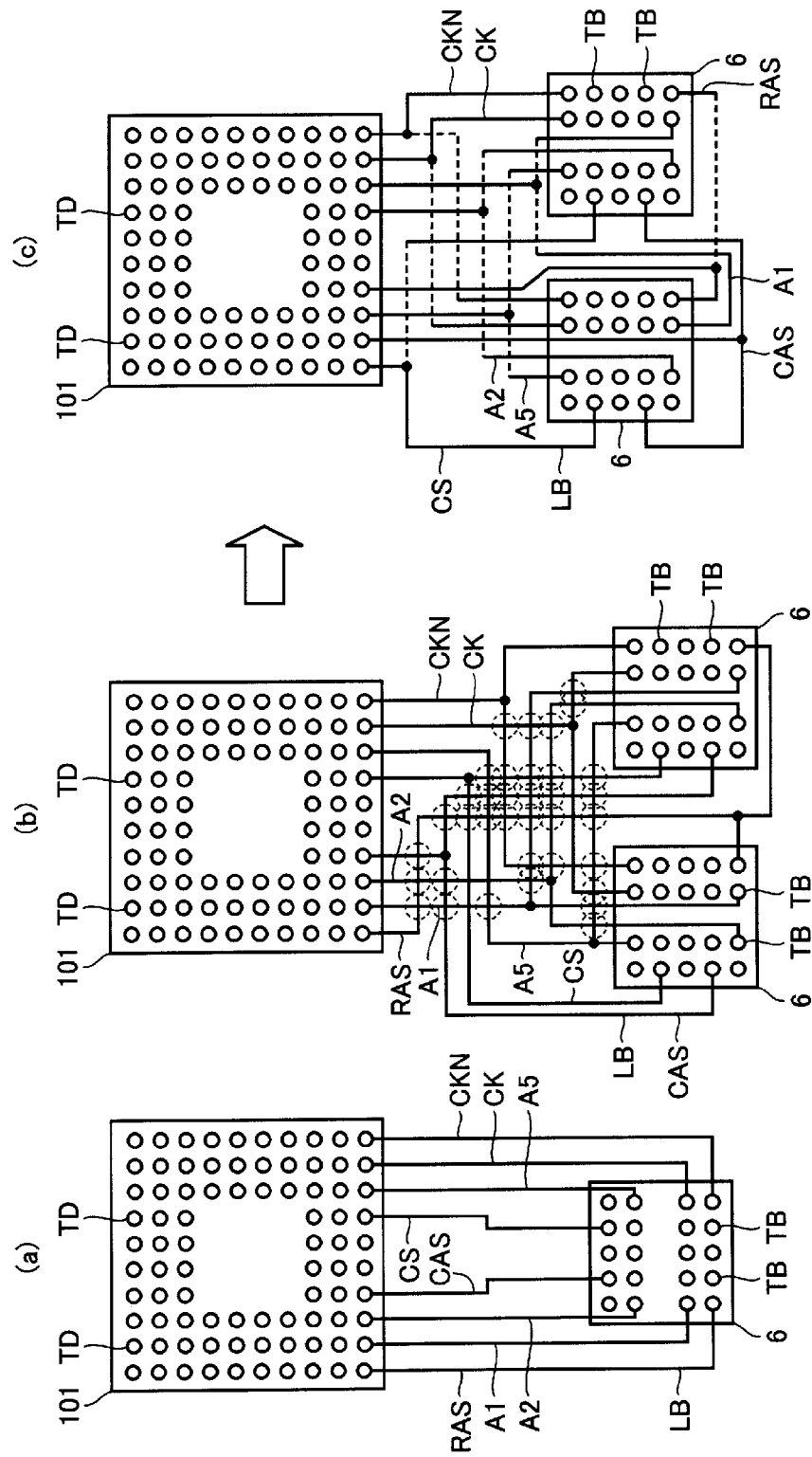
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/064542

A. CLASSIFICATION OF SUBJECT MATTER

G06F13/16(2006.01)i, G11C11/401(2006.01)i, H01L21/82(2006.01)i,
H01L21/822(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F13/16, G11C11/401, H01L21/82, H01L21/822, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 6-17242 U (Koyo Electronics Industries Co., Ltd.), 04 March 1994 (04.03.1994), paragraphs [0004], [0007] to [0009], [0013]; fig. 1 (Family: none)	1, 3-6 2
X Y	JP 2005-182924 A (Fujitsu Ltd.), 07 July 2005 (07.07.2005), paragraphs [0028], [0033] to [0037]; fig. 1, 2 & US 2005/0135177 A1 & US 2007/0097776 A1	1, 3-6 2
Y	JP 2010-147606 A (Rohm Co., Ltd.), 01 July 2010 (01.07.2010), claims 2, 4; paragraph [0042] (Family: none)	2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
06 September, 2011 (06.09.11)

Date of mailing of the international search report
20 September, 2011 (20.09.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/064542

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-520851 A (Micron Technology, Inc.), 26 July 2007 (26.07.2007), paragraphs [0021] to [0022] & US 2005/0177690 A1 & US 2007/0143553 A1 & EP 1723526 A & WO 2005/076823 A2 & DE 602005008560 D & KR 10-2007-0013270 A & CN 1918551 A & AT 403186 T	1-6

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F13/16(2006.01)i, G11C11/401(2006.01)i, H01L21/82(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F13/16, G11C11/401, H01L21/82, H01L21/822, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 6-17242 U (光洋電子工業株式会社) 1994.03.04, 【0004】, 【0007】 - 【0009】, 【0013】, 図1 (ファミリーなし)	1, 3 - 6 2
X Y	JP 2005-182924 A (富士通株式会社) 2005.07.07, 【0028】, 【0033】 - 【0037】, 図1, 図2 & US 2005/0135177 A1 & US 2007/0097776 A1	1, 3 - 6 2
Y	JP 2010-147606 A (ローム株式会社) 2010.07.01, 【請求項2】, 【請求項4】, 【0042】 (ファミリーなし)	2

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 9 . 2 0 1 1

国際調査報告の発送日

2 0 . 0 9 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

吉田 誠

5 M

3 6 5 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-520851 A (マイクロン テクノロジー, インコーポレイテッド) 2007.07.26, 【0021】－【0022】 & US 2005/0177690 A1 & US 2007/0143553 A1 & EP 1723526 A & WO 2005/076823 A2 & DE 602005008560 D & KR 10-2007-0013270 A & CN 1918551 A & AT 403186 T	1－6