

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年3月12日(2009.3.12)

【公表番号】特表2009-503902(P2009-503902A)

【公表日】平成21年1月29日(2009.1.29)

【年通号数】公開・登録公報2009-004

【出願番号】特願2008-525091(P2008-525091)

【国際特許分類】

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 29/423 (2006.01)

H 0 1 L 29/49 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/786 (2006.01)

【F I】

H 0 1 L 27/08 3 2 1 D

H 0 1 L 29/58 G

H 0 1 L 21/28 3 0 1 S

H 0 1 L 21/28 3 0 1 D

H 0 1 L 29/78 3 0 1 G

H 0 1 L 29/78 6 1 3 A

H 0 1 L 29/78 6 1 7 M

【手続補正書】

【提出日】平成21年1月16日(2009.1.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第一タイプのMOSFET領域(40)のゲートスタック及び第二タイプのMOSFET領域(30)のゲートスタックからなる構造を準備するステップで、前記のゲートスタックはそれぞれ半導体層(22, 20)からなり、前記構造はさらに前記第一タイプのMOSFET及び前記第二タイプのMOSFET領域の前記ゲートスタック上に形成された平坦化誘電体層(54)からなるステップと、

前記平坦化誘電体層(54)の一部を除去して前記ゲートスタックの前記半導体層(22, 20)を露出するステップと、

前記ゲートスタックの前記露出した半導体層(22, 20)に接触するように金属含有層(56)を形成するステップで、前記金属含有層(56)は、前記第一タイプのMOSFET領域(40)の前記ゲートスタックの前記半導体層(22)を完全に半導体金属合金に変換する十分な厚さを有しているが、前記第二タイプのMOSFET領域(30)の前記半導体層(20)を完全に半導体金属合金に変換する十分な厚さは有していないステップ、及び

前記第一タイプのMOSFET領域(40)の前記ゲートスタックの前記半導体層(22)に接触する前記金属含有層(56)から完全変換半導体金属合金ゲート導電体(62, 66)を形成し、前記第二タイプのMOSFET領域(30)の前記ゲートスタックの前

記半導体層(20)に接触する前記金属含有層(56)から部分変換半導体金属合金ゲート導電体を形成するステップを含む半導体構造の製造方法。

【請求項2】

前記ゲートスタックの前記半導体層(22, 20)はシリコンからなり、前記金属含有層(56)はシリコンと接触した場合に半導体金属シリサイドを形成しうる金属からなり、高濃度にドーブされたポリシリコンとほぼ等しい仕事関数を有する請求項1記載の方法。

【請求項3】

更に、前記金属含有層(56)を形成する前に、前記第一タイプのMOSFET領域(40)の前記ゲートスタックの前記半導体層(22)を凹化し、その高さを前記第二タイプのMOSFET領域(30)の前記ゲートスタックの前記半導体層(20)の高さ未満にするステップを含む請求項1記載の方法。

【請求項4】

前記第一タイプのMOSFET領域(40)の前記ゲートスタックの前記半導体層(22)の凹化は、前記平坦化誘電体層(54)に対して前記第一タイプのMOSFET領域(40)の前記ゲートスタックの前記半導体層(22)を選択的に異方性エッチングすることからなる請求項3記載の方法。

【請求項5】

前記金属含有層(56)はニッケルからなり、前記ゲートスタックの前記完全変換半導体金属合金ゲート導電体および前記部分変換半導体金属合金ゲート導電体の形成は300から600の温度で瞬時熱アニーリングすることにより行なわれる請求項3記載の方法。

【請求項6】

前記金属含有層(56)の形成ステップはさらに、前記第二タイプのMOSFET領域(30)上の前記金属含有層(56)を前記第一タイプMOSFET領域(40)上の前記金属含有層(56)の膜厚よりも薄くするステップを含む請求項1記載の方法。

【請求項7】

前記第二タイプのMOSFET領域(30)上の前記金属含有層(56)の薄膜化は、さらに前記第一タイプのMOSFET領域(40)上にマスク層(63)を形成するステップ及び前記第二タイプのMOSFET領域(30)上の前記金属含有層(56)をウエットエッチングするステップを含む請求項6記載の方法。

【請求項8】

前記ウエットエッチングするステップは希薄ウエットエッチングからなる請求項7記載の方法。

【請求項9】

前記金属含有層(56)はニッケルからなり、前記完全変換半導体金属合金ゲート導電体及び部分変換半導体金属合金ゲート導電体の形成は、300から600の温度で瞬時熱アニールすることにより行なわれる請求項6記載の方法。

【請求項10】

前記金属含有層(56)はニッケルからなり、前記完全変換半導体金属合金ゲート導電体及び部分変換半導体金属合金ゲート導電体の形成は300から600の温度で瞬時熱アニールすることにより行なわれる請求項1記載の方法。

【請求項11】

前記ゲートスタックの前記半導体層(22, 20)はSi, Ge, SiGe, SiC, SiGeC及びGaAsからなる群から選択される半導体からなる請求項1記載の方法。

【請求項12】

前記ゲートスタックの前記半導体層(22, 20)はSi, Ge, SiGe, SiC, SiGeC及びGaAsからなる群から選択される半導体からなる請求項3記載の方法。

【請求項13】

前記ゲートスタックの前記半導体層(22, 20)はSi, Ge, SiGe, SiC, SiGeC及びGaAsからなる群から選択される半導体からなる請求項6記載の方法。

【請求項14】

前記第一タイプのMOSFET領域(40)がnFET領域であり、前記第二タイプのMOSFET領域(30)がpFET領域である請求項1記載の方法。