



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

[22] Přihlášeno 31 10 84
[21] (PV 8250-84)

[40] Zveřejněno 16 07 85

[45] Vydáno 15 08 87

240741
(11) (B1)

[51] Int. Cl.⁴
H 03 K 3/013

[75]

Autor vynálezu

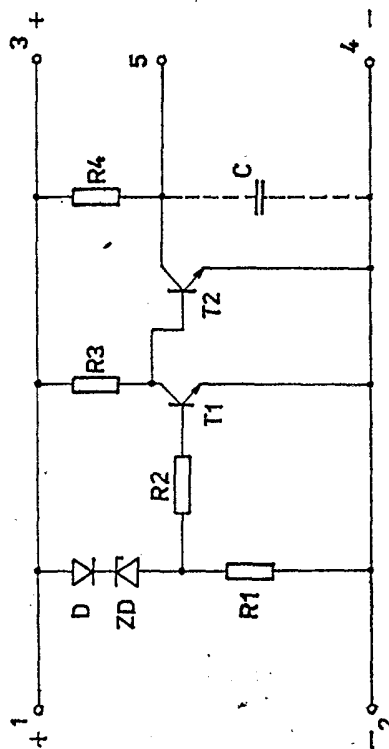
KARLÍK TOMÁŠ ing., BRNO

[54] Zapojení obvodu pro generování logického signálu

1

Řešení se týká obvodu pro generování logického signálu v závislosti na velikosti napájecího napětí. Jeho cílem je vytvořit na základě nepřetržité kontroly okamžité hodnoty napájecího napětí logický signál použitelný pro nulování logické sítě, jež je na toto napětí připojena. Podstata vynálezu spočívá v tom, že vstupní svorka první polarity napájecího napětí je připojena k výstupní svorce téže polarity napájecího napětí, stejně jako vstupní svorka druhé polarity k výstupní svorce téže polarity. Přitom ke vstupní svorce první polarity je připojena první elektroda Zenerovy diody, jejíž druhá elektroda je připojena přes první odpor na vstupní svorku druhé polarity a přes druhý odpor na bázi prvního tranzistoru. Kolektor prvního tranzistoru je připojen na bázi druhého tranzistoru a přes třetí odpor na vstupní svorku první polarity, kdežto jeho emitor na vstupní svorku druhé polarity. Kolektor druhého tranzistoru je připojen přes čtvrtý odpor na vstupní svorku první polarity a na nulovací výstupní svorku, kdežto jeho emitor na vstupní svorku druhé polarity. Řešení lze použít v oboru výpočetní, záznamové, regulační a podobné techniky, u nichž se používá logických obvodů.

2



Vynález se týká obvodu pro generování logického signálu v závislosti na velikosti napájecího napětí.

K nulování obvodů logických sítí, napájených ze zdroje napájecího napětí, se používá nulovací impuls, vytvářeného v pasivní síti, sestávající převážně z RC členů, připojených na nulovací vstup logické sítě.

Nevýhodou takové pasivní sítě je, že k tomu, aby se kondenzátor nabíjel na úroveň logické jedničky déle než činí doba ustálení napájecího napětí, je třeba poměrně velké jeho kapacity. Dále není taková pasivní síť schopna reagovat na krátkodobý pokles napájecího napětí, který může snadno vzniknout například rychle po sobě následujícím vypnutím a zapnutím napájecího zdroje, krátkodobým poklesem napětí v síti a podobně. Napětí na kondenzátoru sleduje přes diodu velikost napájecího napětí. Pokud však napájecí napětí na kondenzátoru nepoklesne až na úroveň logické nuly, nedojde k vynulování obvodů logické sítě. Například obvody typu TTL mají úroveň logické nuly rovnou 0,8 V a minimální napájecí napětí 4,75 V. Pokud tedy v logické síti, sestavené z těchto obvodů, dojde k poklesu napájecího napětí například na 2 V, obvody se dostanou do nedefinovaného stavu, nulovací impuls se však nevygeneruje a obvody logické sítě dále pracují chybně.

Uvedené nevýhody odstraňuje zapojení obvodu pro generování logického signálu podle vynálezu, jehož podstatou je, že vstupní svorka první polarizace zdroje napájecího napětí je připojena k výstupní svorce téže polarizace zdroje napájecího napětí, vstupní svorka druhé polarizace zdroje napájecího napětí je připojena k výstupní svorce téže polarizace zdroje napájecího napětí, ke vstupní svorce první polarizace zdroje napájecího napětí je připojena první elektroda Zenerovy diody, jejíž druhá elektroda je připojena jednak přes první odpor na vstupní svorku druhé polarizace zdroje napájecího napětí, jednak přes druhý odpor na bázi prvního tranzistoru, kolektor prvního tranzistoru je připojen jednak na bázi druhého tranzistoru, jednak přes třetí odpor na vstupní svorku první polarizace zdroje napájecího napětí, kdežto jeho emitor na vstupní svorku druhé polarizace zdroje napájecího napětí, kolektor druhého tranzistoru je připojen jednak přes čtvrtý odpor na vstupní svorku první polarizace zdroje napájecího napětí, jednak na nulovací výstupní svorku, kdežto jeho emitor na vstupní svorku druhé polarizace zdroje napájecího napětí. Kolektor a emitor druhého tranzistoru jsou spojeny přes kondenzátor.

Výhodou zapojení obvodu pro generování logického signálu podle vynálezu je, že na základě nepřetržité kontroly okamžité hodnoty napájecího napětí generuje logický signál použitelný pro nulování logické

sítě, jež je na toto napájecí napětí připojena.

Příklad zapojení obvodu pro generování logického signálu podle vynálezu je znázorněn schematicky na připojeném výkrese.

Kladná vstupní svorka 1 pro připojení ke kladnému pólu neznázorněného zdroje napájecího napětí je připojena ke kladné výstupní svorce 3 pro připojení na kladnou napájecí svorku neznázorněné logické sítě. Záporná vstupní svorka 2 pro připojení k zápornému pólu zdroje napájecího napětí je připojena k záporné výstupní svorce 4 pro připojení na zápornou napájecí svorku logické sítě. Ke kladné vstupní svorce 1 je připojena anoda diody D, jejíž katoda je připojena na katodu Zenerovy diody ZD. Anoda Zenerovy diody ZD je připojena jednak přes první odpor R1 na zápornou vstupní svorku 2, jednak přes druhý odpor R2 na bázi prvního tranzistoru T1 typu npn. Kolektor prvního tranzistoru T1 je připojen jednak na bázi druhého tranzistoru T2, jednak přes třetí odpor R3 na kladnou vstupní svorku 1, kdežto jeho emitor na zápornou vstupní svorku 2. Kolektor druhého tranzistoru T2 je připojen jednak přes čtvrtý odpor R4 na kladnou vstupní svorku 1, jednak na nulovací výstupní svorku 5 pro připojení na nulovací vstup logické sítě, kdežto jeho emitor je připojen na zápornou vstupní svorku 2.

Kolektor a emitor druhého tranzistoru T2 jsou spojeny přes kondenzátor C. Při použití tranzistorů typu pnp se přizpůsobí polarita napájecího napětí a polarita Zenerovy diody ZD.

Zenerova dioda ZD hlídá velikost napájecího napětí. Její spínací napětí je přibližně rovno minimálnímu povolenému napájecímu napětí, od kterého se odečte úbytek napětí na přechodu báze — emitor prvního tranzistoru T1 a úbytek napětí na druhém odporu R2. Velikost spínacího napětí Zenerovy diody ZD lze nastavit zařazením jedné nebo více diod D do série se Zenerovou diodou ZD. Dokud je napájecí napětí nižší než povolená minimální hodnota, Zenerova dioda ZD nepropustí proud do báze prvního tranzistoru T1 a ten je tedy uzavřen. Na kolektoru prvního tranzistoru T1 je pak napětí, které drží druhý tranzistor T2 v sepnutém stavu. Nulovací výstupní svorka 5 je proto na potenciálu blízkém 0 V a logická síť je tedy nulována. Když napájecí napětí dosáhne hodnoty správného napájení logické sítě, Zenerovou diodou ZD začne protékat proud do báze prvního tranzistoru T1.

První tranzistor T1 sepne, čímž se uzavře druhý tranzistor T2. Tak se na nulovací výstupní svorce 5 objeví úroveň logické jedničky a nulování logické sítě se ukončí. Při poklesu napájecího napětí pod povolenou mez se Zenerova dioda ZD uzavře a uzavře

se rovněž první tranzistor T1. Druhý tranzistor T2 sepne, takže na nulovací výstupní svorce 5 se objeví okamžitě úroveň logické nuly. Logická síť je tedy nulována. Teprve po zvýšení napájecího napětí nad minimální povolenou hodnotu se opakuje děj ukončující nulování. Pro případ potřeby delšího nulovacího impulsu slouží kondenzátor

C. Ukončení nulovacího impulsu. pak nenastane okamžitě po zvýšení napájecího napětí na správnou hodnotu, nýbrž se zpozdí o dobu nabití kondenzátoru C.

Vynálezu lze použít v oboru výpočetní, záznamové, regulační a podobné techniky, u nichž se používá logických obvodů.

PŘEDMĚT VYNÁLEZU

1. Zapojení obvodu pro generování logického signálu, vyznačené tím, že vstupní svorka (1) první polarity zdroje napájecího napětí je připojena k výstupní svorce (3) téže polarity zdroje napájecího napětí, vstupní svorka (2) druhé polarity zdroje napájecího napětí je připojena k výstupní svorce (4) téže polarity zdroje napájecího napětí, ke vstupní svorce (1) první polarity zdroje napájecího napětí je připojena první elektroda Zenerovy diody (ZD), jejíž druhá elektroda je připojena jednak přes první odpor (R1) na vstupní svorku (2) druhé polarity zdroje napájecího napětí, jednak přes druhý odpor (R2) na bázi prvního tranzistoru (T1), kolektor prvního

tranzistoru (T1) je připojen jednak na bázi druhého tranzistoru (T2), jednak přes třetí odpor (R3) na vstupní svorku (1) první polarity zdroje napájecího napětí, kdežto jeho emitor na vstupní svorku (2) druhé polarity zdroje napájecího napětí, kolektor druhého tranzistoru (T2) je připojen jednak přes čtvrtý odpor (R4) na vstupní svorku (1) první polarity zdroje napájecího napětí, jednak na nulovací výstupní svorku (5), kdežto jeho emitor na vstupní svorku (2) druhé polarity zdroje napájecího napětí.

2. Zapojení podle bodu 1, vyznačené tím, že kolektor a emitor druhého tranzistoru (T2) jsou spojeny přes kondenzátor (C).

