

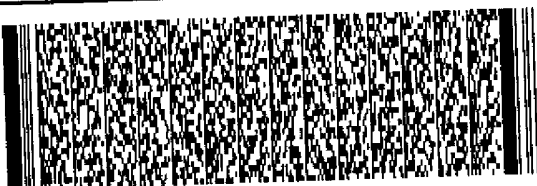
申請日期: 89. 5. 5	案號: 88119776	89年5月5日 修正 補充
類別: G11C 2/00, G01R 3/28		

(以上各欄由本局填註)

發明專利說明書

440859

一、 發明名稱	中文	用於映射邏輯積體電路的邏輯功能測試數據至實體表現之積體電路測試軟體系統
	英文	IC TEST SOFTWARE SYSTEM FOR MAPPING LOGICAL FUNCTIONAL TEST DATA OF LOGIC INTEGRATED CIRCUITS TO PHYSICAL REPRESENTATION
二、 發明人	姓名 (中文)	1. 史密斯, 夏恩 2. 布萊其德雷 哈利 3. 派克, 傑森 4. 瓦特司 布特樂, 史利芬尼
	姓名 (英文)	1. SMITH, SHAWN 2. BALACHANDRAN HARI 3. PARKER, JASON 4. WATTS BUTLER, STEPHANIC
	國籍	1. 美國 2. 印度 3. 美國 4. 美國
	住、居所	1. 美國德州奧斯汀市南摩沛克路2001號 2. 美國德州亞林市福克斯葛倫路2011號 3. 美國德州寇普爾市皮亞路307號 4. 美國德州利查德森市溫特帕克路4700號
三、 申請人	姓名 (名稱) (中文)	1. 美商耐特技術公司 2. 美商德州儀器公司
	姓名 (名稱) (英文)	1. KNIGHTS TECHNOLOGY, INC. 2. TEXAS INSTRUMENTS INCORPORATED
	國籍	1. 美國 2. 美國
	住、居所 (事務所)	1. 美國加州太陽谷市北沃夫路155號 2. 美國德州達拉斯市梅爾史特遜邱吉爾路7839號
	代表人 姓名 (中文)	1. 瑪麗 柯恩 2. 威廉 B. 坎普樂
	代表人 姓名 (英文)	1. MARY KORN 2. WILLIAM B. KEMPLER



本案已向

國(地區)申請專利

美國 US

申請日期

1998/11/13 09/192,164

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明背景

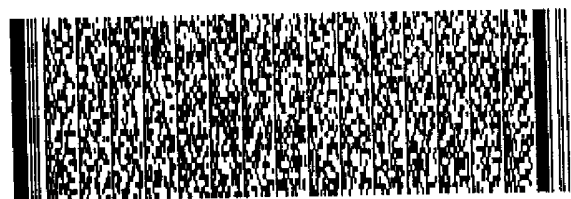
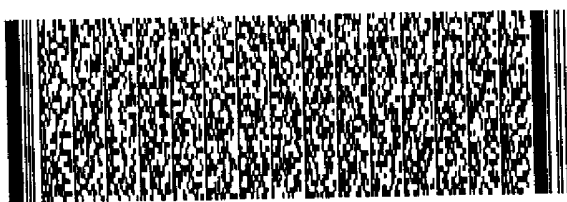
1. 發明範疇

本發明與積體電路(IC)晶片測試軟體系統有關。

2. 技藝描述

數位半導體晶片可能分成兩種主要種類，記憶體晶片及邏輯晶片。微處理器就是一種邏輯晶片。具有晶片技能的設計師利用複雜的軟體工具設計數位半導體晶片。因為測試此類晶片非常困難，所以已出現名為測試設計(Design For Test ; DFT)的領域。DFT技術涉及晶片中一個或一個以上的「掃描鏈」(scan chains)的設計，其中「掃描鏈」可能用於讀寫晶片中無法用其他方式讀寫的部份。佈局工具用於在矽上規劃晶片設計。產生的晶片佈局可能以網表的形式表現，即低階設計單元格(cells)的清單，與單元格之間的互相連接。晶片佈局也可能以代表多邊形之多層之實體設計檔案的形式表現。一旦完成設計後，則會將該部份存檔(taped out) (即，將代表晶片的檔案寫入磁帶或磁碟)。此類檔案使用的格式為GDSII格式。然後，掩膜(mask house)成為用於製造晶片的光罩。

記憶體晶片及邏輯晶片都需要生產監視與測試。使用「線內」(in-line)檢驗設備執行生產監視，並使用「線末端」(end-of-line)測試設備執行生產測試。「線內」(in-line)檢驗設備檢驗整個半導體晶圓，而每個半導體晶圓可能已形成上百個的晶片。「線末端」(end-of-line)測試設備在半導體晶圓上執行「貯存排序



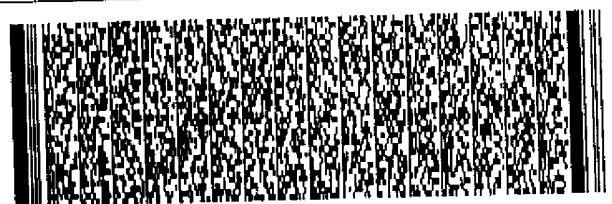
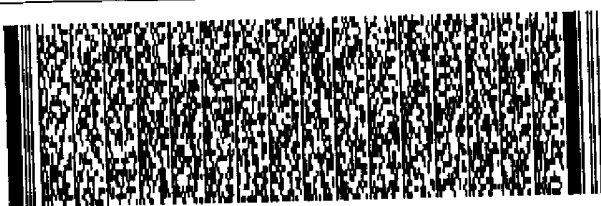
五、發明說明 (2)

功能測試」(binsort functional test)，測試期間將接觸晶片的焊接點(pads)並「試驗」晶片。功能測試結束時，會依據測試結果「存放」(通常放置在電子記錄內不同的種類)零件。

除了生產測試以外是故障分析。於生產(或原型)測試期間偵測到晶片故障之後，故障分析會嘗試鑑定特定晶片設計之晶片故障的原因。故障分析通常可能需要比貯存程式碼(bin code)更多的詳細故障數據。通常藉由重新測試限定數量之封裝零件取得詳細故障資訊。

因為記憶體晶片的結構是規則陣列的記憶體單元格，所以容易適合故障分析。測試記憶體晶片的方式可能是對記憶體晶片進行一系列的讀寫操作。讀/寫測試中的錯誤可能在晶片上可容易識別的位置上標示為可能的實體缺陷。或者，記憶體晶片設計可含有內建自我測試(built-in self-test; BIST)功能性。無論是哪一種情況，會將功能測試結果「位元映射」到記憶體晶片上的故障位置。記憶體位元映射期間，會在晶粒上相當小的實體「跡線」(trace)內將電子故障定位。

圖1顯示依據傳統記憶體位元映射測試的處理流程。晶圓須經過線內(in-line)檢驗(圖1右列)及線末端(end-of-line)測試(圖1左列)。例如，可能利用光學檢驗設備(例如，可向KLA Tencor購買的KLA21xx系列)執行線內(in-line)檢驗。線內(in-line)檢驗產生含有X，Y位置光缺陷資訊的缺陷檔案。然後，可能用任何方便的格式

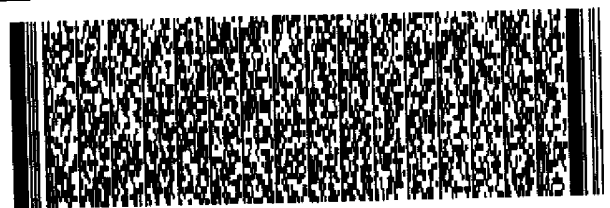
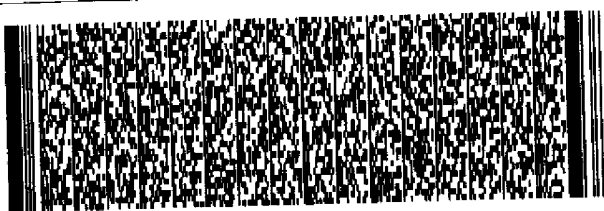


五、發明說明 (3)

(例如，本受讓人的良率管理程式(Yield Manager)工具用的格式Knights Technology)輸出此資訊。線末端(end-of-line)測試是利用測試器執行，有時候將該測試器稱為ATE(Automatic Test Equipment；自動測試設備)。測試器鑑定故障的記憶體位置。此資訊的處理是為了確定X，Y缺陷位置。X，Y缺陷資訊也可能輸出到良率管理程式(Yield Manager)工具。因為良率管理程式(Yield Manager)工具內的「線內」(in-line)及「線末端」(end-of-line)缺陷資訊是用相同的格式，所以可取得組合的缺陷覆蓋(defect overlay)，以便確定「致命缺陷」(killer defects)(使零件無法運作的缺陷)。尤其，如果缺陷與故障位置一致，則可能會假定缺陷是一個致命缺陷(即，故障的直接原因)，然後，在排除故障時，會將焦點鎖定在生產處理程序，而不是鎖定在零件的基本設計。

增加記憶體晶片可測試度的結果是，半導體製造工廠內的良率增強組織長期依賴記憶體晶片對特定一代技術進行除錯。良率增強工程師通常已利用記憶體生產線來監視生產處理程序，並利用相同的技術確保其他邏輯產品的生產線上的良率。針對記憶體晶片的良率增強，已使用線內(in-line)缺陷檢驗工具配合線末端(end-of-line)功能測試位元映射結果。可將記憶體位元映射故障數據進一步概述為故障種類(例如，單位元故障、行故障、或列故障等等)。

故障分析工程師知道記憶體故障座標後，就可利用各種

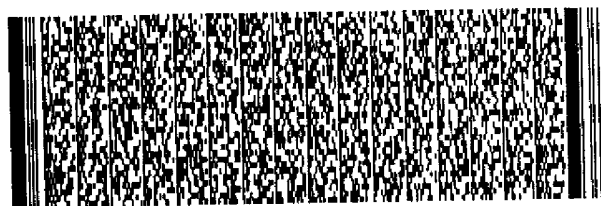
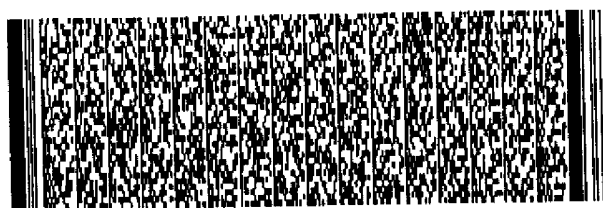


五、發明說明 (4)

「實體回溯處理」(physical deprocessing)方法來鑑定故障的根本原因。工程師可以根據故障種類來判斷生產處理程序過程中發生故障的地點(例如,多晶矽層沈澱步驟、金屬1層沈澱步驟等等)。

但是,近年來,半導體產業內邏輯產品的市場佔有率日益增加,導致產生許多「只生產邏輯產品」的工廠。遺憾的是,沒有「記憶體生產線監視」的優點,「只生產邏輯產品」的工廠無法完全利用產業經過多年發展的良率增強技術。現今,「只生產邏輯產品」工的良率增強工程師與經營記憶體產品工廠的良率增強工程師相比,顯著嚴重缺乏專業技術。迄今,尚未有任何方法可「位元映射」晶片內的邏輯區。另外,邏輯晶片功能測試結果不提供故障晶粒內故障之實體座標的開始點。

最先進的邏輯晶片設計含有掃描測試。掃描測試將晶片的邏輯不動產(real estate)細分許多分離的邏輯鏈,可針對基本功能性分別測試邏輯鏈。掃描測試使故障信號清單可經過鑑定。但是,甚至產生特定晶粒的故障信號清單後,還是無法找到故障的實體位置,這些因為每個故障信號的「邏輯錐」(cone of logic)內可能含有上百個電晶體,並且通常有多故障信號。因此,傳統邏輯晶片良率增強技術非常依賴貯存排序(bin sort)功能測試結果的相關性,以便預測並校正半導體處理問題。此方法具有數項缺點,包括:無法將特定貯存的錯檢(fallout)與懷疑處理層關聯;無法區分預先封裝良率問題與封裝良率問題;無

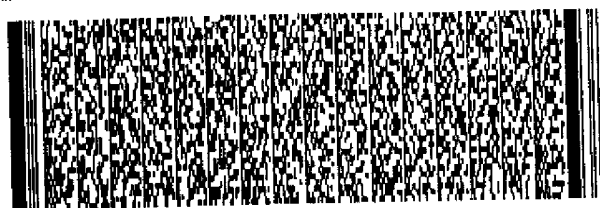
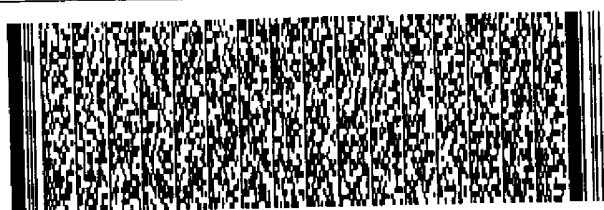


五、發明說明 (5)

法建立大族群故障晶粒之間明確的連結。

圖2顯示故障分析可利用已知的電氣診斷處理程序，藉以取得疑是故障網格(suspected failing nets)的診斷清單。利用測試器測試具有BIST(掃描)功能性的封裝裝置。掃描故障數據會經過轉譯成為ATPG (Automatic Test Pattern Generation; 自動測試模式產生)工具可使用的格式，例如，以前使用的ATPG工具，用以產生測試器使用的測試模式檔案。ATPG工具利用經轉譯的測試數據，再配合測試模式檔案、設定檔案、一個或一個以上的ATGP診斷模型、及來自用以鑑定疑是故障節點(suspected failing nodes)之設計資料庫的設計資訊，以診斷清單(圖3)的形式輸出。

已發展用以輔助故障分析的CAD瀏覽工具。CAD瀏覽涉及在電路佈局顯示內點擊(point and click)的能力，並藉由點擊能力自動將FIB(Focussed Ion Beam; 聚焦離子束)設備之類的設備驅動到晶片上的該位置。CAD瀏覽也允許使用者指定網格名稱，就可顯示對應的佈局。受讓人的Merlin Framework CAD瀏覽工具 - Knights Technology - 即為此類的CAD瀏覽工具。此工具採用網表資訊、佈局資訊、及有關這兩項資訊的互相參照檔案，並產生一致的資料庫，該資料庫是具有高效率索引結構的Knights專利格式。圖4更詳細顯示建立此類Knights資料庫的處理程序。(若須要)將SPICE格式化的網格轉換成適合的網格格式。(若須要)轉換來自原理確認(Schematic

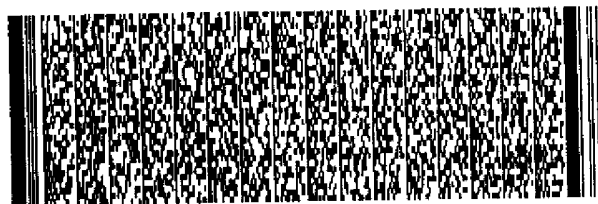


五、發明說明 (6)

Verification) 資料庫的數據，以便取得互相參照網格名稱及數字化網格識別碼的互相參照檔案。(若須要) 將佈局數據轉換成適合的多邊形佈局格式。MMappper 常式利用網表、互相參照檔案、及多邊形佈局檔案，以下列的方式產生適合CAD瀏覽的資料庫。

發明概述

一般而言，本發明利用前述的功能性，決定並顯示對應於網格名稱(net name)的X, Y位置，其方法是將數位邏輯晶片經過模擬模型的功能測試，以便辨識一項以上晶片缺陷網格，並轉譯功能測試數據。對照前述類型的資料庫來處理缺陷網格，以便取得這些網格的X, Y座標，允許缺陷網格成為晶片佈局上的實體跡線(traces)記錄數據。依據一項示範具體實施例，此映射的執行方式是取得功能測試程式的輸出，並將該輸出從故障掃描鏈清單轉譯成疑是存在之網表節點(suspected netlist nodes)清單。然後，辨識疑是存在之網表節點(suspected netlist nodes)的X, Y座標並儲存到資料庫中，提供故障分析與良率增強(yield enhancement)工程師執行故障分析的開始點，並立即知道線內(in-line)檢驗數據是否可說明特定故障。然後，可能針對設計內多光罩層的每一層，從電路設計到晶片佈局進行彼等節點的互相映射。收集詳細的故障數據，並在晶圓階段將故障數據作為綜合程式的一部份儲存，而不是在封裝部份階段的必要基礎。因此，會以完全自動化的方式取得大量的高品質數據，而不是以非常勉強



五、發明說明 (7)

的方式取得少量的低品質數據。

圖式描述

圖1顯示已知的記憶體位元映射處理流程的方塊圖；

圖2顯示已知的電氣診斷處理流程的方塊圖；

圖3顯示從電路分析工具取得之網格/節點清單的範例；

圖4顯示已知適合CAD瀏覽產生資料庫之方法的更詳細流程圖；

圖5顯示根據本發明之邏輯映射(Logic Map)處理流程的方塊圖；

圖6顯示邏輯映射(Logic Map)處理流程的概括表示法；

圖7顯示缺陷數據與邏輯映射故障數據之輪廓圖的放大檢視；

圖8顯示致命(killer)比例圖的範例；

圖9顯示缺陷強度堆疊表(defect intensity stackmap)的範例；

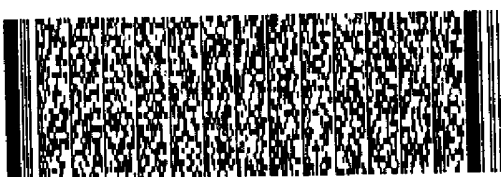
圖10顯示邏輯映射(Logic Map)處理流程的另一種表示法；

圖11顯示根據本發明具體實施例之邏輯映射(Logic Map)系統的圖示；

圖12顯示有助於認識邏輯映射(Logic Map)處理之特定實施範例的更詳細流程圖。

最佳具體實施例詳細說明

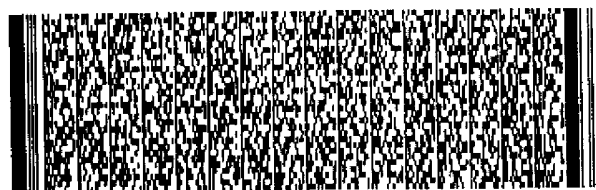
圖5顯示根據邏輯映射(Logic Map)處理程序的處理流程。假定晶圓具有掃描測試功能性。按照上文中有關圖1



五、發明說明 (8)

的說明執行線內(in-line)檢驗。因為晶圓是邏輯產品，而不是記憶體產品，所以基本上難以執行線末端(end-of-line)測試。按照下文中更詳細的說明，線末端(end-of-line)測試會產生「ATE數據紀錄」(ATE datalog)。然後，一項診斷步驟利用ATE數據紀錄及其他的資訊，接著再利用ATPG工具。此診斷步驟產生疑是故障網格(suspected failing nets)的診斷清單。配合設計資訊來處理此項資訊，以確定X，Y缺陷位置。可以用任何想要的格式輸出X，Y缺陷資訊，例如，良率管理程式(Yield Manager)格式。因為「線內」(in-line)及「線末端」(end-of-line)缺陷資訊是用相同的格式，所以可取得組合的缺陷覆蓋(defect overlay)，以便容易確定「致命缺陷」(killer defects)。

本文中稱為邏輯映射(Logic Map)的處理程序將完成故障數據的邏輯到實體轉譯。邏輯映射(Logic Map)可產生故障網表節點(failing netlist nodes)的X，Y座標。圖6顯示邏輯映射(Logic Map)系統中數據流程的概括表示法。邏輯映射(Logic Map)從晶圓級的功能測試開始，用以產生功能測試輸出檔案(例如，ASCII檔案)。一旦取得功能測試輸出檔案後，可能使用已知的方法來後處理功能測試結果，並將功能測試結果轉換成適合輸入到設計診斷模型的故障信號表。有各種提供設計診斷模型的商用電路分析工具。Mentor Graphics的FastScan電路分析工具即為此類型的工具。



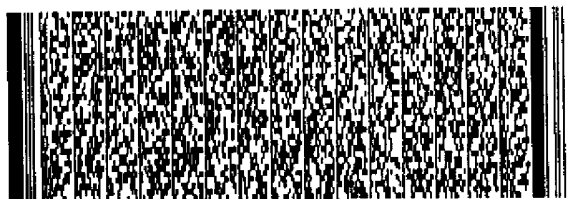
五、發明說明 (9)

轉換的功能測試輸出檔案會輸出到電路分析工具。電路分析工具的功能是產生疑是故障網格(suspected failing nets)清單。圖3顯示此類清單的範例。

運用懷疑之網表向量(suspected netlist vectors)確定故障位置的準確度將視設計診斷模型或模擬模型的適當性而定。需要電路設計師的參與，才能建立準確且效率高的設計模型。在某些情況下，為了要取得疑是故障向量(suspected fail vectors)與電路分析所需時間之間的適當平衡，可能需要修改電路模擬。

在設計角色中，模擬模型預定花費的計算時間與要找到最少數量之疑是故障網表節點(suspected failed netlist nodes)所需之計算時間一樣久。例如，電路設計師執行一故障晶粒的模擬模型時，可能會花費幾分鐘到一小時的時間，才能產生一個或兩個疑是故障向量(suspected failure vectors)。在電路設計與確認中，此項操作方法符合電路分析工具通常扮演的角色。為了使模擬模型適合轉譯生產晶圓工廠內的功能測試數據，產生的懷疑之網表節點(suspected netlist nodes)輸出數據流比電路設計及確認角色更多。為了經由邏輯映射提供即時故障資訊，生產工廠中執行的模擬模型應能夠在一分鐘內診斷故障晶粒，即使表示疑是故障節點(suspected failing nodes)清單將會更大(例如，3到10個節點)。

另外，針對生產用途，允許模擬模型適合以批次模式或背景模式執行。接著，藉此完成測試數據的持續處理，並



五、發明說明 (10)

將結果即時分發到整個企業。

以批次處理操作時，模擬模型的輸出會繼續傳送到轉譯程式，以便轉換成標準缺陷檔案格式。本受讓人Merlin CAD瀏覽機構軟體 - Knights Technology - 提供一個適合的轉譯程式。機構軟體利用晶圓的佈局數據，將疑是故障節點(suspected failing nodes)的輸出數據流轉換成實體位元映射檔案。機構軟體也允許將實體位元映射覆蓋在裝置佈局的上面，作為一項實體跡線(physical trace)，如圖7所顯示。佈局跡線(layout trace)用與光罩一樣大的尺寸顯示。最好將疑是故障網表節點(suspected failing netlist node)每個光罩層跡線(trace)輸出到不同的檔案中，以便建立與線內(in-line)缺陷數據之間準確的關聯性(即，可以將金屬缺陷與金屬光罩上之疑是節點故障跡線(suspected node failing trace)比較)。

可將實體位元映射檔案匯出到各種良率管理工具，例如本受讓人的良率管理程式(Yield Manager)工具。良率管理工具提供各種可視選項，例如，缺陷晶圓映射、位元映射、及圖表。例如，圖8顯示的致命圖表可用來評估缺陷比對邏輯位元映射故障的比例。圖9顯示位元映射故障強度堆疊表(Bitmap failure intensity stackmaps)的範例，可用來建議容許故障的佈局區。

若須要，可將位元映射數據輸出成各種標準格式之缺陷數據的任一種格式，例如，KLA格式、ESDS格式、等等。

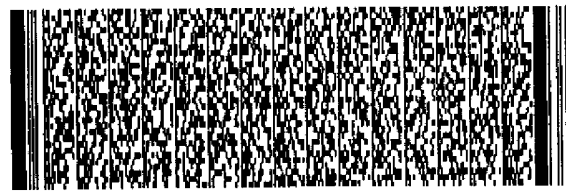
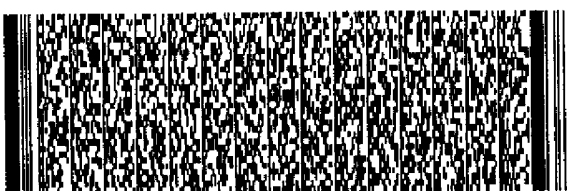


五、發明說明 (11)

在此方法中，可能用共同的格式來收集邏輯映射數據及線內測試數據，以利進一步處理。

圖10顯示邏輯映射(Logic Map)處理流程的另一種表示法。每項晶粒測試的數據紀錄會傳送到伺服器(例如，執行Fastscan、Sunrise等之類之ATPG套裝軟體的Unix伺服器)。如果晶片遇到基本故障，則無法使用為該晶片取得的數據紀錄。但是，通常可以使用數據紀錄的一大部份。伺服器將這些數據紀錄轉譯成適當的模擬格式。邏輯映射(Logic Map)利用轉譯後的數據紀錄及設計數據來產生故障網表節點(failing netlist nodes)的X，Y座標。如下文中更完整的說明，邏輯映射程式使用的設計數據可包括(例如)從GDSII佈局檔案的輸入、網表數據(netlist data)、及LVS (Layout Versus Schematic；佈設與原理圖對照)數據。取得X，Y座標數據後，故障分析及良率分析就可使用X，Y座標數據。鑑於故障分析通常寧願是特別長的處理程序，而良率分析具有即時數據需求。如下文所述，邏輯映射(Logic Map)處理程序可滿即時數據需求。

圖11顯示根據本發明具體實施例之邏輯映射(Logic Map)系統的圖示。如上文中有關圖10的說明，每項晶粒測試的數據紀錄會傳送到伺服器(例如，執行Fastscan、Sunrise等之類之ATPG套裝軟體的Unix伺服器)，由該伺服器將數據紀錄轉譯成適當的模擬格式。邏輯映射(Logic Map)利用轉譯後的數據紀錄及設計數據來產生故障網表節點(failing netlist nodes)的X，Y座標。此資訊可能儲

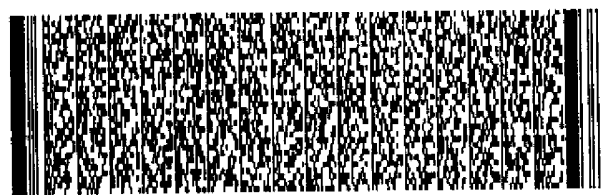
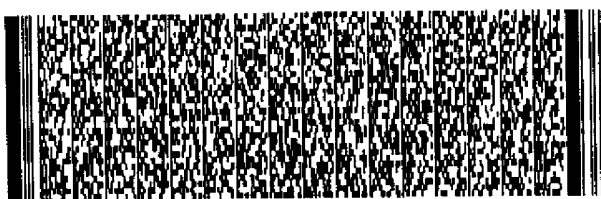


五、發明說明 (12)

存在良率管理工具的資料庫中，例如，Knights Technology的良率管理程式(Yield Manager)工具。

邏輯映射(Logic Map)轉譯程式將收到的診斷清單轉換成標準缺陷數據格式。產生之診斷數據與良率管理程式(Yield Manager)資料庫內的線內(in-line)檢驗數據組合在一起。在示範性具體實施例中，良率管理程式(Yield Manager)資料庫是用於覆蓋線內(in-line)缺陷數據及邏輯映射(Logic Map)數據。一旦線內(in-line)缺陷數據及邏輯映射(Logic Map)數據以共同格式存放到共同的資料庫中後，在高位(例如，Windows NT)PCs YM上執行之良率管理程式(Yield Manager)用戶端之類的用戶端軟體用各種方式來顯示數據，例如，晶圓映射、圖表、及佈局等等。此外，可能以各種檔案格式將數據匯出，以利數據分享。

如上文所述，一旦故障網表跡線(failing netlist trace)轉換成標準缺陷數據格式後，就可取得許多覆蓋(overlay)及可視輔助工具。可根據從缺陷(線內)到邏輯映射程式(Logic Mapper)跡線(trace)上任何一點之使用者定義的鄰近半徑範圍，執行缺陷匹配(defect matching)。良率管理工具可用於預先過濾缺陷數據，以便在匹配之前，先排除「討厭的」缺陷。可將具有產品關聯選中(product-correlated hits)的缺陷匯回CAD瀏覽機構，以利(例如)FIB(Focussed Ion Beam；聚焦離子束)瀏覽及回溯處理。可將選中的缺陷有選擇地分析成一群組，



五、發明說明 (13)

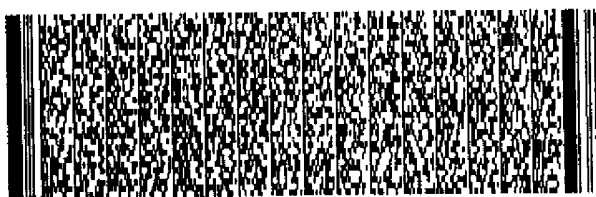
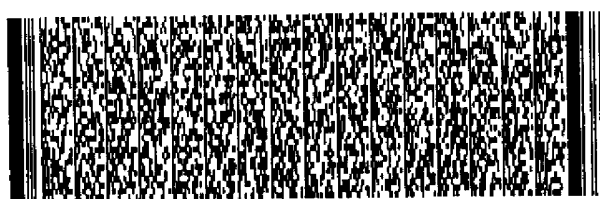
以確定最可能無可挽回的缺陷類型，並決定缺陷大小或強度分配之類的重要差別。結果將產生如何使用測試數據的新範型。

範例

邏輯映射(Logic Map)是在Texas Instruments生產線上實施。圖12顯示特定實施的詳細數據。圖12的編排方式是，中間列代表執行的操作，左右兩列代表數據(或程式)輸入。圖12的上半部與電氣診斷流程有關。請注意，與傳統的電氣診斷流程(圖2)相比，圖12中是測試晶圓，而不是測試封裝裝置。將修改測試程式，以便取得詳細的故障數據，而不取得如傳統生產線上簡單的「可用/不可用」數據。將針對每種裝置類型發展晶粒解碼表及解碼轉譯程式，以確保與晶圓上特定晶粒關聯的測試數據可映射到良率管理程式(Yield Manager)資料庫內正確的晶粒座標。

圖12的下半部份與邏輯映射(Logic Map)處理流程有關。將診斷數據轉譯成多邊形檔案產生器可讀取的格式。多邊形檔案產生器讀取轉譯後的診斷數據，並對照先前取得的資料庫(圖4)來處理診斷數據，以便產生多邊形檔案。接著，可轉譯這些多邊形檔案，以取得所要格式的標準缺陷檔案。

顯而易見，對於熟知技藝的人士而言，可用其他的形式將本發明具體化，而不會脫離本發明範圍或基本特性。因此，目前揭示之具體實施例的所有觀點是用於解說，而不是限制。本發明的範疇是由隨附的申請專利範圍指示，而



五、發明說明 (14)

不是前文中的說明，而本發明等效的裝置及範圍內的所有更改都包含在本發明範疇內。

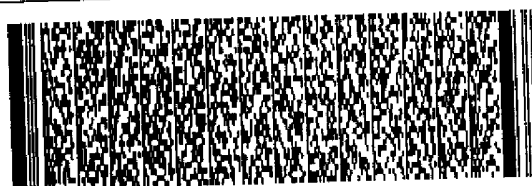
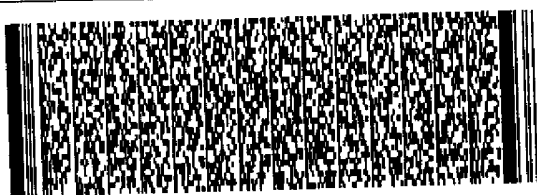


四、中文發明摘要 (發明之名稱：用於映射邏輯積體電路的邏輯功能測試數據至實體表現之積體電路測試軟體系統)

道線內(in-line)檢驗數據是否可說明特定故障。然後，可針對設計內多個光罩層的每一層，將這些節點從電路設計映射到晶片佈局。詳細的故障數據在晶圓階段予以收集並儲存為綜合程式的一部份，而不是在封裝部份階段於需要時才予以收集儲存。因此，會以完全自動化的方式取得大量的高品質數據，而不是以非常耗費人力的方式取得相對上少量的低品質數據。

英文發明摘要 (發明之名稱：IC TEST SOFTWARE SYSTEM FOR MAPPING LOGICAL FUNCTIONAL TEST DATA OF LOGIC INTEGRATED CIRCUITS TO PHYSICAL REPRESENTATION)

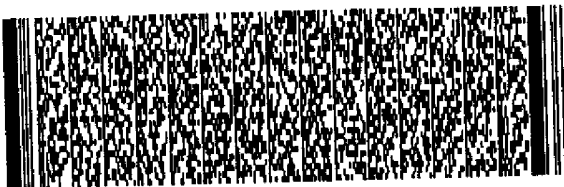
layout. In accordance with an exemplary embodiment, this mapping is performed by taking the output from a functional tester and translating it from a list of failed scan chains into a list of suspected netlist nodes. The X,Y coordinates of suspected netlist nodes are then identified and stored in a database, providing failure analysis and yield enhancement engineers a starting point for performing failure analysis and for immediately understanding whether "in-line"



四、中文發明摘要 (發明之名稱：用於映射邏輯積體電路的邏輯功能測試數據至實體表現之積體電路測試軟體系統)

英文發明摘要 (發明之名稱：IC TEST SOFTWARE SYSTEM FOR MAPPING LOGICAL FUNCTIONAL TEST DATA OF LOGIC INTEGRATED CIRCUITS TO PHYSICAL REPRESENTATION)

inspection data can account for a given failure. These nodes may then be crossmapped from the circuit design onto the chipAEs layout for each of multiple photomask layers within the design. Detailed failure data is gathered and stored at the wafer stage as part of a comprehensive program rather than on an as-needed basis at the packaged part stage. A voluminous amount of high-quality data is therefore obtained in an entirely automated fashion, as opposed to obtaining a



四、中文發明摘要 (發明之名稱：用於映射邏輯積體電路的邏輯功能測試數據至實體表現之積體電路測試軟體系統)

英文發明摘要 (發明之名稱：IC TEST SOFTWARE SYSTEM FOR MAPPING LOGICAL FUNCTIONAL TEST DATA OF LOGIC INTEGRATED CIRCUITS TO PHYSICAL REPRESENTATION)

comparatively minuscule amount of lesser-quality data in an exceedingly laborious fashion.



六、申請專利範圍

1. 一種用以在半導體積體電路測試過程中自動缺陷定位的方法，係包括下列的步驟：

測試積體電路，以取得一般故障數據；

將一般故障數據輸入到電路分析工具；

從電路分析取得第一筆找到的可能缺陷數據；

執行積體電路的線內(in-line)檢驗，以便取得第二筆找到的可能缺陷數據；以及

使第一筆及第二筆找到的可能缺陷數據互相關聯。

2. 如申請專利範圍第1項的方法，其中將一般故障數據輸入到電路分析工具的步驟，及從電路分析取得第一筆找到的可能缺陷數據的步驟實質上連續用至少一程式化的電腦來執行。

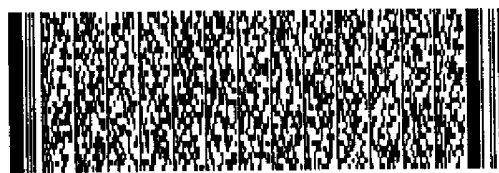
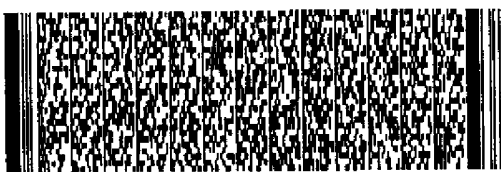
3. 如申請專利範圍第1項的方法，其中使第一筆及第二筆找到的可能缺陷數據互相關聯的步驟包括：產生第一筆及第二筆找到之可能缺陷數據的可視輪廓圖(overlay)。

4. 如申請專利範圍第1項的方法，其中積體電路是具有內建自我測試(built-in self-test; BIST)能力的邏輯電路。

5. 如申請專利範圍第1項的方法，其中一般故障數據是利用積體電路的線末端(end-of-line)測試取得的數據。

6. 如申請專利範圍第5項的方法，其中積體電路的測試是用晶圓形式。

7. 如申請專利範圍第1項的方法，其中從電路分析取得第一筆找到的可能缺陷數據包括：



六、申請專利範圍

對照處理的邏輯缺陷數據來建立資料庫，以便取得實體缺陷數據；以及

對照該資料庫來處理邏輯缺陷數據，以便取得實體缺陷數據。

8. 如申請專利範圍第7項的方法，其中建立資料庫包括將設計資訊從第一格式轉譯成第二格式。

9. 一種用以測試半導體積體電路的系統，包括：

一電路分析工具；以及

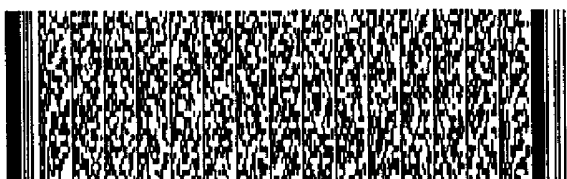
一些自動化裝置：

提供電路分析工具一般故障數據；

從電路分析取得找到的可能缺陷數據；

以標準格式表示找到的可能缺陷數據；以及

將找到的可能缺陷數據儲存到多用戶端機器可存取的資料庫伺服器。



圖式

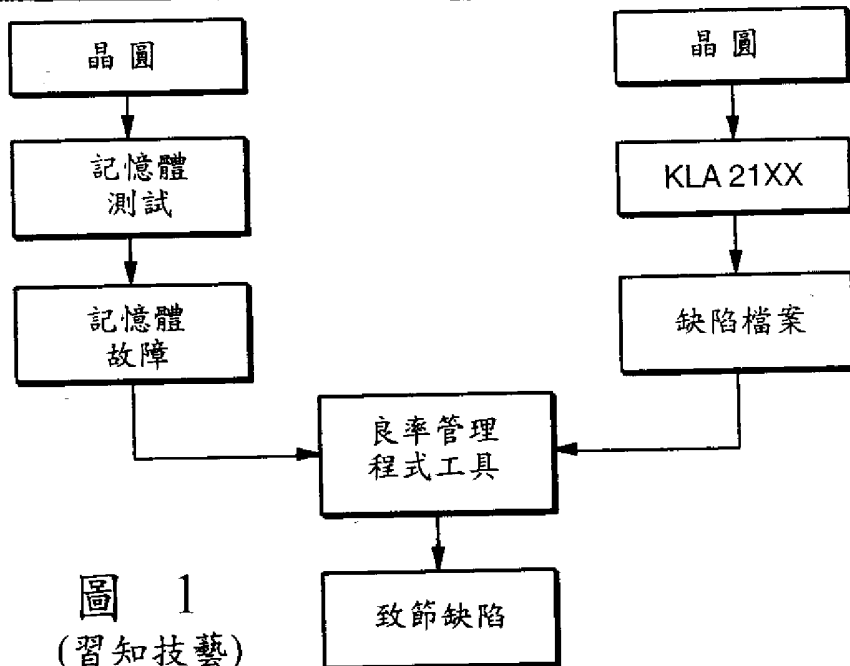


圖 1
(習知技藝)

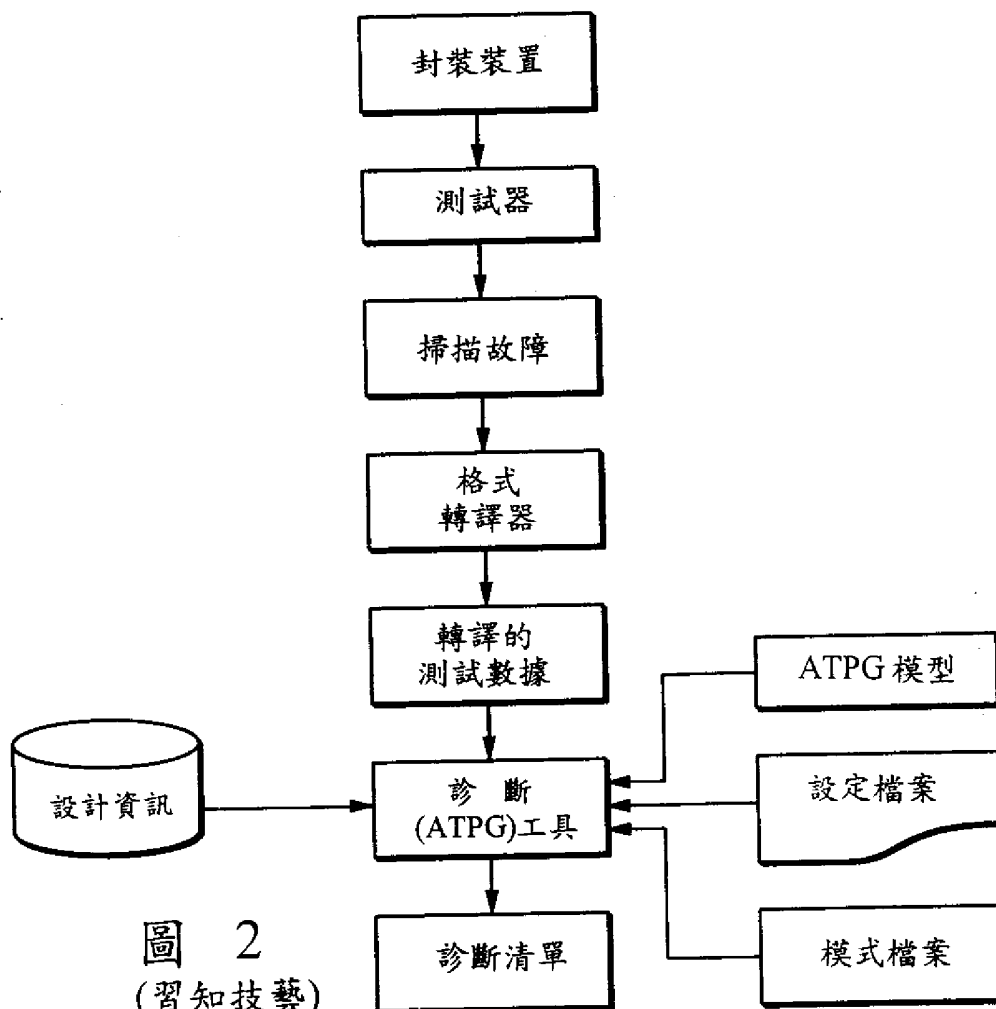


圖 2
(習知技藝)

圖式

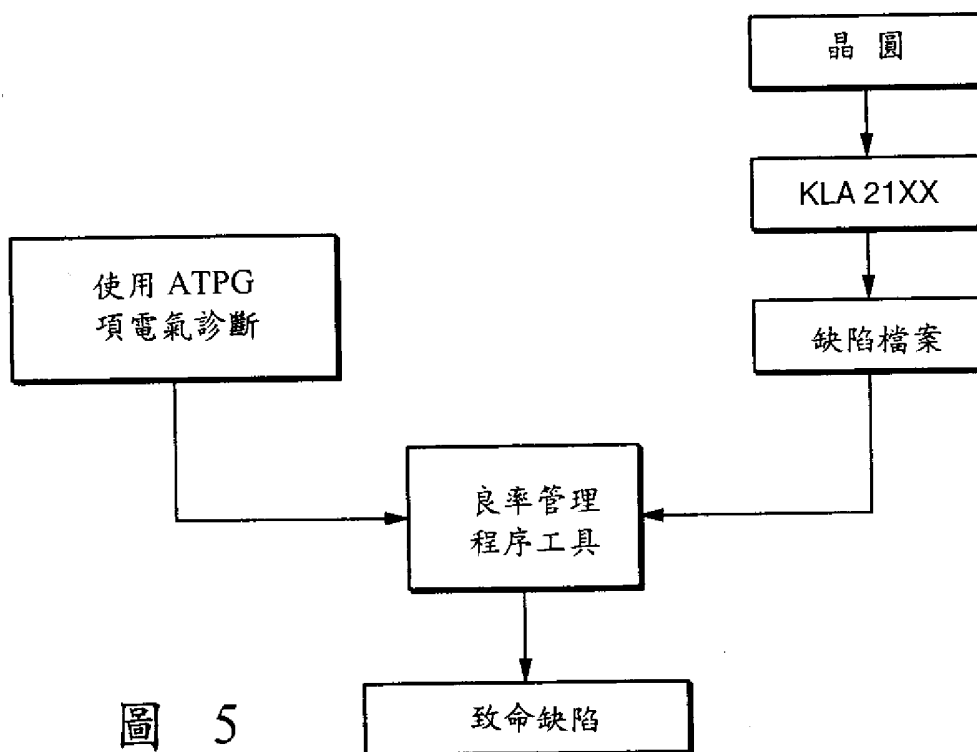
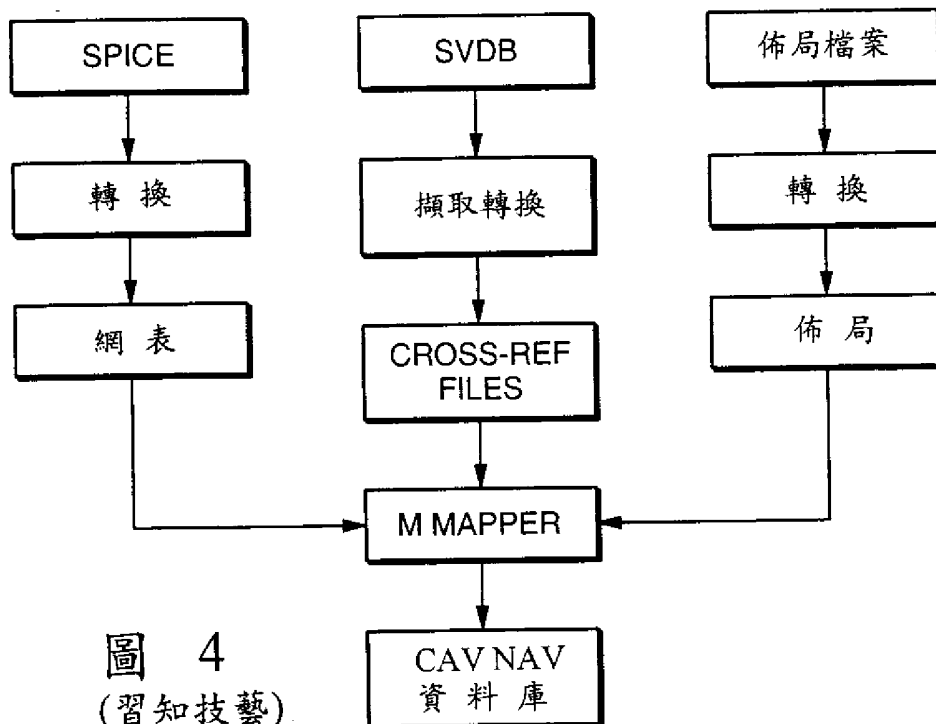
```

DeviceID = DEMOID
LotID = TESTLOT01
WaferID = 01
DIE = -4,0
datalog.scan.10 diagnosis summary, #failing_patterns=9 #defects=2
#unexplained_fails=2
unexplained_patterns = 212 250
-----
fault candidates for defect 1, #failing_patterns_explained=5
-----
Warning: Fault candidates will cause passing patterns to fail.
failing_patterns explained = 322 706 738 770
type   code   pin_pathname
-----
1   DS   /XTIO_0/XTTLI8_1612/N2_23
1   DS   /PI9
-----
diagnosis CPU time = .68 sec

```

圖 3
(習知技藝)

圖式



圖式

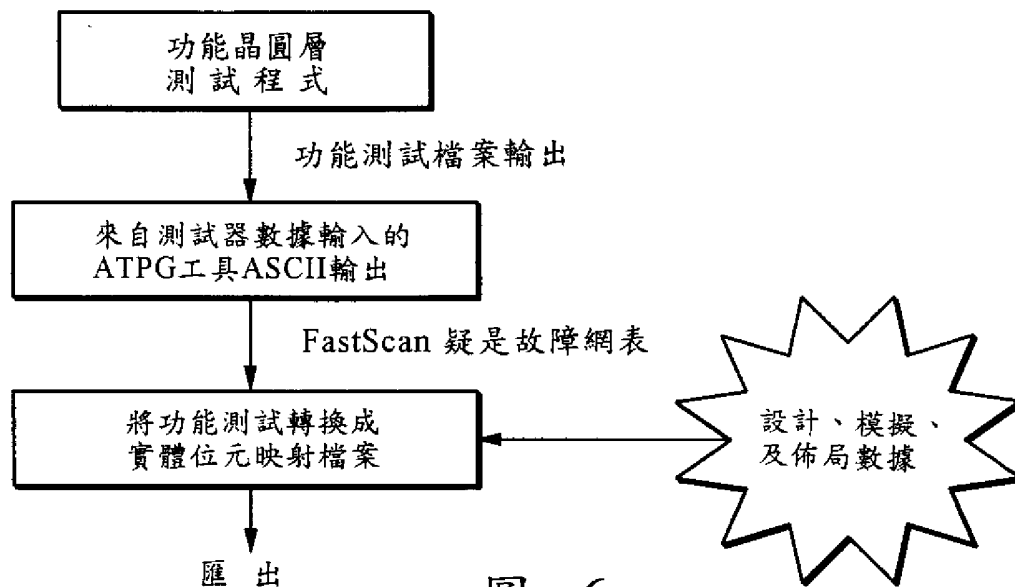


圖 6

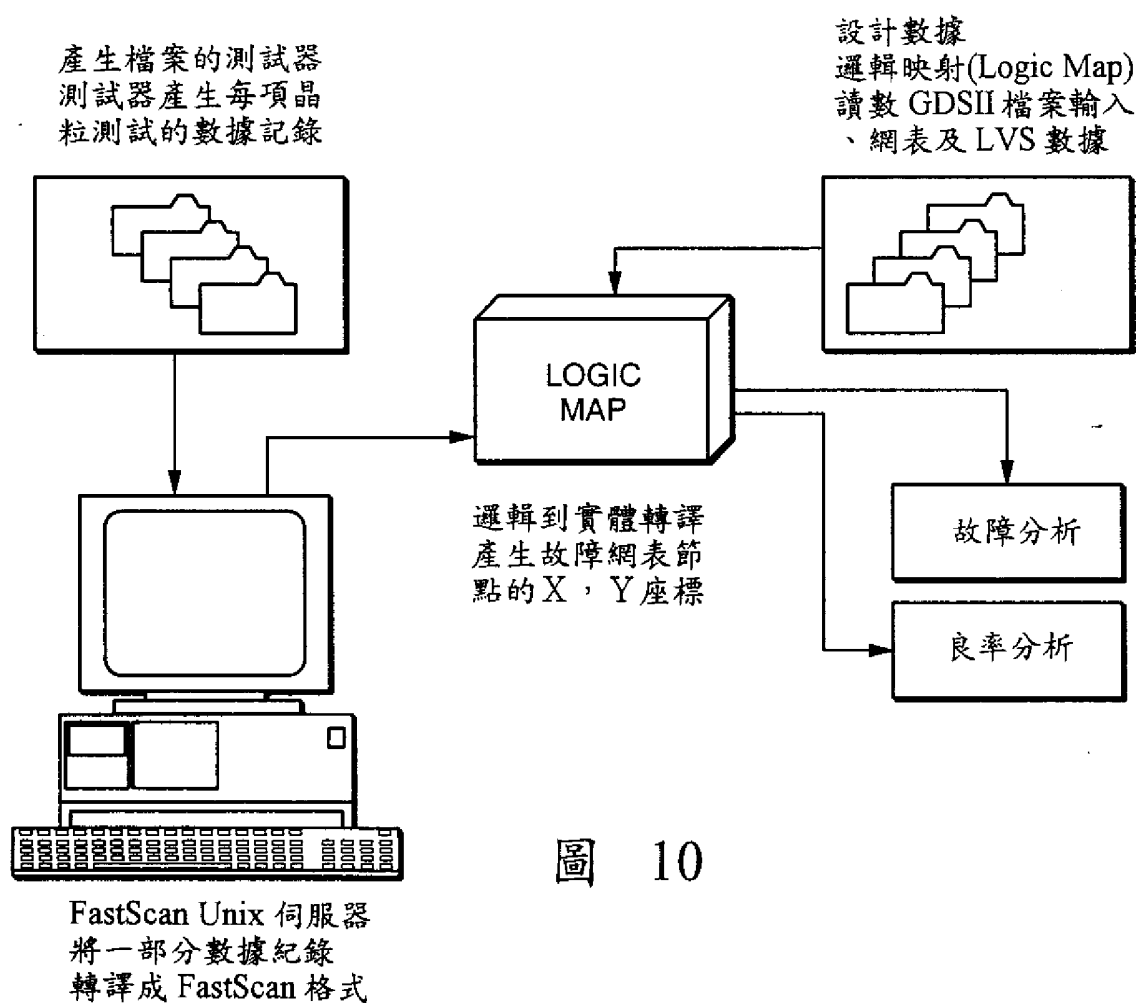


圖 10

圖式

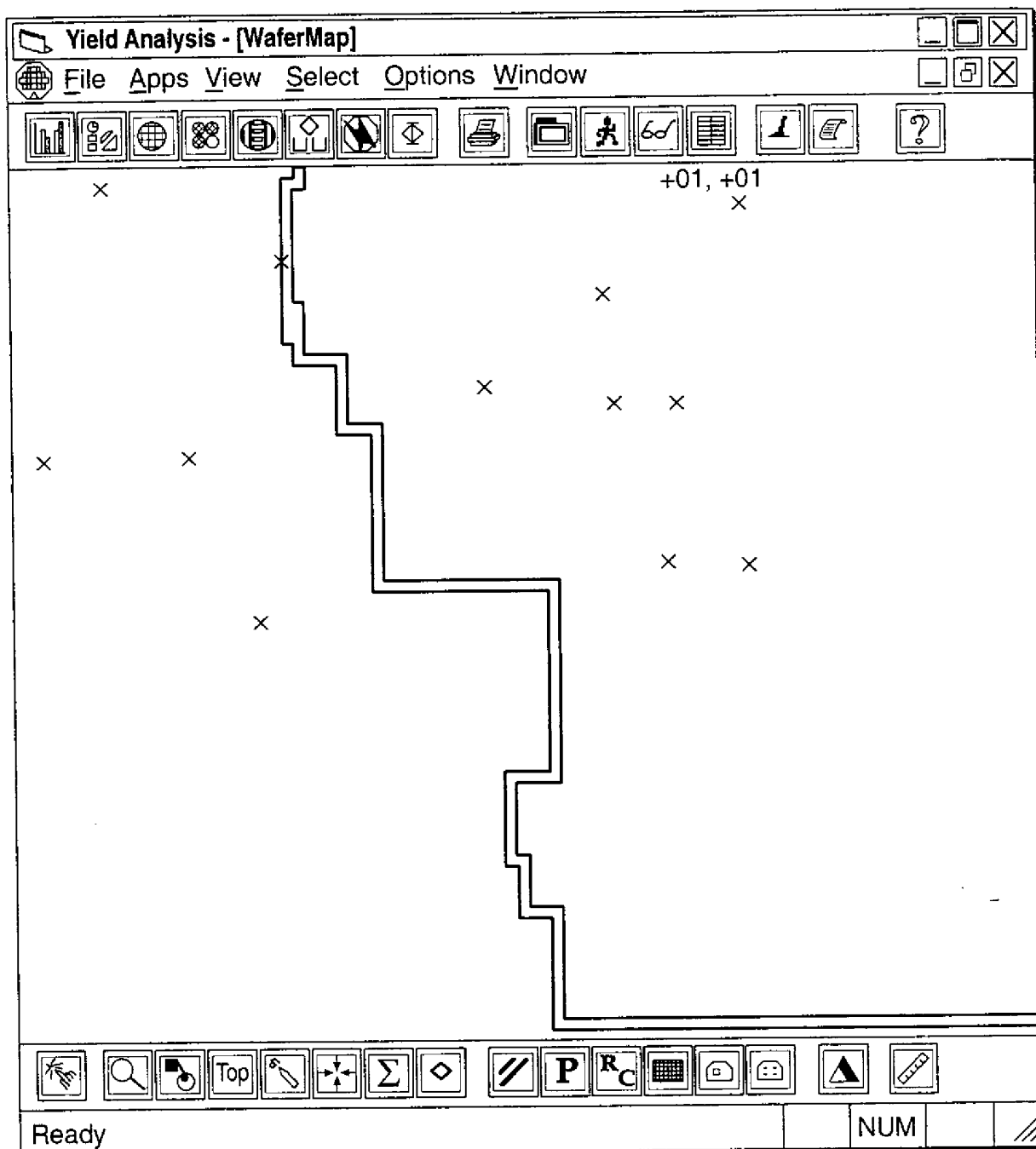
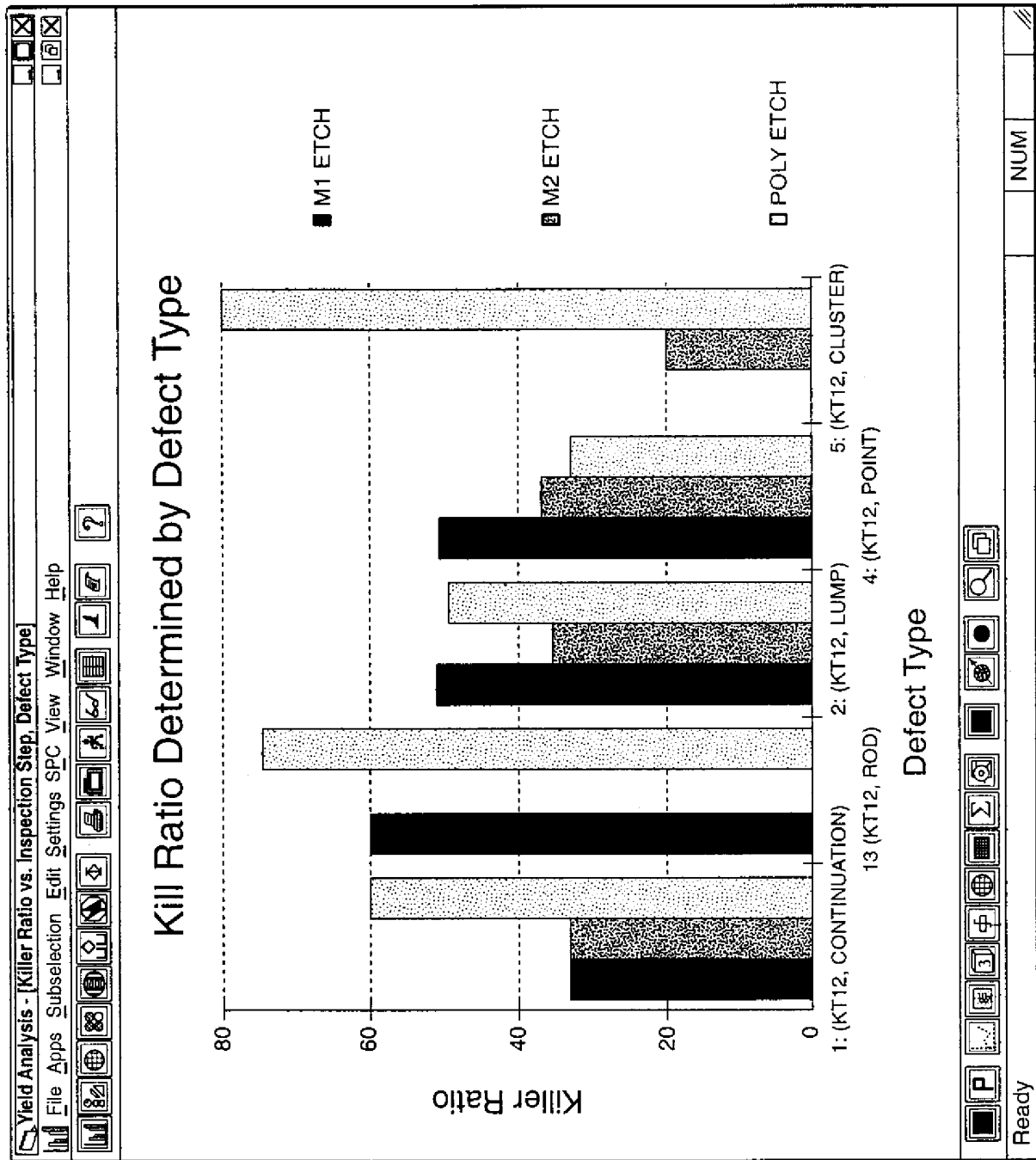


圖 7

図式



圖式

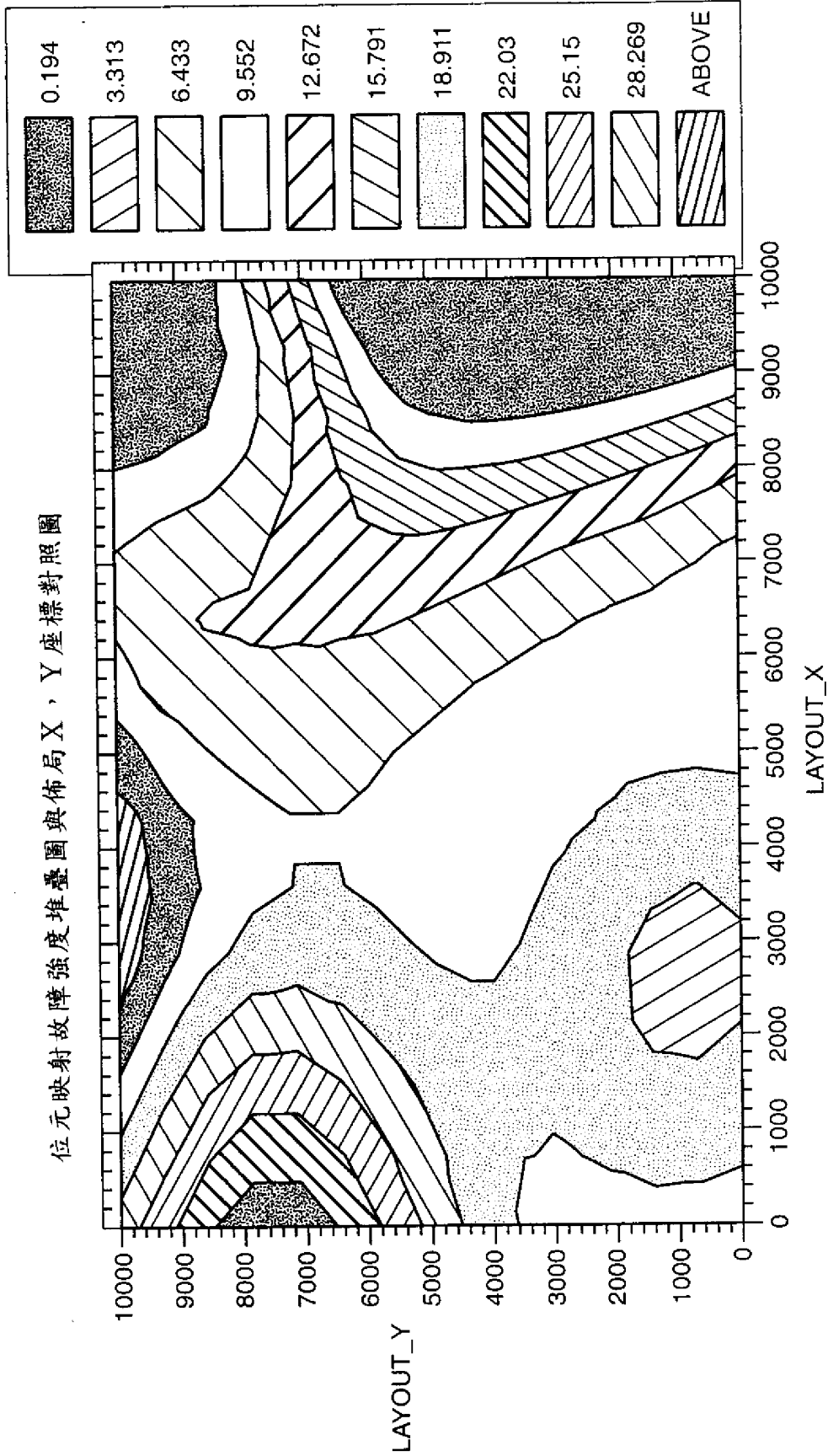


圖 9

圖式

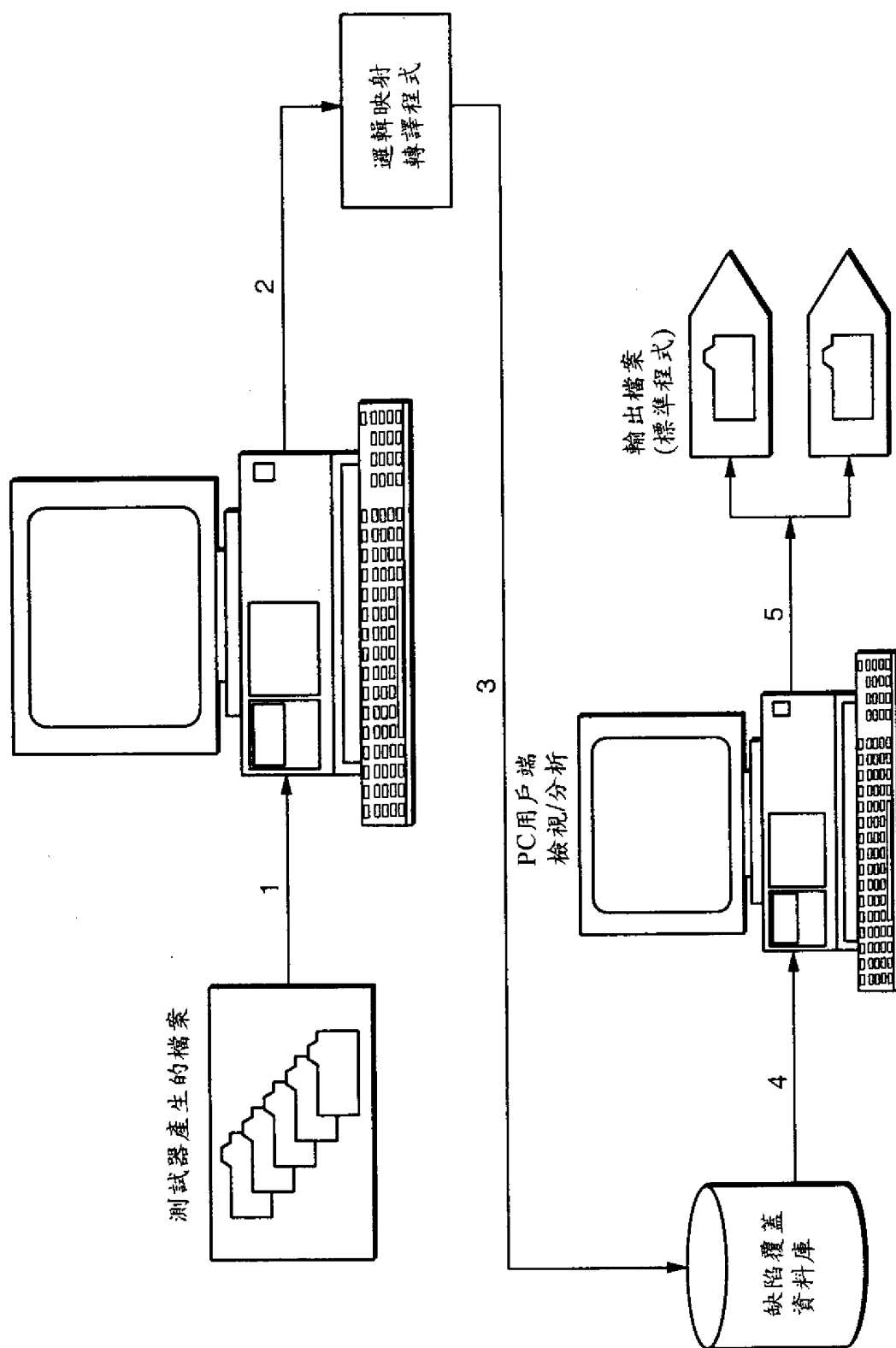
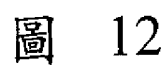


圖 11



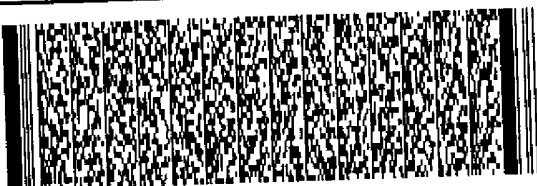
申請日期: 89. 5. 5	案號: 88119776	89年5月5日 修正 補充
類別: G11C 2/00, G01R 3/28		

(以上各欄由本局填註)

發明專利說明書

440859

一、 發明名稱	中文	用於映射邏輯積體電路的邏輯功能測試數據至實體表現之積體電路測試軟體系統
	英文	IC TEST SOFTWARE SYSTEM FOR MAPPING LOGICAL FUNCTIONAL TEST DATA OF LOGIC INTEGRATED CIRCUITS TO PHYSICAL REPRESENTATION
二、 發明人	姓名 (中文)	1. 史密斯, 夏恩 2. 布萊其德雷 哈利 3. 派克, 傑森 4. 瓦特司 布特樂, 史利芬尼
	姓名 (英文)	1. SMITH, SHAWN 2. BALACHANDRAN HARI 3. PARKER, JASON 4. WATTS BUTLER, STEPHANIC
	國籍	1. 美國 2. 印度 3. 美國 4. 美國
	住、居所	1. 美國德州奧斯汀市南摩沛克路2001號 2. 美國德州亞林市福克斯葛倫路2011號 3. 美國德州寇普爾市皮亞路307號 4. 美國德州利查德森市溫特帕克路4700號
三、 申請人	姓名 (名稱) (中文)	1. 美商耐特技術公司 2. 美商德州儀器公司
	姓名 (名稱) (英文)	1. KNIGHTS TECHNOLOGY, INC. 2. TEXAS INSTRUMENTS INCORPORATED
	國籍	1. 美國 2. 美國
	住、居所 (事務所)	1. 美國加州太陽谷市北沃夫路155號 2. 美國德州達拉斯市梅爾史特遜邱吉爾路7839號
	代表人 姓名 (中文)	1. 瑪麗 柯恩 2. 威廉 B. 坎普樂
	代表人 姓名 (英文)	1. MARY KORN 2. WILLIAM B. KEMPLER



本案已向

國(地區)申請專利

美國 US

申請日期

1998/11/13 09/192,164

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無

