

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 12 月 24 日 (24.12.2020)



(10) 国际公布号
WO 2020/252955 A1

(51) 国际专利分类号:
H01L 21/336 (2006.01) **H01L 29/786** (2006.01)

(21) 国际申请号: PCT/CN2019/106631

(22) 国际申请日: 2019 年 9 月 19 日 (19.09.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910536649.8 2019 年 6 月 20 日 (20.06.2019) CN

(71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

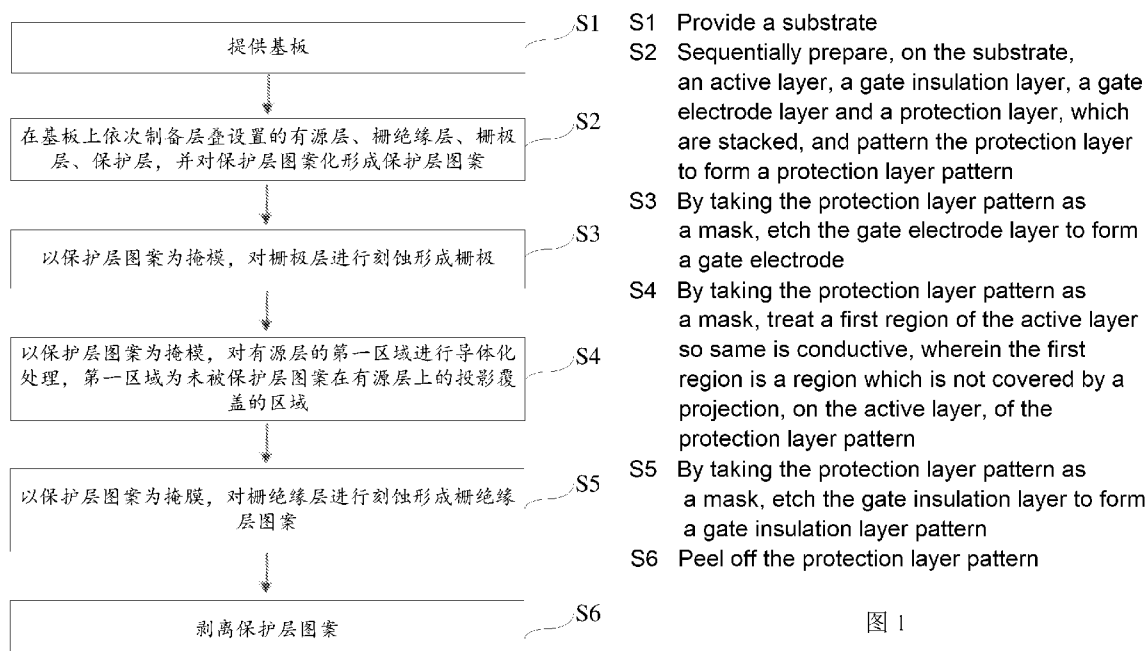
(72) 发明人: 章 仟 益 (ZHANG, Qianyi); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: ARRAY SUBSTRATE PREPARATION METHOD AND ARRAY SUBSTRATE PREPARATION SYSTEM

(54) 发明名称: 阵列基板的制备方法和制备系统



(57) Abstract: An array substrate preparation method and an array substrate preparation system. The preparation method comprises: providing a substrate (S1); preparing an active layer, a gate insulation layer, a gate electrode layer and a protection layer on the substrate, and carrying out patterning to form a protection layer pattern (S2); by taking the protection layer pattern as a mask, etching the gate electrode layer to form a gate electrode (S3); treating a first region of the active layer so same is conductive, and etching the gate insulation layer to form a gate insulation layer pattern (S4-S5); and peeling off the protection layer pattern (S6). The method makes a position that has been made conductive more accurate.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种阵列基板的制备方法和制备系统, 制备方法包括: 提供基板(S1); 在基板上制备有源层、栅绝缘层、栅极层、保护层, 并图案化形成保护层图案(S2); 以保护层图案为掩模, 对栅极层进行刻蚀形成栅极(S3); 对有源层的第一区域进行导体化处理, 对栅绝缘层进行刻蚀形成栅绝缘层图案(S4-S5); 剥离保护层图案(S6)。上述方法使导体化位置更精准。

阵列基板的制备方法和制备系统

技术领域

[0001] 本申请涉及显示技术领域，尤其涉及一种阵列基板的制备方法和制备系统。

背景技术

[0002] 现有的顶栅结构薄膜晶体管，一般在形成栅极及栅极绝缘层图形后，再对有源层导体化来形成源漏极的欧姆接触层。

[0003] 导体化工艺在栅极绝缘层刻蚀后完成，之后进行灰化来去除光刻胶，一方面，灰化过程氧气的使用会导致有源层的导体化效果发生变化，降低与源漏极接触区域的电阻率；另一方面，因采用自对位光罩，导体化区域大小及效果取决于栅极绝缘层，若栅极绝缘层刻蚀均一性出现波动或者干刻横向加大，会使导体化效果变差，影响未被导体化处理的沟道区长度。

[0004] 因此，现有顶栅结构薄膜晶体管存在有源层导体化效果不佳的技术问题，需要改进。

发明概述

技术问题

[0005] 本申请提供一种阵列基板的制备方法和制备系统，以解决现有阵列基板存在的有源层导体化效果不佳的技术问题。

问题的解决方案

技术解决方案

[0006] 为解决上述问题，本申请提供的技术方案如下：

[0007] 本申请提供一种阵列基板的制备方法，包括：

[0008] 提供基板；

[0009] 在所述基板上依次制备层叠设置的有源层、栅绝缘层、栅极层、保护层，并对所述保护层图案化形成保护层图案；

[0010] 以所述保护层图案为掩模，对所述栅极层进行刻蚀形成栅极；

[0011] 以所述保护层图案为掩模，对所述有源层的第一区域进行导体化处理，所述第

一区域为未被所述保护层图案在所述有源层上的投影覆盖的区域；

[0012] 以所述保护层图案为掩膜，对所述栅绝缘层进行刻蚀形成栅绝缘层图案；

[0013] 剥离所述保护层图案。

[0014] 在本申请的阵列基板的制备方法中，所述以所述保护层图案为掩模，对所述有源层的第一区域进行导体化处理，所述第一区域为未被所述保护层图案在所述有源层上的投影覆盖的区域的步骤包括：对所述第一区域进行准分子激光照射。

[0015] 在本申请的阵列基板的制备方法中，所述对所述第一区域进行准分子激光照射的步骤包括：用氟化氩激光进行照射。

[0016] 在本申请的阵列基板的制备方法中，所述对所述第一区域进行准分子激光照射的步骤包括：用氟化氩激光进行照射。

[0017] 在本申请的阵列基板的制备方法中，所述对所述第一区域进行准分子激光照射的步骤包括：用氯化氩激光进行照射。

[0018] 在本申请的阵列基板的制备方法中，所述以所述保护层图案为掩模，对所述有源层的第一区域进行导体化处理，所述第一区域为未被所述保护层图案在所述有源层上的投影覆盖的区域的步骤包括：对所述第一区域进行烘烤。

[0019] 在本申请的阵列基板的制备方法中，所述对所述第一区域进行烘烤的步骤包括：用300°C至350°C温度烘烤。

[0020] 在本申请的阵列基板的制备方法中，所述在所述基板上依次制备层叠设置的有源层、栅绝缘层、栅极层、保护层，并对所述保护层图案化形成保护层图案的步骤包括：在所述栅极层上涂布光刻胶，并对光刻胶图案化。

[0021] 在本申请的阵列基板的制备方法中，所述以所述保护层图案为掩模，对所述栅极层进行刻蚀形成栅极的步骤包括：对所述栅极层采用湿法刻蚀。

[0022] 在本申请的阵列基板的制备方法中，所述以所述保护层图案为掩膜，对所述栅绝缘层进行刻蚀形成栅绝缘层图案的步骤包括：对所述栅绝缘层采用干法刻蚀。

[0023] 在本申请的阵列基板的制备方法中，所述对所述栅绝缘层采用干法刻蚀的步骤包括：对所述栅绝缘层采用增强电容耦合等离子体干刻法刻蚀。

- [0024] 在本申请的阵列基板的制备方法中，所述对所述栅绝缘层采用增强电容耦合等离子体干刻法刻蚀的步骤包括：采用氟系气体和氧气的混合气体进行干法刻蚀。
- [0025] 在本申请的阵列基板的制备方法中，所述在所述基板上依次制备层叠设置的有源层、栅绝缘层、栅极层、保护层，并对所述保护层图案化形成保护层图案的步骤包括：采用物理气相沉积法沉积有源层。
- [0026] 在本申请的阵列基板的制备方法中，在所述采用物理气相沉积法沉积有源层的步骤后还包括：对所述有源层进行图案化。
- [0027] 在本申请的阵列基板的制备方法中，所述在所述基板上依次制备层叠设置的有源层、栅绝缘层、栅极层、保护层，并对所述保护层图案化形成保护层图案的步骤包括：采用化学气相沉积法沉积栅绝缘层。
- [0028] 在本申请的阵列基板的制备方法中，所述在所述基板上依次制备层叠设置的有源层、栅绝缘层、栅极层、保护层，并对所述保护层图案化形成保护层图案的步骤包括：采用化学气相沉积法沉积栅极层。
- [0029] 在本申请的阵列基板的制备方法中，所述在所述基板上依次制备层叠设置的有源层、栅绝缘层、栅极层、保护层，并对所述保护层图案化形成保护层图案的步骤前还包括：在所述基板上形成遮光层，在所述遮光层远离所述基板的一侧形成缓冲层。
- [0030] 在本申请的阵列基板的制备方法中，所述剥离所述保护层图案的步骤后还包括：在所述栅极远离所述栅绝缘层的一侧形成介电层、源极、漏极和钝化层。
- [0031] 本申请还提供一种阵列基板的制备系统，包括：
- [0032] 有源层制备装置，用于在基板上形成有源层；
- [0033] 栅绝缘层制备装置，用于在所述有源层上形成栅绝缘层；
- [0034] 栅极层制备装置，用于在所述栅绝缘层上形成栅极层；
- [0035] 保护层图案形成装置，用于在所述栅极层上形成保护层，并图案化形成保护层图案；
- [0036] 栅极刻蚀装置，用于以所述保护层图案为掩模，对所述栅极层进行刻蚀形成栅极；

[0037] 导体化装置，用于以所述保护层图案为掩模，对所述有源层的第一区域进行导体化处理，其中所述第一区域未被所述保护层图案在所述有源层上的投影覆盖；

[0038] 栅绝缘层刻蚀装置，用于以所述保护层图案为掩膜，对所述栅绝缘层进行刻蚀形成栅绝缘层图案；

[0039] 保护层去除装置，用于剥离所述保护层图案。

[0040] 在本申请的阵列基板的制备系统中，所述导体化装置包括准分子激光照射构件。

发明的有益效果

有益效果

[0041] 本申请提供一种阵列基板的制备方法和制备系统，所述制备方法包括：提供基板；在所述基板上依次制备层叠设置的有源层、栅绝缘层、栅极层、保护层，并对所述保护层图案化形成保护层图案；以所述保护层图案为掩模，对所述栅极层进行刻蚀形成栅极；以所述保护层图案为掩模，对所述有源层的第一区域进行导体化处理，所述第一区域为未被所述保护层图案在所述有源层上的投影覆盖的区域；以所述保护层图案为掩膜，对所述栅绝缘层进行刻蚀形成栅绝缘层图案；剥离所述保护层图案。本申请通过保护层图案为掩膜，透过栅绝缘层对有源层进行导体化工艺，使导体化位置更精准，同时用剥离的方式去除保护层图案，不会导致有源层的电阻率上升。

对附图的简要说明

附图说明

[0042] 为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0043] 图1为本申请实施例提供的阵列基板的制备方法流程图；

[0044] 图2为本申请实施例提供的阵列基板的制备过程中第一阶段的结构示意图；

[0045] 图3为本申请实施例提供的阵列基板的制备过程中第二阶段的结构示意图；

- [0046] 图4为本申请实施例提供的阵列基板的制备过程中第三阶段的结构示意图；
- [0047] 图5为本申请实施例提供的阵列基板的制备过程中第四阶段的结构示意图；
- [0048] 图6为本申请实施例提供的阵列基板的制备过程中第五阶段的结构示意图；
- [0049] 图7为本申请实施例提供的阵列基板的制备过程中第六阶段的结构示意图；
- [0050] 图8为本申请实施例提供的阵列基板的制备过程中第七阶段的结构示意图；
- [0051] 图9为本申请实施例提供的阵列基板的制备过程中第八阶段的结构示意图；
- [0052] 图10为本申请实施例提供的阵列基板的制备过程中第九阶段的结构示意图；
- [0053] 图11为本申请实施例提供的阵列基板的制备过程中第十阶段的结构示意图。

发明实施例

本发明的实施方式

- [0054] 以下各实施例的说明是参考附加的图示，用以例示本申请可用以实施的特定实施例。本申请所提到的方向用语，例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本申请，而非用以限制本申请。在图中，结构相似的单元是用以相同标号表示。
- [0055] 如图1所示，本申请提供的阵列基板的制备方法包括以下步骤：
- [0056] S1、提供基板；
- [0057] S2、在基板上依次制备层叠设置的有源层、栅绝缘层、栅极层、保护层，并对保护层图案化形成保护层图案；
- [0058] S3、以保护层图案为掩模，对栅极层进行刻蚀形成栅极；
- [0059] S4、以保护层图案为掩模，对有源层的第一区域进行导体化处理，第一区域为未被保护层图案在有源层上的投影覆盖的区域；
- [0060] S5、以保护层图案为掩膜，对栅绝缘层进行刻蚀形成栅绝缘层图案；
- [0061] S6、剥离保护层图案。
- [0062] 下面结合图2至图11对该制备方法进行具体说明。
- [0063] 在步骤S1中，如图2所示，先提供基板10，基板10可以是绝缘且透明的玻璃基板或树脂基板，对基板10进行预清洗，然后在基板10上形成遮光层20和缓冲层30。

- [0064] 遮光层20可以是叠层的钼铝钼(Mo/Al/Mo)结构或叠层的钛铝钛(Ti/Al/Ti)结构,也可以是单层的钼结构或者单层的铝结构,通过物理气相沉积法沉积在基板10上,之后再进行黄光及干法刻蚀和剥离工艺,形成遮光层图案。在一种实施例中,遮光层20的膜厚为150纳米。
- [0065] 缓冲层30可以是叠层的 $\text{SiO}_x/\text{SiN}_x$ 结构,也可以是单层的 SiN_x 结构或 SiO_x 结构,通过化学气相沉积法沉积在遮光层20上,在一种实施例中,缓冲层30为叠层的 SiO/SiN_x 结构, SiO 的膜层厚度为200纳米, SiN_x 的膜层厚度也为200纳米。
- [0066] 在步骤S2中,如图3所示,先在缓冲层30上形成有源层40。有源层40可以采用金属氧化物材料如氧化锌 ZnO 、氧化铟 InO ,或基于上述两种材料的多元金属氧化物半导体如氧化铟镓锌 IGZO 、氧化铟锌 IZO 、氧化锌锡 ZTO ,氧化铪铟锌 HIZO 、氧化铟锡 ITO 等。
- [0067] 有源层40可通过物理气相沉积等方法沉积在缓冲层30上,进行烘烤后进行黄光工艺,通过草酸刻蚀形成有源层图案。在一种实施例中,有源层40的膜层厚度为100纳米。
- [0068] 如图4所示,再在有源层40上形成栅绝缘层50和栅极60。
- [0069] 栅绝缘层50的材料可以为氧化硅,通过化学气相沉积法沉积在有源层40上,在一种实施例中,栅绝缘层50的膜层厚度为140纳米。
- [0070] 栅极层60的材料可以为铜、银等导电金属,通过化学气相沉积法沉积在栅绝缘层50上,在一种实施例中,栅极层60为 Cu/Ti 叠层结构,铜的膜层厚度为400纳米,钛的膜层厚度为30纳米。
- [0071] 如图5所示,在栅极层60上沉积保护层61,在本实施例中,保护层61的材料为光刻胶。
- [0072] 如图6所示,采用单色调掩模板(图未示出)对保护层61进行曝光显影,得到保护层图案611。
- [0073] 在步骤S3中,如图7所示,以保护层图案611以掩膜,对栅极层60进行曝光、显影、刻蚀,形成栅极601。
- [0074] 在一种实施例中,采用铜酸溶液湿法刻蚀形成栅极601,由于湿法刻蚀是各向同性的,因此导致栅极601的宽度小于保护层图案611的宽度。

- [0075] 在步骤S4中，如图8所示，以保护层图案611以掩膜，对有源层40的第一区域进行导体化处理，第一区域为未被保护层图案611在有源层40上的投影覆盖的区域，在本实施例中，第一区域包括位于有源层40一端的源极掺杂区411、以及位于有源层40另一端的漏极掺杂区412。对该区域进行导体化处理可以有多种方法。
- [0076] 在一种实施例中，对第一区域采用准分子激光照射，实现导体化。
- [0077] 准分子激光是一种气体脉冲激光波，方向性极强，被照射区域吸收高能量，通过原子振动产生热量，可以使势垒降低，提高电阻率，穿过栅绝缘层50对有源层40进行轰击后，使有源层40的电阻率发生显著变化，且工艺制程窗口大。
- [0078] 在一种实施例中，准分子激光为氯化氙(XeCl)激光、氟化氙(ArF)激光、氟化氙(KrF)激光或氯化氙(XeF)激光中的一种。
- [0079] 在一种实施例中，对第一区域采用高温烘焙，实现导体化，烘焙的温度为300℃至350℃。
- [0080] 通过对第一区域采用高温烘焙，该区域的能量升高，也可以达到降低势垒，提高有源层40电阻率的作用。
- [0081] 本申请实施例中采用准分子激光照射或高温烘焙的方式进行导体化制程，使有源层40与源漏极接触区域的接触性能更高，接触寄生电阻更小，保证半导体器件开关电压稳定。
- [0082] 在现有技术中，由于导体化制程中采用自对位光罩，导体化区域大小及效果取决于栅极绝缘层，若栅极绝缘层刻蚀均一性出现波动或者干刻横向加大，会使导体化效果变差，影响未被导体化处理的沟道区长度，从而导致TFT阈值电压的特性变差，影响显示装置的产品品质。本申请采用保护层图案611为掩膜，导体化的区域不受栅绝缘层刻蚀效果的影响，使得导体化的位置更加精准。
- [0083] 在步骤S5中，如图9所示，一保护层图案611为掩膜，对栅绝缘层50进行刻蚀，形成栅绝缘层图案501。
- [0084] 栅绝缘层50的刻蚀采用干法刻蚀，包括电感耦合等离子体(Inductively Coupled Plasma, ICP)干法刻蚀、增强电容耦合等离子体(Enhanced Capacitive coupled Plasma, ECCP)干法刻蚀或反应离子刻蚀(Reactive Ion Etching, RIE)干法刻蚀等。

- [0085] 在本实施例中，栅绝缘层50的刻蚀采用增强电容耦合等离子体(ECCP)工艺模式，功率为500-2000W，过刻量为30-80%，工艺气体可采用氟系气体和氧气的混合气体。其中，氟系气体包括六氟化硫 SF_6 、三氟化氮 NF_3 、四氟化碳 CF_4 、以及八氟环丁烷 C_4F_8 中的一种或多种，相应的，工艺气体也包括多种，例如可以包括六氟化硫 SF_6 和氧气 O_2 的混合气体，三氟化氮 NF_3 和氧气 O_2 的混合气体，或者四氟化碳 CF_4 和氧气 O_2 的混合气体等。
- [0086] 在步骤S6中，如图10所示，剥离保护层图案611。在本实施例中，剥离是指采用剥离液去除保护层图案611，采用的剥离液为丙酮和乙醇的混合物。
- [0087] 在现有技术中，导体化工艺完成后，使用灰化工艺去除保护层，灰化工作中氧气的使用会可能导致有缘层的导体化效果发生变化，影响导体化区域与源漏极的接触电阻，本申请中采用剥离的方法去除保护层图案611，可以避免导体化后进行灰化而导致电阻率上升的问题。
- [0088] 在保护层图案611去除后，如图11所示，先在栅极601表面形成介电层70，介电层70中形成有第一过孔711和第二过孔712。
- [0089] 在栅极601上沉积介电层70，介电层70覆盖有源层40、栅绝缘图案501和栅极601，之后在介电层70上涂覆一层光刻胶，采用单色调掩膜版对光刻胶进行曝光、显影，在对应第一过孔711和第二过孔712的位置分别形成完全曝光区域，无光刻胶，暴露介电层70，在其它位置形成未曝光区域，保留光刻胶；之后，对完全曝光区域的介电层70进行刻蚀并剥离剩余的光刻胶，形成具有第一过孔711和第二过孔712的介电层70的图案。
- [0090] 第一过孔711和第二过孔712分别设置在有源层40两端的导体化区域上，其中，第一过孔711对应于源极掺杂区411，第二过孔712对应于漏极掺杂区412。
- [0091] 介电层70的材料为氧化硅 SiO_x 、氮化硅 SiN_x 、氮硅化合物中的两种或多种的任意组合所构成的复合层结构，在一种实施例中，介电层70的膜层厚度为100~400纳米。
- [0092] 然后，在介电层70上形成源极81和漏极82。
- [0093] 在介电层70上沉积源极金属薄膜和漏极金属薄膜，并在源极金属薄膜和漏极金属薄膜上涂覆一层光刻胶；采用单色调掩膜版对源极金属薄膜和漏极金属薄膜

进行曝光、显影，在对应源极81和漏极82位置分别形成未曝光区域，保留光刻胶，在其它位置形成完全曝光区域，无光刻胶，暴露出源极金属薄膜和漏极金属薄膜；对完全曝光区域的源极金属薄膜和漏极金属薄膜进行刻蚀并剥离剩余的光刻胶，形成源极81和漏极82。

[0094] 源极81和漏极82分别通过第一过孔711和第二过孔712与导体化区域连接，其中，源极81通过第一过孔711与源极掺杂区411连接，漏极82通过第二过孔712与漏极掺杂区412连接。

[0095] 源极81和漏极82的材质可以采用铂Pt、铜Cu、银Ag、钼Mo、铬Cr、铝Al、钽Ta、钛Ti、钨W等金属中的一种或多种。

[0096] 在一种实施例中，源极81和漏极8采用铜/钼结构，其中铜的膜层厚度为650纳米，钼的膜层厚度为20纳米。

[0097] 最后，在介电层70上沉积形成钝化层90，钝化层90覆盖源极81和漏极82，以保护源极81和漏极82表面不被氧化，形成钝化层90的材料可以为氧化硅等。

[0098] 本申请还提供一种阵列基板的制备系统，包括：

[0099] 有源层制备装置，用于在基板上形成有源层；

[0100] 栅绝缘层制备装置，用于在有源层上形成栅绝缘层；

[0101] 栅极层制备装置，用于在栅绝缘层上形成栅极层；

[0102] 保护层图案形成装置，用于在栅极层上形成保护层，并图案化形成保护层图案；

[0103] 栅极刻蚀装置，用于以保护层图案为掩模，对栅极层进行刻蚀形成栅极；

[0104] 导体化装置，用于以保护层图案为掩模，对有源层的第一区域进行导体化处理，其中第一区域未被保护层图案在有源层上的投影覆盖；

[0105] 栅绝缘层刻蚀装置，用于以保护层图案为掩模，对栅绝缘层进行刻蚀形成栅绝缘层图案；

[0106] 保护层去除装置，用于剥离保护层图案。

[0107] 在一种实施例中，导体化装置包括准分子激光照射构件，用于氯化氙(XeCl)激光、氟化氙(ArF)激光、氟化氪(KrF)激光或氯化氙(XeF)激光中的一种。

[0108] 由于准分子激光是一种气体脉冲激光波，方向性极强，被照射区域吸收高能量

，通过原子振动产生热量，可以使势垒降低，提高电阻率，穿过栅绝缘层对有源层进行轰击后，使有源层的电阻率发生显著变化，且工艺制程窗口大。

[0109] 在一种实施例中，导体化装置包括烘焙构件，用于在300°C至350°C的温度对有源层的第一区域进行烘焙。

[0110] 通过对第一区域采用高温烘焙，该区域的能量升高，也可以达到降低势垒，提高有源层电阻率的作用。

[0111] 本申请采用保护层图案为掩膜，导体化的区域不受栅绝缘层刻蚀效果的影响，使得导体化的位置更加精准。同时，用剥离的方式去除保护层图案，不会导致有源层的电阻率上升。

[0112] 根据上述实施例可知：

[0113] 本申请提供一种阵列基板的制备方法和制备系统，制备方法包括：提供基板；在基板上依次制备层叠设置的有源层、栅绝缘层、栅极层、保护层，并对保护层图案化形成保护层图案；以保护层图案为掩模，对栅极层进行刻蚀形成栅极；以保护层图案为掩模，对有源层的第一区域进行导体化处理，第一区域为未被保护层图案在有源层上的投影覆盖的区域；以保护层图案为掩膜，对栅绝缘层进行刻蚀形成栅绝缘层图案；剥离保护层图案。本申请通过保护层图案为掩膜，透过栅绝缘层对有源层进行导体化工艺，使导体化位置更精准，同时用剥离的方式去除保护层图案，不会导致有源层的电阻率上升。

[0114] 综上所述，虽然本申请已以优选实施例揭露如上，但上述优选实施例并非用以限制本申请，本领域的普通技术人员，在不脱离本申请的精神和范围内，均可作各种更动与润饰，因此本申请的保护范围以权利要求界定的范围为准。

权利要求书

- [权利要求 1] 一种阵列基板的制备方法，其包括：
- 提供基板；
- 在所述基板上依次制备层叠设置的有源层、栅绝缘层、栅极层、保护层，并对所述保护层图案化形成保护层图案；
- 以所述保护层图案为掩模，对所述栅极层进行刻蚀形成栅极；
- 以所述保护层图案为掩模，对所述有源层的第一区域进行导体化处理，所述第一区域为未被所述保护层图案在所述有源层上的投影覆盖的区域；
- 以所述保护层图案为掩膜，对所述栅绝缘层进行刻蚀形成栅绝缘层图案；
- 剥离所述保护层图案。
- [权利要求 2] 如权利要求1所述的阵列基板的制备方法，其中，所述以所述保护层图案为掩模，对所述有源层的第一区域进行导体化处理，所述第一区域为未被所述保护层图案在所述有源层上的投影覆盖的区域的步骤包括：对所述第一区域进行准分子激光照射。
- [权利要求 3] 如权利要求2所述的阵列基板的制备方法，其中，所述对所述第一区域进行准分子激光照射的步骤包括：用氟化氩激光进行照射。
- [权利要求 4] 如权利要求2所述的阵列基板的制备方法，其中，所述对所述第一区域进行准分子激光照射的步骤包括：用氟化氩激光进行照射。
- [权利要求 5] 如权利要求2所述的阵列基板的制备方法，其中，所述对所述第一区域进行准分子激光照射的步骤包括：用氟化氩激光进行照射。
- [权利要求 6] 如权利要求1所述的阵列基板的制备方法，其中，所述以所述保护层图案为掩模，对所述有源层的第一区域进行导体化处理，所述第一区域为未被所述保护层图案在所述有源层上的投影覆盖的区域的步骤包括：对所述第一区域进行烘烤。
- [权利要求 7] 如权利要求6所述的阵列基板的制备方法，其中，所述对所述第一区域进行烘烤的步骤包括：用300°C至350°C温度烘烤。

- [权利要求 8] 如权利要求1所述的阵列基板的制备方法，其中，所述在所述基板上依次制备层叠设置的有源层、栅绝缘层、栅极层、保护层，并对所述保护层图案化形成保护层图案的步骤包括：在所述栅极层上涂布光刻胶，并对光刻胶图案化。
- [权利要求 9] 如权利要求1所述的阵列基板的制备方法，其中，所述以所述保护层图案为掩模，对所述栅极层进行刻蚀形成栅极的步骤包括：对所述栅极层采用湿法刻蚀。
- [权利要求 10] 如权利要求1所述的阵列基板的制备方法，其中，所述以所述保护层图案为掩膜，对所述栅绝缘层进行刻蚀形成栅绝缘层图案的步骤包括：对所述栅绝缘层采用干法刻蚀。
- [权利要求 11] 如权利要求10所述的阵列基板的制备方法，其中，所述对所述栅绝缘层采用干法刻蚀的步骤包括：对所述栅绝缘层采用增强电容耦合等离子体干刻法刻蚀。
- [权利要求 12] 如权利要求11所述的阵列基板的制备方法，其中，所述对所述栅绝缘层采用增强电容耦合等离子体干刻法刻蚀的步骤包括：采用氟系气体和氧气的混合气体进行干法刻蚀。
- [权利要求 13] 如权利要求1所述的阵列基板的制备方法，其中，所述在所述基板上依次制备层叠设置的有源层、栅绝缘层、栅极层、保护层，并对所述保护层图案化形成保护层图案的步骤包括：采用物理气相沉积法沉积有源层。
- [权利要求 14] 如权利要求13所述的阵列基板的制备方法，其中，在所述采用物理气相沉积法沉积有源层的步骤后还包括：对所述有源层进行图案化。
- [权利要求 15] 如权利要求1所述的阵列基板的制备方法，其中，所述在所述基板上依次制备层叠设置的有源层、栅绝缘层、栅极层、保护层，并对所述保护层图案化形成保护层图案的步骤包括：采用化学气相沉积法沉积栅绝缘层。
- [权利要求 16] 如权利要求1所述的阵列基板的制备方法，其中，所述在所述基板上依次制备层叠设置的有源层、栅绝缘层、栅极层、保护层，并对所述

保护层图案化形成保护层图案的步骤包括：采用化学气相沉积法沉积栅极层。

[权利要求 17] 如权利要求1所述的阵列基板的制备方法，其中，所述在所述基板上依次制备层叠设置的有源层、栅绝缘层、栅极层、保护层，并对所述保护层图案化形成保护层图案的步骤前还包括：在所述基板上形成遮光层，在所述遮光层远离所述基板的一侧形成缓冲层。

[权利要求 18] 如权利要求1所述的阵列基板的制备方法，其中，所述剥离所述保护层图案的步骤后还包括：在所述栅极远离所述栅绝缘层的一侧形成介电层、源极、漏极和钝化层。

[权利要求 19] 一种阵列基板的制备系统，其包括：
有源层制备装置，用于在基板上形成有源层；
栅绝缘层制备装置，用于在所述有源层上形成栅绝缘层；
栅极层制备装置，用于在所述栅绝缘层上形成栅极层；
保护层图案形成装置，用于在所述栅极层上形成保护层，并图案化形成保护层图案；
栅极刻蚀装置，用于以所述保护层图案为掩模，对所述栅极层进行刻蚀形成栅极；
导体化装置，用于以所述保护层图案为掩模，对所述有源层的第一区域进行导体化处理，其中所述第一区域未被所述保护层图案在所述有源层上的投影覆盖；
栅绝缘层刻蚀装置，用于以所述保护层图案为掩膜，对所述栅绝缘层进行刻蚀形成栅绝缘层图案；
保护层去除装置，用于剥离所述保护层图案。

[权利要求 20] 如权利要求19所述的阵列基板的制备系统，其中，所述导体化装置包括准分子激光照射构件。

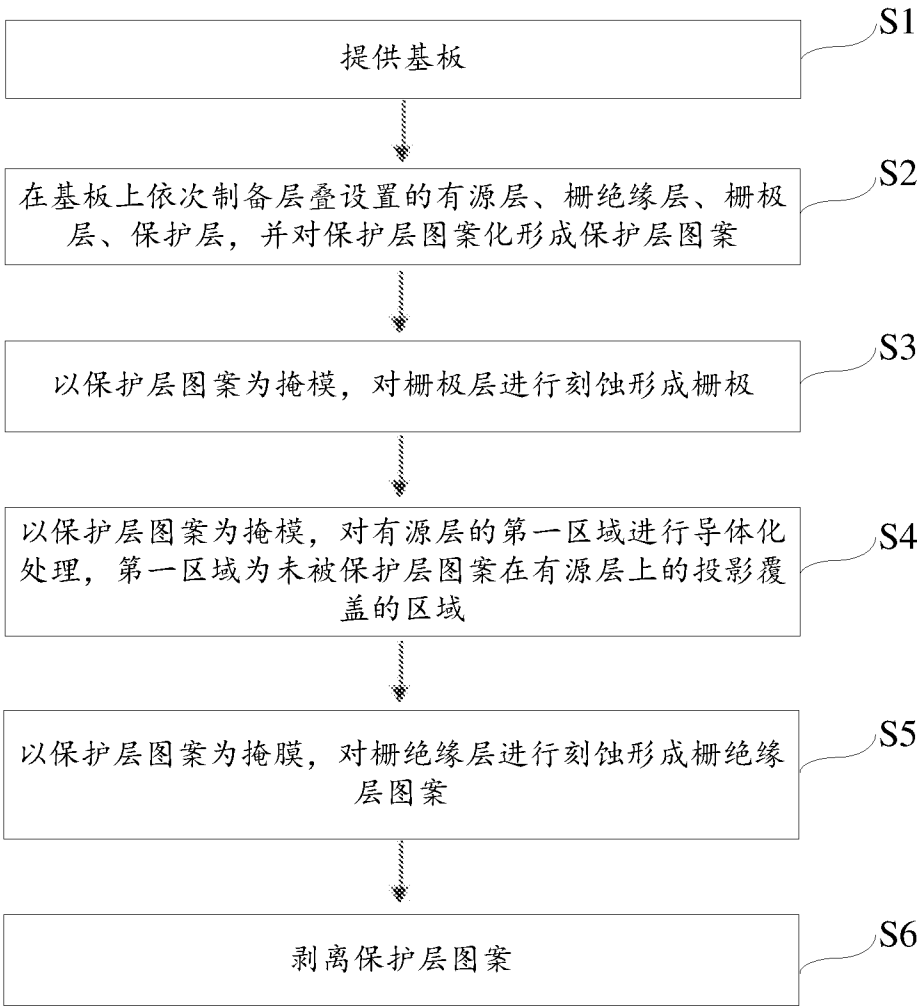


图 1

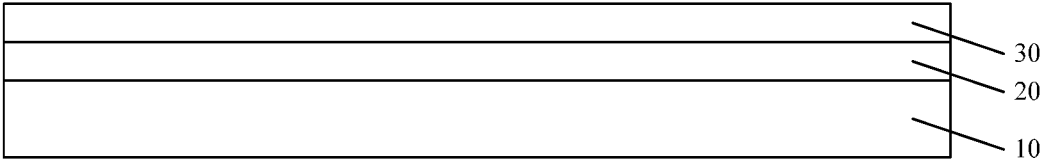


图 2

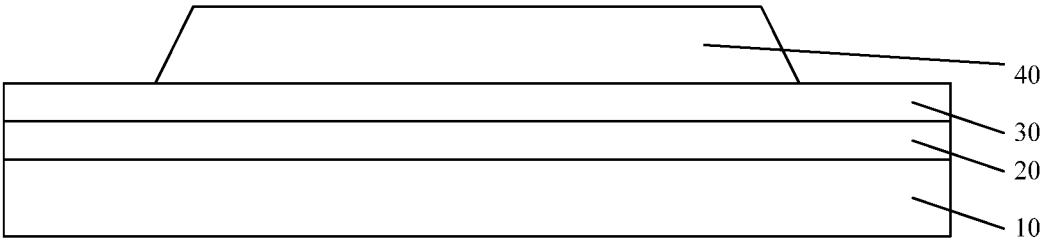


图 3

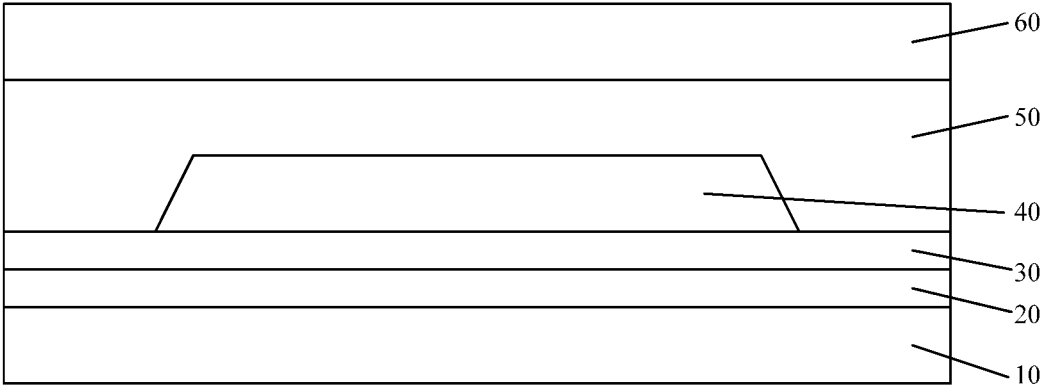


图 4

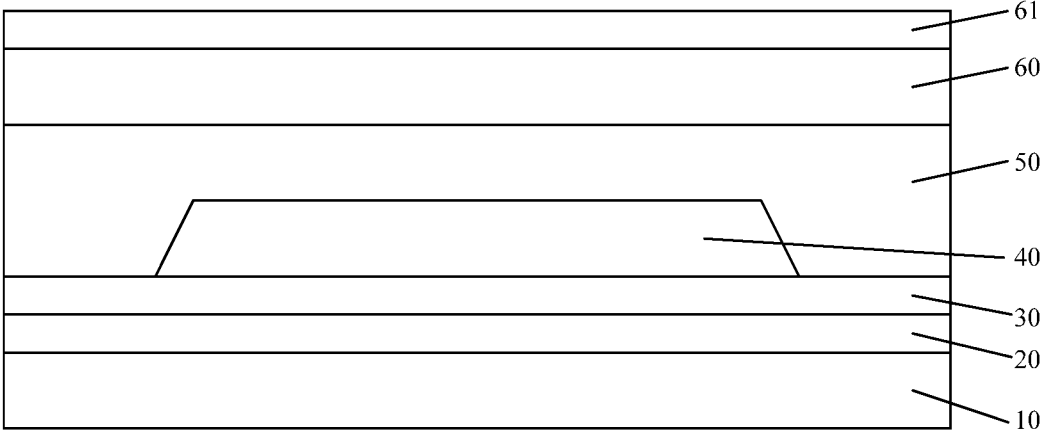


图 5

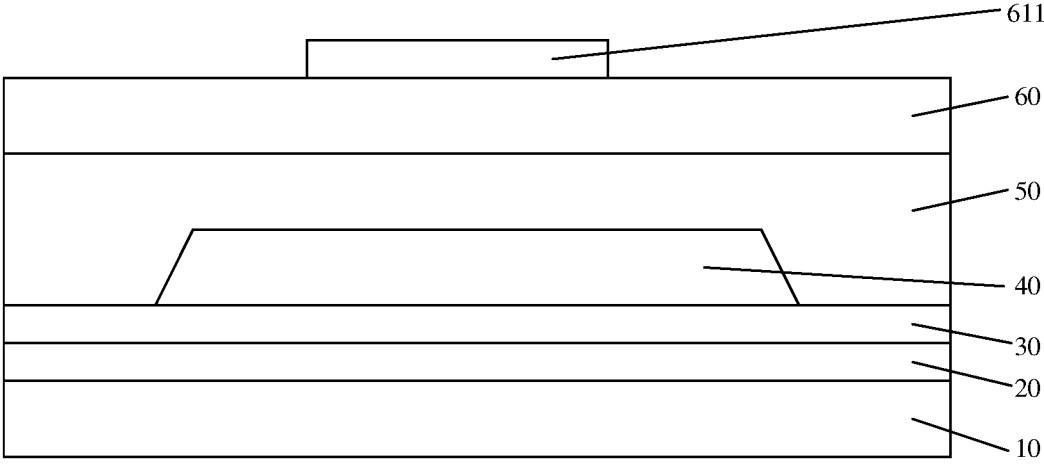


图 6

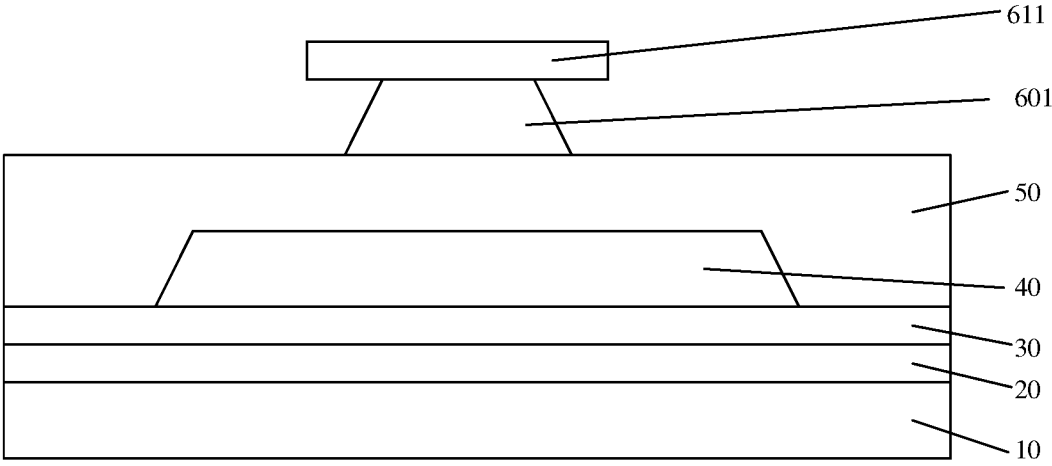


图 7

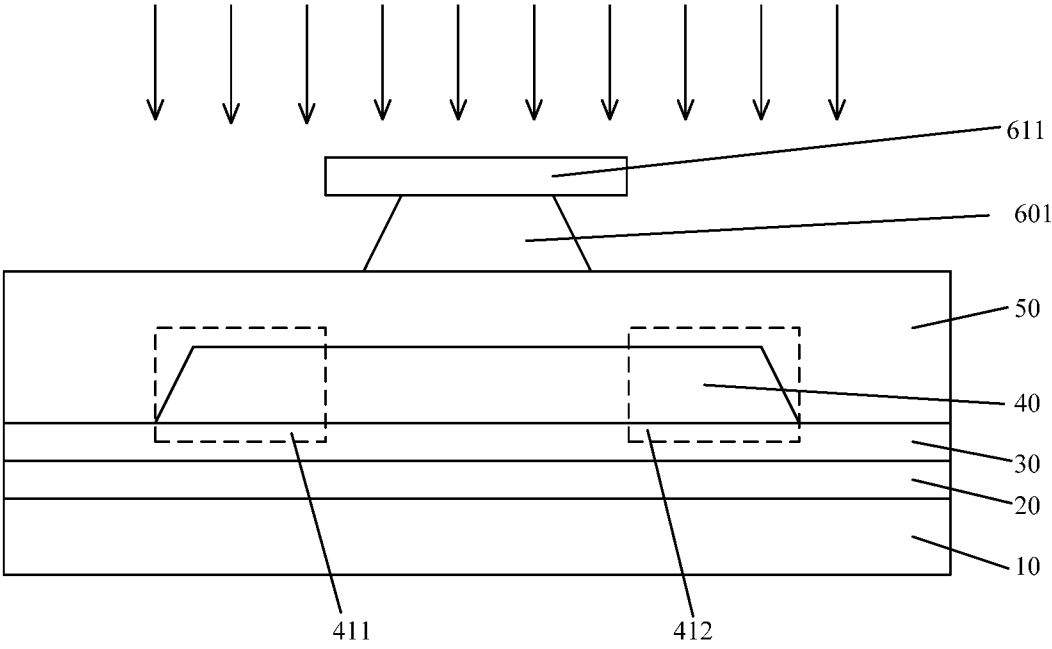


图 8

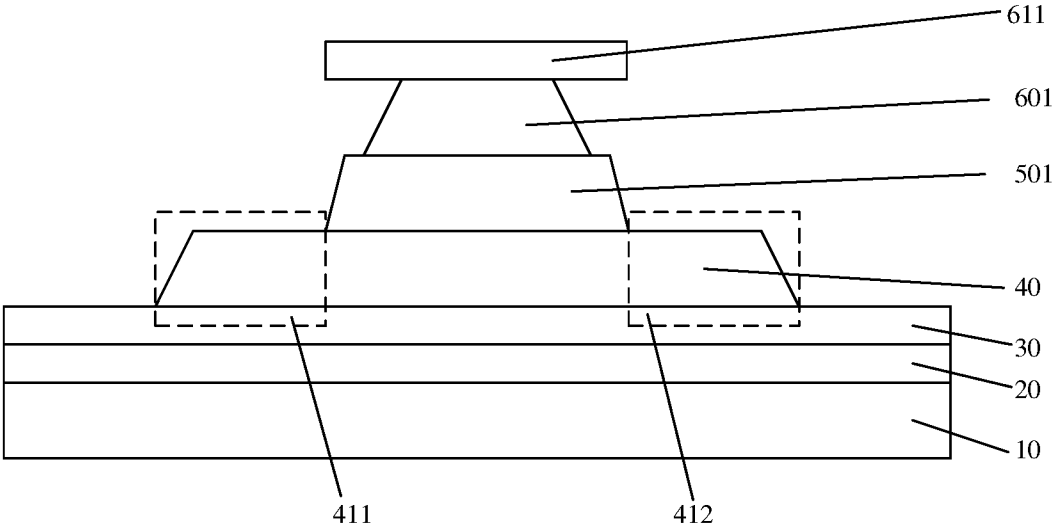


图 9

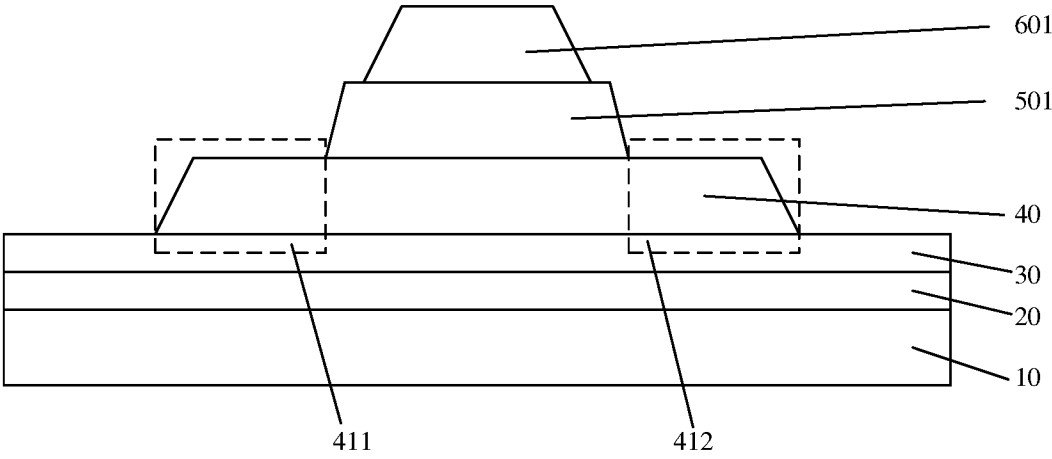


图 10

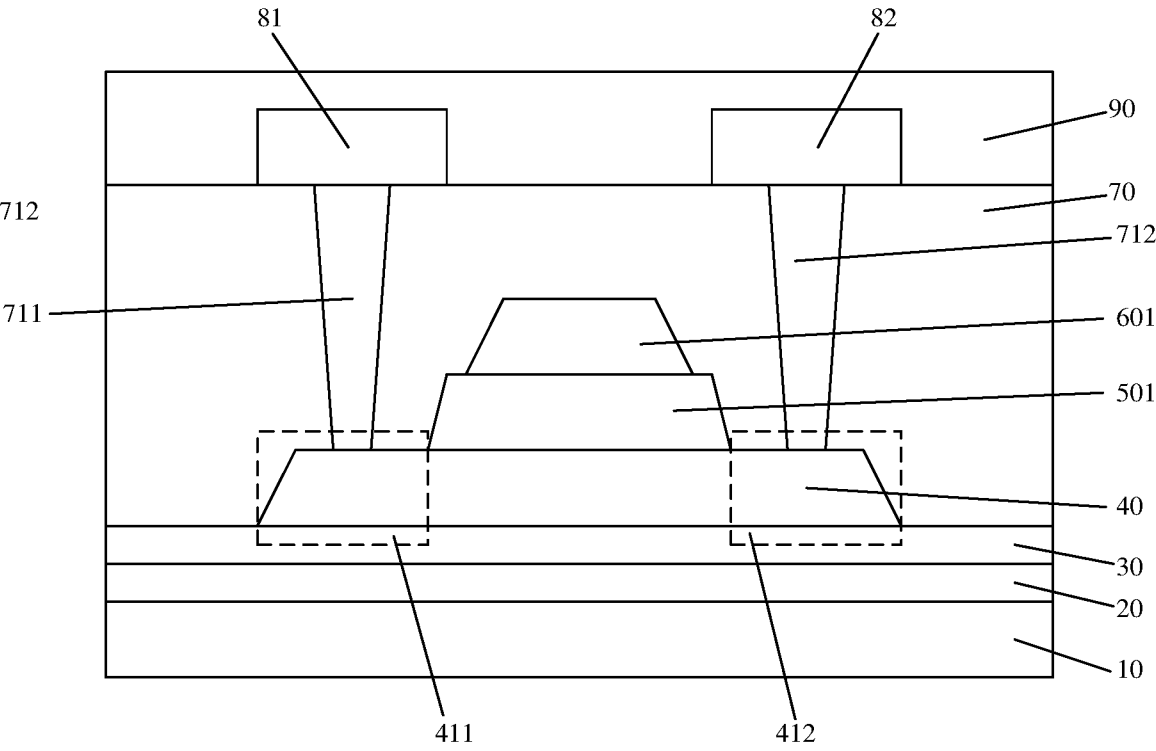


图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/106631

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336(2006.01)i; H01L 29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: 栅, 绝缘, 介质, 刻蚀, 蚀刻, 保护层, 掩膜, 光刻胶, 半导体层, 有源层, 导体化, 离子注入, gate, insulating, active, layer+, etch+, protect+, mask, conductor, dop+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105428244 A (TRULY (HUIZHOU) SMART DISPLAY LIMITED) 23 March 2016 (2016-03-23) description, paragraphs 71-103, figures 2A-2L	1-18,
X	CN 103367166 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 23 October 2013 (2013-10-23) description, paragraphs 131-143	19-20
A	US 2002000614 A1 (CHEN, Chih-Chang et al.) 03 January 2002 (2002-01-03) entire document	1-20
A	CN 107359126 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 17 November 2017 (2017-11-17) entire document	1-20
A	CN 105762081 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 13 July 2016 (2016-07-13) entire document	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 March 2020

Date of mailing of the international search report

20 March 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/106631

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105428244	A	23 March 2016	None			
CN	103367166	A	23 October 2013	US	9337312	B2	10 May 2016
				CN	103367166	B	06 January 2016
				US	2015228760	A1	13 August 2015
				WO	2015007055	A1	22 January 2015
US	2002000614	A1	03 January 2002	JP	3466168	B2	10 November 2003
				JP	2002033489	A	31 January 2002
				TW	461101	B	21 October 2001
CN	107359126	A	17 November 2017	US	2020035721	A1	30 January 2020
				WO	2019011071	A1	17 January 2019
CN	105762081	A	13 July 2016	WO	2017197679	A1	23 November 2017
				US	9960255	B2	01 May 2018
				US	2018083123	A1	22 March 2018

国际检索报告

国际申请号

PCT/CN2019/106631

A. 主题的分类

H01L 21/336(2006.01)i; H01L 29/786(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, WPI, EP0D0C: 栅, 绝缘, 介质, 刻蚀, 蚀刻, 保护层, 掩膜, 光刻胶, 半导体层, 有源层, 导体化, 离子注入, gate, insulating, active, layer+, etch+, protect+, mask, conductor, dop+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 105428244 A (信利惠州智能显示有限公司) 2016年 3月 23日 (2016 - 03 - 23) 说明书第71-103段, 附图2A-2L	1-18
X	CN 103367166 A (京东方科技集团股份有限公司 等) 2013年 10月 23日 (2013 - 10 - 23) 说明书第131-143段	19-20
A	US 2002000614 A1 (CHEN, Chih-Chang 等) 2002年 1月 3日 (2002 - 01 - 03) 全文	1-20
A	CN 107359126 A (京东方科技集团股份有限公司 等) 2017年 11月 17日 (2017 - 11 - 17) 全文	1-20
A	CN 105762081 A (武汉华星光电技术有限公司) 2016年 7月 13日 (2016 - 07 - 13) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2020年 3月 10日

国际检索报告邮寄日期

2020年 3月 20日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

刘宁

电话号码 86-(10)-53961209

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/106631

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105428244	A	2016年 3月 23日	无			
CN	103367166	A	2013年 10月 23日	US	9337312	B2	2016年 5月 10日
				CN	103367166	B	2016年 1月 6日
				US	2015228760	A1	2015年 8月 13日
				WO	2015007055	A1	2015年 1月 22日
US	2002000614	A1	2002年 1月 3日	JP	3466168	B2	2003年 11月 10日
				JP	2002033489	A	2002年 1月 31日
				TW	461101	B	2001年 10月 21日
CN	107359126	A	2017年 11月 17日	US	2020035721	A1	2020年 1月 30日
				WO	2019011071	A1	2019年 1月 17日
CN	105762081	A	2016年 7月 13日	WO	2017197679	A1	2017年 11月 23日
				US	9960255	B2	2018年 5月 1日
				US	2018083123	A1	2018年 3月 22日