



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월13일
(11) 등록번호 10-1115091
(24) 등록일자 2012년02월03일

(51) 국제특허분류(Int. Cl.)
H01L 21/335 (2006.01) H01L 21/336 (2006.01)
H01L 29/10 (2006.01)
(21) 출원번호 10-2006-7006304
(22) 출원일자(국제) 2004년09월27일
심사청구일자 2009년09월24일
(85) 번역문제출일자 2006년03월31일
(65) 공개번호 10-2006-0090242
(43) 공개일자 2006년08월10일
(86) 국제출원번호 PCT/US2004/031516
(87) 국제공개번호 WO 2005/034230
국제공개일자 2005년04월14일
(30) 우선권주장
10/677,844 2003년10월02일 미국(US)
(56) 선행기술조사문헌
US05963817 A1*
US06407406 B1
US06600170 B1
US06703688 B1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
프리스케일 세미컨덕터, 인크.
미국 텍사스 오스틴 윌리엄 캐논 드라이브 웨스트
6501
(72) 발명자
리우, 천-리
미국 85212 아리조나주 메사 사우스 케네 2534
바, 알렉산드라, 엘.
미국 78703 텍사스주 오스틴 웨스트 8번 스트리트
2319
(74) 대리인
(뒷면에 계속)
백만기, 이중희, 주성민

전체 청구항 수 : 총 5 항

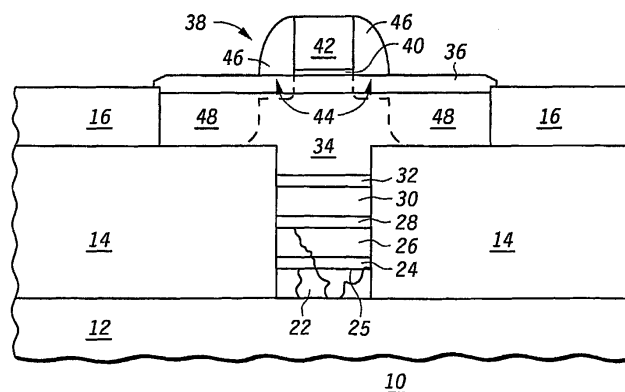
심사관 : 박근용

(54) 발명의 명칭 상이한 격자 상수를 갖는 재료들을 구비한 반도체 구조체 및 그 형성 방법

(57) 요약

반도체 구조체(10)는 제1 격자 상수를 갖는 제1 선택성된 반도체 재료를 구비한 기판을 포함한다. 반도체 장치층(34)은 기판 위에 위치하고, 반도체 장치층은 제1 격자 상수와 다른 제2 격자 상수를 갖는 제2 선택성된 반도체 재료(22)를 포함한다. 또한, 유전체층은 기판과 반도체 장치층 사이에 삽입되고, 유전체층은 제1 격자 상수와 제2 격자 상수 간의 전이를 위해 유전체층 내에 배치된 프로그래밍된 전이 영역을 포함한다. 프로그래밍된 전이 영역은 복수의 층을 포함하고, 복수의 층 중 인접한 층들은 상이한 격자 상수를 갖고, 인접한 층 중 한 층은 결합을 형성하는데 필요한 제1 임계 두께를 초과하는 제1 두께를 갖고, 인접한 층 중 다른 층은 제2 임계 두께를 초과하지 않는 제2 두께를 갖는다. 복수의 층 중 인접한 층 각각은 전이 영역에서 결합을 촉진하기 위한 계면을 형성하여 프로그래밍된 전이 영역의 에지로 이동시키고 에지 상에서 종료시킨다. 또한, 그 제조 방법도 개시된다.

대표도 - 도9



(72) 발명자

그랜트, 존, 엠.

미국 78749 텍사스주 오스틴 로미타 버데 서클
5812

앵구엔, 비치-엔

미국 78733 텍사스주 오스틴 라울렐우드 드라이브
110

오로우스키, 마리우스, 케이.

미국 78739 텍사스주 오스틴 레드몬드 로드 10813

스테판스, 탭, 에이.

미국 78759 텍사스주 오스틴 암버리 플레이스 6102

화이트, 테드, 알.

미국 78731 텍사스주 오스틴 라울렐우드 드라이브
6508

토마스, 사운, 지.

미국 85296 아리조나주 길버트 이스트 모간 코트
1160

특허청구의 범위

청구항 1

반도체 구조체로서,

제1 격자 상수(lattice constant)를 갖는 제1 릴렉싱된(relaxed) 반도체 재료를 포함하는 기판;

상기 기판 위에 위치하며, 상기 제1 격자 상수와 다른 제2 격자 상수를 갖는 제2 릴렉싱된 반도체 재료를 포함하는 반도체 장치층; 및

상기 기판과 상기 반도체 장치층 간에 삽입된 유전체층

을 포함하고,

상기 유전체층은 상기 제1 격자 상수와 상기 제2 격자 상수 사이에서 전이하기 위해 상기 유전체층 내에 배치된 프로그래밍된 전이 영역을 갖고, 상기 프로그래밍된 전이 영역은 복수의 층을 포함하고, 상기 복수의 층 중 인접한 층들은, 상기 인접한 층들 중 한 층은 결함들(defects)을 형성하는데 필요한 제1 임계 두께를 초과하는 제1 두께를 갖고 상기 인접한 층들 중 다른 층은 제2 임계 두께를 초과하지 않는 제2 두께를 가지면서, 상이한 격자 상수들을 갖고, 상기 복수의 층 중 인접한 층 각각은 상기 전이 영역에서 결함들을 촉진(promote)하여 상기 프로그래밍된 전이 영역의 에지로 이동(migrate)시키기 위한 계면을 형성하는 반도체 구조체.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 반도체 장치층 위에 위치하고, 결함들을 최소화하며 변형(strain)을 유지하기 위해 그 임계 두께보다 작은 두께를 갖는 변형 재료층(strained material layer)을 더 포함하는 반도체 구조체.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

반도체 장치 구조체로서,

제1 격자 상수를 갖는 제1 릴렉싱된 재료를 포함하는 기판 수단;

상기 제1 격자 상수를 갖는 제1 릴렉싱된 재료로부터 상이한 격자 상수 재료로 전이하는 프로그래밍된 전이 영역을 규정하기 위한 개구를 갖는 유전체층 수단 ? 상기 프로그래밍된 전이 영역은 복수의 층을 포함하고, 상기 복수의 층 각각은, 결함들을 촉진하여 상기 프로그래밍된 전이 영역의 에지로 이동시키기 위한 계면을 형성하기 위해, 상기 복수의 층 중 어떠한 인접한 층과도 다른 조성(composition)을 갖고, 상기 복수의 층 중 소정의 교번 층들은, 변형을 완화하기 위한 결함들을 형성하는 그 재료 조성에 대한 임계 두께를 초과하는 두께를 갖고, 상기 복수의 층 중 삽입층(intervening layer)들은, 변형될 그 재료 조성에 대한 임계 두께를 초과하지 않는 두께를 갖고, 상기 복수의 층 중 상부층은 실질적으로 결함이 없음 ?; 및

적어도 상기 프로그래밍된 전이 영역 위에 위치하고, 상기 상이한 격자 상수 재료인 제2 격자 상수를 가지는 제2 선택된 재료를 포함하는 반도체 장치층 수단을

을 포함하는 반도체 장치 구조체.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

반도체 장치 구조체를 형성하는 방법으로서,

제1 격자 상수를 갖는 제1 선택된 재료를 포함하는 기판 수단을 형성하는 단계;

상기 기판 수단 위에 위치하며, 상기 제1 격자 상수를 갖는 제1 선택된 재료로부터 상이한 격자 상수 재료로 전이하는 프로그래밍된 전이 영역을 규정하기 위한 개구를 갖는 유전체층 수단을 형성하는 단계;

상기 프로그래밍된 전이 영역을 복수의 층으로 형성하는 단계 ? 상기 복수의 층 각각은, 결합들을 촉진하여 상기 프로그래밍된 전이 영역의 에지로 이동시키기 위해, 상기 복수의 층 중 어떠한 인접한 층과도 다른 조성을 가짐 ? ;

변형을 완화하기 위한 결합들을 형성하는 그 재료 구성에 대한 임계 두께를 초과하는 두께를 갖는, 상기 복수의 층 중 소정의 교번 층들을 형성하는 단계;

상기 복수의 층 중 삽입층들을 형성하는 단계 ? 상기 삽입층들은 변형될 그 재료 구성에 대한 임계 두께를 초과하지 않는 두께를 가지며, 상기 소정의 교번 층들에 삽입되며, 상기 복수의 층 중 상부층은 실질적으로 결합이 없음 ? ; 및

적어도 상기 프로그래밍된 전이 영역 위에 위치하며, 상기 상이한 격자 상수 재료인 제2 격자 상수를 갖는 제2 선택된 재료를 포함하는 반도체 장치층 수단을 형성하는 단계

를 포함하는 반도체 장치 구조체 형성 방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

반도체 장치를 형성하는 방법으로서,

제1 격자 상수를 갖는 제1 릴렉싱된 반도체 재료를 포함하는 기판을 제공하는 단계;

상기 기판 위에 위치하며, 상기 제1 격자 상수와 다른 제2 격자 상수를 갖는 제2 릴렉싱된 반도체 재료를 포함하는 반도체 장치층을 제공하는 단계;

상기 기판과 상기 반도체 장치층 사이에 유전체층을 삽입하는 단계 ? 상기 유전체층은 상기 제1 격자 상수와 상기 제2 격자 상수 간의 전이를 위해 상기 유전체층 내에 배치된 프로그래밍된 전이 영역을 가짐 ? ; 및

상기 프로그래밍된 전이 영역을 복수의 층으로 형성하는 단계

를 포함하고,

상기 복수의 층 중 인접한 층들은, 각각의 인접한 층들 중 한 층은 결함들을 형성하는데 필요한 제1 임계 두께를 초과하는 제1 두께를 갖고 각각의 인접한 층들 중 다른 층은 제2 임계 두께를 초과하지 않는 제2 두께를 가지면서, 상이한 격자 상수들을 갖고, 상기 복수의 층 중 인접한 층 각각은 상기 전이 영역에서 결함들을 촉진하여 상기 프로그래밍된 전이 영역의 에지로 이동시키기 위한 계면을 형성하고, 상기 프로그래밍된 전이 영역의 상부면은 실질적으로 결함들이 없는 반도체 장치 형성 방법.

청구항 20

삭제

청구항 21

삭제

명세서

기술분야

[0001] 본 발명은 일반적으로 반도체에 관한 것으로, 더욱 상세하게는, 상이한 격자 상수를 갖는 재료들을 구비한 반도체 구조체 및 그 형성 방법에 관한 것이다.

배경기술

[0002] SS(strained silicon; 변형 실리콘) 기술은 벌크 실리콘에 비해 채널 캐리어 이동도를 30 내지 60% 증가시키는 것으로 알려져 있다. 현재, 낮은 TD(threading dislocation; 실전위) 밀도를 갖는 Si 웨이퍼 상에 릴렉싱된 SiGe를 제조하기 위해, 3.5 μ m 정도인 두꺼운 등급의 SiGe 버퍼층이 SS 장치에 이용되고 있다. 릴렉싱된 SiGe 상에서 에피택셜 성장된 얇은 변형 Si층은 변형 채널 장치에서 높은 캐리어 이동도를 제공한다. TD 밀도는, 예를 들어, 단락이나 바람직하지 않은 누설 전류 등의 문제를 포함하여, SS 장치 성능에 위협을 주고 있다.

[0003] SS 기술에 있어서 실전위 문제를 다루기 위해, 종래 기술에서는 반도체 구조체의 채널 영역 내에 SiGeC층을 삽입하였다. SiGeC층을 삽입하면, SiGeC/SiGe 계면에서 TD를 억누르게 되어, TD가 수직으로 전파되는 대신에 계면을 따라 이동하게 된다. 또한, 종래 기술에서는, SiGe 내에 산화물층을 삽입하는 것뿐만 아니라 SiGe 내에 Si층을 삽입하였는데, 이들 모두는 TD 절연 구조체를 형성하기 위한 시도이다. 그러나, 상기 종래 기술에는 여전히 개선이 요구된다.

[0004] 또한, 변형 반도체에 있어서 향상된 전하 캐리어 이동도로 인해 장치 성능이 향상되므로, 변형 채널 장치가 바람직하다. 그러나, 변형층(예를 들어, Si)을 증착하기 위한 바람직한 재료(예를 들어, SiGe)의 기판을 이용할 수 없으므로, 변형 채널 장치를 제조하기가 어렵다. 예를 들어, 증착층의 경사진 Ge 농도 및 CMP의 이용을 포함하여, 전형적인 Si 기판 상에 SiGe의 "가상 기판"을 제조하는 다수의 기술이 제안되었다. 그러나, 최근 기술에서는 웨이퍼 에지를 이용하여 결함을 없애는데, 이는 웨이퍼 중심 근방의 결함이 문제가 된다. 상기 문제는 기판 지름이 더 커지면 더 악화된다.

[0005] 따라서, 향상된 반도체 구조체 및 그 제조 방법이 소망된다.

[0006] <발명의 요약>

[0007] 본 개시 내용의 일 실시예에 따르면, 반도체 구조체는 제1 격자 상수를 갖는 제1 락킹된 반도체 재료를 구비한 기판을 포함한다. 반도체 장치층은 기판 위에 위치하고, 반도체 장치층은 제1 격자 상수와 다른 제2 격자 상수를 갖는 제2 락킹된 반도체 재료를 포함한다. 끝으로, 기판과 반도체 장치층 간에 유전체층이 삽입되고, 유전체층은 제1 격자 상수와 제2 격자 상수 간의 전이를 위해 유전체층 내에 배치된 프로그래밍된 전이 영역을 포함한다. 프로그래밍된 전이 영역은 복수의 층을 포함하고, 복수의 층 중 인접한 층들은 상이한 격자 상수들을 갖고, 인접한 층 중 한 층은 결함을 형성하는데 필요한 제1 임계 두께를 초과하는 제1 두께를 갖고, 인접한 층 중 다른 층은 제2 임계 두께를 초과하지 않는 제2 두께를 갖는다. 복수의 층 중 인접한 층 각각은 전이 영역에서 결함을 촉진하기 위한 계면을 형성함으로써, 프로그래밍된 전이 영역의 예지로 이동시켜 예지 상에서 종료시킨다. 또한, 반도체 구조체를 제조하는 방법이 개시된다.

실시예

[0021] 본 개시 내용의 실시예에 따르면, T-형상 절연 또는 ISI(inverse slope isolation)를 갖는, SiGeC 또는 SiC 또는 Si와 같은, 삽입층의 결합은, SS 장치를 위한 SiGe 기저층 및 대응하는 변형 Si층에서 실전위(threading dislocations)를 효과적으로 감소시킨다. 일 실시예에서, SiGe 기저층에서 삽입층(예를 들어, SiGeC, SiC 또는 Si 또는 유사물)의 결합은, 블랭킷 웨이퍼를 이용하여 대략 $1.20\mu\text{m}$ 의 계단식으로 변하는 SiGe/SiGeC층을 갖도록, 제곱 센티미터당 10^5 보다 작은 정도로 실전위 밀도를 현저히 감소시키는 것으로 나타나 있다. 또한, 효과적인 방법으로 SS 장치에 대해 "T" 형상 및 ISI 절연을 갖는 삽입층에 의해, 본 발명의 실시예는 크게 감소된 TD를 얻는 것을 가능하게 하여, 트렌치 각도를 증가시키고 더 얇은 트렌치를 생성하므로, SiGe 기저층의 두께를 감소시켜, 장치 크기를 효과적으로 스케일링하고, SS 장치 성능 및 신뢰성을 향상시킨다.

[0022] 따라서, 본 개시 내용의 실시예는, 두꺼운 SiGe 버퍼층에 대한 요구를 상당히 감소시킨다. 또한, "T" 형상 및 ISI 절연 방법은, 기판 상에 증가된 활성 장치 영역을 제공하고, 이와 동시에 SS 장치 내의 결함 밀도를 감소시킨다. 또한, SiGe 기저층의 두께는, 각각, ISI 및 T-형상 절연 영역 구조체의 더 넓은 각도 및 더 얇은 트렌치의 이용을 통하여 더 감소될 수 있다.

[0023] 이하, 도 1을 참조하면, 도 1은 본 개시 내용의 일 실시예에 따른 반도체 기판 상에 제조되며 제1 및 제2 유전체층을 갖는 반도체 구조체 일부의 단면도이다. 더욱 상세하게는, 반도체 구조체(10)의 일부는 반도체 기판(12) 상에 제조되며, 각각 제1 및 제2 유전체층(14, 16)을 갖는다. 제1 및 제2 유전체층(14, 16)은, LPCVD, PECVD, 열 산화 등과 같은 반도체 장치 제조에 있어서 일반적인 방법을 이용하여 증착되거나 성장될 수 있다. 일 실시예에서, 기판(12)은 Si 기판을 구비한다. 그러나, 다른 실시예에서는, 기판(12)이 SiGe, GaAs, InP, AlAs 등과 같은 다른 재료도 포함할 수 있다. 또한, 고품질 반도체 장치 제조의 경우, 기판(12)은 매우 낮은 결함 농도를 갖는 락킹된, 단결정 재료를 포함한다.

[0024] 다시 도 1을 참조하면, 유전체층(16)은, 유전체층(14)의 재료에 따라 선택적으로 에칭될 수 있도록 선택되는 재료를 포함한다. 예를 들어, 기판(12)이 Si를 구비하는 재료 시스템에 있어서는, 유전체층(14)은 대략 3000 내지 4000 옹스트롬 정도의 두께를 갖는 이산화 실리콘을 포함할 수 있고, 유전체층(16)은 대략 500 옹스트롬 정도의 두께를 갖는 질화 실리콘을 포함할 수 있다.

[0025] 도 2는 제2 유전체층(16) 내에 활성 영역 개구를 형성한 후의 도 1의 반도체 기판 일부의 단면도이다. 더욱 상세하게는, 도 2는 유전체층(16)에서 활성 영역 개구(18)를 선택적으로 패터닝하고 에칭한 후의 반도체 구조체(10)를 나타낸다. 유전체층(16)의 패터닝 및 에칭은, 널리 공지된 포토리소그래피 패터닝 및 에칭 공정을 이용하여 달성될 수 있다.

[0026] 도 3은 제1 유전체층 내에 기판 비아를 형성한 후의 도 2의 반도체 기판 일부를 나타낸 단면도이다. 더욱 상세하게는, 도 3은, 유전체층(14) 내에, 또한 유전체층(16)의 활성 영역 개구(18)의 영역 내에 기판 비아(20)를 선택적으로 패터닝하고 에칭한 후의 반도체 구조체(10)를 나타낸다. 패터닝 및 에칭은 널리 공지된 포토리소그래피 패터닝 및 에칭 공정을 이용하여 달성될 수 있다.

[0027] 도 4는 기판 비아 내에 제1 반도체 재료를 증착한 후의 도 3의 반도체 기판 일부의 단면도이다. 더욱 상세하게는, 도 4는 기판 비아(20) 내에 반도체 재료(22)를 증착한 후의 반도체 구조체(10)를 나타낸다. 재료(22)는 기판 비아(20) 내의 기판 재료(12) 상에 에피택셜 증착될 수 있다. 또한, 재료(22)는 기판 재료(12)의 격자 상수

와 다른 격자 상수를 갖는 재료를 포함한다.

[0028] 예를 들어, 일 실시예에서, 기판 재료(12)는 Si를 포함하고, 반도체 재료(22)는 SiGe를 포함한다. 재료(22)가 기판 재료(12)의 격자 상수와 다른 격자 상수로 이루어지므로, 에피택셜 증착된 재료(22) 상에 변형이 부과된다. 또한, 재료(22)는 소망하는 두께로 증착되고, 소망하는 두께는 결함(23)을 형성하는 변형을 릴렉싱하기 위해 결함 형성에 대한 임계 두께를 초과한다. 또한, 반도체 재료(22)의 증착은, 유전체층(14) 또는 유전체층(16) 상에 어떤 재료(22)도 증착되지 않도록, 선택적으로 수행된다. 재료(22)의 증착은, RPCVD, LPCVD, UHCVD, PECVD, PACVD, 또는 RTCVD와 같은 일반적인 방법을 이용하여 수행될 수 있다.

[0029] 도 5는, 기판 비아 내의 제1 반도체 재료 상에 제2 재료를 증착하여, 제2 재료가 제1 재료와 인접하는 계면을 형성한 후의 도 4의 반도체 기판 일부의 단면도이다. 더욱 상세하게는, 도 5는, 재료(22) 상에 재료(24)를 증착함으로써, 제2 재료(24)가 제1 재료(22)와 인접하는 위치에서 계면(25)을 형성한 후의 반도체 구조체(10)를 나타낸다. 일 실시예에서, 재료(24)는 유전체 재료층(14) 및 유전체 재료층(16)에 선택적으로 재료(22) 상에 에피택셜 증착된다. 또한, 재료(24)는 재료(22)의 격자 상수와 다른 격자 상수를 갖도록 선택된다. 예를 들어, 반도체 구조체(10)가 Si 기판(12)을 포함하고 재료(22)가 SiGe인 실시예에서, 재료(24)는 SiGeC, SiC, Si 등을 포함할 수 있다. 또한, 계면(25)은, 기판 비아(20)의 에지로 이동시켜 에지 상에서 종료시키기 위해, 후속 에피택셜 증착 동안 이와 달리 위쪽으로 전파하는 경향이 있는, 재료(22) 내의 결함을 촉진한다.

[0030] 도 6은 본 개시 내용의 일 실시예에 따른 프로그래밍된 전이 영역을 형성하기 위해 제1 및 제2 유전체층에 선택적으로 복수의 재료층을 에피택셜 증착한 후의 도 5의 반도체 기판 일부의 단면도이다. 더욱 상세하게는, 도 6은, 유전체(14)와 유전체(16)에 선택적으로 재료층(26, 28, 30, 32, 및 34)을 에피택셜 증착한 후의 반도체 구조체(10)를 나타낸 것으로, 재료층(26, 28, 30, 32, 및 34)은 프로그래밍된 전이 영역(33)을 형성한다. 층(22, 24, 26, 28, 30, 및 32)은 전이층이다. 층(22, 24, 26, 28, 30, 및 32)의 재료는, 기판 재료(12)와 반도체 장치층(34) 간의 격자 상수에서의 차이로 인해 발생하는 변형이 프로그래밍된 전이 영역 내에서 완전히 제거되고 모든 결함이 프로그래밍된 전이 영역 내에서 종료하도록, 선택된다.

[0031] 일 실시예에서, 기판(12)이 Si를 포함하는 재료 시스템의 경우, 층(22, 26, 30, 및 34)은 대략 30 원자(atomic) % 정도의 Ge 농도를 갖는 SiGe층을 포함할 수 있다. 또한, 층(24, 28, 및 32)은, 대략 25 원자 % 정도의 Ge 농도를 갖고, 또한 대략 3 원자 % 정도의 C 농도를 갖는, SiGeC층을 포함할 수 있다. 또한, 동일한 구성 또는 격자 상수로 되는 프로그래밍된 전이 영역에서 여러 층 중 어느 층도 불필요하다. 층의 재료는, 프로그래밍된 전이 영역이 단결정 기판 재료(12)와 단결정 반도체 장치층(34) 간의 변형을 거의 완전히 제거하도록, 선택된다.

[0032] 도 7은 최상위 반도체 장치층을 평탄화한 후의 도 6의 반도체 기판 일부의 단면도이다. 즉, 도 7은 반도체 장치층(34)을 평탄화한 후의 반도체 구조체(10)를 나타낸다. 층(34)의 평탄화는, CMP 또는 플라즈마 에칭백(etchback)과 같은 종래 반도체 장치 제조 및 평탄화 기술을 이용하여 달성될 수 있다. 바람직한 실시예에서, 반도체 장치층(34)의 상부면은 유전체층(16)의 상부면에 비해 약간 들어가게 된다.

[0033] 도 8은 본 개시 내용의 일 실시예에 따른 평탄화된 반도체 장치층 상에 변형 재료층을 에피택셜 증착한 후의 도 7의 반도체 기판 일부의 단면도이다. 더욱 상세하게는, 도 8은 반도체 장치층(34) 상에 변형 재료층(36)을 에피택셜 증착한 후의 반도체 구조체(10)를 나타낸다. 또한, 변형 재료층(36)은, LPCVD 또는 RTCVD와 같은 종래 반도체 장치 제조 기술을 이용하여 유전체층(16)에 선택적으로 증착된다.

[0034] 일 실시예에서, 반도체 장치층(34)이 대략 30 내지 35 원자 % 정도의 Ge 농도를 갖는 SiGe를 포함하는 재료 시스템의 경우, 변형 재료층(36)은 Si를 포함한다. 또한, 변형 재료층(36)의 두께는, 변형을 제거하도록, 결함(36)에서 형성되는 층(36)의 재료의 임계 층 두께보다 작아야 한다. 상술한 재료 시스템의 경우, SiGe 내의 대략 30 내지 35 원자 % Ge의 릴렉싱된 반도체 장치층(34) 상의 Si 변형층(36)의 통상 두께는 150Å보다 작은 정도이다.

[0035] 도 9는 본 개시 내용의 일 실시예에 따른 반도체 장치층 및 변형 재료층을 이용하여 전형적인 MOSFET을 제조한 후의 도 8의 반도체 기판 일부의 단면도이다. 더욱 상세하게는, 도 9는, 반도체 장치층(34) 및 변형 재료층(36)을 이용하여 전형적인 MOSFET 장치(38)를 제조한 후의 반도체 구조체(10)를 나타낸다. MOSFET 장치(38)의 제조에 있어서, 게이트 유전체 재료(40)는 변형 재료층(36) 상에 성장되거나 증착된다. 그 다음에, 게이트 전극 재료(42)는, 게이트 유전체 재료(40) 상에 증착되고, 포토리소그래피 패터닝 및 에칭과 같은 종래 반도체 장치 제조 방법을 이용하여, 패터닝되고 에칭된다. 그 다음에, 최신 반도체 장치 제조 방법을 이용하여, 연장 주

입 영역(44)이 형성되고, 측벽 스페이서(46)가 제조된다. 다음으로, 그 다음에, 깊은 소스/드레인 영역(48)이 형성된다.

- [0036] 도 9의 MOSFET 장치(38)에 있어서, 변형층(36)은 MOSFET 장치의 채널을 형성한다. 변형층(36) 내의 전하 캐리어의 이동도 증가로 인해, 비변형 채널을 갖는 표준의 얇은 트렌치 절연을 이용하여 제조된 MOSFET 장치에 비해 MOSFET 장치의 성능이 향상된다.
- [0037] 도 10은, 도 1 내지 도 9에 개략적으로 도시된 바와 같이, 본 개시 내용의 일 실시예에 따른 방법을 이용하여 제조된 반도체 MOSFET 장치로 이루어진 반도체 구조체 일부의 단면도이다. 더욱 상세하게는, 도 10은, 도 1 내지 도 9와 관련하여 여기서 개략적으로 도시되며 설명된 방법을 이용하여 제조된 반도체 MOSFET 장치(50, 52, 및 54)로 이루어진 반도체 구조체(100)를 나타낸다. 반도체 구조체(100)에 있어서, 심(seam)(35)은, 공통 소스/드레인 장치 전극을 생성하기 위해 인접한 장치(50 및 52) 내에 반도체 장치층(34)을 증착한 위치에 존재한다. 도 10은 프로그래밍된 전이 영역의 영역 바로 위에 MOSFET을 도시하지만, 이는 요구 조건은 아니다. 즉, MOSFET 또는 MOSFET들은 장치층(34) 내의 어디에도 존재할 수 있다.
- [0038] 다시 도 10을 참조하면, 규화물 영역(60)이 도시되어 있고, 규화물 영역(60)은 전형적인 규화물 공정 기술을 이용하여 형성된다. 장치(50 및 52)의 공통 소스/드레인 장치 전극 상의 영역(60) 내의 규화물은, 심(35)으로 인한 임의의 저항을 최소화한다. 도 10의 실례는, 공통 소스/드레인 영역을 갖는 현재 장치 배치 방법과 대체로 유사한 방식으로 본 개시 내용의 실시예에 따라 제조된 인접한 장치를 더 집적할 수 있는 일 예를 나타낸다.
- [0039] 도 11은 본 개시 내용의 다른 실시예에 따른 평탄화된 반도체 장치 상에 변형 재료층을 갖는 반도체 기판 일부의 단면도이다. 더욱 상세하게는, 도 11은, 여기 위에서 설명되며 도 1 내지 도 8에 도시된 공정과 유사한 방법을 이용하여 제조된 반도체 구조체(150)로 이루어진 다른 실시예를 나타낸다. 도 3에 처음으로 도시된 "T" 형상 구조를 생성하는데 이용되는 2개의 처리된 마스크 대신, 단일 에칭 공정을 이용할 수 있다. 다른 실시예는, 유전체(14) 내에 경사진 프로파일(21)을 생성하기 위해 공정을 맞추는 동안(ISI), 우선, 유전체층(16)을 에칭한 후, 유전체(14)에서 계속 에칭하는 단일 에칭 공정을 포함한다.
- [0040] 상술한 바와 같이, 층(22, 24, 26, 28, 30, 32, 및 34)은, 기판 재료(12)와 반도체 장치층(34) 간에 프로그래밍된 전이 영역(33)을 형성하기 위해, 증착된다. 층(22, 24, 26, 28, 30, 32, 및 34) 내의 재료는, 격자 상수에서의 차이로 인한 기판 재료(12)와 반도체 장치층(34) 간의 변형이 프로그래밍된 전이 영역(33) 내에서 완전히 제거되고 변형을 제거하는 모든 결함이 프로그래밍된 전이 영역(33) 내에서 종료되도록, 선택된다. 그 다음에, 상술한 바와 같이, 변형 재료층(36)은, 유전체층(16)에 선택적으로 완전히 선택된 반도체 장치층(34) 상에 증착된다. 또한, 도 11의 실시예는, ISI를 수반하는 것과 같은 상이한 절연 구조가, 변형 선택적으로 인한 결함을 최소화하거나 제거하기 위해 여기서 개시된 구조의 응용에도 어떻게 적합한지를 예시한다.
- [0041] 본 개시 내용의 일 실시예에 따르면, 반도체 구조체는, 제1 격자 상수를 갖는 제1 선택된 반도체 재료의 기판을 포함한다. 반도체 장치층은 기판 위에 위치하고, 반도체 장치층은 제1 격자 상수와 다른 제2 격자 상수를 갖는 제2 선택된 반도체 재료를 포함한다. 반도체 구조체는, 기판과 반도체 장치층 간에 삽입된 유전체층을 더 포함한다. 유전체층은 제1 격자 상수와 제2 격자 상수 간의 전이를 위해 유전체층 내에 삽입된 프로그래밍된 전이 영역을 포함한다.
- [0042] 프로그래밍된 전이 영역은 복수의 층을 구비한다. 복수의 층 중 인접한 층들은 상이한 격자 상수를 갖고, 인접한 층 중 한 층은 결함을 형성하는데 필요한 제1 임계 두께를 초과하는 제1 두께를 갖고, 인접한 층 중 다른 층은 제2 임계 두께를 초과하지 않는 제2 두께를 갖는다. 복수의 층 중 인접한 층 각각은, 전이 영역에서 결함을 촉진하기 위한 계면을 형성하여, 프로그래밍된 전이 영역의 에지로 결함을 이동시키고 에지 상에서 결함을 종료시킨다.
- [0043] 일 실시예에서, 복수의 층의 인접한 쌍 중 적어도 한 쌍의 재료 구성은 복수의 층의 다른 모든 쌍과 다르다. 다른 실시예에서, 복수의 층은 복수의 전이층 쌍을 더 구비할 수 있고, 각 전이층 쌍 중 제1 쌍은 소정의 게르마늄 비율을 구비하고, 소정의 비율은 전이층 쌍 중 적어도 2개 쌍 간에 변한다.
- [0044] 일 실시예에서, 프로그래밍된 전이 영역은, 기판에 대체로 수직인 측벽을 갖는 비아를 구비한다. 다른 실시예에서, 프로그래밍된 전이 영역은, 90도 이외의 각도로 기판과 교차하며 경사지는 측벽을 갖는 비아를 구비한다.
- [0045] 상기에 더하여, 본 개시 내용의 다른 실시예에 따르면, 반도체 구조체는, 반도체 장치층 위에 위치한 변형 재료층을 더 포함한다. 변형 재료층은, 결함을 최소화하며 변형을 유지하기 위해, 그 임계 두께보다 작은 두께를 갖는다. 반도체 구조체는 변형 재료층 위에 위치한 트랜지스터 제어 전극, 및 변형 재료층에 인접하여 위치한

트랜지스터 전류 전극을 더 포함할 수도 있고, 변형 재료층은 트랜지스터의 채널로서 기능을 한다.

- [0046] 본 개시 내용의 또 다른 실시예에서, 반도체 장치 구조체는, 기판 수단, 유전체층 수단, 및 반도체 장치층 수단을 포함한다. 기판 수단은 제1 격자 상수를 갖는 제1 락스된 재료를 포함한다. 유전체층 수단은, 제1 격자 상수를 갖는 제1 락스된 재료에서 상이한 격자 상수 재료로 전이하기 위해 프로그래밍된 전이 영역을 정의하는 개구를 포함한다. 프로그래밍된 전이 영역은 복수의 층을 구비하고, 각 층은, 결합을 촉진하기 위한 계면을 형성하여 프로그래밍된 전이 영역의 에지로 이동시키고 에지 상에서 종로시키기 위해, 복수의 층 중 임의의 인접한 층과 다른 구성을 갖는다. 복수의 층 중 소정의 교번층들은, 결합을 형성하여 변형을 제거하기 위해 그 재료 구성에 대한 임계 두께를 초과하는 두께를 갖는다. 끝으로, 복수의 층 중 삽입층들은, 변형되는 그 재료 구성에 대한 임계 두께를 초과하지 않는 두께를 갖고, 복수의 층 중 상부층은 대체로 결합이 없다. 반도체 장치층은, 적어도 프로그래밍된 전이 영역 위에 위치하고, 제2 격자 상수를 가지며 상이한 격자 상수 재료인 제2 락스된 재료를 더 구비한다.
- [0047] 이전 문단의 반도체 장치 구조체는, 반도체층 수단 위에 위치한 변형 재료층 수단을 더 구비할 수 있고, 변형 재료층 수단은, 반도체 장치 구조체의 소자에 대해 증가한 전하 캐리어 이동도를 갖는 재료로서 기능을 한다. 일 실시예에서, 변형 재료층 수단은 변형 실리콘을 포함한다. 또한, 반도체 장치는, 변형 재료층 수단 위에 위치한 트랜지스터 제어 전극 수단; 및 반도체 장치층 수단 내에 형성되며 트랜지스터 제어 전극 수단에 인접하여 트랜지스터를 형성하는 전류 전극 수단을 더 포함할 수 있고, 변형 재료층 수단은 트랜지스터의 채널로서 기능을 한다.
- [0048] 또한, 이전 문단의 반도체 장치 구조체의 실시예에 있어서, 프로그래밍된 전이 영역은, 기판 수단 위에 위치하며 실리콘 게르마늄, 갈륨 비화물 및 알루미늄 비화물 중 하나를 구비하는 복수의 층 중 제1 층; 복수의 층 중 제1 층 위에 위치하며 실리콘 게르마늄 탄소, 실리콘 탄소, 실리콘, 실리콘 게르마늄, 갈륨 비화물 및 알루미늄 비화물 중 하나를 구비하는 복수의 층 중 제2 층; 복수의 층 중 제2 층 위에 위치하며 실리콘 게르마늄 탄소, 실리콘 탄소, 실리콘, 실리콘 게르마늄, 갈륨 비화물 및 알루미늄 비화물 중 하나를 구비하는 복수의 층 중 제3 층; 복수의 층 중 제3 층 위에 위치하며 실리콘 게르마늄, 갈륨 비화물 및 알루미늄 비화물 중 하나를 구비하는 복수의 층 중 제4 층; 및 복수의 층 중 제4 층 위에 위치하는 복수의 층 중 하나 이상의 추가층을 더 포함할 수 있고, 하나 이상의 추가층 중 최종층은 대체로 결합이 없는 재료이다.
- [0049] 반도체 장치 구조체의 프로그래밍된 전이 영역은, 유전체층 수단 내에 형성되며, 기판 수단에 수직이 아닌 측면을 갖는 비아를 더 구비할 수도 있다. 반도체 구조체의 기판 수단은, 실리콘, 갈륨 비화물, 알루미늄 비화물, 갈륨 인 및 인듐 인 중 하나로 이루어진 재료를 더 구비할 수도 있다.
- [0050] 또 다른 실시예에 있어서, 반도체 장치 구조체를 제조하는 방법은, 제1 격자 상수를 갖는 제1 락스된 재료를 구비한 기판 수단을 형성하는 단계를 포함한다. 유전체층 수단은 기판 수단 위에 형성되고, 유전체층 수단은 제1 격자 상수를 갖는 제1 락스된 재료에서 상이한 격자 상수 재료로 전이하기 위해 프로그래밍된 전이 영역을 정의하는 개구를 갖는다. 다음으로, 프로그래밍된 전이 영역은 복수의 층으로 형성되고, 복수의 층 각각은, 결합을 촉진하기 위한 계면을 형성하여 프로그래밍된 전이 영역의 에지로 이동시켜 에지 상에서 종로시키기 위해, 복수의 층 중 임의의 인접한 층과 다른 구성을 구비한다.
- [0051] 소정의 교번 층이, 결합을 형성하여 변형을 제거하기 위해, 그 재료 구성에 대한 임계 두께를 초과하는 두께를 갖는 복수의 층으로 형성된다. 또한, 복수의 층 중 삽입층을 형성하여, 변형되는 그 재료 구성에 대한 임계 두께를 초과하지 않는 두께를 갖는 소정의 교번 층을 삽입하고, 복수의 층 중 상부층은 대체로 결합이 없다. 끝으로, 반도체 장치층 수단은 적어도 프로그래밍된 전이 영역 위에 형성되고, 반도체 장치층 수단은 상이한 격자 상수인 제2 격자 상수를 갖는 제2 락스된 재료를 구비한다.
- [0052] 또한, 본 발명의 방법은, 반도체 장치층 수단 위에 위치한 변형 재료층을 형성하는 단계를 더 포함할 수 있다. 변형 재료층은, 결합을 최소화하고 변형을 유지하기 위해, 그 임계 두께보다 작은 두께로 형성된다. 또한, 본 발명의 방법은, 반도체 장치층 수단 내에 전류 전극 확산을 형성하고, 유전체층 수단에 의해 변형 재료층으로부터 분리되며 위에 위치하는 게이트 전극을 형성함으로써, 트랜지스터를 형성하는 단계를 더 포함할 수 있고, 변형 재료층은 트랜지스터의 채널로서 기능을 한다.
- [0053] 또한, 본 개시 내용의 실시예에 따르면, 변형 락스와 관련된 결합을 종로시키기 위해 장치의 비활성 장치 영역 내에 일 구조체를 제공하는 ISI 및 T-형상 절연을 개시하였다. 상기 구조체는, 절연 구조체의 측면 상의 결합 종료를 촉진하는 프로그래밍된 전이 영역을 포함한다. 본 개시 내용의 실시예의 이점은, 다른 이점뿐만 아

나라, 결합 종료나, 변형 제거도 포함한다. 결합 종료는, ISI 구조체 또는 반도체 비아의 측벽 상에서 발생하고, 층(22, 24, 26, 28, 30, 32, 및 34) 간의 계면의 이용을 통하여 촉진된다. 전이 영역 내부의 별개 계면 없이 일정한 구성 또는 경사진 구성의 영역에서보다 프로그래밍된 전이 영역에서 더 많은 결합을 형성하여 종료시킬 수 있으므로, (유전체층(14)의 두께에 대응하는)더 작은 수직 범위에서 변형 제거를 촉진시킬 수 있다.

[0054] 이상, 여기 위에서 제시된 바와 같이, 여러 실시예를 설명하였지만, 다른 타입의 삽입층도 가능하다. 상기 다른 타입은 SiGe 초격자(superlattice), Si, 및 Si-X를 포함할 수 있고, X는 Si 격자를 효과적으로 조절할 수 있는 소망하는 성분이지만, 의사변형(pseudomorphic) 성장에 영향을 미치지 않는다. 예를 들어, 상기 성분은 임의의 Si 합금이나, Si 산화물/질화물 등을 포함할 수 있고, 또한 유사한 방식으로 Si-X-Y 시스템을 포함할 수 있다.

[0055] 상술한 명세서에서, 본 개시 내용은 여러 실시예를 참조하여 설명되었다. 그러나, 당해 기술분야의 당업자는, 아래 청구항에서 개시되는 것과 같은 본 실시예의 범위로부터 이탈함이 없이 여러 변형 및 변화를 만들 수 있다는 것을 알 수 있다. 따라서, 명세 및 숫자는 제한하려는 의미보다는 예시적인 것으로 판단되어야 하고, 상기 모든 변형은 본 실시예의 범위 내에 포함된다.

[0056] 이상, 특정 실시예를 참조하여 이익, 다른 이점, 및 문제에 대한 해법을 설명하였다. 그러나, 이익, 이점, 문제에 대한 해법, 및 임의의 이익, 이점, 또는 해법을 발생시키거나 더 명확하게 할 수도 있는 임의의 요소(들)은, 임의의 또는 모든 청구항의 임계적, 필수적, 또는 본질적인 특징이나 요소로서 해석되어서는 안 된다. 여기서 이용된 바와 같이, "구비한다", "구비하는"이란 용어, 또는 그 임의의 다른 변형은 비배타적인 포함을 커버하려는 것으로, 구성 요소의 목록을 구비하는 공정, 방법, 물건, 또는 장치는, 상기 요소만을 포함하는 것이 아니라 상기 공정, 방법, 물건, 또는 장치에 고유하거나 명확히 열거되지 않은 다른 요소를 포함할 수도 있다. 여기서 이용되는 바와 같이, "일" 또는 "하나"란 용어는 1 또는 1보다 큰 것으로 정의된다. 여기서 이용되는 바와 같이, "복수"란 용어는, 2 또는 2보다 큰 것으로 정의된다. 여기서 이용되는 바와 같이, "다른"이란 용어는 적어도 두 번째 이상으로 정의된다. 여기서 이용되는 바와 같이, "포함하는" 및/또는 "갖는"이란 용어는, "구비하는"(즉, 개방 언어)으로서 정의된다. 여기서 이용되는 바와 같이, "결합된"이란 용어는, 반드시 직접은 아니며 반드시 기계적은 아니지만, "접속된"으로서 정의된다.

도면의 간단한 설명

[0008] 본 개시 내용의 실시예는 예로서 설명되는 것으로, 동일 참조 부호가 유사한 요소를 지시하는, 첨부된 도면에 의해 한정되지 않는다.

[0009] 도 1은 본 개시 내용의 일 실시예에 따른 반도체 기판 상에 제조되며 제1 및 제2 유전체층을 갖는 반도체 구조체 일부의 단면도이다.

[0010] 도 2는 제2 유전체층 내에 활성 영역 개구를 형성한 후 도 1의 반도체 기판 일부의 단면도이다.

[0011] 도 3은 제1 유전체층 내에 기판 비아를 형성한 후 도 2의 반도체 기판 일부의 단면도이다.

[0012] 도 4는 기판 비아 내에 제1 반도체 재료를 증착한 후 도 3의 반도체 기판 일부의 단면도이다.

[0013] 도 5는 기판 비아 내의 제1 반도체 재료 상에 제2 재료를 증착하여, 제2 재료가 제1 재료와 인접하는 계면을 형성한 후, 도 4의 반도체 기판 일부의 단면도이다.

[0014] 도 6은 본 개시 내용의 일 실시예에 따른 프로그래밍된 전이 영역을 형성하기 위해 제1 및 제2 유전체층에 선택적으로 복수의 재료층을 에피택셜 증착한 후 도 5의 반도체 기판 일부의 단면도이다.

[0015] 도 7은 최상위 반도체 장치층을 평탄화한 후 도 6의 반도체 기판 일부의 단면도이다.

[0016] 도 8은 본 개시 내용의 일 실시예에 따른 평탄화된 반도체 장치층 상에 변형 재료층을 에피택셜 증착한 후 도 7의 반도체 기판 일부의 단면도이다.

[0017] 도 9는 본 개시 내용의 일 실시예에 따른 반도체 장치층 및 변형 재료층을 이용하여 종래 MOSFET을 제조한 후 도 8의 반도체 기판 일부의 단면도이다.

[0018] 도 10은 도 1 내지 도 9에 개략적으로 도시된 바와 같이, 본 개시 내용의 일 실시예에 따른 방법을 이용하여 제조된 반도체 MOSFET 장치로 이루어진 반도체 구조체 일부의 단면도이다.

[0019] 도 11은 본 개시 내용의 다른 실시예에 따른 평탄화된 반도체 장치층 상에 변형 재료층을 갖는 반도체 기판 일

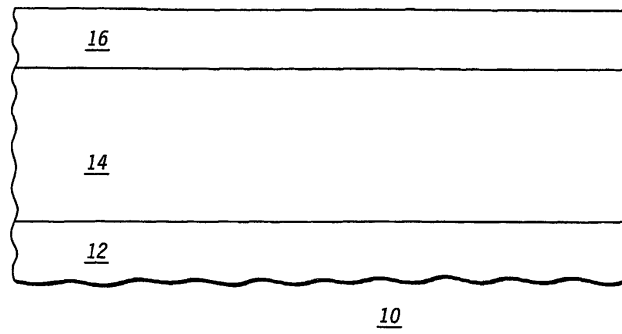
부의 단면도이다.

[0020]

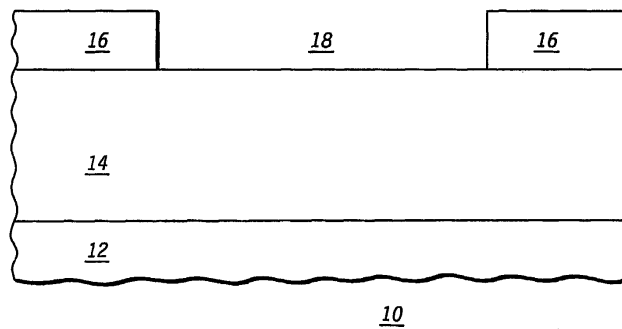
당해 기술분야의 당업자는, 도면 내의 요소가 단순 및 명확을 위해 도시되고 반드시 축척으로 그려지지 않았음을 알 수 있다. 예를 들어, 도면 내의 요소 중 일부의 치수는 본 개시 내용의 실시예의 이해를 향상시키는 것을 돕기 위해 다른 요소에 비해 과장될 수도 있다.

도면

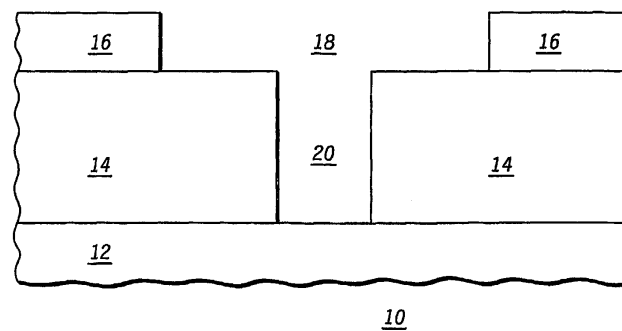
도면1



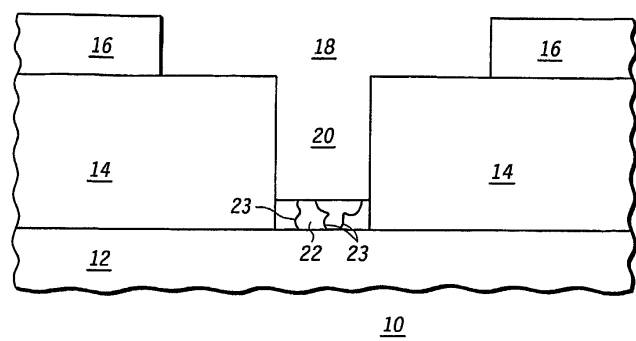
도면2



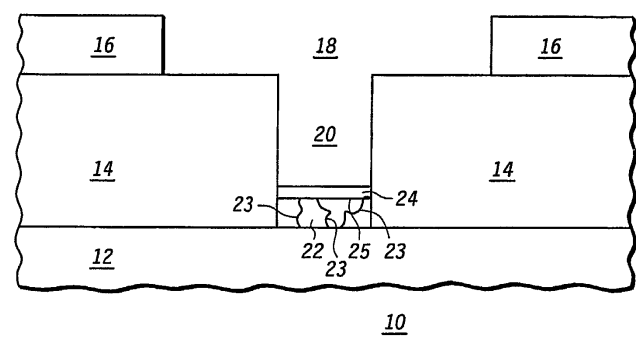
도면3



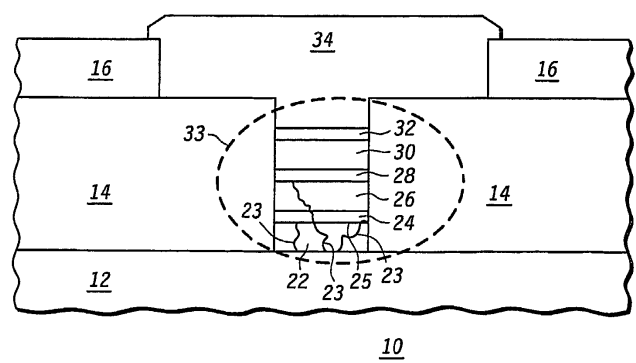
도면4



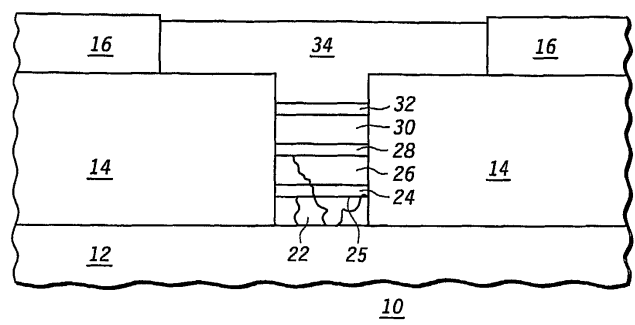
도면5



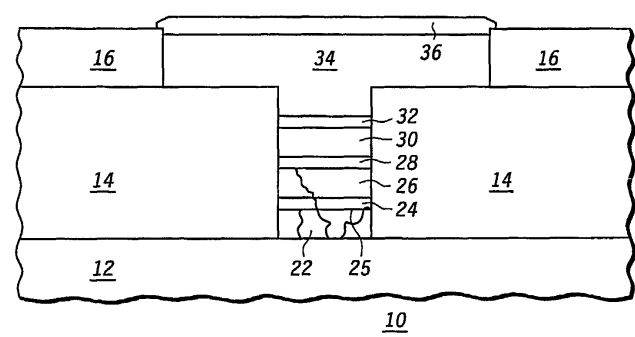
도면6



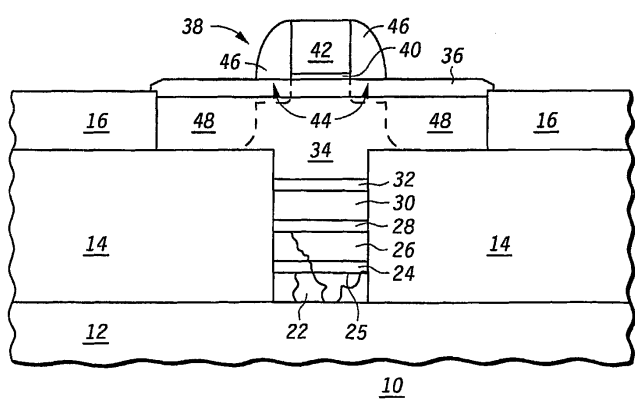
도면7



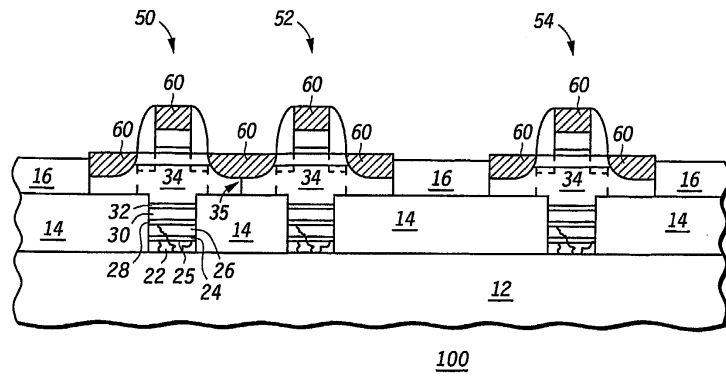
도면8



도면9



도면10



도면11

