(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0039363
(43) 공개일자 2025년03월20일

(51) 국제특허분류(Int. Cl.)
H10K 59/121 (2023.01) *G09G 3/3266* (2016.01)
H10D 30/67 (2025.01) *H10K 59/123* (2023.01)
H10K 59/131 (2023.01) *H10K 59/80* (2023.01)
(52) CPC특허분류
H10K 59/1213 (2023.02)
G09G 3/3266 (2013.01)
(21) 출원번호 10-2025-7001349
(22) 출원일자(국제) 2023년07월06일
심사청구일자 없음
(85) 번역문제출일자 2025년01월14일
(86) 국제출원번호 PCT/IB2023/056977
(87) 국제공개번호 WO 2024/018313
국제공개일자 2024년01월25일
(30) 우선권주장
JP-P-2022-115226 2022년07월20일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
기무라 하지메
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
하야시 겐타로
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
(74) 대리인
김태홍, 김진희

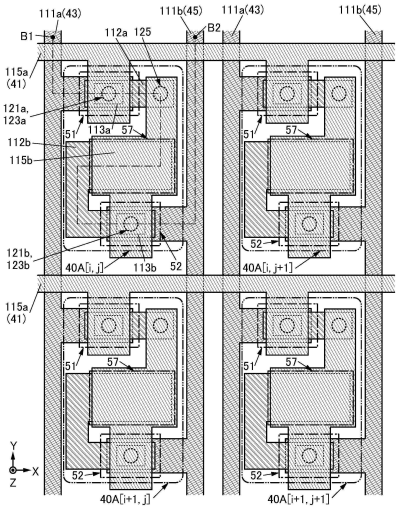
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 **표시 장치**

(57) 요 약

고속으로 구동하는 표시 장치를 제공한다. 화소와, 주사선 구동 회로와, 전원 회로를 가지는 표시 장치이다. 화소는 제 1 트랜지스터 및 제 2 트랜지스터를 가지고, 제 2 트랜지스터는 기판 위의 층간 절연층에 형성된 개구의 내부에 반도체층이 제공된다. 제 1 트랜지스터의 게이트 전극으로서 기능하는 제 1 도전층은 제 1 방향으로 연장되는 영역을 가지고, 주사선 구동 회로와 전기적으로 접속된다. 제 2 트랜지스터의 소스 전극 또는 드레인 전극으로서 기능하는 제 2 도전층을 개구 아래에 제공한다. 제 2 도전층은 제 1 방향과 수직인 제 2 방향으로 연장되는 영역을 가지고, 전원 회로와 전기적으로 접속된다. 제 1 도전층과 제 2 도전층은 층간 절연층을 개재(介在)하여 중첩되는 영역을 가진다.

대 표 도 - 도6



(52) CPC특허분류
H10D 30/6755 (2025.01)
H10K 59/123 (2023.02)
H10K 59/131 (2023.02)
H10K 59/8051 (2023.02)
G09G 2300/0426 (2013.01)
G09G 2330/021 (2013.01)
G09G 2340/0435 (2013.01)

명 세 서

청구범위

청구항 1

표시 장치로서,

화소와, 전원 회로와, 주사선 구동 회로를 가지고,

상기 화소는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 1 절연층을 가지고,

상기 제 1 트랜지스터는 제 1 도전층과, 제 2 도전층과, 제 3 도전층과, 제 1 반도체층과, 제 2 절연층을 가지고,

상기 제 1 절연층은 상기 제 1 도전층 위에 제공되고,

상기 제 1 절연층은 상기 제 1 도전층에 도달하는 제 1 개구를 가지고,

상기 제 1 도전층은 상기 전원 회로와 전기적으로 접속되고,

상기 제 2 도전층은 상기 제 1 절연층 위에 제공되고,

상기 제 2 도전층은 상기 제 1 개구와 중첩되는 영역을 가지는 제 2 개구를 가지고,

상기 제 1 반도체층은 상기 제 1 도전층과 접하는 영역 및 상기 제 2 도전층과 접하는 영역을 가지며, 상기 제 1 개구의 내부에 위치하는 영역 및 상기 제 2 개구의 내부에 위치하는 영역을 가지도록 제공되고,

상기 제 2 절연층은 상기 제 1 개구의 내부에 위치하는 영역 및 상기 제 2 개구의 내부에 위치하는 영역을 가지도록 상기 제 1 반도체층 위에 제공되고,

상기 제 3 도전층은 상기 제 1 개구의 내부에 위치하는 영역 및 상기 제 2 개구의 내부에 위치하는 영역을 가지며, 상기 제 1 반도체층과 상기 제 2 절연층을 끼워 대향하는 영역을 가지도록 제공되고,

상기 제 2 트랜지스터는 상기 제 2 절연층과, 상기 제 2 절연층 아래의 제 2 반도체층과, 상기 제 2 절연층 위의 제 4 도전층을 가지고,

상기 제 4 도전층은 상기 제 2 반도체층과 중첩되는 영역을 가지고,

상기 제 4 도전층은 상기 주사선 구동 회로와 전기적으로 접속되고,

상기 제 4 도전층은 상기 제 1 절연층 및 상기 제 2 절연층을 개재(介在)하여 상기 제 1 도전층과 중첩되는 영역을 가지는, 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제 2 트랜지스터는 상기 제 2 반도체층과 접하는 제 5 도전층을 가지고,

상기 제 5 도전층은 상기 제 3 도전층과 전기적으로 접속되는, 표시 장치.

청구항 3

제 2 항에 있어서,

상기 표시 장치는 신호선 구동 회로를 가지고,

상기 제 2 트랜지스터는 상기 제 2 반도체층과 접하는 제 6 도전층을 가지고,

상기 제 6 도전층은 상기 신호선 구동 회로와 전기적으로 접속되는, 표시 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 반도체층 및 상기 제 2 반도체층은 금속 산화물을 가지는, 표시 장치.

청구항 5

제 4 항에 있어서,

상기 금속 산화물은 인듐과, 아연과, M(M은 알루미늄, 타이타늄, 갈륨, 저마늄, 주석, 이트륨, 지르코늄, 란타넘, 세륨, 네오디뮴, 및 하프늄 중에서 선택된 1종류 또는 복수 종류)을 가지는, 표시 장치.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 화소는 표시 소자를 가지고,

상기 표시 소자의 화소 전극은 상기 제 2 도전층과 전기적으로 접속되는, 표시 장치.

청구항 7

제 6 항에 있어서,

상기 표시 장치는 기준 전위 생성 회로를 가지고,

상기 화소는 제 3 트랜지스터를 가지고,

상기 제 3 트랜지스터는 제 7 도전층과, 제 8 도전층과, 제 9 도전층과, 제 3 반도체층과, 상기 제 2 절연층을 가지고,

상기 제 1 절연층은 상기 제 7 도전층 위에 제공되고,

상기 제 1 절연층은 상기 제 7 도전층에 도달하는 제 3 개구를 가지고,

상기 제 7 도전층은 상기 화소 전극과 전기적으로 접속되고,

상기 제 8 도전층은 상기 제 1 절연층 위에 제공되고,

상기 제 8 도전층은 상기 제 3 개구와 중첩되는 영역을 가지는 제 4 개구를 가지고,

상기 제 8 도전층은 상기 기준 전위 생성 회로와 전기적으로 접속되고,

상기 제 3 반도체층은 상기 제 7 도전층과 접하는 영역 및 상기 제 8 도전층과 접하는 영역을 가지며, 상기 제 3 개구의 내부에 위치하는 영역 및 상기 제 4 개구의 내부에 위치하는 영역을 가지도록 제공되고,

상기 제 2 절연층은 상기 제 3 개구의 내부에 위치하는 영역 및 상기 제 4 개구의 내부에 위치하는 영역을 가지도록 상기 제 3 반도체층 위에 제공되고,

상기 제 9 도전층은 상기 제 3 개구의 내부에 위치하는 영역 및 상기 제 4 개구의 내부에 위치하는 영역을 가지며, 상기 제 3 반도체층과 상기 제 2 절연층을 끼워 대향하는 영역을 가지도록 제공되고,

상기 제 9 도전층은 상기 주사선 구동 회로와 전기적으로 접속되고,

상기 제 8 도전층은 상기 제 4 도전층과 중첩되는 영역 및 상기 제 9 도전층과 중첩되는 영역을 가지는, 표시 장치.

청구항 8

제 7 항에 있어서,

상기 제 3 반도체층은 금속 산화물을 가지는, 표시 장치.

청구항 9

제 8 항에 있어서,

상기 금속 산화물은 인듐과, 아연과, M(M은 알루미늄, 타이타늄, 갈륨, 저마늄, 주석, 이트륨, 지르코늄, 란타

넘, 세륨, 네오디뮴, 및 하프늄 중에서 선택된 1종류 또는 복수 종류)을 가지는, 표시 장치.

청구항 10

표시 장치로서,

화소와, 주사선 구동 회로와, 전원 회로를 가지고,

상기 화소는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 1 절연층을 가지고,

상기 제 1 트랜지스터는 제 1 도전층과, 제 2 도전층과, 제 3 도전층과, 제 1 반도체층과, 제 2 절연층을 가지고,

상기 제 1 절연층은 상기 제 1 도전층 위에 제공되고,

상기 제 1 절연층은 상기 제 1 도전층에 도달하는 제 1 개구를 가지고,

상기 제 2 도전층은 상기 제 1 절연층 위에 제공되고,

상기 제 2 도전층은 상기 제 1 개구와 중첩되는 영역을 가지는 제 2 개구를 가지고,

상기 제 1 반도체층은 상기 제 1 도전층과 접하는 영역 및 상기 제 2 도전층과 접하는 영역을 가지며, 상기 제 1 개구의 내부에 위치하는 영역 및 상기 제 2 개구의 내부에 위치하는 영역을 가지도록 제공되고,

상기 제 2 절연층은 상기 제 1 개구의 내부에 위치하는 영역 및 상기 제 2 개구의 내부에 위치하는 영역을 가지도록 상기 제 1 반도체층 위에 제공되고,

상기 제 3 도전층은 상기 제 1 개구의 내부에 위치하는 영역 및 상기 제 2 개구의 내부에 위치하는 영역을 가지며, 상기 제 1 반도체층과 상기 제 2 절연층을 끼워 대향하는 영역을 가지도록 제공되고,

상기 제 3 도전층은 상기 주사선 구동 회로와 전기적으로 접속되고,

상기 제 2 트랜지스터는 제 4 도전층과, 제 5 도전층과, 제 6 도전층과, 제 2 반도체층과, 상기 제 2 절연층을 가지고,

상기 제 1 절연층은 상기 제 4 도전층 위에 제공되고,

상기 제 1 절연층은 상기 제 4 도전층에 도달하는 제 3 개구를 가지고,

상기 제 4 도전층은 상기 전원 회로와 전기적으로 접속되고,

상기 제 5 도전층은 상기 제 1 절연층 위에 제공되고,

상기 제 5 도전층은 상기 제 3 개구와 중첩되는 영역을 가지는 제 4 개구를 가지고,

상기 제 2 반도체층은 상기 제 4 도전층과 접하는 영역 및 상기 제 5 도전층과 접하는 영역을 가지며, 상기 제 3 개구의 내부에 위치하는 영역 및 상기 제 4 개구의 내부에 위치하는 영역을 가지도록 제공되고,

상기 제 2 절연층은 상기 제 3 개구의 내부에 위치하는 영역 및 상기 제 4 개구의 내부에 위치하는 영역을 가지도록 상기 제 2 반도체층 위에 제공되고,

상기 제 6 도전층은 상기 제 3 개구의 내부에 위치하는 영역 및 상기 제 4 개구의 내부에 위치하는 영역을 가지며, 상기 제 2 반도체층과 상기 제 2 절연층을 끼워 대향하는 영역을 가지도록 제공되고,

상기 제 3 도전층은 상기 제 1 절연층 및 상기 제 2 절연층을 개재하여 상기 제 4 도전층과 중첩되는 영역을 가지는, 표시 장치.

청구항 11

제 10 항에 있어서,

상기 표시 장치는 신호선 구동 회로를 가지고,

상기 제 1 도전층은 상기 신호선 구동 회로와 전기적으로 접속되고,

상기 제 1 도전층은 상기 제 3 도전층과 중첩되는 영역을 가지는, 표시 장치.

청구항 12

제 10 항 또는 제 11 항에 있어서,

상기 제 2 도전층은 상기 제 6 도전층과 전기적으로 접속되는, 표시 장치.

청구항 13

제 10 항 또는 제 11 항에 있어서,

상기 제 1 반도체층 및 상기 제 2 반도체층은 금속 산화물을 가지는, 표시 장치.

청구항 14

제 13 항에 있어서,

상기 금속 산화물은 인듐과, 아연과, M(M은 알루미늄, 타이타늄, 갈륨, 저마늄, 주석, 이트륨, 지르코늄, 란타넘, 세륨, 네오디뮴, 및 하프늄 중에서 선택된 1종류 또는 복수 종류)을 가지는, 표시 장치.

청구항 15

제 10 항 또는 제 11 항에 있어서,

상기 화소는 표시 소자를 가지고,

상기 표시 소자의 화소 전극은 상기 제 5 도전층과 전기적으로 접속되는, 표시 장치.

청구항 16

제 15 항에 있어서,

상기 표시 장치는 기준 전위 생성 회로를 가지고,

상기 화소는 제 3 트랜지스터를 가지고,

상기 제 3 트랜지스터는 제 7 도전층과, 제 8 도전층과, 제 9 도전층과, 제 3 반도체층과, 상기 제 2 절연층을 가지고,

상기 제 1 절연층은 상기 제 7 도전층 위에 제공되고,

상기 제 1 절연층은 상기 제 7 도전층에 도달하는 제 5 개구를 가지고,

상기 제 7 도전층은 상기 화소 전극과 전기적으로 접속되고,

상기 제 8 도전층은 상기 제 1 절연층 위에 제공되고,

상기 제 8 도전층은 상기 제 5 개구와 중첩되는 영역을 가지는 제 6 개구를 가지고,

상기 제 8 도전층은 상기 기준 전위 생성 회로와 전기적으로 접속되고,

상기 제 3 반도체층은 상기 제 7 도전층과 접하는 영역 및 상기 제 8 도전층과 접하는 영역을 가지며, 상기 제 5 개구의 내부에 위치하는 영역 및 상기 제 6 개구의 내부에 위치하는 영역을 가지도록 제공되고,

상기 제 2 절연층은 상기 제 5 개구의 내부에 위치하는 영역 및 상기 제 6 개구의 내부에 위치하는 영역을 가지도록 상기 제 3 반도체층 위에 제공되고,

상기 제 9 도전층은 상기 제 5 개구의 내부에 위치하는 영역 및 상기 제 6 개구의 내부에 위치하는 영역을 가지며, 상기 제 3 반도체층과 상기 제 2 절연층을 끼워 대향하는 영역을 가지도록 제공되고,

상기 제 9 도전층은 상기 주사선 구동 회로와 전기적으로 접속되고,

상기 제 8 도전층은 상기 제 3 도전층과 중첩되는 영역 및 상기 제 9 도전층과 중첩되는 영역을 가지는, 표시 장치.

청구항 17

제 16 항에 있어서,

상기 제 3 반도체층은 금속 산화물을 가지는, 표시 장치.

청구항 18

제 17 항에 있어서,

상기 금속 산화물은 인듐과, 아연과, M(M은 알루미늄, 타이타늄, 갈륨, 저마늄, 주석, 이트륨, 지르코늄, 란타넘, 세륨, 네오디뮴, 및 하프늄 중에서 선택된 1종류 또는 복수 종류)을 가지는, 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 표시 장치, 반도체 장치, 표시 모듈, 및 전자 기기에 관한 것이다. 본 발명의 일 형태는 표시 장치의 제작 방법 및 반도체 장치의 제작 방법에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 발명의 일 형태의 기술분야로서는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치(예를 들어 터치 센서), 입출력 장치(예를 들어 터치 패널), 이들의 구동 방법, 또는 이들의 제작 방법을 일례로서 들 수 있다.

배 경 기 술

[0003] 트랜지스터를 포함하는 반도체 장치는 표시 장치 및 전자 기기에 널리 적용되고 있고, 고집적화 및 고속화가 요구되고 있다. 예를 들어 정세도가 높은 표시 장치에 반도체 장치를 적용하는 경우, 집적도가 높은 반도체 장치가 요구된다. 트랜지스터의 집적도를 높이는 수단의 하나로서, 미세한 크기의 트랜지스터가 개발되고 있다.

[0004] 근년, 가상 현실(VR: Virtual Reality), 증강 현실(AR: Augmented Reality), 대체 현실(SR: Substitutional Reality), 또는 혼합 현실(MR: Mixed Reality)에 적용할 수 있는 표시 장치가 요구되고 있다. VR, AR, SR, 및 MR를 총칭하여 XR(Extended Reality)라고도 한다. XR용 표시 장치는 현실감 및 몰입감을 높이기 위하여 정세도 및 색 재현성이 높은 것이 요구된다. 상기 표시 장치에 적용할 수 있는 장치의 예로서는 액정 표시 장치, 유기 EL(Electro Luminescence) 소자, 발광 다이오드(LED: Light Emitting Diode) 등의 발광 소자를 포함한 발광 장치 등을 들 수 있다.

[0005] 특허문헌 1에는 유기 EL 소자(유기 EL 디바이스라고도 함)를 사용한 VR용 표시 장치가 개시(開示)되어 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 국제공개공보 WO2018/087625호

발명의 내용

해결하려는 과제

[0007] 표시 장치의 정세도를 높이고 단위 면적당 화소의 개수를 많게 하는 경우에는, 예를 들어 프레임 주파수를 확보하기 위하여 표시 장치를 고속으로 구동시키는 것이 바람직하다.

[0008] 그러므로 본 발명의 일 형태는 고속으로 구동하는 표시 장치 및 그 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 정세도가 높은 표시 장치 및 그 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 미세한 크기의 트랜지스터를 가지는 표시 장치 및 그 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 온 전류가 높은 트랜지스터를 가지는 표시 장치 및 그 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 전기 특성이 양호한 표시 장치 및 그 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신규 표시 장치, 신규 반도체 장치, 및 이들의 제작 방법을 제공하는 것을 과제 중 하나로 한다.

[0009] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한 이들 외의 과제는 명세서, 도면, 청구항 등의 기재에서 추출할 수 있다.

과제의 해결 수단

[0010] 본 발명의 일 형태는 화소와, 전원 회로와, 주사선 구동 회로를 가지고, 화소는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 1 절연층을 가지고, 제 1 트랜지스터는 제 1 도전층과, 제 2 도전층과, 제 3 도전층과, 제 1 반도체층과, 제 2 절연층을 가지고, 제 1 절연층은 제 1 도전층 위에 제공되고, 제 1 절연층은 제 1 도전층에 도달하는 제 1 개구를 가지고, 제 1 도전층은 전원 회로와 전기적으로 접속되고, 제 2 도전층은 제 1 절연층 위에 제공되고, 제 2 도전층은 제 1 개구와 중첩되는 영역을 가지는 제 2 개구를 가지고, 제 1 반도체층은 제 1 도전층과 접하는 영역 및 제 2 도전층과 접하는 영역을 가지며, 제 1 개구의 내부에 위치하는 영역 및 제 2 개구의 내부에 위치하는 영역을 가지도록 제공되고, 제 2 절연층은 제 1 개구의 내부에 위치하는 영역 및 제 2 개구의 내부에 위치하는 영역을 가지도록 제 1 반도체층 위에 제공되고, 제 3 도전층은 제 1 개구의 내부에 위치하는 영역 및 제 2 개구의 내부에 위치하는 영역을 가지며, 제 1 반도체층과 제 2 절연층을 끼워 대향하는 영역을 가지도록 제공되고, 제 2 트랜지스터는 제 2 절연층과, 제 2 절연층 아래의 제 2 반도체층과, 제 2 절연층 위의 제 4 도전층을 가지고, 제 4 도전층은 제 2 반도체층과 중첩되는 영역을 가지고, 제 4 도전층은 주사선 구동 회로와 전기적으로 접속되고, 제 4 도전층은 제 1 절연층 및 제 2 절연층을 개재(介在)하여 제 1 도전층과 중첩되는 영역을 가지는 표시 장치이다.

[0011] 또는 상기 형태에서, 제 2 트랜지스터는 제 2 반도체층과 접하는 제 5 도전층을 가지고, 제 5 도전층은 제 3 도전층과 전기적으로 접속되어도 좋다.

[0012] 또는 상기 형태에서, 표시 장치는 신호선 구동 회로를 가지고, 제 2 트랜지스터는 제 2 반도체층과 접하는 제 6 도전층을 가지고, 제 6 도전층은 신호선 구동 회로와 전기적으로 접속되어도 좋다.

[0013] 또는 상기 형태에서, 화소는 표시 소자를 가지고, 표시 소자의 화소 전극은 제 2 도전층과 전기적으로 접속되어도 좋다.

[0014] 또는 상기 형태에서, 표시 장치는 기준 전위 생성 회로를 가지고, 화소는 제 3 트랜지스터를 가지고, 제 3 트랜지스터는 제 7 도전층과, 제 8 도전층과, 제 9 도전층과, 제 3 반도체층과, 제 2 절연층을 가지고, 제 1 절연층은 제 7 도전층 위에 제공되고, 제 1 절연층은 제 7 도전층에 도달하는 제 3 개구를 가지고, 제 7 도전층은 화소 전극과 전기적으로 접속되고, 제 8 도전층은 제 1 절연층 위에 제공되고, 제 8 도전층은 제 3 개구와 중첩되는 영역을 가지는 제 4 개구를 가지고, 제 8 도전층은 기준 전위 생성 회로와 전기적으로 접속되고, 제 3 반도체층은 제 7 도전층과 접하는 영역 및 제 8 도전층과 접하는 영역을 가지며, 제 3 개구의 내부에 위치하는 영역 및 제 4 개구의 내부에 위치하는 영역을 가지도록 제공되고, 제 2 절연층은 제 3 개구의 내부에 위치하는 영역 및 제 4 개구의 내부에 위치하는 영역을 가지도록 제 3 반도체층 위에 제공되고, 제 9 도전층은 제 3 개구의 내부에 위치하는 영역 및 제 4 개구의 내부에 위치하는 영역을 가지며, 제 3 반도체층과 제 2 절연층을 끼워 대향하는 영역을 가지도록 제공되고, 제 9 도전층은 주사선 구동 회로와 전기적으로 접속되고, 제 8 도전층은 제 4 도전층과 중첩되는 영역 및 제 9 도전층과 중첩되는 영역을 가져도 좋다.

[0015] 또는 본 발명의 일 형태는 화소와, 주사선 구동 회로와, 전원 회로를 가지고, 화소는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 1 절연층을 가지고, 제 1 트랜지스터는 제 1 도전층과, 제 2 도전층과, 제 3 도전층과, 제 1 반도체층과, 제 2 절연층을 가지고, 제 1 절연층은 제 1 도전층 위에 제공되고, 제 1 절연층은 제 1 도전층에 도달하는 제 1 개구를 가지고, 제 2 도전층은 제 1 절연층 위에 제공되고, 제 2 도전층은 제 1 개구와 중첩되는 영역을 가지는 제 2 개구를 가지고, 제 1 반도체층은 제 1 도전층과 접하는 영역 및 제 2 도전층과 접하는 영역을 가지며, 제 1 개구의 내부에 위치하는 영역 및 제 2 개구의 내부에 위치하는 영역을 가지도록 제공되고, 제 2 절연층은 제 1 개구의 내부에 위치하는 영역 및 제 2 개구의 내부에 위치하는 영역을 가지도록 제 1 반도체층 위에 제공되고, 제 3 도전층은 제 1 개구의 내부에 위치하는 영역 및 제 2 개구의 내부에 위치하는 영역을 가지며, 제 1 반도체층과 제 2 절연층을 끼워 대향하는 영역을 가지도록 제공되고, 제 3 도전층은 주사선 구동 회로와 전기적으로 접속되고, 제 2 트랜지스터는 제 4 도전층과, 제 5 도전층과, 제 6 도전층과, 제 2 반도체층과, 제 2 절연층을 가지고, 제 1 절연층은 제 4 도전층 위에 제공되고, 제 1 절연층은 제 4 도전층에 도달하는 제 3 개구를 가지고, 제 4 도전층은 전원 회로와 전기적으로 접속되고, 제 5 도전층은 제 1 절연층 위에 제공되고, 제 5 도전층은 제 3 개구와 중첩되는 영역을 가지는 제 4 개구를 가지고, 제 2 반도체층은 제 4 도전층과 접하

는 영역 및 제 5 도전층과 접하는 영역을 가지며, 제 3 개구의 내부에 위치하는 영역 및 제 4 개구의 내부에 위치하는 영역을 가지도록 제공되고, 제 2 절연층은 제 3 개구의 내부에 위치하는 영역 및 제 4 개구의 내부에 위치하는 영역을 가지도록 제 2 반도체층 위에 제공되고, 제 6 도전층은 제 3 개구의 내부에 위치하는 영역 및 제 4 개구의 내부에 위치하는 영역을 가지며, 제 2 반도체층과 제 2 절연층을 끼워 대향하는 영역을 가지도록 제공되고, 제 3 도전층은 제 1 절연층 및 제 2 절연층을 개재하여 제 4 도전층과 중첩되는 영역을 가지는 표시 장치이다.

[0016] 또는 상기 형태에서 표시 장치는 신호선 구동 회로를 가지고, 제 1 도전층은 신호선 구동 회로와 전기적으로 접속되고, 제 1 도전층은 제 3 도전층과 중첩되는 영역을 가져도 좋다.

[0017] 또는 상기 형태에서, 제 2 도전층은 제 6 도전층과 전기적으로 접속되지 않아도 된다.

[0018] 또는 상기 형태에서, 화소는 표시 소자를 가지고, 표시 소자의 화소 전극은 제 5 도전층과 전기적으로 접속되어도 좋다.

[0019] 또는 상기 형태에서, 표시 장치는 기준 전위 생성 회로를 가지고, 화소는 제 3 트랜지스터를 가지고, 제 3 트랜지스터는 제 7 도전층과, 제 8 도전층과, 제 9 도전층과, 제 3 반도체층과, 제 2 절연층을 가지고, 제 1 절연층은 제 7 도전층 위에 제공되고, 제 1 절연층은 제 7 도전층에 도달하는 제 5 개구를 가지고, 제 7 도전층은 화소 전극과 전기적으로 접속되고, 제 8 도전층은 제 1 절연층 위에 제공되고, 제 8 도전층은 제 5 개구와 중첩되는 영역을 가지는 제 6 개구를 가지고, 제 8 도전층은 기준 전위 생성 회로와 전기적으로 접속되고, 제 3 반도체층은 제 7 도전층과 접하는 영역 및 제 8 도전층과 접하는 영역을 가지며, 제 5 개구의 내부에 위치하는 영역 및 제 6 개구의 내부에 위치하는 영역을 가지도록 제공되고, 제 2 절연층은 제 5 개구의 내부에 위치하는 영역 및 제 6 개구의 내부에 위치하는 영역을 가지도록 제 3 반도체층 위에 제공되고, 제 9 도전층은 제 5 개구의 내부에 위치하는 영역 및 제 6 개구의 내부에 위치하는 영역을 가지며, 제 3 반도체층과 제 2 절연층을 끼워 대향하는 영역을 가지도록 제공되고, 제 9 도전층은 주사선 구동 회로와 전기적으로 접속되고, 제 8 도전층은 제 3 도전층과 중첩되는 영역 및 제 9 도전층과 중첩되는 영역을 가져도 좋다.

[0020] 또는 상기 형태에서 제 1 반도체층 내지 제 3 반도체층은 금속 산화물을 가져도 좋다. 금속 산화물은 예를 들어 인듐과, 아연과, M(M은 알루미늄, 타이타늄, 갈륨, 저마늄, 주석, 이트륨, 지르코늄, 란타넘, 세륨, 네오디뮴, 및 하프늄 중에서 선택된 1종류 또는 복수 종류)을 가질 수 있다.

발명의 효과

[0021] 본 발명의 일 형태에 의하여 고속으로 구동하는 표시 장치 및 그 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 정세도가 높은 표시 장치 및 그 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 미세한 크기의 트랜지스터를 가지는 표시 장치 및 그 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 온 전류가 높은 트랜지스터를 가지는 표시 장치 및 그 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 전기 특성이 양호한 표시 장치 및 그 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신규 표시 장치, 신규 반도체 장치, 및 이들의 제작 방법을 제공할 수 있다.

[0022] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 본 발명의 일 형태는 이들 효과 모두를 반드시 가질 필요는 없다. 명세서, 도면, 청구항의 기재에서 이들 외의 효과를 추출할 수 있다.

도면의 간단한 설명

[0023] 도 1의 (A)는 표시 장치의 구성예를 나타낸 블록도이다. 도 1의 (B)는 화소의 구성예를 나타낸 평면도이다. 도 1의 (C) 및 (D)는 화소의 구성예를 나타낸 회로도이다.

도 2의 (A)는 표시 장치의 구성예를 나타낸 블록도이다. 도 2의 (B)는 화소의 구성예를 나타낸 회로도이다.

도 3의 (A) 내지 (C)는 화소의 구성예를 나타낸 회로도이다.

도 4의 (A1) 내지 (A3)은 표시 장치의 구성예를 나타낸 평면도이다. 도 4의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 5의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 5의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 6은 표시 장치의 구성예를 나타낸 평면도이다.

도 7은 표시 장치의 구성예를 나타낸 단면도이다.

도 8의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 8의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 9는 표시 장치의 구성예를 나타낸 평면도이다.

도 10의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 10의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 11은 표시 장치의 구성예를 나타낸 평면도이다.

도 12의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 12의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 13은 표시 장치의 구성예를 나타낸 평면도이다.

도 14의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 14의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 15의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 15의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 16은 표시 장치의 구성예를 나타낸 평면도이다.

도 17은 표시 장치의 구성예를 나타낸 평면도이다.

도 18은 표시 장치의 구성예를 나타낸 평면도이다.

도 19는 표시 장치의 구성예를 나타낸 평면도이다.

도 20의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 20의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 21의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 21의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 22의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 22의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 23은 표시 장치의 구성예를 나타낸 평면도이다.

도 24의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 24의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 25는 표시 장치의 구성예를 나타낸 평면도이다.

도 26의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 26의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 27은 표시 장치의 구성예를 나타낸 평면도이다.

도 28의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 28의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 29는 표시 장치의 구성예를 나타낸 평면도이다.

도 30의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 30의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 31은 표시 장치의 구성예를 나타낸 평면도이다.

도 32의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 32의 (B)는 표시 장치의 구성예를 나타낸 단면도

이다.

도 33은 표시 장치의 구성예를 나타낸 평면도이다.

도 34의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 34의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 35는 표시 장치의 구성예를 나타낸 평면도이다.

도 36의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 36의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 37은 표시 장치의 구성예를 나타낸 평면도이다.

도 38의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 38의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 39의 (A)는 기억 장치의 구성예를 나타낸 블록도이다. 도 39의 (B) 내지 (F)는 메모리 셀의 구성예를 나타낸 회로도이다.

도 40의 (A) 내지 (C)는 표시 장치의 구성예를 나타낸 평면도이다.

도 41의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 41의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 42의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 42의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 43의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 43의 (B1) 내지 (B3)은 표시 장치의 구성예를 나타낸 단면도이다.

도 44의 (A) 및 (B)는 표시 장치의 구성예를 나타낸 평면도이다.

도 45의 (A1) 및 (A2)는 표시 장치의 구성예를 나타낸 평면도이다. 도 45의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 46의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 46의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 47의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 47의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 48의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 48의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 49의 (A1) 및 (A2)는 표시 장치의 구성예를 나타낸 평면도이다. 도 49의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 50의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 50의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 51의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 51의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 52의 (A) 및 (B)는 표시 장치의 구성예를 나타낸 평면도이다.

도 53의 (A1) 및 (A2)는 표시 장치의 구성예를 나타낸 평면도이다. 도 53의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 54의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 54의 (B1) 및 (B2)는 표시 장치의 구성예를 나타낸 단면도이다.

도 55의 (A) 및 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 56의 (A) 및 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 57의 (A) 및 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 58의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 58의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 59의 (A) 및 (B)는 표시 장치의 구성예를 나타낸 평면도이다.

도 60의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 60의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 61의 (A) 내지 (C)는 표시 장치의 구성예를 나타낸 평면도이다.

도 62의 (A) 내지 (C)는 표시 장치의 구성예를 나타낸 평면도이다.

도 63의 (A) 및 (B)는 표시 장치의 구성예를 나타낸 평면도이다.

도 64의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 64의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 65의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 65의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 66은 표시 장치의 구성예를 나타낸 평면도이다.

도 67의 (A) 내지 (C)는 표시 장치의 구성예를 나타낸 평면도이다.

도 68의 (A) 및 (B)는 표시 장치의 구성예를 나타낸 평면도이다.

도 69의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 69의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 70의 (A1) 및 (A2)는 표시 장치의 구성예를 나타낸 평면도이다. 도 70의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 71의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 71의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 72의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 72의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 73의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 73의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 74의 (A) 내지 (C)는 표시 장치의 구성예를 나타낸 평면도이다.

도 75의 (A) 내지 (C)는 표시 장치의 구성예를 나타낸 평면도이다.

도 76의 (A) 및 (B)는 표시 장치의 구성예를 나타낸 평면도이다.

도 77의 (A)는 표시 장치의 구성예를 나타낸 평면도이다. 도 77의 (B)는 표시 장치의 구성예를 나타낸 단면도이다.

도 78의 (A1) 및 (B1)은 표시 장치의 제작 방법예를 나타낸 평면도이다. 도 78의 (A2) 및 (B2)는 표시 장치의 제작 방법예를 나타낸 단면도이다.

도 79의 (A1) 및 (B1)은 표시 장치의 제작 방법예를 나타낸 평면도이다. 도 79의 (A2) 및 (B2)는 표시 장치의 제작 방법예를 나타낸 단면도이다.

도 80의 (A1) 및 (B1)은 표시 장치의 제작 방법예를 나타낸 평면도이다. 도 80의 (A2) 및 (B2)는 표시 장치의 제작 방법예를 나타낸 단면도이다.

도 81의 (A1) 및 (B1)은 표시 장치의 제작 방법예를 나타낸 평면도이다. 도 81의 (A2) 및 (B2)는 표시 장치의 제작 방법예를 나타낸 단면도이다.

도 82의 (A1) 및 (B1)은 표시 장치의 제작 방법예를 나타낸 평면도이다. 도 82의 (A2) 및 (B2)는 표시 장치의 제작 방법예를 나타낸 단면도이다.

도 83의 (A) 내지 (G)는 화소의 구성예를 나타낸 평면도이다.

도 84의 (A) 내지 (K)는 화소의 구성예를 나타낸 평면도이다.

도 85는 표시 장치의 구성예를 나타낸 사시도이다.

도 86은 표시 장치의 구성예를 나타낸 단면도이다.

도 87은 표시 장치의 구성예를 나타낸 단면도이다.

도 88은 표시 장치의 구성예를 나타낸 단면도이다.

도 89는 표시 장치의 구성예를 나타낸 단면도이다.

도 90은 표시 장치의 구성예를 나타낸 단면도이다.

도 91은 표시 장치의 구성예를 나타낸 단면도이다.

도 92의 (A) 내지 (D)는 전자 기기의 일례를 나타낸 도면이다.

도 93의 (A) 내지 (F)는 전자 기기의 일례를 나타낸 도면이다.

도 94의 (A) 내지 (G)는 전자 기기의 일례를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0024] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 쉽게 이해할 수 있다. 따라서 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0025] 또한 이하에서 설명하는 발명의 구성에서 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 그 반복적인 설명은 생략한다. 또한 같은 기능을 가지는 부분을 나타내는 경우에는, 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다. 또한 동일한 공정으로 형성할 수 있는 복수의 층에는 서로 동일한 해치 패턴을 부여하는 경우가 있다.

[0026] 도면에 나타낸 각 구성의 위치, 크기, 및 범위 등은 이해를 쉽게 하기 위하여 실제의 위치, 크기, 및 범위 등을 나타내지 않는 경우가 있다. 그러므로 개시된 발명은 반드시 도면에 개시된 위치, 크기, 및 범위 등에 한정되지 않는다.

[0027] 또한 "막"이라는 용어와 "층"이라는 용어는 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있는 경우가 있다.

[0028] 또한 본 명세서 등에서 "전극" 및 "배선"이라는 용어는 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어 "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "전극" 또는 "배선"이라는 용어는 복수의 "전극" 또는 "배선"이 일체가 되어 형성되어 있는 경우 등도 포함한다.

[0029] 본 명세서 등에서는 발광 파장이 서로 다른 발광 소자에서 적어도 발광층을 구분 형성하는 구조를 SBS(Side By Side) 구조라고 하는 경우가 있다. SBS 구조는 발광 소자마다 재료 및 구성을 최적화할 수 있기 때문에, 재료 및 구성의 선택의 자유도가 높아져, 휘도 및 신뢰성을 용이하게 향상시킬 수 있다.

[0030] 본 명세서 등에서 발광 소자(발광 디바이스라고도 함)는 한 쌍의 전극 사이에 EL층을 가진다. EL층은 적어도 발광층을 가진다. 여기서 EL층에 포함되는 층(기능층이라고도 함)으로서는 발광층, 캐리어 주입층(정공 주입층 및 전자 주입층), 캐리어 수송층(정공 수송층 및 전자 수송층), 및 캐리어 차단층(정공 차단층 및 전자 차단층) 등을 들 수 있다. 또한 캐리어 주입층, 캐리어 수송층, 및 캐리어 차단층은 각각 단면 형상 또는 특성 등에 따라 명확하게 구별할 수 없는 경우가 있다. 또한 하나의 층이 캐리어 주입층, 캐리어 수송층, 및 캐리어 차단층 중 2개 또는 3개의 기능을 가지는 경우가 있다.

[0031] 본 명세서 등에서 수광 소자(수광 디바이스라고도 함)는 한 쌍의 전극 사이에 적어도 광전 변환층으로서 기능하는 활성층을 가진다.

[0032] 본 명세서 등에서 테이퍼 형상이란, 구조의 측면의 적어도 일부가 기판면 또는 피형성면에 대하여 경사져 제공된 형상을 나타낸다. 예를 들어 경사진 측면과 기판면 또는 피형성면이 이루는 각(테이퍼각이라고도 함)이 90° 미만인 영역을 가지는 것이 바람직하다. 또한 구조의 측면, 기판면, 및 피형성면은 반드시 완전히 평탄할 필요는 없고, 미세한 곡률을 가지는 실질적 평면 형상 또는 미세한 요철을 가지는 실질적 평면 형상이어도 좋다.

[0033] 본 명세서 등에서 층의 측면이 테이퍼 형상을 가지는 경우, 특별히 언급하는 경우를 제외하고, 상기 층의 측면 중 가장 외측에 위치하는 부분을 층의 단부라고 한다. 예를 들어 층의 하면 단부가 상면 단부보다 외측에 위치하는 경우, 특별히 언급하는 경우를 제외하고, 층의 하면 단부를 단순히 단부라고 한다.

[0034] 또한 본 명세서 등에서 "위", "아래", "왼쪽", 및 "오른쪽" 등의 배치를 나타내는 말은 구성 요소끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있다. 또한 구성 요소끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 따라서 명세서에서 설명된 어구에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다.

[0035] 본 명세서 등에서 금속 산화물(metal oxide)이란, 넓은 의미로의 금속의 산화물이다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 및 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어 트랜지스터의 반도체층에 금속 산화물을 사용한 경우에는 상기 금속 산화물을 산화물 반도체라고 하는 경우가 있다. 즉 OS 트랜지스터라고 기재하는 경우에는, 금속 산화물 또는 산화물 반도체를 가지는 트랜지스터로 바꿔 말할 수 있다. 또한 질소를 가지는 금속 산화물도 금속 산화물이라고 총칭하는 경우가 있다. 또한 질소를 가지는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 불러도 좋다.

[0036] (실시형태 1)

[0037] 본 실시형태에서는 본 발명의 일 형태의 표시 장치 및 그 제작 방법 등에 대하여 도면을 사용하여 설명한다.

[0038] 본 발명의 일 형태는 표시부와, 주사선 구동 회로와, 신호선 구동 회로와, 전원 회로를 가지고, 표시부에 화소가 매트릭스상으로 배열된 표시 장치에 관한 것이다. 화소에는 표시 소자(표시 디바이스라고도 함) 외에 제 1 트랜지스터와 제 2 트랜지스터가 제공된다. 제 1 트랜지스터는 기판 위의 층간 절연층에 형성된 개구의 내부에 제 1 반도체층이 제공되는 트랜지스터로 할 수 있고, 제 2 트랜지스터는 기판 위의 층간 절연층에 형성된 상기 개구와 상이한 개구의 내부에 제 2 반도체층이 제공되는 트랜지스터로 할 수 있다. 이러한 구성으로 함으로써, 트랜지스터의 채널 길이 방향을 개구에서의 층간 절연층의 측면을 따르는 방향으로 할 수 있다. 따라서 채널 길이가 트랜지스터의 제작에 사용되는 노광 장치의 성능에 영향을 받지 않게 되기 때문에, 채널 길이를 노광 장치의 한계 해상도보다 작게 할 수 있다.

[0039] 여기서 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽으로서 개구의 아래에 제공되는 제 1 도전층을 사용한다. 구체적으로는 제 1 도전층 위에 층간 절연층을 제공하고, 제 1 도전층에 도달하도록 층간 절연층에 개구를 제공한다. 그리고 개구의 내부에서 제 1 도전층과 접하는 영역을 가지도록 제 1 반도체층을 제공한다. 또한 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽으로서 평면에서 보았을 때 개구의 외주를 둘러싸는 제 2 도전층을 사용한다. 그리고 제 1 반도체층 위 및 제 2 도전층 위에 게이트 절연층을 제공하고, 게이트 절연층 위에 제 1 트랜지스터의 게이트 전극으로서 기능하는 제 3 도전층을 제공한다.

[0040] 본 명세서 등에서 "평면에서 보았을 때"는 "상면에서 보았을 때"라고 할 수 있는 경우가 있다. 또한 평면도는 상면도라고 할 수 있는 경우가 있다.

[0041] 제 2 트랜지스터는 제 1 트랜지스터와 같은 구성으로 할 수 있다. 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽으로서 개구의 아래에 제공되는 제 4 도전층을 사용한다. 또한 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽으로서 평면에서 보았을 때 개구의 외주를 둘러싸는 제 5 도전층을 사용한다. 그리고 상기 게이트 절연층을 제 2 반도체층 위 및 제 5 도전층 위에도 제공하고, 게이트 절연층 위에 제 2 트랜지스터의 게이트 전극으로서 기능하는 제 6 도전층을 제공한다.

[0042] 제 1 도전층 또는 제 2 도전층은 신호선 구동 회로와 전기적으로 접속된다. 제 3 도전층은 행 방향으로 연장되는 영역을 가지고, 주사선 구동 회로와 전기적으로 접속된다. 제 4 도전층은 열 방향으로 연장되는 영역을 가

지고, 전원 회로와 전기적으로 접속된다. 제 3 도전층이 행 방향으로 연장되는 영역을 가지고, 제 4 도전층이 열 방향으로 연장되는 영역을 가지기 때문에, 제 3 도전층과 제 4 도전층은 서로 중첩되는 영역을 가진다.

[0043] 본 발명의 일 형태의 표시 장치에서는, 제 3 도전층과 제 4 도전층이 중첩되는 영역에서 제 4 도전층 위에 층간 절연층이 제공되고, 층간 절연층 위에 상기 게이트 절연층이 제공되고, 그 위에 제 3 도전층이 제공된다. 이에 의하여, 제 3 도전층과 제 4 도전층 사이에 제공되는 절연층이 예를 들어 게이트 절연층만인 경우와 비교하여, 제 3 도전층과 제 4 도전층에 의하여 형성되는 기생 용량이 작아진다. 이에 의하여, 주사선 구동 회로가 제 3 도전층에 신호를 출력한 후, 상기 신호가 화소에 공급될 때까지의 시간을 짧게 할 수 있다. 따라서 표시 장치를 고속으로 구동시킬 수 있다.

[0044] <표시 장치의 구성예>

[0045] 도 1의 (A)는 본 발명의 일 형태의 표시 장치인 표시 장치(10)의 구성예를 나타낸 블록도이다. 표시 장치(10)는 표시부(20)와, 주사선 구동 회로(11)와, 신호선 구동 회로(13)와, 전원 회로(15)를 가진다. 표시부(20)는 매트릭스상으로 배열된 복수의 화소(21)를 가진다.

[0046] 주사선 구동 회로(11)는 배선(41)을 통하여 화소(21)와 전기적으로 접속된다. 배선(41)은 예를 들어 상기 매트릭스의 행 방향으로 연장된다.

[0047] 신호선 구동 회로(13)는 배선(43)을 통하여 화소(21)와 전기적으로 접속된다. 배선(43)은 예를 들어 상기 매트릭스의 열 방향으로 연장된다.

[0048] 전원 회로(15)는 배선(45)을 통하여 화소(21)와 전기적으로 접속된다. 예를 들어 모든 화소(21)를 동일한 배선(45)을 통하여 전원 회로(15)와 전기적으로 접속시킬 수 있다.

[0049] 화소(21)는 표시 소자를 가지고, 표시 소자에 의하여 화상을 표시부(20)에 표시할 수 있다. 표시 소자로서 예를 들어 발광 소자를 사용할 수 있고, 구체적으로는 유기 EL 소자를 사용할 수 있다. 또한 표시 소자로서 액정 소자(액정 디바이스라고도 함)를 사용하여도 좋다.

[0050] 주사선 구동 회로(11)는 예를 들어 화상 데이터를 기록하는 화소(21)를 행마다 선택하는 기능을 가진다. 주사선 구동 회로(11)는 구체적으로는 배선(41)에 신호를 출력함으로써, 화상 데이터를 기록하는 화소(21)를 선택할 수 있다. 여기서 주사선 구동 회로(11)는 예를 들어 첫 번째 행의 배선(41)에 상기 신호를 출력한 후, 두 번째 행의 배선(41)에 상기 신호를 출력하고, 마지막 행의 배선(41)까지 순차적으로 상기 신호를 출력함으로써, 모든 화소(21)를 선택할 수 있다. 따라서 주사선 구동 회로(11)가 배선(41)에 출력하는 신호는 주사 신호이고, 배선(41)은 주사선이라고 할 수 있다.

[0051] 신호선 구동 회로(13)는 화상 데이터를 생성하는 기능을 가진다. 화상 데이터는 배선(43)을 통하여 화소(21)에 공급된다. 예를 들어 주사선 구동 회로(11)가 선택하는 행에 포함되는 모든 화소(21)에 화상 데이터를 기록할 수 있다. 여기서 화상 데이터는 신호(화상 신호)로서 나타낼 수 있다. 따라서 배선(43)을 신호선이라고 할 수 있다.

[0052] 전원 회로(15)는 전원 전위를 생성하고, 배선(45)에 공급하는 기능을 가진다. 전원 회로(15)는 예를 들어 고전원 전위(이하, 단순히 "고전위" 또는 "VDD"라고도 함)를 생성하고, 배선(45)에 공급하는 기능을 가진다. 또한 전원 회로(15)는 저전원 전위(이하, 단순히 "저전위" 또는 "VSS"라고도 함)를 생성하는 기능을 가져도 좋다. 배선(45)에 전원 전위가 공급되므로 배선(45)은 전원선이라고 할 수 있다.

[0053] 도 1의 (B)는 화소(21)의 구성예를 나타낸 평면도이다. 화소(21)는 복수의 부화소(23)를 가진다. 도 1의 (B)에는 화소(21)가 부화소(23R), 부화소(23G), 및 부화소(23B)를 가지는 예를 나타내었다. 여기서 화소(21)가 표시 소자로서 발광 소자를 가지는 경우, 예를 들어 도 1의 (B)에 나타낸 부화소의 평면 형상은 발광 소자의 발광 영역의 평면 형상에 상당한다. 또한 도 1의 (B)에서는 부화소(23R), 부화소(23G), 및 부화소(23B)의 개구율(크기 또는 발광 영역의 크기라고도 할 수 있음)을 동일 또는 실질적으로 동일하게 나타내었지만 본 발명의 일 형태는 이에 한정되지 않는다. 부화소(23R), 부화소(23G), 및 부화소(23B)의 개구율은 각각 적절히 결정할 수 있다. 부화소(23R), 부화소(23G), 및 부화소(23B)의 개구율은 각각 달라도 좋고, 이들 중 2개 이상이 동일 또는 실질적으로 동일하여도 좋다.

[0054] 본 명세서 등에서, 예를 들어 부화소(23R), 부화소(23G), 및 부화소(23B)에 공통되는 사항을 설명하는 경우에는 이들을 구별하는 알파벳을 생략하고, 부화소(23)라고 기재하는 경우가 있다. 알파벳으로 구별하는 다른 요소에 대해서도, 이들에 공통되는 사항에 대하여 설명하는 경우에는, 알파벳을 생략한 부호를 사용하여 설명하는 경우

가 있다.

[0055] 도 1의 (B)에 나타낸 화소(21)에는 부화소(23)의 배열법으로서 스트라이프 배열이 적용되어 있다. 또한 부화소(23)의 배열법으로서 S스트라이프 배열, 매트릭스 배열, 델타 배열, 베이어 배열, 또는 펜타일 배열 등을 적용하여도 좋다. 부화소의 평면 형상의 일례 및 부화소의 배열 등은 실시형태 2를 참조할 수 있다.

[0056] 부화소(23R), 부화소(23G), 및 부화소(23B)는 각각 서로 다른 색의 광을 나타낸다. 부화소(23R), 부화소(23G), 및 부화소(23B)로서는 적색(R), 녹색(G), 및 청색(B)의 3색의 부화소, 그리고 황색(Y), 시안(C), 및 마젠타(M)의 3색의 부화소 등을 들 수 있다. 또한 화소(21)에 부화소(23)를 4개 이상 제공하여도 좋다. 예를 들어 화소(21)에 R, G, B, 및 백색(W)의 4색의 부화소를 제공하여도 좋다. 이와 같이, 표시 장치(10)는 화소(21)가 상이한 색의 광을 나타내는 부화소(23)를 복수로 가짐으로써, 표시부(20)에 풀 컬러의 화상을 표시할 수 있다. 또한 화소(21)에 R, G, B, 및 적외광(IR)의 부화소를 제공하여도 좋다.

[0057] 또한 표시부(20)에는 센서가 제공되어도 좋고, 예를 들어 화소(21)에 센서를 제공하여도 좋다. 예를 들어 표시부(20)가 지문 센서로서의 기능을 가져도 좋다. 예를 들어 표시부(20)가 광학식 또는 초음파식 지문 센서로서의 기능을 가져도 좋다.

[0058] 도 1의 (C)는 부화소(23)의 구성예를 나타낸 회로도이다. 도 1의 (C)에 나타낸 부화소(23)는 화소 회로(40A) 및 발광 소자(60)를 가진다.

[0059] 화소 회로(40A)는 트랜지스터(51), 트랜지스터(52), 및 용량 소자(57)를 가진다. 즉 화소 회로(40A)는 2Tr1C형 화소 회로이다.

[0060] 화소 회로(40A)에서 트랜지스터(51)의 소스 및 드레인 중 한쪽은 배선(43)과 전기적으로 접속된다. 트랜지스터(51)의 소스 및 드레인 중 다른 쪽은 트랜지스터(52)의 게이트와 전기적으로 접속된다. 트랜지스터(52)의 게이트는 용량 소자(57)의 한쪽 전극과 전기적으로 접속된다. 트랜지스터(51)의 게이트는 배선(41)과 전기적으로 접속된다.

[0061] 트랜지스터(52)의 소스 및 드레인 중 한쪽은 배선(45)과 전기적으로 접속된다. 트랜지스터(52)의 소스 및 드레인 중 다른 쪽은 용량 소자(57)의 다른 쪽 전극과 전기적으로 접속된다. 용량 소자(57)의 다른 쪽 전극은 발광 소자(60)의 한쪽 전극과 전기적으로 접속된다. 발광 소자(60)의 다른 쪽 전극은 배선(47)과 전기적으로 접속된다. 여기서 발광 소자(60)의 한쪽 전극은 화소 전극이라고도 한다. 또한 배선(47)은 예를 들어 모든 부화소(23) 사이에서 공유할 수 있기 때문에, 발광 소자(60)의 다른 쪽 전극은 공통 전극이라고도 할 수 있다.

[0062] 상술한 바와 같이, 배선(41)은 주사선으로서 기능하고, 배선(43)은 신호선으로서 기능하고, 배선(45)은 전원선으로서 기능한다. 또한 배선(47)은 전원선으로서 기능하고, 예를 들어 배선(45)에 고전원 전위가 공급되는 경우에는 배선(47)에는 저전원 전위가 공급된다. 배선(47)은 예를 들어 전원 회로(15)와 전기적으로 접속될 수 있다.

[0063] 트랜지스터(51)는 스위치로서의 기능을 가지고, 선택 트랜지스터라고도 한다. 트랜지스터(51)는 배선(41)의 전위에 의거하여 배선(43)과 트랜지스터(52)의 게이트 사이의 도통 상태 및 비도통 상태를 제어하는 기능을 가진다. 트랜지스터(51)를 온 상태로 함으로써, 화상 데이터가 화소 회로(40A)에 기록되고, 트랜지스터(51)를 오프 상태로 함으로써, 기록된 화상 데이터가 유지된다.

[0064] 트랜지스터(52)는 발광 소자(60)에 흐르는 전류의 양을 제어하는 기능을 가지고 구동 트랜지스터라고도 한다. 용량 소자(57)는 트랜지스터(52)의 게이트 전위를 유지하는 기능을 가진다. 발광 소자(60)의 발광 휘도는 트랜지스터(52)의 게이트에 공급되는 화상 데이터에 대응하는 전위에 따라 제어된다. 구체적으로는 배선(45)에 고전원 전위가 공급되고, 배선(47)에 저전원 전위가 공급되는 경우, 트랜지스터(52)의 게이트 전위에 따라 배선(45)으로부터 배선(47)에 흐르는 전류의 크기가 제어되고, 이에 의하여 발광 소자(60)의 발광 휘도가 제어된다.

[0065] 트랜지스터(51) 및 트랜지스터(52)로서 OS 트랜지스터를 사용하는 것이 바람직하다. OS 트랜지스터는 예를 들어 비정질 실리콘을 사용한 트랜지스터보다 전계 효과 이동도가 높다. 따라서 트랜지스터(51) 및 트랜지스터(52)로서 OS 트랜지스터를 사용함으로써 표시 장치(10)를 고속으로 구동시킬 수 있다.

[0066] 또한 OS 트랜지스터는 오프 상태에서의 소스와 드레인 사이의 누설 전류(오프 전류라고도 함)가 매우 작다. 따라서 트랜지스터(51)로서 OS 트랜지스터를 사용함으로써, 용량 소자(57)에 축적된 전하를 장기간 유지할 수 있다. 이에 의하여, 부화소(23)에 기록된 화상 데이터를 장기간 유지할 수 있기 때문에, 리프레시 동작(부화소(23)로의 화상 데이터의 재기록)의 빈도를 적게 할 수 있다. 따라서 표시 장치(10)의 소비 전력을 저감할 수

있다.

[0067] 여기서 발광 소자(60)의 발광 휘도를 높이는 경우, 발광 소자(60)에 흐르는 전류의 양을 크게 할 필요가 있다. 이를 위해서는 구동 트랜지스터인 트랜지스터(52)의 소스와 드레인 사이의 전압을 높일 필요가 있다. OS 트랜지스터는 실리콘을 사용한 트랜지스터(Si 트랜지스터라고도 함)와 비교하여 소스와 드레인 사이에서의 내압이 높기 때문에, OS 트랜지스터의 소스와 드레인 사이에는 높은 전압을 인가할 수 있다. 따라서 트랜지스터(52)를 OS 트랜지스터로 함으로써, 발광 소자(60)에 흐르는 전류의 양을 크게 하여 발광 소자(60)의 발광 휘도를 높일 수 있다.

[0068] 트랜지스터가 포화 영역에서 구동하는 경우, OS 트랜지스터에서는 Si 트랜지스터에서보다 게이트와 소스 사이의 전압의 변화에 대한 소스와 드레인 사이의 전류의 변화를 작게 할 수 있다. 그러므로 트랜지스터(52)로서 OS 트랜지스터를 적용함으로써, 게이트와 소스 사이의 전압의 변화에 의하여 소스와 드레인 사이에 흐르는 전류를 정밀하게 결정할 수 있다. 따라서 발광 소자(60)에 흐르는 전류의 양을 정밀하게 제어할 수 있다. 그러므로 부화소(23)가 방출하는 광의 휘도를 정밀하게 제어할 수 있다. 따라서 부화소(23)가 나타낼 수 있는 계조 수를 높일 수 있다.

[0069] 트랜지스터가 포화 영역에서 구동하는 경우에 흐르는 전류의 포화 특성에 관하여, OS 트랜지스터는 소스와 드레인 사이의 전압이 서서히 높아진 경우에도 Si 트랜지스터보다 안정적인 전류(포화 전류)를 흘릴 수 있다. 그러므로 OS 트랜지스터를 트랜지스터(52)로서 사용함으로써, 예를 들어 발광 소자(60)의 전류-전압 특성에 발광 소자(60)마다 편차가 생긴 경우에도 발광 소자(60)에 안정적인 전류를 흘릴 수 있다. 즉 OS 트랜지스터가 포화 영역에서 구동하는 경우, 소스와 드레인 사이의 전압을 높여도 소스와 드레인 사이의 전류는 거의 변화되지 않기 때문에, 발광 소자(60)의 발광 휘도를 안정화시킬 수 있다.

[0070] 상술한 바와 같이, 트랜지스터(52)에 OS 트랜지스터를 사용함으로써, 예를 들어 흑색 표시 부분이 밝게 표시되는 것을 억제하거나, 발광 휘도를 상승시키거나, 계조 수를 늘리거나, 발광 소자(60)의 발광 휘도의, 발광 소자(60)마다 생기는 편차를 억제할 수 있다.

[0071] 또한 도 1의 (C)에서는 트랜지스터(51) 및 트랜지스터(52)를 n채널형 트랜지스터로 하였지만, 트랜지스터(51) 및 트랜지스터(52) 중 한쪽 또는 양쪽을 p채널형 트랜지스터로 하여도 좋다. 이는 본 명세서 등에 나타내는 다른 트랜지스터에 대해서도 마찬가지이다.

[0072] 발광 소자(60)로서는 예를 들어 OLED(Organic Light Emitting Diode) 또는 QLED(Quantum-dot Light Emitting Diode)를 사용하는 것이 바람직하다. 발광 소자(60)가 가지는 발광 물질로서는 예를 들어 형광을 방출하는 물질(형광 재료), 인광을 방출하는 물질(인광 재료), 열 활성화 지연 형광을 나타내는 물질(열 활성화 지연 형광(Thermally activated delayed fluorescence: TADF) 재료), 및 무기 화합물(예를 들어 퀀텀닷(quantum dot) 재료)이 있다. 또한 발광 소자(60)로서 마이크로 LED(Light Emitting Diode) 등의 LED를 사용할 수도 있다.

[0073] 도 1의 (D)는 부화소(23)의 구성예를 나타낸 회로도이다. 도 1의 (D)에 나타낸 부화소(23)는 화소 회로(40B) 및 액정 소자(69)를 가진다.

[0074] 화소 회로(40B)는 트랜지스터(51) 및 용량 소자(57)를 가진다. 즉 화소 회로(40B)는 1Tr1C형 화소 회로이다.

[0075] 화소 회로(40B)에서 트랜지스터(51)의 소스 및 드레인 중 한쪽은 배선(43)과 전기적으로 접속된다. 트랜지스터(51)의 소스 및 드레인 중 다른 쪽은 용량 소자(57)의 한쪽 전극과 전기적으로 접속된다. 용량 소자(57)의 한쪽 전극은 액정 소자(69)의 한쪽 전극과 전기적으로 접속된다. 트랜지스터(51)의 게이트는 배선(41)과 전기적으로 접속된다. 용량 소자(57)의 다른 쪽 전극 및 액정 소자(69)의 다른 쪽 전극은 배선(45)과 전기적으로 접속된다. 여기서 액정 소자(69)의 한쪽 전극은 화소 전극이라고도 한다. 또한 액정 소자(69)의 다른 쪽 전극은 공통 전극이라고 하는 경우가 있다. 또한 화소 회로(40B)에서 배선(45)에는 예를 들어 접지 전위를 공급할 수 있다.

[0076] 화소 회로(40B)에서 트랜지스터(51)는 스위치로서의 기능을 가지고, 배선(41)의 전위에 의거하여 배선(43)과 액정 소자(69)의 한쪽 전극 사이의 도통 상태 및 비도통 상태를 제어하는 기능을 가진다. 트랜지스터(51)를 온 상태로 함으로써, 화상 데이터가 화소 회로(40B)에 기록되고, 트랜지스터(51)를 오프 상태로 함으로써, 기록된 화상 데이터가 유지된다.

[0077] 용량 소자(57)는 액정 소자(69)의 한쪽 전극의 전위를 유지하는 기능을 가진다. 액정 소자(69)의 한쪽 전극에 공급되는, 화상 데이터에 대응하는 전위에 따라 액정 소자(69)의 배향 상태가 제어된다.

[0078] 액정 소자(69)의 모드로서는 예를 들어 TN(Twisted Nematic) 모드, STN(Super-Twisted Nematic) 모드, VA(Vertical Alignment) 모드, ASM(Axially Symmetric Aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, MVA(Multidomain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드, 또는 TBA(Transverse Bend Alignment) 모드 등을 사용하여도 좋다. 또한 다른 예로서 ECB(Electrically Controlled Birefringence) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, PNLC(Polymer Network Liquid Crystal) 모드, 및 게스트 호스트 모드 등이 있다. 다만 이에 한정되지 않고, 다양한 모드를 사용할 수 있다.

[0079] 도 2의 (A)는 표시 장치(10)의 구성예를 나타낸 블록도이고, 도 1의 (A)에 나타낸 표시 장치(10)의 변형예이다. 도 2의 (A)에 나타낸 표시 장치(10)는 배선(41)으로서 배선(41a) 및 배선(41b)을 가지는 점 그리고 기준 전위 생성 회로(17)가 제공되는 점이 도 1의 (A)에 나타낸 표시 장치(10)와 다르다.

[0080] 기준 전위 생성 회로(17)는 배선(48)을 통하여 화소(21)와 전기적으로 접속된다. 예를 들어 모든 화소(21)를 동일한 배선(48)을 통하여 기준 전위 생성 회로(17)와 전기적으로 접속할 수 있다. 기준 전위 생성 회로(17)는 예를 들어 트랜지스터(52)의 게이트와 소스 사이의 전위의, 트랜지스터(52)마다 생기는 편차를 보정하기 위한 기준 전위를 생성하고, 배선(48)에 공급하는 기능을 가진다. 배선(48)의 전위가 기준 전위가 되기 때문에 배선(48)은 기준 전위선이라고 할 수 있다. 또한 기준 전위 생성 회로(17)를 전원 회로라고 하여도 좋다. 또한 전원 회로(15)와 기준 전위 생성 회로(17)를 합쳐 하나의 회로로 하여도 좋다. 예를 들어 기준 전위 생성 회로(17)를 전원 회로(15)에 포함시켜도 좋다.

[0081] 도 2의 (B)는 도 2의 (A)에 나타낸 화소(21)가 가지는 부화소(23)의 구성예를 나타낸 회로도이다. 도 2의 (B)에 나타낸 부화소(23)는 화소 회로(40C) 및 발광 소자(60)를 가진다. 화소 회로(40C)는 화소 회로(40A)에 트랜지스터(53)를 추가한 구성을 가진다. 화소 회로(40C)는 3Tr1C형 화소 회로이다.

[0082] 화소 회로(40C)에서 트랜지스터(51)의 게이트는 배선(41a)과 전기적으로 접속된다. 트랜지스터(53)의 소스 및 드레인 중 한쪽은 트랜지스터(52)의 소스 및 드레인 중 다른 쪽, 용량 소자(57)의 다른 쪽 전극, 및 발광 소자(60)의 한쪽 전극과 전기적으로 접속된다. 트랜지스터(53)의 소스 및 드레인 중 다른 쪽은 배선(48)과 전기적으로 접속된다. 트랜지스터(53)의 게이트는 배선(41b)과 전기적으로 접속된다.

[0083] 트랜지스터(53)는 스위치로서의 기능을 가지고, 배선(41b)의 전위에 의거하여 배선(48)과 발광 소자(60)의 한쪽 전극 사이의 도통 상태 및 비도통 상태를 제어하는 기능을 가진다. 배선(48)에는 예를 들어 기준 전위가 공급된다. 트랜지스터(53)를 통하여 공급되는 배선(48)의 기준 전위에 의하여 트랜지스터(52)의 게이트와 소스 사이의 전위의, 트랜지스터(52)마다 생기는 편차를 억제할 수 있다.

[0084] 또한 배선(48)의 전류값에 의거하여 화소 파라미터의 설정에 사용할 수 있는 전류값을 취득할 수 있다. 더 구체적으로는 배선(48)은 트랜지스터(52)에 흐르는 전류 또는 발광 소자(60)에 흐르는 전류를 화소(21)의 외부에 출력하기 위한 모니터선으로서 기능할 수 있다. 배선(48)에 출력된 전류는 예를 들어 소스 폴로어 회로에 의하여 전위로 변환될 수 있다. 또는 예를 들어 A-D 컨버터에 의하여 디지털 신호로 변환될 수 있다. 또한 배선(48)이 모니터선으로서 기능하는 경우, 표시 장치(10)는 기준 전위 생성 회로(17)를 가지지 않아도 된다. 또한 배선(48)이 모니터선으로서 기능하는 경우, 화소(21)는 열마다 다른 배선(48)과 전기적으로 접속될 수 있다.

[0085] 트랜지스터(53)로서 OS 트랜지스터를 사용하는 것이 바람직하다. 상술한 바와 같이, OS 트랜지스터는 예를 들어 비정질 실리콘을 사용한 트랜지스터보다 전계 효과 이동도가 높다. 따라서 트랜지스터(53)로서 OS 트랜지스터를 사용함으로써 표시 장치(10)를 고속으로 구동시킬 수 있다.

[0086] 도 3의 (A), (B), 및 (C)는 도 2의 (A)에 나타낸 화소(21)가 가지는 부화소(23)의 구성예를 나타낸 회로도이다. 도 3의 (A)에 나타낸 부화소(23)는 화소 회로(40D) 및 발광 소자(60)를 가진다. 화소 회로(40D)는 화소 회로(40C)에 트랜지스터(54) 및 용량 소자(58)를 추가한 구성을 가진다. 화소 회로(40D)는 4Tr2C형 화소 회로이다.

[0087] 화소 회로(40D)에서 트랜지스터(52)의 소스 및 드레인 중 한쪽은 트랜지스터(54)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(54)의 소스 및 드레인 중 다른 쪽은 배선(45)과 전기적으로 접속된다. 트랜지스터(54)의 게이트는 배선(41c)과 전기적으로 접속된다. 용량 소자(58)의 한쪽 전극은 트랜지스터(52)의 소스 및 드레인 중 다른 쪽, 트랜지스터(53)의 소스 및 드레인 중 한쪽, 용량 소자(57)의 다른 쪽 전극, 및 발광 소자(60)의 한쪽 전극과 전기적으로 접속된다.

[0088] 배선(41c)은 주사선 구동 회로(11)와 전기적으로 접속된다. 즉 화소(21)가 가지는 부화소(23)가 도 3의 (A)에 나타낸 구성인 경우, 배선(41)으로서 배선(41a), 배선(41b), 및 배선(41c)이 표시 장치(10)에 제공된다.

[0089] 트랜지스터(54)는 스위치로서의 기능을 가지고, 배선(41c)의 전위에 의거하여 배선(45)과 트랜지스터(52)의 소스 및 드레인 중 한쪽 사이의 도통 상태 및 비도통 상태를 제어하는 기능을 가진다.

[0090] 트랜지스터(54)를 온 상태로 함으로써, 트랜지스터(52)의 게이트 전위에 따른 크기의 전류가 예를 들어 배선(45)으로부터 배선(47)을 향하여 흐른다. 이에 의하여, 발광 소자(60)가 트랜지스터(52)의 게이트 전위에 따른 휘도의 광을 방출한다. 한편, 트랜지스터(54)를 오프 상태로 함으로써, 발광 소자(60)에 전류가 흐르지 않게 할 수 있기 때문에 발광 소자(60)가 광을 방출하지 않게 할 수 있다.

[0091] 트랜지스터(54)로서 OS 트랜지스터를 사용하는 것이 바람직하다. 상술한 바와 같이, OS 트랜지스터는 예를 들어 비정질 실리콘을 사용한 트랜지스터보다 전계 효과 이동도가 높다. 따라서 트랜지스터(54)로서 OS 트랜지스터를 사용함으로써 표시 장치(10)를 고속으로 구동시킬 수 있다.

[0092] 도 3의 (B)에 나타낸 부화소(23)는 화소 회로(40E) 및 발광 소자(60)를 가진다. 화소 회로(40E)는 화소 회로(40C)에 트랜지스터(54)를 추가한 구성을 가진다. 화소 회로(40E)는 4Tr1C형 화소 회로이다.

[0093] 화소 회로(40E)에서 트랜지스터(54)의 소스 및 드레인 중 한쪽은 트랜지스터(51)의 소스 및 드레인 중 다른 쪽, 트랜지스터(52)의 게이트, 및 용량 소자(57)의 한쪽 전극과 전기적으로 접속된다. 트랜지스터(54)의 소스 및 드레인 중 다른 쪽은 배선(49)과 전기적으로 접속된다. 트랜지스터(54)의 게이트는 배선(41c)과 전기적으로 접속된다. 부화소(23)가 도 3의 (B)에 나타낸 구성인 경우, 배선(41)으로서 배선(41a), 배선(41b), 및 배선(41c)이 표시 장치(10)에 제공된다.

[0094] 트랜지스터(54)를 온 상태로 함으로써, 트랜지스터(52)의 게이트 전위를 배선(49)의 전위로 할 수 있다. 여기서 배선(49)에는 예를 들어 저전위를 공급할 수 있다. 이로써 예를 들어 발광 소자(60)에 전류가 흐르지 않게 되기 때문에, 발광 소자(60)가 광을 방출하지 않게 된다.

[0095] 도 3의 (C)에 나타낸 부화소(23)는 화소 회로(40F) 및 발광 소자(60)를 가진다.

[0096] 화소 회로(40F)는 트랜지스터(61), 트랜지스터(62), 트랜지스터(63), 트랜지스터(64), 트랜지스터(65), 트랜지스터(66), 용량 소자(67), 및 용량 소자(68)를 가진다. 즉 화소 회로(40F)는 6Tr2C형 화소 회로이다.

[0097] 화소 회로(40F)에서 트랜지스터(61)의 소스 및 드레인 중 한쪽은 배선(45)과 전기적으로 접속된다. 트랜지스터(61)의 소스 및 드레인 중 다른 쪽은 트랜지스터(62)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(62)의 소스 및 드레인 중 한쪽은 트랜지스터(63)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(61)의 게이트는 배선(41d)과 전기적으로 접속된다.

[0098] 트랜지스터(62)의 소스 및 드레인 중 다른 쪽은 트랜지스터(63)의 게이트와 전기적으로 접속된다. 트랜지스터(63)의 게이트는 용량 소자(67)의 한쪽 전극과 전기적으로 접속된다. 트랜지스터(62)의 게이트는 배선(41e)과 전기적으로 접속된다.

[0099] 트랜지스터(64)의 소스 및 드레인 중 한쪽은 배선(43)과 전기적으로 접속된다. 트랜지스터(64)의 소스 및 드레인 중 다른 쪽은 트랜지스터(63)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 트랜지스터(63)의 소스 및 드레인 중 다른 쪽은 트랜지스터(65)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(64)의 게이트는 배선(41f)과 전기적으로 접속된다.

[0100] 트랜지스터(65)의 소스 및 드레인 중 다른 쪽은 트랜지스터(66)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(66)의 소스 및 드레인 중 한쪽은 용량 소자(67)의 다른 쪽 전극과 전기적으로 접속된다. 용량 소자(67)의 다른 쪽 전극은 용량 소자(68)의 한쪽 전극과 전기적으로 접속된다. 용량 소자(68)의 한쪽 전극은 발광 소자(60)의 한쪽 전극과 전기적으로 접속된다. 트랜지스터(65)의 게이트는 배선(41g)과 전기적으로 접속된다.

[0101] 트랜지스터(66)의 소스 및 드레인 중 다른 쪽은 배선(48)과 전기적으로 접속된다. 트랜지스터(66)의 게이트는 배선(41e)과 전기적으로 접속된다.

[0102] 용량 소자(68)의 다른 쪽 전극은 배선(41f)과 전기적으로 접속된다. 발광 소자(60)의 다른 쪽 전극은 배선(47)과 전기적으로 접속된다.

[0103] 배선(41d), 배선(41e), 배선(41f), 및 배선(41g)은 주사선 구동 회로(11)와 전기적으로 접속된다. 즉 화소(21)가 가지는 부화소(23)가 도 3의 (C)에 나타낸 구성인 경우, 배선(41)으로서 배선(41d), 배선(41e), 배선(41f), 및 배선(41g)이 표시 장치(10)에 제공된다.

[0104] 트랜지스터(61), 트랜지스터(62), 트랜지스터(64), 트랜지스터(65), 및 트랜지스터(66)는 스위치로서의 기능을 가진다. 트랜지스터(61)는 배선(41d)의 전위에 의거하여 배선(45)과 트랜지스터(62)의 소스 및 드레인 중 한쪽 사이 그리고 배선(45)과 트랜지스터(63)의 소스 및 드레인 중 한쪽 사이의 도통 상태 및 비도통 상태를 제어하는 기능을 가진다. 트랜지스터(62)는 배선(41e)의 전위에 의거하여 트랜지스터(61)의 소스 및 드레인 중 다른 쪽과 트랜지스터(63)의 소스 및 드레인 중 한쪽 사이 그리고 트랜지스터(63)의 게이트와 용량 소자(67)의 한쪽 전극 사이의 도통 상태 및 비도통 상태를 제어하는 기능을 가진다. 트랜지스터(64)는 배선(41f)의 전위에 의거하여 배선(43)과 트랜지스터(63)의 소스 및 드레인 중 다른 쪽 사이 그리고 배선(43)과 트랜지스터(65)의 소스 및 드레인 중 한쪽 사이의 도통 상태 및 비도통 상태를 제어하는 기능을 가진다. 트랜지스터(65)는 배선(41g)의 전위에 의거하여 발광 소자(60)와 트랜지스터(63)의 소스 및 드레인 중 다른 쪽 사이 그리고 발광 소자(60)의 한쪽 전극과 트랜지스터(64)의 소스 및 드레인 중 다른 쪽 사이의 도통 상태 또는 비도통 상태를 제어하는 기능을 가진다. 트랜지스터(66)는 배선(41e)의 전위에 의거하여 배선(48)과 발광 소자(60)의 한쪽 전극 사이의 도통 상태 및 비도통 상태를 제어하는 기능을 가진다.

[0105] 트랜지스터(61) 내지 트랜지스터(66)로서 OS 트랜지스터를 사용하는 것이 바람직하다. OS 트랜지스터는 예를 들어 비정질 실리콘을 사용한 트랜지스터보다 전계 효과 이동도가 높다. 따라서 트랜지스터(61) 내지 트랜지스터(66)로서 OS 트랜지스터를 사용함으로써 표시 장치(10)를 고속으로 구동시킬 수 있다.

[0106] <반도체 장치의 구성예 1>

[0107] 도 4의 (A1)은 본 발명의 일 형태의 표시 장치가 가지는 반도체 장치의 구성예를 나타낸 평면도이고, 구체적으로는 본 발명의 일 형태의 표시 장치가 가지는 트랜지스터인 트랜지스터(50) 및 그 주변의 구성예를 나타낸 평면도이다. 도 4의 (B)는 도 4의 (A1)에 나타낸 일점쇄선 A1-A2의 단면도이다. 또한 도 4의 (A1)에서 예를 들어 절연층 등의 트랜지스터(50)의 구성 요소의 일부를 생략하였다. 트랜지스터의 평면도에서는 이후의 도면에서도 절연층 등의 구성 요소의 일부를 생략하였다.

[0108] 트랜지스터(50)는 예를 들어 화소(21)가 가지는 트랜지스터에 적용할 수 있다. 예를 들어 트랜지스터(51) 내지 트랜지스터(54) 및 트랜지스터(61) 내지 트랜지스터(66)에 트랜지스터(50)를 적용할 수 있다. 또한 주사선 구동 회로(11)가 가지는 트랜지스터, 신호선 구동 회로(13)가 가지는 트랜지스터, 전원 회로(15)가 가지는 트랜지스터, 및 기준 전위 생성 회로(17)가 가지는 트랜지스터 중 적어도 일부에 트랜지스터(50)를 적용하여도 좋다.

[0109] 트랜지스터(50)는 기판(101) 위에 제공된다. 트랜지스터(50)는 도전층(111)과, 도전층(112)과, 반도체층(113)과, 절연층(105)과, 도전층(115)을 가진다. 도 4의 (A1)에서는 도전층(112)이 도전층(111)과 평행한 방향으로 연장되고, 도전층(115)과 수직인 방향으로 연장되는 예를 나타내었다.

[0110] 도 4의 (A1) 및 (B)에서 좌표축에 나타낸 바와 같이, 도전층(112)이 연장되는 방향을 X방향으로 한다. 또한 X방향과 수직이며, 예를 들어 기판(101)의 상면에 대하여 평행한 방향을 Y방향으로 하고, 기판(101)의 상면에 대하여 수직인 방향을 Z방향으로 한다. X방향, Y방향, 및 Z방향의 정의는 이후의 도면에서도 같은 경우가 있고, 상이한 경우가 있다. X방향, Y방향, 및 Z방향은 서로 수직인 방향으로 할 수 있다.

[0111] 도전층(111)은 트랜지스터(50)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능한다. 도전층(112)은 트랜지스터(50)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다. 절연층(105)은 트랜지스터(50)의 게이트 절연층으로서 기능한다. 도전층(115)은 트랜지스터(50)의 게이트 전극으로서 기능한다.

[0112] 반도체층(113)에서 소스 전극과 드레인 전극 사이에서 게이트 절연층을 개재하여 게이트 전극과 중첩되는 영역 전체가 채널 형성 영역으로서 기능한다. 또한 반도체층(113)에서 소스 전극과 접하는 영역은 소스 영역으로서 기능하고, 드레인 전극과 접하는 영역은 드레인 영역으로서 기능한다.

[0113] 기판(101) 위에 도전층(111)이 제공되고, 기판(101) 위 및 도전층(111) 위에 절연층(103)이 제공되고, 절연층(103) 위에 도전층(112)이 제공된다. 절연층(103)은 층간 절연층으로서의 기능을 가질 수 있다. 도전층(111)과 도전층(112)은 절연층(103)을 개재하여 서로 중첩되는 영역을 가진다. 여기서 층간 절연층으로서 기능하는 절연층(103)의 막 두께는 트랜지스터(50)의 게이트 절연층으로서 기능하는 절연층(105)의 막 두께보다 두껍게 할 수 있다.

[0114] 절연층(103)은 도전층(111)에 도달하는 개구(121)를 가진다. 도전층(112)은 개구(121)에 도달하는 개구(123)를 가진다. 즉 개구(123)는 개구(121)와 중첩되는 영역을 가진다.

[0115] 도 4의 (A1)에서는 트랜지스터(50)의 구성 요소로서 도전층(111), 도전층(112), 반도체층(113), 도전층(115), 개구(121), 및 개구(123)를 나타내었다. 여기서 도 4의 (A1)에 나타낸 요소에서 도전층(115)을 생략한 구성예를 도 4의 (A2)에 나타내었다. 즉 도 4의 (A2)에서는 도전층(111), 도전층(112), 반도체층(113), 개구(121), 및 개구(123)를 나타내었다. 또한 도 4의 (A2)에 나타낸 요소에서 반도체층(113)을 더 생략한 구성예를 도 4의 (A3)에 나타내었다. 즉 도 4의 (A3)에서는 도전층(111), 도전층(112), 개구(121), 및 개구(123)를 나타내었다.

[0116] 도 4의 (A3) 및 (B)에 나타낸 바와 같이, 도전층(112)은 도전층(111)과 중첩되는 영역에 개구(123)를 가진다. 도 4의 (A3)에 나타낸 바와 같이, 도전층(112)은 평면에서 보았을 때 개구(121)의 외주 전체를 덮는 구성으로 할 수 있다. 여기서 도전층(112)은 개구(121)의 내부에 제공하지 않는 것이 바람직하다. 즉 도전층(112)은 절연층(103)의 개구(121) 측의 측면과 접하지 않는 것이 바람직하다.

[0117] 도 4의 (A1), (A2), 및 (A3)에서는 개구(121) 및 개구(123)의 형상이 각각 평면에서 보았을 때 원형인 예를 나타내었다. 개구(121) 및 개구(123)의 평면 형상을 원형으로 함으로써, 개구(121) 및 개구(123)를 형성할 때의 가공 정밀도를 높일 수 있어, 미세한 크기의 개구(121) 및 개구(123)를 형성할 수 있다. 또한 본 명세서 등에서 원형은 정원(正圓)에 한정되지 않는다. 또한 개구(121) 및 개구(123)의 평면 형상은 예를 들어 타원형으로 하여도 좋다.

[0118] 도 4의 (B)에서는 도전층(112)의 개구(123) 측의 단부가 절연층(103)의 개구(121) 측의 단부와 일치하거나 실질적으로 일치하는 예를 나타내었다. 개구(123)의 평면 형상은 개구(121)의 평면 형상과 일치하거나 실질적으로 일치한다고도 할 수 있다. 또한 본 명세서 등에서 도전층(112)의 개구(123) 측의 단부 및 개구(123)의 단부란 도전층(112)의 개구(123) 측의 하면 단부를 나타낸다. 도전층(112)의 하면이란, 절연층(103) 측의 면을 나타낸다. 절연층(103)의 개구(121) 측의 단부 및 개구(121)의 단부란 절연층(103)의 개구(121) 측의 상면 단부를 나타낸다. 절연층(103)의 상면이란, 도전층(112) 측의 면을 나타낸다. 또한 개구(123)의 평면 형상이란, 도전층(112)의 개구(123) 측의 하면 단부의 평면 형상을 나타낸다. 개구(121)의 평면 형상이란, 절연층(103)의 개구(121) 측의 상면 단부의 평면 형상을 나타낸다.

[0119] 또한 "단부가 일치하거나 실질적으로 일치한다"는 "단부가 정렬되거나 실질적으로 정렬된다"라고도 할 수 있다. 단부가 정렬되거나 실질적으로 정렬되는 경우, 그리고 평면 형상이 일치하거나 실질적으로 일치하는 경우, 평면에서 보았을 때 적층된 층과 층 사이에서 적어도 윤곽의 일부가 중첩된다고 할 수 있다. 예를 들어 위층과 아래층이 동일한 마스크 패턴 또는 일부가 동일한 마스크 패턴을 사용하여 가공된 경우를 포함한다. 다만 엄밀하게는 윤곽이 중첩되지 않고 위층이 아래층의 내측에 위치하거나 위층이 아래층의 외측에 위치하는 경우도 있고, 이 경우에도 단부가 실질적으로 정렬된다고 하거나 평면 형상이 실질적으로 일치한다고 한다.

[0120] 개구(121)는 예를 들어 개구(123)의 형성에 사용한 레지스트 마스크를 사용하여 형성할 수 있다. 구체적으로는 우선 기판(101) 위에 도전층(111)을 형성한 후, 기판(101) 위 및 도전층(111) 위에 절연층(103)과, 절연층(103) 위의 도전층(112)이 되는 도전막과, 상기 도전막 위의 레지스트 마스크를 형성한다. 그리고 상기 레지스트 마스크를 사용하여 상기 도전막에 개구(123)를 형성한 후에 상기 레지스트 마스크를 사용하여 절연층(103)에 개구(121)를 형성함으로써, 개구(121)의 단부와 개구(123)의 단부는 일치하거나 실질적으로 일치할 수 있다. 이러한 구성으로 함으로써, 공정을 간략하게 할 수 있다.

[0121] 반도체층(113)은 개구(121) 및 개구(123)를 덮도록 개구(121) 및 개구(123)의 내부에 위치하는 영역을 가지도록 제공된다. 반도체층(113)은 도전층(112)의 상면 및 측면, 절연층(103)의 측면, 그리고 도전층(111)의 상면을 따르는 형상을 가진다. 반도체층(113)은 예를 들어 도전층(112)의 상면 및 측면, 절연층(103)의 측면, 그리고 도전층(111)의 상면과 접하는 영역을 가진다.

[0122] 반도체층(113)은 도전층(112)의 개구(123) 측의 단부를 덮는 것이 바람직하다. 예를 들어 도 4의 (B)에서는 반도체층(113)의 단부가 도전층(112) 위에 위치하는 구성을 나타내었다. 반도체층(113)의 단부는 도전층(112)의 상면과 접한다고도 할 수 있다.

[0123] 예를 들어 도 4의 (B)에서는 반도체층(113)을 단층 구조로 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 반도체층(113)을 2층 이상의 적층 구조로 하여도 좋다.

[0124] 트랜지스터(50)의 게이트 절연층으로서 기능하는 절연층(105)은 개구(121) 및 개구(123)를 덮도록 개구(121) 및 개구(123)의 내부에 위치하는 영역을 가지도록 제공된다. 절연층(105)은 반도체층(113) 위, 도전층(112) 위, 및 절연층(103) 위에 제공된다. 절연층(105)은 반도체층(113)의 상면 및 측면, 도전층(112)의 상면 및 측면, 그리고 절연층(103)의 상면과 접하는 영역을 가질 수 있다. 절연층(105)은 절연층(103)의 상면, 도전층(112)의 상면 및 측면, 그리고 반도체층(113)의 상면 및 측면을 따르는 형상을 가진다.

[0125] 트랜지스터(50)의 게이트 전극으로서 기능하는 도전층(115)은 절연층(105) 위에 제공되고, 절연층(105)의 상면과 접하는 영역을 가질 수 있다. 도전층(115)은 절연층(105)을 개재하여 반도체층(113)과 중첩되는 영역을 가진다.

[0126] 예를 들어 도 4의 (B)에 나타낸 바와 같이, 도전층(115)은 개구(121)의 내부에 위치하는 영역 및 개구(123)의 내부에 위치하는 영역을 가지며, 반도체층(113)과 절연층(105)을 끼워 대향하는 영역을 가지도록 제공된다. 또한 도 4의 (B)에 나타낸 예에서 도전층(115)은 절연층(105) 및 반도체층(113)을 개재하여 도전층(111) 및 도전층(112)과 중첩되는 영역을 가진다. 또한 도전층(115)은 반도체층(113) 전체를 덮는다. 이러한 구성으로 함으로써, 반도체층(113) 전체에 게이트 전계를 가할 수 있기 때문에, 트랜지스터(50)의 전기 특성을 높일 수 있고, 예를 들어 트랜지스터의 온 전류를 높게 할 수 있다. 또한 도전층(111)과 도전층(115) 사이에 게이트 절연층으로서 기능하는 절연층(105) 외에 절연층(103)이 제공됨으로써, 도전층(111)과 도전층(115) 사이에 제공되는 절연층이 예를 들어 절연층(103)만인 경우와 비교하여, 도전층(111)과 도전층(115)에 의하여 형성되는 기생 용량이 작아진다.

[0127] 트랜지스터(50)는 반도체층(113)보다 위쪽에 게이트 전극을 가지는, 소위 톱 게이트형 트랜지스터이다. 또한 반도체층(113)의 하면이 소스 전극 및 드레인 전극과 접하는 영역을 가지기 때문에, TGBC(Top Gate Bottom Contact)형 트랜지스터라고 할 수 있다.

[0128] 여기서 트랜지스터(50)의 채널 길이 및 채널 폭에 대하여 도 5의 (A) 및 (B)를 사용하여 설명한다. 도 5의 (A)는 도 4의 (A1)에 나타낸 트랜지스터(50) 및 그 주변의 구성예를 나타낸 평면도의 확대도이다. 도 5의 (B)는 도 5의 (A)에 나타낸 일점쇄선 A1-A2의 단면도이다.

[0129] 반도체층(113)에서 도전층(111)과 접하는 영역은 소스 영역 및 드레인 영역 중 한쪽으로서 기능하고, 도전층(112)과 접하는 영역은 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능하고, 소스 영역과 드레인 영역 사이의 영역은 채널 형성 영역으로서 기능한다.

[0130] 트랜지스터(50)의 채널 길이는 소스 영역과 드레인 영역 사이의 거리이다. 도 5의 (B)에서는 트랜지스터(50)의 채널 길이(L50)를 파선의 좌우 화살표로 나타내었다. 단면에서 보았을 때, 채널 길이(L50)는 반도체층(113)과 도전층(111)이 접하는 영역의 단부와, 반도체층(113)과 도전층(112)이 접하는 영역의 단부 사이의 거리이다.

[0131] 여기서 트랜지스터(50)의 채널 길이(L50)는 XZ면에서 본 경우에서의 절연층(103)의 개구(121) 측의 측면의 길이에 상당한다. 즉 채널 길이(L50)는 절연층(103)의 막 두께(T103), 및 절연층(103)의 개구(121) 측의 측면과 절연층(103)의 피형성면(여기서는 도전층(111)의 상면)이 이루는 각(Θ103)에 따라 결정되고, 트랜지스터의 제작에 사용하는 노광 장치의 성능에 영향을 받지 않는다. 따라서 채널 길이(L50)를 노광 장치의 한계 해상도보다 작게 할 수 있고, 미세한 크기의 트랜지스터를 실현할 수 있다. 예를 들어 채널 길이(L50)는 0.01㎛ 이상 3.0㎛ 미만이 바람직하고, 0.05㎛ 이상 3.0㎛ 미만이 더 바람직하고, 0.10㎛ 이상 3.0㎛ 미만이 더 바람직하고, 0.15㎛ 이상 3.0㎛ 미만이 더 바람직하고, 0.20㎛ 이상 3.0㎛ 미만이 더 바람직하고, 0.20㎛ 이상 2.5㎛ 미만이 더 바람직하고, 0.20㎛ 이상 2.0㎛ 미만이 더 바람직하고, 0.20㎛ 이상 1.5㎛ 미만이 더 바람직하고, 0.30㎛ 이상 1.5㎛ 미만이 더 바람직하고, 0.30㎛ 이상 1.2㎛ 이하가 더 바람직하고, 0.40㎛ 이상 1.2㎛ 이하가 더 바람직하고, 0.40㎛ 이상 1.0㎛ 이하가 더 바람직하고, 0.50㎛ 이상 1.0㎛ 이하가 더 바람직하다. 도 5의 (B)에는 절연층(103)의 막 두께(T103)를 일점쇄선의 좌우 화살표로 나타내었다.

[0132] 채널 길이(L50)를 작게 함으로써, 트랜지스터(50)의 온 전류를 높게 할 수 있다. 따라서 표시 장치(10)에 포함되는 트랜지스터, 예를 들어 화소(21)에 포함되는 트랜지스터에 트랜지스터(50)를 적용함으로써 표시 장치(10)를 고속으로 구동시킬 수 있다.

[0133] 절연층(103)의 막 두께(T103) 및 각(Θ103)을 조정함으로써 채널 길이(L50)를 제어할 수 있다.

[0134] 절연층(103)의 막 두께(T103)는 0.01㎛ 이상 3.0㎛ 미만이 바람직하고, 0.05㎛ 이상 3.0㎛ 미만이 더 바람직하고, 0.10㎛ 이상 3.0㎛ 미만이 더 바람직하고, 0.15㎛ 이상 3.0㎛ 미만이 더 바람직하고, 0.20㎛ 이상

3.0μm 미만이 더 바람직하고, 0.20μm 이상 2.5μm 미만이 더 바람직하고, 0.20μm 이상 2.0μm 미만이 더 바람직하고, 0.20μm 이상 1.5μm 미만이 더 바람직하고, 0.30μm 이상 1.5μm 미만이 더 바람직하고, 0.30μm 이상 1.2μm 이하가 더 바람직하고, 0.40μm 이상 1.2μm 이하가 더 바람직하고, 0.40μm 이상 1.0μm 이하가 더 바람직하고, 0.50μm 이상 1.0μm 이하가 더 바람직하다.

[0135] 절연층(103)의 개구(121) 측의 측면은 테이퍼 형상인 것이 바람직하다. 절연층(103)의 개구(121) 측의 측면과 절연층(103)의 피형성면(여기서는 도전층(111)의 상면)이 이루는 각(θ103)은 90° 미만인 것이 바람직하다. 각(θ103)을 작게 함으로써, 절연층(103) 위에 제공되는 층(예를 들어 반도체층(113))의 피복성을 높일 수 있다. 그러나 각(θ103)을 작게 하면, 반도체층(113)과 도전층(111)의 접촉 면적이 작아져, 반도체층(113)과 도전층(111)의 접촉 저항이 높아지는 경우가 있다. 각(θ103)은 45° 이상 90° 미만이 바람직하고, 50° 이상 90° 미만이 더 바람직하고, 55° 이상 90° 미만이 더 바람직하고, 60° 이상 90° 미만이 더 바람직하고, 60° 이상 85° 이하가 더 바람직하고, 65° 이상 85° 이하가 더 바람직하고, 65° 이상 80° 이하가 더 바람직하고, 70° 이상 80° 이하가 더 바람직하다. 각(θ103)이 상술한 범위 내에 있으면, 트랜지스터(50)의 채널 길이를 짧게 하면서 도전층(111) 및 절연층(103) 위에 형성되는 층(예를 들어 반도체층(113))의 피복성을 높일 수 있어, 상기 층에 단절 또는 공동 등의 문제가 발생하는 것을 억제할 수 있다. 또한 반도체층(113)과 도전층(111)의 접촉 저항을 감소시킬 수 있다.

[0136] 본 명세서 등에서 단절이란, 층, 막, 또는 전극이 피형성면의 형상(예를 들어 단차 등)에 기인하여 분단되는 현상을 나타낸다.

[0137] 또한 예를 들어 도 5의 (B)에서는 단면에서 보았을 때 절연층(103)의 개구(121) 측의 측면의 형상이 직선인 구성을 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 단면에서 보았을 때 절연층(103)의 개구(121) 측의 측면의 형상은 곡선이어도 좋고, 또한 직선인 영역과 곡선인 영역의 양쪽을 가져도 좋다.

[0138] 트랜지스터(50)의 채널 폭은 채널 길이 방향과 직교하는 방향에서의 소스 영역의 폭 또는 드레인 영역의 폭이다. 즉 채널 폭은 채널 길이 방향과 직교하는 방향에서 반도체층(113)과 도전층(111)이 접하는 영역의 폭 또는 반도체층(113)과 도전층(112)이 접하는 영역의 폭이다. 여기서는 트랜지스터(50)의 채널 폭은 채널 길이 방향과 직교하는 방향에서 반도체층(113)과 도전층(112)이 접하는 영역의 폭으로서 설명한다. 도 5의 (A) 및 (B)에서는 트랜지스터(50)의 채널 폭(W50)을 실선의 좌우 화살표로 나타내었다. 평면에서 보았을 때, 채널 폭(W50)은 개구(123) 측의 도전층(112)의 하면 단부의 길이이다.

[0139] 채널 폭(W50)은 개구(123)의 평면 형상에 따라 결정된다. 도 5의 (A) 및 (B)에서는 개구(123)의 폭(D123)을 이점쇄선의 좌우 화살표로 나타내었다. 폭(D123)은 평면에서 보았을 때 개구(123)에 외접하는 최소의 직사각형의 짧은 변을 나타낸다. 포토리소그래피법을 사용하여 개구(123)를 형성하는 경우, 개구(123)의 폭(D123)은 노광 장치의 한계 해상도 이상이 된다. 폭(D123)은 예를 들어 0.20μm 이상 5.0μm 미만이 바람직하고, 0.20μm 이상 4.5μm 미만이 더 바람직하고, 0.20μm 이상 4.0μm 미만이 더 바람직하고, 0.20μm 이상 3.5μm 미만이 더 바람직하고, 0.20μm 이상 3.0μm 미만이 더 바람직하고, 0.20μm 이상 2.5μm 미만이 더 바람직하고, 0.20μm 이상 2.0μm 미만이 더 바람직하고, 0.20μm 이상 1.5μm 미만이 더 바람직하고, 0.30μm 이상 1.5μm 미만이 더 바람직하고, 0.30μm 이상 1.2μm 이하가 더 바람직하고, 0.40μm 이상 1.2μm 이하가 더 바람직하고, 0.40μm 이상 1.0μm 이하가 더 바람직하고, 0.50μm 이상 1.0μm 이하가 더 바람직하다. 또한 개구(123)의 평면 형상이 원형인 경우, 폭(D123)은 개구(123)의 직경에 상당하고, 채널 폭(W50)은 평면에서 보았을 때의 개구(123)의 외주의 길이와 동일하게 할 수 있고, "D123×π"로 산출할 수 있다.

[0140] <화소의 구성예 1>

[0141] 도 6은 도 1의 (C)에 나타낸 화소 회로(40A)의 구성예를 나타낸 평면도이다. 도 7은 도 6에 나타낸 일점쇄선 B1-B2의 단면도이고, 트랜지스터(51) 및 용량 소자(57)의 구성예를 나타낸 것이다. 도 6에서는 2행 2열의 화소 회로(40A)(화소 회로(40A[i, j]), 화소 회로(40A[i, j+1]), 화소 회로(40A[i+1, j]), 및 화소 회로(40A[i+1, j+1]))를 나타내었다. 여기서 i 및 j는 1 이상의 정수로 한다. 또한 화소 회로의 구성예를 나타낸 다른 평면도에서도 2행 2열의 화소 회로를 나타낸 것으로 한다.

[0142] 도 6 및 도 7에 나타낸 예에서는 트랜지스터(51) 및 트랜지스터(52)의 구성을 도 4의 (A1) 및 (B)에 나타낸 트랜지스터(50)의 구성과 마찬가지로 하였다. 여기서 트랜지스터(51)가 가지는 도전층(111), 도전층(112), 반도체층(113), 및 도전층(115)을 각각 도전층(111a), 도전층(112a), 반도체층(113a), 및 도전층(115a)으로 하였다. 또한 트랜지스터(52)가 가지는 도전층(111), 도전층(112), 반도체층(113), 및 도전층(115)을 각각 도

전층(111b), 도전층(112b), 반도체층(113b), 및 도전층(115b)으로 하였다. 또한 트랜지스터(51)에 제공되는 개구(121) 및 개구(123)를 각각 개구(121a) 및 개구(123a)로 하고, 트랜지스터(52)에 제공되는 개구(121) 및 개구(123)를 각각 개구(121b) 및 개구(123b)로 하였다.

[0143] 용량 소자(57)는 절연층(103) 위의 도전층(112b)과, 도전층(112b) 위의 절연층(105)과, 절연층(105) 위에 제공되고, 도전층(112b)과 중첩되는 영역을 가지는 도전층(115b)을 가진다. 즉 트랜지스터(52)의 소스 전극 및 드레인 전극 중 다른 쪽과 용량 소자(57)의 다른 쪽 전극에는 동일한 도전층을 사용할 수 있다. 또한 트랜지스터(52)의 게이트 전극과 용량 소자(57)의 한쪽 전극에는 동일한 도전층을 사용할 수 있다.

[0144] 절연층(105)은 도전층(112a)에 도달하는 개구(125)를 가지고, 개구(125)에 의하여 도전층(112a)과 도전층(115b)이 전기적으로 접속된다. 구체적으로는 예를 들어 개구(125)의 내부에서 도전층(112a)과 도전층(115b)이 접한다.

[0145] 도 6에서는 개구(125)의 평면에서 보았을 때의 형상을 원형으로 하였지만, 본 발명의 일 형태는 이에 한정되지 않고, 개구(121) 또는 개구(123)가 가질 수 있는 형상과 같은 형상으로 할 수 있다.

[0146] 도전층(111a)의 적어도 일부는 신호선으로서 기능하는 배선(43)으로서 기능하고, 도 1의 (A)에 나타낸 신호선 구동 회로(13)와 전기적으로 접속된다. 도전층(111b)의 적어도 일부는 전원선으로서 기능하는 배선(45)으로서 기능하고, 도 1의 (A)에 나타낸 전원 회로(15)와 전기적으로 접속된다. 도전층(115a)의 적어도 일부는 주사선으로서 기능하는 배선(41)으로서 기능하고, 도 1의 (A)에 나타낸 주사선 구동 회로(11)와 전기적으로 접속된다.

[0147] 도전층(115a)은 X방향으로 연장되는 영역을 가진다. 또한 도전층(111a) 및 도전층(111b)은 Y방향으로 연장되는 영역을 가진다. 도전층(115a)은 도전층(111a) 및 도전층(111b)과 중첩되는 영역을 가진다. 구체적으로는 도전층(115a)의 X방향으로 연장되는 영역의 일부가 도전층(111a)의 Y방향으로 연장되는 영역의 일부와 중첩된다. 또한 도전층(115a)의 X방향으로 연장되는 영역의 일부가 도전층(111b)의 Y방향으로 연장되는 영역의 일부와 중첩된다.

[0148] 여기서 도전층(115a)의 X방향으로 연장되는 영역이 배선(41)으로서 기능한다고 하여도 좋고, 도전층(115a) 전체가 배선(41)으로서 기능한다고 하여도 좋다. 또한 도전층(111a)의 Y방향으로 연장되는 영역이 배선(43)으로서 기능한다고 하여도 좋고, 도전층(111a) 전체가 배선(43)으로서 기능한다고 하여도 좋다. 또한 도전층(111b)의 Y방향으로 연장되는 영역이 배선(45)으로서 기능한다고 하여도 좋고, 도전층(111b) 전체가 배선(45)으로서 기능한다고 하여도 좋다. 상술한 것은 특별히 기재가 있는 경우를 제외하고, 배선(41), 배선(43), 또는 배선(45)으로서 기능하는 영역을 가지는 다른 도전층에 대해서도 마찬가지이다.

[0149] 도 6 및 도 7에 나타낸 예에서는 도전층(111a)과 도전층(115a)이 중첩되는 영역에서 도전층(111a) 위에 절연층(103)이 제공되고, 절연층(103) 위에 절연층(105)이 제공되고, 절연층(105) 위에 도전층(115a)이 제공된다. 이에 의하여, 도전층(111a)과 도전층(115a) 사이에 제공되는 절연층이 예를 들어 절연층(105)만인 경우와 비교하여, 도전층(111a)과 도전층(115a)에 의하여 형성되는 기생 용량이 작아진다. 또한 도전층(111b)과 도전층(115a)이 중첩되는 영역에서 도전층(111b) 위에 절연층(103)이 제공되고, 절연층(103) 위에 절연층(105)이 제공되고, 절연층(105) 위에 도전층(115a)이 제공된다. 이에 의하여, 도전층(111b)과 도전층(115a) 사이에 제공되는 절연층이 예를 들어 절연층(105)만인 경우와 비교하여, 도전층(111b)과 도전층(115a)에 의하여 형성되는 기생 용량이 작아진다. 이로써 주사선 구동 회로(11)가 도전층(115a)에 신호를 출력한 후, 상기 신호가 화소 회로(40A)에 공급될 때까지의 시간을 짧게 할 수 있다. 따라서 본 발명의 일 형태의 표시 장치를 고속으로 구동시킬 수 있다.

[0150] 도 8의 (A)는 도 6에 나타낸 평면도에 발광 소자(60)의 화소 전극(311)을 추가한 구성예이다. 도 8의 (B)는 도 8의 (A)에 나타낸 일점쇄선 B3-B4의 단면도이고, 예를 들어 트랜지스터(52)의 구성예를 나타낸 것이다. 도 8의 (B)에서는 예를 들어 트랜지스터(52)보다 위층의 구성예도 나타내었다. 또한 도 8의 (A)에서 도 6에 나타낸 부호의 일부를 생략하였다.

[0151] 트랜지스터(51), 트랜지스터(52), 및 용량 소자(57)를 덮도록 절연층(218)과 절연층(218) 위의 절연층(235)이 제공된다. 절연층(235) 위에는 발광 소자(60)가 제공되고, 발광 소자(60)를 덮도록 보호층(331)이 제공된다. 보호층(331) 위에는 접착층(142)에 의하여 기판(152)이 접합되어 있다.

[0152] 발광 소자(60)는 절연층(235) 위의 화소 전극(311)과, 화소 전극(311) 위의 섬 형상의 층(313)과, 섬 형상의 층(313) 위의 공통 전극(315)을 가진다. 층(313)은 적어도 발광층을 가진다. 또한 층(313)은 EL층이라고 할 수

있다. 또한 공통 전극은 대향 전극이라고도 한다.

[0153] 본 명세서 등에서 섬 형상이란, 동일한 공정에서 동일한 재료를 사용하여 형성된 2개 이상의 층이 물리적으로 분리된 상태를 의미한다. 예를 들어 섬 형상의 발광층이란, 상기 발광층과, 이에 인접한 발광층이 물리적으로 분리된 상태에 있음을 의미한다.

[0154] 절연층(105), 절연층(218), 및 절연층(235)은 도전층(112b)에 도달하는 개구(129)를 가진다. 개구(129)를 덮도록 화소 전극(311)이 제공된다. 화소 전극(311)은 절연층(235)의 상면 및 측면, 절연층(218)의 측면, 절연층(105)의 측면, 및 도전층(112b)의 상면을 따르는 형상을 가진다. 화소 전극(311)은 예를 들어 절연층(235)의 상면 및 측면, 절연층(218)의 측면, 절연층(105)의 측면, 및 도전층(112b)의 상면과 접하는 영역을 가진다. 화소 전극(311)은 개구(129)의 내부에서 도전층(112b)과 전기적으로 접속될 수 있다.

[0155] 화소 전극(311)의 상면 단부를 덮도록 절연층(237)을 제공할 수 있다. 절연층(237)은 격벽(제방, 뱅크, 또는 스페이서라고도 함)으로서 기능한다. 절연층(237)을 제공함으로써, 화소 전극(311)과 공통 전극(315)이 접하여 발광 소자(60)가 단락되는 것을 억제할 수 있다.

[0156] 화소 전극(311)에는 개구(129)를 덮도록 오목부가 형성되고, 상기 오목부에는 절연층(237)이 매립된다. 예를 들어 화소 전극(311)의 상면 단부 및 개구(129)를 덮는 절연층(237)을 형성한 후에, 파인 메탈 마스크(FMM)를 사용하여 층(313)을 형성할 수 있다.

[0157] 또한 화소 전극(311)은 도전층(111a)의 Y방향으로 연장되는 영역과 중첩되는 영역을 가져도 좋고, 도전층(115a)의 X방향으로 연장되는 영역과 중첩되는 영역을 가져도 좋다. 이에 의하여, 화소의 개구율을 높일 수 있다. 한편, 화소 전극(311)이 도전층(111a)의 Y방향으로 연장되는 영역 및 도전층(115a)의 X방향으로 연장되는 영역과 중첩되는 영역을 가지지 않으면, 도전층(111a)에 공급되는 신호에 기인하는 노이즈 및 도전층(115a)에 공급되는 신호에 기인하는 노이즈가 화소 전극(311)으로 전달되는 것을 억제할 수 있다.

[0158] 기판(152)의 접착층(142) 측의 면에는 차광층(317)을 제공하여도 좋다. 차광층(317)은 인접한 발광 소자(60) 사이에 제공할 수 있다. 차광층(317)을 제공함으로써, 인접한 부화소(23)가 방출하는 광이 차단된다. 이에 의하여, 혼색을 억제할 수 있다. 또한 차광층(317)을 제공하지 않는 구성으로 하여도 좋다.

[0159] <화소의 구성예 2>

[0160] 이하에서는 도 6 및 도 7과 일부의 구성이 상이한 화소 회로의 구성예에 대하여 설명한다. 또한 이하에서는 도 6 및 도 7과 중복되는 부분에 대해서는 설명을 생략하는 경우가 있다.

[0161] 도 9는 화소 회로(40A)의 구성예를 나타낸 평면도이고, 배선(41)과 배선(43)이 중첩되는 영역에 트랜지스터(51)의 적어도 일부가 제공되고, 배선(45)의 Y방향으로 연장되는 영역에 트랜지스터(52)의 적어도 일부가 제공되는 예를 나타낸 것이다. 구체적으로는 도 9에는 배선(41)과 배선(43)이 중첩되는 영역에 반도체층(113a), 개구(121a), 및 개구(123a)가 제공되고, 배선(45)의 Y방향으로 연장되는 영역에 반도체층(113b), 개구(121b), 및 개구(123b)가 제공된 예를 나타내었다. 또한 도 9에는 반도체층(113a), 개구(121a), 및 개구(123a)가 도전층(111a)의 Y방향으로 연장되는 영역 및 도전층(115a)의 X방향으로 연장되는 영역과 중첩되는 예를 나타내었다. 또한 도 9에는 반도체층(113b), 개구(121b), 및 개구(123b)가 도전층(111b)의 Y방향으로 연장되는 영역과 중첩되는 예를 나타내었다.

[0162] 화소 회로(40A)를 도 9에 나타낸 구성으로 함으로써, 화소 회로(40A)를 도 6에 나타낸 구성으로 하는 경우와 비교하여, 용량 소자(57)의 면적을 확보하면서 화소를 미세화할 수 있다. 한편, 화소 회로(40A)를 도 6에 나타낸 구성으로 함으로써, 화소 회로(40A)를 도 9에 나타낸 구성으로 하는 경우와 비교하여, 화소 회로(40A)의 레이아웃의 자유도를 높일 수 있다.

[0163] 도 10의 (A)는 화소 회로(40A)의 구성예를 나타낸 평면도이고, 도전층(112a)의 적어도 일부가 신호선으로서 기능하는 배선(43)으로서 기능하는 예를 나타낸 것이다. 도 10의 (B)는 도 10의 (A)에 나타낸 일점쇄선 B5-B6의 단면도이다. 도 10의 (A)에 나타낸 예에서는 도전층(112a)은 Y방향으로 연장되는 영역을 가지고, 상기 영역의 일부가 도전층(115a)과 중첩된다.

[0164] 도 10의 (B)에 나타낸 예에서는 개구(125)는 도전층(111a)에 도달하도록 절연층(103) 및 절연층(105)에 제공된다. 개구(125)에 의하여, 도전층(111a)과 도전층(115b)이 전기적으로 접속된다. 구체적으로는 예를 들어 개구(125)의 내부에서 도전층(111a)과 도전층(115b)이 접한다.

[0165] 도 10의 (A)에 나타낸 예에서는 배선(43)과 배선(45)은 상이한 층에 제공되는 도전층이다. 이에 의하여, 배선(43)과 배선(45)을 동일한 층에 제공되는 도전층으로 하는 경우보다 배선(43)과 배선(45) 사이의 거리를 짧게 할 수 있다. 따라서 본 발명의 일 형태의 표시 장치를 정세도가 높은 표시 장치로 할 수 있다. 한편, 도 6에 나타낸 바와 같이 도전층(111a)을 배선(43)으로 함으로써, 배선(41)과 배선(43)이 중첩되는 영역에 형성되는 기생 용량을 도 10의 (A)에 나타낸 구성보다 작게 할 수 있다.

[0166] 여기서 도 10의 (A)에 나타낸 예에서 예를 들어 도전층(111b)의 Y방향으로 연장되는 영역과 도전층(112a)의 Y방향으로 연장되는 영역 사이의 평면에서 보았을 때의 거리를 도전층(111b)의 Y방향으로 연장되는 영역의 폭보다 짧게 할 수 있고, 도전층(112a)의 Y방향으로 연장되는 영역의 폭보다 짧게 할 수 있다. 바꿔 말하면, 도전층(111b)이 Y방향으로 연장되는 영역과 도전층(112a)이 Y방향으로 연장되는 영역 사이의 X방향의 길이를 도전층(111b)이 Y방향으로 연장되는 영역의 X방향의 길이보다 짧게 할 수 있고, 도전층(112a)이 Y방향으로 연장되는 영역의 X방향의 길이보다 짧게 할 수 있다.

[0167] 또한 도 10의 (A)에 나타낸 예에서 예를 들어 도전층(111b)의 Y방향으로 연장되는 영역과 도전층(112a)의 Y방향으로 연장되는 영역 사이의 평면에서 보았을 때의 거리를 도전층(111a)과 도전층(111b) 사이의 거리보다 짧게 할 수 있고, 도전층(112a)과 도전층(112b) 사이의 거리보다 짧게 할 수 있다. 예를 들어 도전층(111b)의 Y방향으로 연장되는 영역과 도전층(112a)의 Y방향으로 연장되는 영역 사이의 거리를 도전층(111a)과 도전층(111b) 사이의 X방향 및 Y방향의 거리 중 가장 짧은 거리보다 짧게 할 수 있고, 도전층(112a)과 도전층(112b) 사이의 X방향 및 Y방향의 거리 중 가장 짧은 거리보다 짧게 할 수 있다.

[0168] 또한 도 10의 (A)에 나타낸 예에서 도전층(111b)과 도전층(112a)이 중첩되는 영역을 가져도 좋다. 이 경우, 도전층(111b)과 도전층(112a) 사이의 평면에서 보았을 때의 거리가 0이라고 할 수 있다.

[0169] 도 11은 도 10의 (A)에 나타낸 구성의 변형예이고, 배선(41)과 배선(43)이 중첩되는 영역에 트랜지스터(51)의 적어도 일부가 제공되고, 배선(45)의 Y방향으로 연장되는 영역에 트랜지스터(52)의 적어도 일부가 제공되는 예를 나타낸 것이다. 구체적으로는 도 11에는 배선(41)과 배선(43)이 중첩되는 영역에 반도체층(113a), 개구(121a), 및 개구(123a)가 제공되고, 배선(45)의 Y방향으로 연장되는 영역에 반도체층(113b), 개구(121b), 및 개구(123b)가 제공되는 예를 나타내었다. 또한 도 11에는 반도체층(113a), 개구(121a), 및 개구(123a)가 도전층(112a)의 Y방향으로 연장되는 영역 및 도전층(115a)의 X방향으로 연장되는 영역과 중첩되는 예를 나타내었다. 또한 도 11에는 반도체층(113b), 개구(121b), 및 개구(123b)가 도전층(111b)의 Y방향으로 연장되는 영역과 중첩되는 예를 나타내었다.

[0170] 도 12의 (A)는 도 2의 (B)에 나타낸 화소 회로(40C)의 구성예를 나타낸 평면도이다. 도 12의 (B)는 도 12의 (A)에 나타낸 일점쇄선 B7-B8의 단면도이고, 트랜지스터(53) 및 용량 소자(57)의 구성예를 나타낸 것이다.

[0171] 도 12의 (A) 및 (B)에 나타낸 예에서는 트랜지스터(51) 및 트랜지스터(52) 외에, 트랜지스터(53)의 구성을 도 4의 (A1) 및 (B)에 나타낸 구성과 마찬가지이다. 여기서 트랜지스터(53)가 가지는 도전층(111), 도전층(112), 반도체층(113), 및 도전층(115)을 각각 도전층(111c), 도전층(112b), 반도체층(113c), 및 도전층(115c)으로 하였다. 또한 트랜지스터(53)에 제공되는 개구(121) 및 개구(123)를 각각 개구(121c) 및 개구(123c)로 하였다.

[0172] 도전층(111c)은 트랜지스터(53)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하고, 도전층(112b)은 트랜지스터(53)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다. 여기서 도 12의 (A)에서는 트랜지스터(52)의 소스 전극 및 드레인 전극 중 다른 쪽, 트랜지스터(53)의 소스 전극 및 드레인 전극 중 다른 쪽, 및 용량 소자(57)의 다른 쪽 전극에 동일한 도전층(112b)을 사용하는 예를 나타내었다.

[0173] 도 12의 (B)에는 나타내지 않았지만, 절연층(105)은 도전층(112a)에 도달하는 개구(125a)를 가지고, 개구(125a)에 의하여 도전층(112a)과 도전층(115b)이 전기적으로 접속된다. 구체적으로는 예를 들어 개구(125a)의 내부에서 도전층(112a)과 도전층(115b)이 접한다.

[0174] 도 12의 (A) 및 (B)에 나타낸 예에서는 도전층(115a)이 배선(41a)으로서 기능하고, 도전층(115c)의 적어도 일부가 배선(41b)으로서 기능한다. 또한 배선(48)으로서 도전층(131)을 나타내고, 도전층(131)은 도 2의 (A)에 나타낸 기준 전위 생성 회로(17)와 전기적으로 접속된다.

[0175] 절연층(103) 및 절연층(105)은 도전층(111c)에 도달하는 개구(125b) 및 도전층(131)에 도달하는 개구(125c)를 가진다. 개구(125b)에 의하여 도전층(111c)과 도전층(119)이 전기적으로 접속되고, 개구(125c)에 의하여 도전층(131)과 도전층(119)이 전기적으로 접속된다. 구체적으로는 예를 들어 개구(125b)의 내부에서 도전층(111c)

과 도전층(119)이 접하고, 개구(125c)의 내부에서 도전층(131)과 도전층(119)이 접한다. 이로써 도전층(111c)과 도전층(131)을 도전층(119)을 통하여 전기적으로 접속할 수 있다. 도전층(111c)과 도전층(131)을 도전층(119)을 통하여 전기적으로 접속함으로써, 도전층(111c)이 도전층(111b)과 접하여 단락되는 것을 방지할 수 있다.

[0176] 도전층(131)은 도전층(111)과 동일한 층에 제공할 수 있고, 도전층(119)은 도전층(115)과 동일한 층에 제공할 수 있다. 따라서 도전층(131)은 도전층(111)과 동일한 재료를 가질 수 있고, 동일한 공정으로 형성할 수 있다. 또한 도전층(119)은 도전층(115)과 동일한 재료를 가질 수 있고, 동일한 공정으로 형성할 수 있다. 예를 들어 도전층(111)과 도전층(131)은 동일한 도전막을 가공함으로써 형성할 수 있고, 도전층(115)과 도전층(119)은 동일한 도전막을 가공함으로써 형성할 수 있다.

[0177] 도 12의 (A)에서는 개구(125a), 개구(125b), 및 개구(125c)의 평면에서 보았을 때의 형상을 원형으로 하였지만, 본 발명의 일 형태는 이에 한정되지 않고, 개구(121) 또는 개구(123)가 가질 수 있는 형상과 같은 형상으로 할 수 있다.

[0178] 도전층(115a) 및 도전층(115c)은 X방향으로 연장되는 영역을 가진다. 도전층(131)은 Y방향으로 연장되는 영역을 가진다. 도전층(115a) 및 도전층(115c)은 도전층(111a) 및 도전층(111b) 외에, 도전층(131)과 중첩되는 영역을 가진다. 구체적으로는 도전층(115a)의 X방향으로 연장되는 영역의 일부가 도전층(111a), 도전층(111b), 및 도전층(131)의 Y방향으로 연장되는 영역의 일부와 각각 중첩된다. 또한 도전층(115c)의 X방향으로 연장되는 영역의 일부가 도전층(111a), 도전층(111b), 및 도전층(131)의 Y방향으로 연장되는 영역의 일부와 각각 중첩된다.

[0179] 여기서 도전층(115a)의 X방향으로 연장되는 영역이 배선(41a)으로서 기능한다고 하여도 좋고, 도전층(115a) 전체가 배선(41a)으로서 기능한다고 하여도 좋다. 또한 도전층(115c)의 X방향으로 연장되는 영역이 배선(41b)으로서 기능한다고 하여도 좋고, 도전층(115c) 전체가 배선(41b)으로서 기능한다고 하여도 좋다. 또한 도전층(131)의 Y방향으로 연장되는 영역이 배선(48)으로서 기능한다고 하여도 좋고, 도전층(131) 전체가 배선(48)으로서 기능한다고 하여도 좋다. 상술한 것은 특별히 기재가 있는 경우를 제외하고, 배선(41a), 배선(41b), 또는 배선(48)으로서 기능하는 영역을 가지는 다른 도전층에 대해서도 마찬가지이다.

[0180] 도 12의 (A)에 나타낸 예에서는 도전층(111a), 도전층(111b), 및 도전층(131)은 도전층(115a)과 절연층(103) 및 절연층(105)을 개재하여 중첩되는 영역을 가진다. 또한 도전층(111a), 도전층(111b), 및 도전층(131)은 절연층(103) 및 절연층(105)을 개재하여 도전층(115b)과 중첩되는 영역을 가진다. 이에 의하여, 도전층(111a), 도전층(111b), 및 도전층(131)과 도전층(115a) 사이에 제공되는 절연층, 그리고 도전층(111a), 도전층(111b), 및 도전층(131)과 도전층(115b) 사이에 제공되는 절연층이 예를 들어 절연층(105)만인 경우와 비교하여, 도전층(115a) 및 도전층(115b)의 기생 용량이 작아진다. 이에 의하여, 주사선 구동 회로(11)가 도전층(115a) 또는 도전층(115b)에 신호를 출력한 후부터 상기 신호가 화소 회로(40C)에 공급될 때까지의 시간을 짧게 할 수 있다. 따라서 본 발명의 일 형태의 표시 장치를 고속으로 구동시킬 수 있다.

[0181] 도 13은 도 12의 (A)에 나타낸 구성의 변형예이고, 배선(41a)과 배선(43)이 중첩되는 영역에 트랜지스터(51)의 적어도 일부가 제공되는 예를 나타낸 것이다. 또한 배선(45)의 Y방향으로 연장되는 영역에 트랜지스터(52)의 적어도 일부가 제공되는 예를 나타내었다. 또한 배선(41b)과 배선(48)이 중첩되는 영역에 트랜지스터(53)의 적어도 일부가 제공되는 예를 나타내었다. 도 13은 구체적으로는 배선(41a)과 배선(43)이 중첩되는 영역에 반도체층(113a), 개구(121a), 및 개구(123a)가 제공되는 예를 나타낸 것이다. 또한 도 13에는 배선(45)의 Y방향으로 연장되는 영역에 반도체층(113b), 개구(121b), 및 개구(123b)가 제공된 예를 나타내었다. 또한 도 13에는 배선(41b)과 배선(48)이 중첩되는 영역에 반도체층(113c), 개구(121c), 및 개구(123c)가 제공된 예를 나타내었다. 또한 도 13에는 반도체층(113a), 개구(121a), 및 개구(123a)가 도전층(111a)의 Y방향으로 연장되는 영역 및 도전층(115a)의 X방향으로 연장되는 영역과 중첩되는 예를 나타내었다. 또한 도 13에는 반도체층(113b), 개구(121b), 및 개구(123b)가 도전층(111b)의 Y방향으로 연장되는 영역과 중첩되는 예를 나타내었다. 또한 도 13에는 반도체층(113c), 개구(121c), 및 개구(123c)가 도전층(111c)의 Y방향으로 연장되는 영역 및 도전층(115c)의 X방향으로 연장되는 영역과 중첩되는 예를 나타내었다.

[0182] 도 14의 (A)는 화소 회로(40C)의 구성예를 나타낸 평면도이고, 트랜지스터(53)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 도전층(112c)이 제공되고, 도전층(112c)의 적어도 일부가 배선(48)으로서 기능하는 예를 나타낸 것이다. 도 14의 (B)는 도 14의 (A)에 나타낸 일점쇄선 B7-B8의 단면도이다. 도 14의 (A)에 나타낸 예에서는 도전층(112c)은 Y방향으로 연장되는 영역을 가지고, 상기 영역의 일부가 도전층(115a) 및 도전층

(115c)과 중첩된다.

[0183] 도 14의 (B)에 나타낸 예에서는 도전층(111c)에 도달하는 개구(125d)가 절연층(103)에 제공되고, 개구(125d)에 의하여 도전층(111c)과 도전층(112b)이 전기적으로 접속된다. 구체적으로는 예를 들어 개구(125d)의 내부에서 도전층(111c)과 도전층(112b)이 접한다.

[0184] 도 14의 (A)에서는 개구(125d)의 평면에서 보았을 때의 형상을 원형으로 하였지만, 본 발명의 일 형태는 이에 한정되지 않고, 개구(121) 또는 개구(123)가 가질 수 있는 형상과 같은 형상으로 할 수 있다.

[0185] 도 14의 (A)에 나타낸 예에서는 배선(48)은 배선(43) 및 배선(45)과 상이한 층에 제공되는 도전층이다. 이에 의하여, 배선(48)을 배선(43) 및 배선(45)과 동일한 층에 제공되는 도전층으로 하는 경우보다, 배선(43)과 배선(48) 사이의 거리 및 배선(45)과 배선(48) 사이의 거리를 짧게 할 수 있다. 따라서 본 발명의 일 형태의 표시 장치를 정세도가 높은 표시 장치로 할 수 있다. 한편, 도 12의 (A)에 나타낸 바와 같이, 도전층(111)과 동일한 층에 제공되는 도전층(131)을 배선(48)으로 함으로써, 배선(41a)과 배선(48)이 중첩되는 영역에 형성되는 기생 용량 및 배선(41b)과 배선(48)이 중첩되는 영역에 형성되는 기생 용량을 도 14의 (A)에 나타낸 구성보다 작게 할 수 있다.

[0186] 여기서 도 14의 (A)에 나타낸 예에서 예를 들어 도전층(111b)의 Y방향으로 연장되는 영역과 도전층(112c)의 Y방향으로 연장되는 영역 사이의 평면에서 보았을 때의 거리를 도전층(111b)의 Y방향으로 연장되는 영역의 폭보다 짧게 할 수 있고, 도전층(112c)의 Y방향으로 연장되는 영역의 폭보다 짧게 할 수 있다. 바꿔 말하면, 도전층(111b)이 Y방향으로 연장되는 영역과 도전층(112c)이 Y방향으로 연장되는 영역 사이의 X방향의 길이를 도전층(111b)이 Y방향으로 연장되는 영역의 X방향의 길이보다 짧게 할 수 있고, 도전층(112c)이 Y방향으로 연장되는 영역의 X방향의 길이보다 짧게 할 수 있다.

[0187] 마찬가지로, 예를 들어 도전층(111a)의 Y방향으로 연장되는 영역과 도전층(112c)의 Y방향으로 연장되는 영역 사이의 평면에서 보았을 때의 거리를 도전층(111a)의 Y방향으로 연장되는 영역의 폭보다 짧게 할 수 있고, 도전층(112c)의 Y방향으로 연장되는 영역의 폭보다 짧게 할 수 있다. 바꿔 말하면, 도전층(111a)이 Y방향으로 연장되는 영역과 도전층(112c)이 Y방향으로 연장되는 영역 사이의 X방향의 길이를 도전층(111a)이 Y방향으로 연장되는 영역의 X방향의 길이보다 짧게 할 수 있고, 도전층(112c)이 Y방향으로 연장되는 영역의 X방향의 길이보다 짧게 할 수 있다.

[0188] 또한 도 14의 (A)에 나타낸 예에서 예를 들어 도전층(111b)의 Y방향으로 연장되는 영역과 도전층(112c)의 Y방향으로 연장되는 영역 사이의 평면에서 보았을 때의 거리를 도전층(111a)과 도전층(111b) 사이의 거리보다 짧게 할 수 있고, 도전층(111b)과 도전층(111c) 사이의 거리보다 짧게 할 수 있고, 도전층(112a)과 도전층(112b) 사이의 거리보다 짧게 할 수 있고, 도전층(112b)과 도전층(112c) 사이의 거리보다 짧게 할 수 있다. 예를 들어 도전층(111b)의 Y방향으로 연장되는 영역과 도전층(112c)의 Y방향으로 연장되는 영역 사이의 거리를 도전층(111a)과 도전층(111b) 사이의 X방향 또는 Y방향의 거리 중 가장 짧은 거리보다 짧게 할 수 있고, 도전층(111b)과 도전층(111c) 사이의 X방향 및 Y방향의 거리 중 가장 짧은 거리보다 짧게 할 수 있고, 도전층(112a)과 도전층(112b) 사이의 X방향 및 Y방향의 거리 중 가장 짧은 거리보다 짧게 할 수 있고, 도전층(112b)과 도전층(112c) 사이의 X방향 및 Y방향의 거리 중 가장 짧은 거리보다 짧게 할 수 있다.

[0189] 마찬가지로, 예를 들어 도전층(111a)의 Y방향으로 연장되는 영역과 도전층(112c)의 Y방향으로 연장되는 영역 사이의 평면에서 보았을 때의 거리를 도전층(111a)과 도전층(111b) 사이의 거리보다 짧게 할 수 있고, 도전층(111b)과 도전층(111c) 사이의 거리보다 짧게 할 수 있고, 도전층(112a)과 도전층(112b) 사이의 거리보다 짧게 할 수 있고, 또한 도전층(112b)과 도전층(112c) 사이의 거리보다 짧게 할 수 있다. 예를 들어 도전층(111a)의 Y방향으로 연장되는 영역과 도전층(112c)의 Y방향으로 연장되는 영역 사이의 거리를 도전층(111a)과 도전층(111b) 사이의 X방향 및 Y방향의 거리 중 가장 짧은 거리보다 짧게 할 수 있고, 도전층(111b)과 도전층(111c) 사이의 X방향 및 Y방향의 거리 중 가장 짧은 거리보다 짧게 할 수 있고, 도전층(112a)과 도전층(112b) 사이의 X방향 및 Y방향의 거리 중 가장 짧은 거리보다 짧게 할 수 있고, 도전층(112b)과 도전층(112c) 사이의 X방향 및 Y방향의 거리 중 가장 짧은 거리보다 짧게 할 수 있다.

[0190] 또한 도 14의 (A)에 나타낸 예에서 도전층(111b)과 도전층(112c)이 중첩되는 영역을 가져도 좋다. 이 경우, 도전층(111b)과 도전층(112c) 사이의 평면에서 보았을 때의 거리가 0이라고 할 수 있다. 마찬가지로, 도전층(111a)과 도전층(112c)이 중첩되는 영역을 가져도 좋다. 이 경우, 도전층(111a)과 도전층(112c) 사이의 평면에서 보았을 때의 거리가 0이라고 할 수 있다.

[0191] 도 15의 (A)는 도 14의 (A)에 나타낸 구성의 변형예이고, 도전층(112b)과 도전층(111c)이 도전층(115)과 동일한 층에 제공되는 도전층(119)을 통하여 전기적으로 접속되는 예를 나타낸 것이다. 도 15의 (B)는 도 15의 (A)에 나타낸 일점쇄선 B7-B8의 단면도이고, 트랜지스터(53) 및 용량 소자(57)의 구성예를 나타낸 것이다.

[0192] 도 15의 (B)에 나타낸 예에서는 도전층(112b)에 도달하는 개구(125d1)가 절연층(105)에 제공되고, 개구(125d1)에 의하여 도전층(112b)과 도전층(119)이 전기적으로 접속된다. 구체적으로는 예를 들어 개구(125d1)의 내부에서 도전층(112b)과 도전층(119)이 접한다. 또한 도전층(111c)에 도달하는 개구(125d2)가 절연층(103) 및 절연층(105)에 제공되고, 개구(125d2)에 의하여 도전층(111c)과 도전층(119)이 전기적으로 접속된다. 구체적으로는 예를 들어 개구(125d2)의 내부에서 도전층(111c)과 도전층(119)이 접한다.

[0193] 이로써 도전층(112b)과 도전층(111c)을 도전층(119)을 통하여 전기적으로 접속할 수 있다. 본 발명의 일 형태의 표시 장치를 이와 같은 구성으로 함으로써, 개구(125d)(개구(125d1) 및 개구(125d2))를 개구(125a)와 동일한 공정으로 형성할 수 있다.

[0194] 도 16은 도 14의 (A)에 나타낸 구성의 변형예이고, 배선(41a)과 배선(43)이 중첩되는 영역에 트랜지스터(51)의 적어도 일부가 제공되는 예를 나타낸 것이다. 또한 배선(45)의 Y방향으로 연장되는 영역에 트랜지스터(52)의 적어도 일부가 제공되는 예를 나타내었다. 또한 배선(41b)의 X방향으로 연장되는 영역에 트랜지스터(53)의 적어도 일부가 제공되는 예를 나타내었다. 도 16은 구체적으로는 배선(41)과 배선(43)이 중첩되는 영역에 반도체층(113a), 개구(121a), 및 개구(123a)가 제공되는 예를 나타낸 것이다. 또한 도 16에는 배선(45)의 Y방향으로 연장되는 영역에 반도체층(113b), 개구(121b), 및 개구(123b)가 제공된 예를 나타내었다. 또한 도 16에는 배선(41b)의 X방향으로 연장되는 영역에 반도체층(113c), 개구(121c), 및 개구(123c)가 제공된 예를 나타내었다. 또한 도 16에는 반도체층(113a), 개구(121a), 및 개구(123a)가 도전층(111a)의 Y방향으로 연장되는 영역 및 도전층(115a)의 X방향으로 연장되는 영역과 중첩되는 예를 나타내었다. 또한 도 16에는 반도체층(113b), 개구(121b), 및 개구(123b)가 도전층(111b)의 Y방향으로 연장되는 영역과 중첩되는 예를 나타내었다. 또한 도 16에는 반도체층(113c), 개구(121c), 및 개구(123c)가 도전층(115c)의 X방향으로 연장되는 영역과 중첩되는 예를 나타내었다. 또한 도 16에는 개구(125d)가 도전층(115b)과 중첩되는 예를 나타내었다.

[0195] 화소 회로(40C)를 예를 들어 도 16에 나타낸 구성으로 함으로써, 화소 회로(40C)를 도 14의 (A)에 나타낸 구성으로 하는 경우와 비교하여, 용량 소자(57)의 면적을 확보하면서 화소를 미세화할 수 있다. 한편, 화소 회로(40C)를 도 14의 (A)에 나타낸 구성으로 함으로써, 화소 회로(40C)를 도 16에 나타낸 구성으로 하는 경우와 비교하여, 화소 회로(40C)의 레이아웃의 자유도를 높일 수 있다.

[0196] 도 17, 도 18, 및 도 19는 각각 도 14의 (A), 도 15의 (A), 및 도 16에 나타낸 구성의 변형예이고, 도전층(112c)을 인접한 2열의 화소 회로(40C)에서 공유하는 예를 나타낸 것이다. 도 17, 도 18, 및 도 19에서는 j번째 열의 화소 회로(40C)와 j+1번째 열의 화소 회로(40C)에 의하여 도전층(112c)이 공유되는 예를 나타내었다. 또한 도 17, 도 18, 및 도 19에서는 j번째 열의 화소 회로(40C)에 제공되는 트랜지스터(52)와 전기적으로 접속되는 도전층(111b)의 Y방향으로 연장되는 영역과, j+1번째 열의 화소 회로(40C)에 제공되는 트랜지스터(52)와 전기적으로 접속되는 도전층(111b)의 Y방향으로 연장되는 영역 사이에 도전층(112c)의 Y방향으로 연장된 영역이 제공되는 예를 나타내었다.

[0197] 도 17, 도 18, 및 도 19에 나타낸 예에서는 도 14의 (A), 도 15의 (A), 및 도 16에 나타낸 예보다 본 발명의 일 형태의 표시 장치에 제공되는 도전층(112c)의 개수를 적게 할 수 있기 때문에, 정세도가 높은 표시 장치를 실현할 수 있다. 한편, 도 14의 (A), 도 15의 (A), 및 도 16에 나타낸 예에서는 도 17, 도 18, 및 도 19에 나타낸 예보다 도전층(112c)의 부하를 작게 할 수 있다. 따라서 고속으로 구동하는 표시 장치를 실현할 수 있다.

[0198] 도 20의 (A), (B), 도 21의 (A), 및 (B)는 각각 도 14의 (A), (B), 도 15의 (A), 및 (B)에 나타낸 구성의 변형예이고, 도전층(111b)을 인접한 2열의 화소 회로(40C)에서 공유하는 예를 나타낸 것이다. 도 20의 (A) 및 도 21의 (A)에서는 j번째 열의 화소 회로(40C)와 j+1번째 열의 화소 회로(40C)에 의하여 도전층(111b)이 공유되는 예를 나타내었다. 또한 도 20의 (A) 및 도 21의 (A)에서는 j번째 열의 화소 회로(40C)에 제공되는 트랜지스터(53)와 전기적으로 접속되는 도전층(112c)의 Y방향으로 연장되는 영역과, j+1번째 열의 화소 회로(40C)에 제공되는 트랜지스터(53)와 전기적으로 접속되는 도전층(112c)의 Y방향으로 연장되는 영역 사이에 도전층(111b)의 Y방향으로 연장되는 영역이 제공되는 예를 나타내었다.

[0199] 도 20의 (A), (B), 도 21의 (A), 및 (B)에 나타낸 예에서는 도 14의 (A), (B), 도 15의 (A), 및 (B)에 나타낸 예보다 본 발명의 일 형태의 표시 장치에 제공되는 도전층(111b)의 개수를 적게 할 수 있기 때문에, 정세도가

높은 표시 장치를 실현할 수 있다. 한편, 도 14의 (A), (B), 도 15의 (A), 및 (B)에 나타낸 예에서는 도 20의 (A), (B), 도 21의 (A), 및 (B)에 나타낸 예보다 도전층(111b)의 부하를 작게 할 수 있다. 따라서 고속으로 구동하는 표시 장치를 실현할 수 있다.

[0200] 도 22의 (A)는 도 6에 나타낸 구성의 변형예이고, 도전층(135)이 제공되는 예를 나타낸 것이다. 도 22의 (A)에는 화소 회로(40A)의 구성예를 나타내었다. 도 22의 (B)는 도 22의 (A)에 나타낸 일점쇄선 C1-C2의 단면도이고, 트랜지스터(52)의 구성예를 나타낸 것이다.

[0201] 도전층(135)은 X방향으로 연장되는 영역을 가지고, 도전층(111a) 및 도전층(111b)과 중첩되는 영역을 가진다. 또한 도전층(135)은 도전층(112)과 동일한 층 위에 제공할 수 있다. 따라서 도전층(135)은 도전층(112)과 동일한 재료를 가질 수 있고, 동일한 공정으로 형성할 수 있다. 예를 들어 도전층(112)과 도전층(135)은 동일한 도전막을 가공함으로써 형성할 수 있다.

[0202] 도 22의 (B)에 나타낸 예에서는 도전층(111b)에 도달하는 개구(127)가 절연층(103)에 제공되고, 개구(127)에 의하여 도전층(111b)과 도전층(135)이 전기적으로 접속된다. 구체적으로는 예를 들어 개구(127)의 내부에서 도전층(111b)과 도전층(135)이 접한다.

[0203] 도 22의 (A)에서는 개구(127)의 평면에서 보았을 때의 형상을 원형으로 하였지만, 본 발명의 일 형태는 이에 한정되지 않고, 개구(121), 개구(123), 또는 개구(125)가 가질 수 있는 형상과 같은 형상으로 할 수 있다.

[0204] 본 발명의 일 형태의 표시 장치를 도 22의 (A)에 나타낸 구성으로 함으로써, Y방향으로 연장되는 영역을 가지는 도전층(111b)뿐만 아니라 X방향으로 연장되는 영역을 가지는 도전층(135)도 전원선으로서 기능하는 배선(45)으로서 기능한다. 따라서 도 1의 (A)에 나타낸 전원 회로(15)는 도전층(111b)뿐만 아니라 도전층(135)을 통하여 트랜지스터(52)에 전원 전위를 공급할 수 있다. 이에 의하여, 전원 회로(15)가 생성한 전원 전위가 화소 회로(40A)에 공급될 때까지 강하하는 것을 억제할 수 있다. 특히 전원 회로(15)가 생성한 전원 전위가, 전원 회로(15)로부터의 배선 거리가 긴 화소 회로(40A)에 공급될 때까지 강하하는 것을 적합하게 억제할 수 있다.

[0205] 도 23은 도 22의 (A)에 나타낸 구성의 변형예이고, 배선(41)과 배선(43)이 중첩되는 영역에 트랜지스터(51)의 적어도 일부가 제공되고, 배선(45)의 Y방향으로 연장되는 영역에 트랜지스터(52)의 적어도 일부가 제공되는 예를 나타낸 것이다.

[0206] 도 24의 (A)는 도 12의 (A)에 나타낸 구성의 변형예이고, 도전층(135)이 제공되는 예를 나타낸 것이다. 도 24의 (A)에는 화소 회로(40C)의 구성예를 나타내었다. 도 24의 (B)는 도 24의 (A)에 나타낸 일점쇄선 C3-C4의 단면도이고, 트랜지스터(53)의 구성예를 나타낸 것이다.

[0207] 도전층(135)은 X방향으로 연장되는 영역을 가지고, 도전층(111a), 도전층(111b), 및 도전층(131)과 중첩되는 영역을 가진다. 또한 상술한 바와 같이, 도전층(135)은 도전층(112)과 동일한 층에 제공할 수 있다.

[0208] 도 24의 (B)에 나타낸 예에서는 도 22의 (B)에 나타낸 예와 마찬가지로, 도전층(111b)에 도달하는 개구(127)가 절연층(103)에 제공되고, 개구(127)에 의하여 도전층(111b)과 도전층(135)이 전기적으로 접속된다. 구체적으로는 예를 들어 개구(127)의 내부에서 도전층(111b)과 도전층(135)이 접한다.

[0209] 본 발명의 일 형태의 표시 장치를 도 24의 (A)에 나타낸 구성으로 함으로써, 도 2의 (A)에 나타낸 전원 회로(15)가 생성한 전원 전위가 화소 회로(40C)에 공급될 때까지 강하하는 것을 억제할 수 있다. 특히 전원 회로(15)가 생성한 전원 전위가, 전원 회로(15)로부터의 배선 거리가 긴 화소 회로(40C)에 공급될 때까지 강하하는 것을 적합하게 억제할 수 있다.

[0210] 도 25는 도 24의 (A)에 나타낸 구성의 변형예이고, 배선(41a)과 배선(43)이 중첩되는 영역에 트랜지스터(51)의 적어도 일부가 제공되는 예를 나타낸 것이다. 또한 배선(45)의 Y방향으로 연장되는 영역에 트랜지스터(52)의 적어도 일부가 제공되는 예를 나타내었다. 또한 배선(41b)과 배선(48)이 중첩되는 영역에 트랜지스터(53)의 적어도 일부가 제공되는 예를 나타내었다.

[0211] 도 26의 (A)는 도 22의 (A)에 나타낸 구성의 변형예이고, 도전층(111b)과 도전층(135)이 도전층(115)과 동일한 층에 제공되는 도전층(137)을 통하여 전기적으로 접속되는 예를 나타낸 것이다. 도 26의 (A)에는 화소 회로(40A)의 구성예를 나타내었다. 도 26의 (B)는 도 26의 (A)에 나타낸 일점쇄선 C1-C2의 단면도이고, 트랜지스터(52)의 구성예를 나타낸 것이다.

[0212] 도 26의 (B)에 나타낸 예에서는 도전층(111b)에 도달하는 개구(127a)가 절연층(103) 및 절연층(105)에

제공되고, 개구(127a)에 의하여 도전층(111b)과 도전층(137)이 전기적으로 접속된다. 구체적으로는 예를 들어 개구(127a)의 내부에서 도전층(111b)과 도전층(137)이 접한다. 또한 도전층(135)에 도달하는 개구(127b)가 절연층(105)에 제공되고, 개구(127b)에 의하여 도전층(135)과 도전층(137)이 전기적으로 접속된다. 구체적으로는 예를 들어 개구(127b)의 내부에서 도전층(135)과 도전층(137)이 접한다.

[0213] 이로써 도전층(111b)과 도전층(135)을 도전층(137)을 통하여 전기적으로 접속할 수 있다. 본 발명의 일 형태의 표시 장치를 이와 같은 구성으로 함으로써, 개구(127)(개구(127a) 및 개구(127b))를 개구(125)와 동일한 공정으로 형성할 수 있다.

[0214] 도 27은 도 26의 (A)에 나타낸 구성의 변형예이고, 배선(41)과 배선(43)이 중첩되는 영역에 트랜지스터(51)의 적어도 일부가 제공되고, 배선(45)의 Y방향으로 연장되는 영역에 트랜지스터(52)의 적어도 일부가 제공되는 예를 나타낸 것이다.

[0215] 도 28의 (A)는 도 24의 (A)에 나타낸 구성의 변형예이고, 도전층(111b)과 도전층(135)이 도전층(115)과 동일한 층에 제공되는 도전층(137)을 통하여 전기적으로 접속되는 예를 나타낸 것이다. 도 28의 (A)에는 화소 회로(40C)의 구성예를 나타내었다. 도 28의 (B)는 도 28의 (A)에 나타낸 일점쇄선 C3-C4의 단면도이고, 트랜지스터(53)의 구성예를 나타낸 것이다.

[0216] 도 28의 (A)에서는 도전층(115c)과 도전층(137)의 접촉을 방지하기 위하여, 도전층(115c)의 X방향으로 연장되는 영역을 트랜지스터(52)와 트랜지스터(53) 사이에 제공하는 예를 나타내었다.

[0217] 도 29는 도 28의 (A)에 나타낸 구성의 변형예이고, 배선(41a)과 배선(43)이 중첩되는 영역에 트랜지스터(51)의 적어도 일부가 제공되고, 배선(45)의 Y방향으로 연장되는 영역에 트랜지스터(52)의 적어도 일부가 제공되고, 배선(41b)과 배선(48)이 중첩되는 영역에 트랜지스터(53)의 적어도 일부가 제공되는 예를 나타낸 것이다.

[0218] 도 30의 (A)는 도 22의 (A)에 나타낸 구성의 변형예이고, 도전층(135)을 도전층(115)과 동일한 층에 제공하는 예를 나타낸 것이다. 도 30의 (A)에는 화소 회로(40A)의 구성예를 나타내었다. 도 30의 (B)는 도 30의 (A)에 나타낸 일점쇄선 C1-C2의 단면도이고, 트랜지스터(52)의 구성예를 나타낸 것이다.

[0219] 도 31은 도 30의 (A)에 나타낸 구성의 변형예이고, 배선(41)과 배선(43)이 중첩되는 영역에 트랜지스터(51)의 적어도 일부가 제공되고, 배선(45)의 Y방향으로 연장되는 영역에 트랜지스터(52)의 적어도 일부가 제공되는 예를 나타낸 것이다.

[0220] 도 32의 (A)는 도 30의 (A)에 나타낸 구성의 변형예이고, 도전층(112a)의 적어도 일부가 신호선으로서 기능하는 배선(43)으로서 기능하는 예를 나타낸 것이다. 도 32의 (B)는 도 32의 (A)에 나타낸 일점쇄선 C1-C2의 단면도이다.

[0221] 도 33은 도 32의 (A)에 나타낸 구성의 변형예이고, 배선(41)과 배선(43)이 중첩되는 영역에 트랜지스터(51)의 적어도 일부가 제공되고, 배선(45)의 Y방향으로 연장되는 영역에 트랜지스터(52)의 적어도 일부가 제공되는 예를 나타낸 것이다.

[0222] 도 34의 (A), (B), 도 35, 도 36의 (A), (B), 및 도 37은 각각 도 30의 (A), (B), 도 31, 도 32의 (A), (B), 및 도 33에 나타낸 구성의 변형예이고, 도전층(111b)과 도전층(135)이 도전층(112)과 동일한 층에 제공되는 도전층(137)을 통하여 전기적으로 접속되는 예를 나타낸 것이다.

[0223] 도 34의 (A), (B), 도 35, 도 36의 (A), (B), 및 도 37에 나타낸 예에서는 도전층(111b)에 도달하는 개구(127a)가 절연층(103)에 제공되고, 개구(127a)에 의하여 도전층(111b)과 도전층(137)이 전기적으로 접속된다. 구체적으로는 예를 들어 개구(127a)의 내부에서 도전층(111b)과 도전층(137)이 접한다. 또한 도전층(137)에 도달하는 개구(127b)가 절연층(105)에 제공되고, 개구(127b)에 의하여 도전층(137)과 도전층(135)이 전기적으로 접속된다. 구체적으로는 예를 들어 개구(127b)의 내부에서 도전층(137)과 도전층(135)이 접한다. 이로써 도전층(111b)과 도전층(135)을 도전층(137)을 통하여 전기적으로 접속할 수 있다. 또한 도 34의 (A), (B), 도 35, 도 36의 (A), (B), 및 도 37에 나타낸 개구(127a) 및 개구(127b)의 구성은 개구(125b) 및 개구(125c)에도 적용할 수 있다. 또한 도 34의 (A), (B), 도 35, 도 36의 (A), (B), 및 도 37에 나타낸 도전층(137)의 구성은 도전층(119)에도 적용할 수 있다.

[0224] 도 38의 (A)는 도 34의 (A)에 나타낸 구성의 변형예이고, 도전층(137)이 제공되는 층이 다르다. 도 38의 (A)에는 화소 전극(311)을 나타내고, 화소 전극(311)과 동일한 층에 도전층(137)을 제공하는 예를 나타내었다. 따라서 도 38의 (A)에 나타낸 예에서는 도전층(137)이 화소 전극(311)과 동일한 재료를 가질 수 있고, 동일한 공정

으로 형성할 수 있다. 예를 들어 화소 전극(311)과 도전층(137)은 동일한 도전막을 가공함으로써 형성할 수 있다. 또한 도 38의 (B)는 도 38의 (A)에 나타낸 일점쇄선 C5-C6의 단면도이고, 예를 들어 트랜지스터(52)의 구성예를 나타낸 것이다. 도 38의 (B)에서는 예를 들어 트랜지스터(52)보다 위층의 구성예도 나타내었다. 또한 도 38의 (A)에서 도 34의 (A)에 나타낸 부호의 일부를 생략하였다.

[0225] 도 38의 (A)에서는 화소 전극(311)이 도전층(111a)의 Y방향으로 연장되는 영역, 도전층(111b)의 Y방향으로 연장되는 영역, 도전층(115a)의 X방향으로 연장되는 영역, 및 도전층(135)의 X방향으로 연장되는 영역 중 어느 것과도 중첩되지 않는 예를 나타내었지만, 화소 전극(311)은 이들 영역 중 적어도 하나와 중첩되는 영역을 가져도 좋다. 이에 의하여, 화소의 개구율을 높일 수 있다. 한편, 화소 전극(311)이 이들 영역과 중첩되지 않는 구성으로 함으로써, 도전층(111a), 도전층(111b), 도전층(115a), 및 도전층(135)에 기인하는 노이즈가 화소 전극(311)으로 전달되는 것을 억제할 수 있다. 특히 화소 전극(311)이 화상 신호가 공급되는 도전층(111a)의 Y방향으로 연장되는 영역 및 주사 신호가 공급되는 도전층(115a)의 X방향으로 연장되는 영역과 중첩되지 않으면, 화소 전극(311)에 노이즈가 전달되는 것을 효과적으로 억제할 수 있다.

[0226] 트랜지스터(51), 트랜지스터(52), 및 용량 소자(57)를 덮도록 절연층(218)과 절연층(218) 위의 절연층(235)이 제공된다. 절연층(105), 절연층(218), 및 절연층(235)은 도전층(112b)에 도달하는 개구(129)를 가진다. 절연층(235)보다 위에 제공되는 요소에 관한 설명 및 개구(129)에 관한 설명 등은 예를 들어 도 8의 (B)의 설명을 참조할 수 있다.

[0227] 도 38의 (B)에 나타낸 예에서는 도전층(111b)에 도달하는 개구(127a)가 절연층(103), 절연층(105), 절연층(218), 및 절연층(235)에 제공된다. 또한 도전층(135)에 도달하는 개구(127b)가 절연층(218) 및 절연층(235)에 제공된다. 여기서 개구(127a)와 개구(127b)는 개구(129)와 동일한 공정으로 형성할 수 있다.

[0228] 도전층(137)은 개구(127a) 및 개구(127b)를 덮도록 제공된다. 도전층(137)은 절연층(235)의 상면 및 측면, 절연층(218)의 측면, 절연층(105)의 측면, 절연층(103)의 측면, 도전층(111b)의 상면, 및 도전층(135)의 상면을 따르는 형상을 가진다. 도전층(137)은 절연층(235)의 상면 및 측면, 절연층(218)의 측면, 절연층(105)의 측면, 절연층(103)의 측면, 도전층(111b)의 상면, 및 도전층(135)과 접하는 영역을 가진다. 도전층(137)은 개구(127a)의 내부에서 도전층(111b)과 전기적으로 접속할 수 있고, 개구(127b)의 내부에서 도전층(135)과 전기적으로 접속할 수 있다. 이에 의하여, 도전층(111b)과 도전층(135)을 도전층(137)을 통하여 전기적으로 접속할 수 있다.

[0229] 도전층(137)의 상면 단부를 덮도록 절연층(237)을 제공할 수 있다. 절연층(237)을 제공함으로써, 예를 들어 도전층(137)이 화소 전극(311)과 접하여 단락되는 것을 억제할 수 있다.

[0230] 도전층(137)에는 개구(127a)를 덮도록 오목부가 형성되고, 개구(127b)를 덮도록 오목부가 형성된다. 이들 오목부에는 절연층(237)이 매립되어 있다.

[0231] 또한 도 38의 (A) 및 (B)에 나타낸 개구(127a), 개구(127b), 및 도전층(137)의 구성은 도 34의 (A) 및 (B) 외에 나타낸 개구(127a), 개구(127b), 및 도전층(137)에도 적용할 수 있다. 예를 들어 도 34의 (A) 및 (B) 외에 나타낸 도전층(137)을 화소 전극과 동일한 층에 제공할 수 있다. 또한 도 38의 (A) 및 (B)에 나타낸 개구(127a) 및 개구(127b)의 구성은 개구(125b), 개구(125c), 개구(125d1), 및 개구(125d2)에도 적용할 수 있다. 또한 도 38의 (A) 및 (B)에 나타낸 도전층(137)의 구성은 도전층(119)에도 적용할 수 있다. 예를 들어 도전층(119)을 화소 전극과 동일한 층에 제공할 수 있다.

[0232] <표시 장치의 구성 요소>

[0233] 이하에서는 본 실시형태의 표시 장치에 포함되는 구성 요소에 대하여 설명한다.

[0234] [반도체층(113)]

[0235] 반도체층(113)에 사용할 수 있는 반도체 재료는 특별히 한정되지 않는다. 예를 들어 단체 반도체 또는 화합물 반도체를 사용할 수 있다. 단체 반도체로서는 예를 들어 실리콘 또는 저마늄을 사용할 수 있다. 화합물 반도체로서는 예를 들어 비소화 갈륨 및 실리콘 저마늄이 있다. 화합물 반도체로서는 반도체 특성을 가지는 유기물 또는 반도체 특성을 가지는 금속 산화물을 사용할 수 있다. 또한 이들 반도체 재료에는 도펀트로서 불순물이 포함되어도 좋다.

[0236] 반도체층(113)에 사용하는 반도체 재료의 결정성은 특별히 한정되지 않고, 비정질 반도체 및 결정성을 가지는 반도체(단결정성 반도체, 다결정 반도체, 미결정 반도체, 또는 일부에 결정 영역을 가지는 반도체) 중 어느 것

을 사용하여도 좋다. 결정성을 가지는 반도체를 사용하면, 트랜지스터 특성의 열화를 억제할 수 있으므로 바람직하다.

[0237] 반도체층(113)에는 실리콘을 사용할 수 있다. 실리콘으로서는 단결정 실리콘, 다결정 실리콘, 미결정 실리콘, 및 비정질 실리콘 등을 들 수 있다. 다결정 실리콘으로서는 예를 들어 저온 폴리실리콘(LTPS: Low Temperature Poly Silicon)이 있다.

[0238] 반도체층(113)에 비정질 실리콘을 사용한 트랜지스터는 대형 유리 기판 위에 형성할 수 있고 저비용으로 제작할 수 있다. 반도체층(113)에 다결정 실리콘을 사용한 트랜지스터는 전계 효과 이동도가 높아 고속 구동이 가능하다. 또한 반도체층(113)에 미결정 실리콘을 사용한 트랜지스터는 비정질 실리콘을 사용한 트랜지스터보다 전계 효과 이동도가 높아 고속 구동이 가능하다.

[0239] 반도체층(113)은 금속 산화물(산화물 반도체)을 가지는 것이 바람직하다. 반도체층(113)에 사용할 수 있는 금속 산화물로서는 예를 들어 인듐 산화물, 갈륨 산화물, 및 아연 산화물이 있다. 금속 산화물은 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또한 금속 산화물은 인듐, 원소 M, 및 아연 중에서 선택되는 2종류 또는 3종류를 포함하는 것이 바람직하다. 또한 원소 M은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 코발트, 및 마그네슘 중에서 선택된 1종류 또는 복수 종류이다. 특히 원소 M은 알루미늄, 갈륨, 이트륨, 및 주석 중에서 선택된 1종류 또는 복수 종류인 것이 바람직하다.

[0240] 반도체층(113)은 예를 들어 산화 인듐, 인듐 아연 산화물(In-Zn 산화물), 인듐 주석 산화물(In-Sn 산화물), 인듐 타이타늄 산화물(In-Ti 산화물), 인듐 알루미늄 아연 산화물(In-Al-Zn 산화물, IAZO라고도 기재함), 인듐 주석 아연 산화물(In-Sn-Zn 산화물, ITZO(등록 상표)라고도 기재함), 인듐 타이타늄 아연 산화물(In-Ti-Zn 산화물), 인듐 갈륨 아연 산화물(In-Ga-Zn 산화물, IGZO라고도 기재함), 인듐 갈륨 주석 산화물(In-Ga-Sn 산화물, IGTO라고도 기재함), 인듐 갈륨 주석 아연 산화물(In-Ga-Sn-Zn 산화물), 인듐 주석 갈륨 산화물(In-Sn-Ga 산화물), 또는 인듐 갈륨 알루미늄 아연 산화물(In-Ga-Al-Zn 산화물, IGAZO 또는 IAGZO라고도 기재함) 등을 사용할 수 있다. 또는 실리콘을 포함하는 인듐 주석 산화물 등을 사용할 수 있다. 또는 비정질 구조를 가지는 상기 산화물을 사용할 수 있다. 예를 들어 비정질 구조를 가지는 인듐 산화물, 또는 비정질 구조를 가지는 인듐 주석 산화물 등을 사용할 수 있다.

[0241] 원소 M은 특히 갈륨, 알루미늄, 이트륨, 및 주석 중에서 선택된 1종류 또는 복수 종류인 것이 바람직하다. 특히 원소 M으로서는 갈륨이 바람직하다.

[0242] 여기서 반도체층(113)이 가지는 금속 산화물의 조성은 트랜지스터(50)의 전기 특성 및 신뢰성에 크게 영향을 미친다.

[0243] 예를 들어 금속 산화물의 인듐의 함유율을 높게 함으로써 온 전류가 높은 트랜지스터를 실현할 수 있다.

[0244] 반도체층(113)에 In-Zn 산화물을 사용하는 경우, 인듐의 원자수비가 아연의 원자수비 이상인 금속 산화물을 적용하는 것이 바람직하다. 예를 들어 금속 원소의 원자수비가 In:Zn=1:1, In:Zn=2:1, In:Zn=3:1, In:Zn=4:1, In:Zn=5:1, In:Zn=7:1, In:Zn=10:1, 또는 이들의 근방의 금속 산화물을 사용할 수 있다.

[0245] 반도체층(113)에 In-Sn 산화물을 사용하는 경우, 인듐의 원자수비가 주석의 원자수비 이상인 금속 산화물을 적용하는 것이 바람직하다. 예를 들어 금속 원소의 원자수비가 In:Sn=1:1, In:Sn=2:1, In:Sn=3:1, In:Sn=4:1, In:Sn=5:1, In:Sn=7:1, In:Sn=10:1, 또는 이들의 근방의 금속 산화물을 사용할 수 있다.

[0246] 반도체층(113)에 In-M-Zn 산화물을 사용하는 경우, 금속 원소의 원자수에 대한 인듐의 원자수비가 원소 M의 원자수비보다 높은 금속 산화물을 적용할 수 있다. 또한 아연의 원자수비가 원소 M의 원자수비보다 높은 금속 산화물을 사용하는 것이 더 바람직하다. 예를 들어 반도체층(113)에는 금속 원소의 원자수비가 In:M:Zn=2:1:3, In:M:Zn=3:1:2, In:M:Zn=4:2:3, In:M:Zn=4:2:4.1, In:M:Zn=5:1:3, In:M:Zn=5:1:6, In:M:Zn=5:1:7, In:M:Zn=5:1:8, In:M:Zn=6:1:6, In:M:Zn=10:1:3, In:M:Zn=10:1:6, In:M:Zn=10:1:7, In:M:Zn=10:1:8, In:M:Zn=5:2:5, In:M:Zn=10:1:10, In:M:Zn=20:1:10, In:M:Zn=40:1:10, 또는 이들의 근방의 금속 산화물을 사용할 수 있다.

[0247] 또한 원소 M으로서 복수의 금속 원소를 가지는 경우에는 상기 금속 원소의 원자수비의 합계를 원소 M의 원자수비로 할 수 있다. 예를 들어 원소 M으로서 갈륨과 알루미늄을 포함하는 In-Ga-Al-Zn 산화물인 경우, 갈륨의 원자수비와 알루미늄의 원자수비의 합계를 원소 M의 원자수비로 할 수 있다. 또한 인듐, 원소 M, 및 아연의 원자

수비가 상술한 범위 내에 있는 것이 바람직하다.

[0248] 금속 산화물에 함유되는 금속 원소의 원자수에 대한 인듐의 원자수의 비율이 30atomic% 이상 100atomic% 이하, 바람직하게는 30atomic% 이상 95atomic% 이하, 더 바람직하게는 35atomic% 이상 95atomic% 이하, 더 바람직하게는 35atomic% 이상 90atomic% 이하, 더 바람직하게는 40atomic% 이상 90atomic% 이하, 더 바람직하게는 45atomic% 이상 90atomic% 이하, 더 바람직하게는 50atomic% 이상 80atomic% 이하, 더 바람직하게는 60atomic% 이상 80atomic% 이하, 더 바람직하게는 70atomic% 이상 80atomic% 이하인 금속 산화물을 사용하는 것이 바람직하다. 예를 들어 반도체층(113)에 In-Ga-Zn 산화물을 사용하는 경우, 인듐, 원소 M, 및 아연의 원자수의 합계에 대한 인듐의 원자수의 비율이 상술한 범위 내에 있는 것이 바람직하다.

[0249] 본 명세서 등에서 함유되는 금속 원소의 원자수에 대한 인듐의 원자수의 비율을 인듐의 함유율이라고 기재하는 경우가 있다. 다른 금속 원소에서도 마찬가지이다.

[0250] 금속 산화물의 인듐의 함유율을 높게 함으로써, 온 전류가 높은 트랜지스터로 할 수 있다. 상기 트랜지스터를 높은 온 전류가 요구되는 트랜지스터에 적용함으로써, 우수한 전기 특성을 가지는 표시 장치로 할 수 있다.

[0251] 금속 산화물의 조성을 분석하는 방법으로서는, 예를 들어 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy), X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy), 유도 결합 플라스마 질량 분석법(ICP-MS: Inductively Coupled Plasma-Mass Spectrometry), 또는 유도 결합 고주파 플라스마 발광 분광법(ICP-AES: Inductively Coupled Plasma-Atomic Emission Spectrometry)을 사용할 수 있다. 또는 이들 방법을 복수 조합하여 분석을 수행하여도 좋다. 또한 함유율이 낮은 원소는 분석 정밀도의 영향 때문에, 실제의 함유율과 분석에 의하여 얻어진 함유율이 다른 경우가 있다. 예를 들어 원소 M의 함유율이 낮은 경우, 분석에 의하여 얻어진 원소 M의 함유율이 실제의 함유율보다 낮아지는 경우가 있다.

[0252] 본 명세서 등에서 근방의 조성이란, 원하는 원자수비의 ±30%의 범위를 포함한 것이다. 예를 들어 원자수비가 In:M:Zn=4:2:3 또는 그 근방의 조성이라고 기재된 경우, 인듐의 원자수비를 4로 하였을 때, M의 원자수비가 1 이상 3 이하이고, 아연의 원자수비가 2 이상 4 이하인 경우를 포함한다. 또한 원자수비가 In:M:Zn=5:1:6 또는 그 근방의 조성이라고 기재된 경우, 인듐의 원자수비를 5로 하였을 때, M의 원자수비가 0.1보다 크고 2 이하이고, 아연의 원자수비가 5 이상 7 이하인 경우를 포함한다. 또한 원자수비가 In:M:Zn=1:1:1 또는 그 근방의 조성이라고 기재된 경우, 인듐의 원자수비를 1로 하였을 때, M의 원자수비가 0.1보다 크고 2 이하이고, 아연의 원자수비가 0.1보다 크고 2 이하인 경우를 포함한다.

[0253] 금속 산화물의 형성에는 스퍼터링법 또는 원자층 퇴적(ALD: Atomic Layer Deposition)법을 적합하게 사용할 수 있다. 또한 금속 산화물을 스퍼터링법에 의하여 형성하는 경우, 타깃의 원자수비와 상기 금속 산화물의 원자수비가 다른 경우가 있다. 특히 아연은 타깃에서의 원자수비보다 금속 산화물에서의 원자수비가 작은 경우가 있다. 구체적으로는 타깃에 포함되는 아연의 원자수비의 40% 이상 90% 이하 정도가 되는 경우가 있다.

[0254] 여기서 트랜지스터의 신뢰성에 대하여 설명한다. 트랜지스터의 신뢰성을 평가하는 지표의 하나로서, 게이트에 전계를 인가한 상태를 유지하는 GBT(Gate Bias Temperature) 스트레스 시험이 있다. 그 중에서도 소스 전위 및 드레인 전위에 대하여 양의 전위(포지티브 바이어스)를 게이트에 공급한 상태를 고온하에서 유지하는 시험을 PBTS(Positive Bias Temperature Stress) 시험이라고 하고, 음의 전위(네거티브 바이어스)를 게이트에 공급한 상태를 고온하에서 유지하는 시험을 NBTS(Negative Bias Temperature Stress) 시험이라고 한다. 또한 광을 조사한 상태에서 수행하는 PBTS 시험을 PBTIS(Positive Bias Temperature Illumination Stress) 시험이라고 하고, 광을 조사한 상태에서 수행하는 NBTS 시험을 NBTIS(Negative Bias Temperature Illumination Stress) 시험이라고 한다.

[0255] n형 트랜지스터에서는 트랜지스터를 온 상태(전류를 흘리는 상태)로 할 때 게이트에 양의 전위가 공급되기 때문에, PBTS 시험에서의 문턱 전압의 변동량이 트랜지스터의 신뢰성의 지표로서 주목해야 할 중요한 항목 중 하나가 된다.

[0256] 반도체층(113)에 갈륨을 포함하지 않거나 갈륨의 함유율이 낮은 금속 산화물을 사용함으로써 포지티브 바이어스 인가에 대한 신뢰성이 높은 트랜지스터로 할 수 있다. 즉 PBTS 시험에서의 문턱 전압의 변동량이 작은 트랜지스터로 할 수 있다. 또한 갈륨을 포함하는 금속 산화물을 사용하는 경우에는 인듐의 함유율보다 갈륨의 함유율을 낮게 하는 것이 바람직하다. 이 경우, 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0257] PBTS 시험에서의 문턱 전압의 변동의 요인 중 하나로서, 반도체층과 게이트 절연층의 계면 또는 계면 근방에서의 결함 준위를 들 수 있다. 결함 준위 밀도가 높아질수록 PBTS 시험에서의 열화가 현저해진다. 반도체층에서

게이트 절연층과 접하는 영역에서의 갈륨의 함유율을 낮게 함으로써, 상기 결함 준위의 생성을 억제할 수 있다.

[0258] 갈륨을 포함하지 않거나 갈륨의 함유율이 낮은 금속 산화물을 반도체층에 사용함으로써 PBTS 시험에서의 문턱 전압의 변동을 억제할 수 있는 이유로서 예를 들어 다음과 같은 것이 생각된다. 금속 산화물에 포함되는 갈륨은 다른 금속 원소(예를 들어 인듐 또는 아연)에 비하여 산소를 유인하기 쉬운 성질을 가진다. 그러므로 갈륨을 많이 포함하는 금속 산화물과 게이트 절연층의 계면에서 갈륨이 게이트 절연층 내의 과잉 산소와 결합됨으로써, 캐리어(여기서는 전자)의 트랩 사이트가 발생되기 쉬워지는 것으로 추정된다. 그러므로 게이트에 양의 전위를 공급한 경우에, 반도체층과 게이트 절연층의 계면에 캐리어가 트랩됨으로써, 문턱 전압이 변동되는 것으로 생각된다.

[0259] 더 구체적으로는 반도체층(113)에 In-Ga-Zn 산화물을 사용한 경우, 인듐의 원자수비가 갈륨의 원자수비보다 높은 금속 산화물을 반도체층(113)에 적용할 수 있다. 또한 아연의 원자수비가 갈륨의 원자수비보다 높은 금속 산화물을 사용하는 것이 더 바람직하다. 바꿔 말하면, 금속 원소의 원자수비가 In>Ga 및 Zn>Ga의 양쪽을 만족시키는 금속 산화물을 반도체층(113)에 적용하는 것이 바람직하다.

[0260] 예를 들어 반도체층(113)에는 금속 원소의 원자수비가 In:Ga:Zn=2:1:3, In:Ga:Zn=3:1:2, In:Ga:Zn=4:2:3, In:Ga:Zn=4:2:4.1, In:Ga:Zn=5:1:3, In:Ga:Zn=5:1:6, In:Ga:Zn=5:1:7, In:Ga:Zn=5:1:8, In:Ga:Zn=6:1:6, In:Ga:Zn=10:1:3, In:Ga:Zn=10:1:6, In:Ga:Zn=10:1:7, In:Ga:Zn=10:1:8, In:Ga:Zn=5:2:5, In:Ga:Zn=10:1:10, In:Ga:Zn=20:1:10, In:Ga:Zn=40:1:10, 또는 이들의 근방의 금속 산화물을 사용할 수 있다.

[0261] 반도체층(113)에는 함유되는 금속 원소의 원자수에 대한 갈륨의 원자수의 비율이 0atomic%보다 높고 50atomic% 이하, 바람직하게는 0.1atomic% 이상 40atomic% 이하, 더 바람직하게는 0.1atomic% 이상 35atomic% 이하, 더 바람직하게는 0.1atomic% 이상 30atomic% 이하, 더 바람직하게는 0.1atomic% 이상 25atomic% 이하, 더 바람직하게는 0.1atomic% 이상 20atomic% 이하, 더 바람직하게는 0.1atomic% 이상 15atomic% 이하, 더 바람직하게는 0.1atomic% 이상 10atomic% 이하인 금속 산화물을 사용하는 것이 바람직하다. 반도체층 내의 갈륨의 함유율을 낮게 함으로써 PBTS 시험에 대한 내성이 높은 트랜지스터로 할 수 있다. 또한 금속 산화물에 갈륨을 함유시킴으로써 금속 산화물에 산소 결손(V_O: Oxygen Vacancy)이 발생하기 어려워지는 등의 효과가 나타난다.

[0262] 반도체층(113)에 갈륨을 포함하지 않는 금속 산화물을 적용하여도 좋다. 예를 들어 반도체층(113)에는 In-Zn 산화물을 적용할 수 있다. 이때 금속 산화물에 포함되는 금속 원소의 원자수에 대한 인듐의 원자수비를 높게 함으로써 트랜지스터의 전계 효과 이동도를 높일 수 있다. 한편, 금속 산화물에 포함되는 금속 원소의 원자수에 대한 아연의 원자수비를 높게 함으로써, 결정성이 높은 금속 산화물이 되기 때문에, 트랜지스터의 전기 특성의 변동이 억제되어 신뢰성을 높일 수 있다. 또한 반도체층(113)에는 산화 인듐 등의 갈륨 및 아연을 포함하지 않는 금속 산화물을 적용하여도 좋다. 갈륨을 포함하지 않는 금속 산화물을 사용함으로써, 특히 PBTS 시험에서의 문턱 전압의 변동을 매우 작게 할 수 있다.

[0263] 예를 들어 반도체층(113)에는 인듐과 아연을 포함하는 산화물을 사용할 수 있다. 이때, 금속 원소의 원자수비가 예를 들어 In:Zn=2:3, In:Zn=4:1, 또는 이들의 근방의 금속 산화물을 사용할 수 있다.

[0264] 또한 대표적으로 갈륨을 예로 들어 설명하였지만 갈륨 대신에 원소 M을 사용한 경우에도 적용할 수 있다. 반도체층(113)에는 인듐의 원자수비가 원소 M의 원자수비보다 높은 금속 산화물을 적용하는 것이 바람직하다. 또한 아연의 원자수비가 원소 M의 원자수비보다 높은 금속 산화물을 적용하는 것이 바람직하다.

[0265] 반도체층(113)에 원소 M의 함유율이 낮은 금속 산화물을 적용함으로써, 포지티브 바이어스 인가에 대한 신뢰성이 높은 트랜지스터로 할 수 있다. 상기 트랜지스터를 포지티브 바이어스 인가에 대한 높은 신뢰성이 요구되는 트랜지스터에 적용함으로써 높은 신뢰성을 가지는 표시 장치로 할 수 있다.

[0266] 이어서 광에 대한 트랜지스터의 신뢰성에 대하여 설명한다.

[0267] 트랜지스터에 광이 입사함으로써 트랜지스터의 전기 특성이 변동하는 경우가 있다. 특히 광이 입사할 수 있는 영역에 적용되는 트랜지스터는 광 조사하에서의 전기 특성의 변동이 작고 광에 대한 신뢰성이 높은 것이 바람직하다. 광에 대한 신뢰성은 예를 들어 NBTIS 시험에서의 문턱 전압의 변동량에 의하여 평가할 수 있다.

[0268] 금속 산화물의 원소 M의 함유율을 높게 함으로써 광에 대한 신뢰성이 높은 트랜지스터로 할 수 있다. 즉 NBTIS 시험에서의 문턱 전압의 변동량이 작은 트랜지스터로 할 수 있다. 구체적으로는 원소 M의 원자수비가 인듐의 원자수비 이상인 금속 산화물은 밴드 갭이 더 커지고 트랜지스터의 NBTIS 시험에서의 문턱 전압의 변동량을 작게 할 수 있다. 반도체층(113)이 가지는 금속 산화물의 밴드 갭은 2.0eV 이상이 바람직하고, 2.5eV 이상이 더

바람직하고, 3.0eV 이상이 더 바람직하고, 3.2eV 이상이 더 바람직하고, 3.3eV 이상이 더 바람직하고, 3.4eV 이상이 더 바람직하고, 3.5eV 이상이 더 바람직하다.

[0269] 예를 들어 반도체층(113)에는 금속 원소의 원자수비가 In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=1:3:2, In:M:Zn=1:3:3, In:M:Zn=1:3:4, 또는 이들의 근방의 금속 산화물을 사용할 수 있다.

[0270] 특히 반도체층(113)에는 함유되는 금속 원소의 원자수에 대한 원소 M의 원자수의 비율이 20atomic% 이상 70atomic% 이하, 바람직하게는 30atomic% 이상 70atomic% 이하, 더 바람직하게는 30atomic% 이상 60atomic% 이하, 더 바람직하게는 40atomic% 이상 60atomic% 이하, 더 바람직하게는 50atomic% 이상 60atomic% 이하인 금속 산화물을 적합하게 사용할 수 있다.

[0271] 반도체층(113)에 In-Ga-Zn 산화물을 사용한 경우, 금속 원소의 원자수에 대한 인듐의 원자수비가 갈륨의 원자수비 이하인 금속 산화물을 적용할 수 있다. 예를 들어 금속 원소의 원자수비가 In:Ga:Zn=1:1:1, In:Ga:Zn=1:1:1.2, In:Ga:Zn=1:3:2, In:Ga:Zn=1:3:3, In:Ga:Zn=1:3:4, 또는 이들의 근방의 금속 산화물을 사용할 수 있다.

[0272] 특히 반도체층(113)에는 함유되는 금속 원소의 원자수에 대한 갈륨의 원자수의 비율이 20atomic% 이상 60atomic% 이하, 바람직하게는 20atomic% 이상 50atomic% 이하, 더 바람직하게는 30atomic% 이상 50atomic% 이하, 더 바람직하게는 40atomic% 이상 60atomic% 이하, 더 바람직하게는 50atomic% 이상 60atomic% 이하인 금속 산화물을 적합하게 사용할 수 있다.

[0273] 반도체층(113)에 원소 M의 함유율이 높은 금속 산화물을 적용함으로써, 광에 대한 신뢰성이 높은 트랜지스터로 할 수 있다. 상기 트랜지스터를 광에 대한 높은 신뢰성이 요구되는 트랜지스터에 적용함으로써, 신뢰성이 높은 표시 장치로 할 수 있다.

[0274] 상술한 바와 같이 반도체층(113)에 적용하는 금속 산화물의 조성에 따라 트랜지스터의 전기 특성 및 신뢰성이 다르다. 따라서 트랜지스터에 요구되는 전기 특성 및 신뢰성에 따라 금속 산화물의 조성을 다르게 함으로써, 우수한 전기 특성과 높은 신뢰성을 양립한 표시 장치로 할 수 있다.

[0275] 반도체층(113)은 2개 이상의 금속 산화물층을 가지는 적층 구조로 하여도 좋다. 반도체층(113)이 가지는 2개 이상의 금속 산화물층은 조성이 서로 같거나 실질적으로 같아도 좋다. 조성이 같은 금속 산화물층의 적층 구조로 함으로써, 예를 들어 같은 스퍼터링 타깃을 사용하여 형성할 수 있기 때문에, 제작 비용을 절감할 수 있다.

[0276] 반도체층(113)이 가지는 2개 이상의 금속 산화물층은 조성이 서로 달라도 좋다. 예를 들어 In:M:Zn=1:3:4[원자수비] 또는 그 근방의 조성의 제 1 금속 산화물층과, 상기 제 1 금속 산화물층 위에 제공되는 In:M:Zn=1:1:1[원자수비] 또는 그 근방의 조성의 제 2 금속 산화물층의 적층 구조를 적합하게 사용할 수 있다. 또한 원소 M으로서 갈륨 또는 알루미늄을 사용하는 것이 특히 바람직하다. 예를 들어 인듐 산화물, 인듐 갈륨 산화물, 및 IGZO에서 선택되는 어느 하나와, IAZO, IAGZO, 및 ITZO(등록 상표)에서 선택되는 어느 하나의 적층 구조 등을 사용하여도 좋다.

[0277] 반도체층(113)으로서는 결정성을 가지는 금속 산화물층을 사용하는 것이 바람직하다. 예를 들어 CAAC(c-axis aligned crystal) 구조, 다결정 구조, 미결정(nc: nano-crystal) 구조 등을 가지는 금속 산화물층을 사용할 수 있다. 결정성을 가지는 금속 산화물층을 반도체층(113)으로서 사용함으로써, 반도체층(113) 내의 결함 준위 밀도를 저감할 수 있어, 신뢰성이 높은 표시 장치를 실현할 수 있다.

[0278] 반도체층(113)으로서 사용하는 금속 산화물층의 결정성이 높을수록 반도체층(113) 내의 결함 준위 밀도를 저감할 수 있다. 한편, 결정성이 낮은 금속 산화물층을 사용함으로써, 큰 전류를 흘릴 수 있는 트랜지스터를 실현할 수 있다.

[0279] 금속 산화물층을 스퍼터링법으로 형성하는 경우, 형성 시의 기판 온도(스테이지 온도)가 높을수록 결정성이 높은 금속 산화물층을 형성할 수 있다. 또한 형성 시에 사용하는 성막 가스 전체에 대한 산소 가스의 유량의 비율(산소 유량비라고도 함)이 높을수록 결정성이 높은 금속 산화물층을 형성할 수 있다.

[0280] 반도체층(113)은 결정성이 서로 다른 2개 이상의 금속 산화물층의 적층 구조를 가져도 좋다. 예를 들어 제 1 금속 산화물층과, 상기 제 1 금속 산화물층 위에 제공되는 제 2 금속 산화물층의 적층 구조로 하고, 제 2 금속 산화물층이 제 1 금속 산화물층보다 결정성이 높은 영역을 가지는 구성으로 할 수 있다. 또는 제 2 금속 산화물층이 제 1 금속 산화물층보다 결정성이 낮은 영역을 가지는 구성으로 할 수 있다. 반도체층(113)이 가지는 2개 이상의 금속 산화물층은 조성이 서로 같거나 실질적으로 같아도 좋다. 조성이 같은 금속 산화물층의 적층

구조로 함으로써, 예를 들어 같은 스퍼터링 타깃을 사용하여 형성할 수 있기 때문에, 제작 비용을 절감할 수 있다. 예를 들어 같은 스퍼터링 타깃을 사용하고 산소 유량비를 다르게 함으로써, 결정성이 서로 다른 2개 이상의 금속 산화물층의 적층 구조를 형성할 수 있다. 또한 반도체층(113)이 가지는 2개 이상의 금속 산화물층은 조성이 서로 달라도 좋다.

[0281] 반도체층(113)의 두께는 3nm 이상 100nm 이하가 바람직하고, 5nm 이상 100nm 이하가 더 바람직하고, 10nm 이상 100nm 이하가 더 바람직하고, 10nm 이상 70nm 이하가 더 바람직하고, 15nm 이상 70nm 이하가 더 바람직하고, 15nm 이상 50nm 이하가 더 바람직하고, 20nm 이상 50nm 이하가 더 바람직하고, 20nm 이상 40nm 이하가 더 바람직하고, 25nm 이상 40nm 이하가 더 바람직하다.

[0282] 반도체층(113) 형성 시의 기판 온도는 실온(25℃) 이상 200℃ 이하인 것이 바람직하고, 실온 이상 130℃ 이하인 것이 더 바람직하다. 기판 온도를 상술한 범위로 함으로써, 대면적의 유리 기판을 사용하는 경우에, 기판의 휨 또는 변형을 억제할 수 있다.

[0283] 여기서 반도체층(113) 내에 형성될 수 있는 산소 결손에 대하여 설명한다.

[0284] 반도체층(113)에 산화물 반도체를 사용하는 경우, 산화물 반도체에 포함되는 수소가 금속 원자와 결합되는 산소와 반응하여 물이 되기 때문에, 산화물 반도체 내에 산소 결손(V_O)이 형성되는 경우가 있다. 또한 산소 결손에 수소가 들어간 결함(이하, V_OH라고 기재함)은 도너로서 기능하고, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합되는 산소와 결합되어, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 많이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또한 산화물 반도체 내의 수소는 열 또는 전계 등의 스트레스에 의하여 이동하기 쉽기 때문에, 산화물 반도체에 수소가 많이 포함되면, 트랜지스터의 신뢰성이 악화될 우려도 있다.

[0285] V_OH는 산화물 반도체의 도너로서 기능할 수 있다. 그러나 상기 결함을 정량적으로 평가하는 것은 어렵다. 그러므로 산화물 반도체에서는 도너 농도가 아니라 캐리어 농도로 평가되는 경우가 있다. 따라서 본 명세서 등에서는 산화물 반도체의 파라미터로서 도너 농도가 아니라 전계가 인가되지 않는 상태를 상정한 캐리어 농도를 사용하는 경우가 있다. 즉 본 명세서 등에 기재된 "캐리어 농도"는 "도너 농도"라고 바꿔 말할 수 있는 경우가 있다.

[0286] 따라서 반도체층(113)에 산화물 반도체를 사용하는 경우, 반도체층(113) 내의 V_OH를 가능한 한 저감하여, 고순도 진성 또는 실질적으로 고순도 진성으로 하는 것이 바람직하다. 이와 같이, V_OH가 충분히 저감된 산화물 반도체를 얻기 위해서는, 산화물 반도체 내의 물 및 수소 등의 불순물을 제거하는 것(탈수 또는 탈수소화 처리라고 기재하는 경우가 있음)과, 산화물 반도체에 산소를 공급하여 산소 결손(V_O)을 수복(修復)하는 것이 중요하다. V_OH 등의 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다. 또한 산화물 반도체에 산소를 공급하여 산소 결손(V_O)을 수복하는 것을 가산소화 처리라고 기재하는 경우가 있다.

[0287] 반도체층(113)에 산화물 반도체를 사용하는 경우, 채널 형성 영역으로서 기능하는 영역의 산화물 반도체의 캐리어 농도는 $1\times10^{18}cm^{-3}$ 이하인 것이 바람직하고, $1\times10^{17}cm^{-3}$ 미만인 것이 더 바람직하고, $1\times10^{16}cm^{-3}$ 미만인 것이 더 바람직하고, $1\times10^{13}cm^{-3}$ 미만인 것이 더 바람직하고, $1\times10^{12}cm^{-3}$ 미만인 것이 더 바람직하다. 또한 채널 형성 영역으로서 기능하는 영역의 산화물 반도체의 캐리어 농도의 하한값에 대해서는 특별히 한정되지 않지만, 예를 들어 $1\times10^{-9}cm^{-3}$로 할 수 있다.

[0288] [절연층(103)]

[0289] 절연층(103)에는 무기 절연 재료 또는 유기 절연 재료를 사용할 수 있다. 절연층(103)은 무기 절연 재료와 유기 절연 재료의 적층 구조를 가져도 좋다.

[0290] 절연층(103)에는 무기 절연 재료를 적합하게 사용할 수 있다. 무기 절연 재료로서 산화물, 산화질화물, 질화산화물, 및 질화물 중 하나 또는 복수를 사용할 수 있다. 절연층(103)에는 예를 들어 산화 실리콘, 산화질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 이트륨, 산화 지르코늄, 산화 갈륨, 산화 탄탈럼, 산화 마그네슘, 산화 란타넘, 산화 세륨, 산화 네오디뮴, 질화 실리콘, 질화산화 실리콘, 및 질화 알루미늄 중 하나 또는 복수를

사용할 수 있다.

[0291] 또한 본 명세서 등에서 산화질화물이란, 그 조성에서 질소보다 산소의 함유량이 많은 재료를 나타낸다. 질화산화물이란, 그 조성에서 산소보다 질소의 함유량이 많은 재료를 나타낸다. 예를 들어 산화질화 실리콘이란, 그 조성에서 질소보다 산소의 함유량이 많은 재료를 나타내고, 질화산화 실리콘이란, 그 조성에서 산소보다 질소의 함유량이 많은 재료를 나타낸다.

[0292] 산소 및 질소의 함유량의 분석은 예를 들어 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry) 또는 X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy)을 사용하여 수행할 수 있다. 목적 원소의 함유율이 높은(예를 들어 0.5atomic% 이상 또는 1atomic% 이상) 경우에는 XPS가 적합하다. 한편, 목적 원소의 함유율이 낮은(예를 들어 1atomic% 이하 또는 0.5atomic% 이하) 경우에는 SIMS가 적합하다. 원소의 함유량을 비교할 때, SIMS와 XPS의 양쪽의 분석 방법을 사용한 복합 해석을 수행하는 것이 더 바람직하다.

[0293] 절연층(103)은 2층 이상의 적층 구조를 가져도 좋다. 상술한 트랜지스터(50)의 구성예를 나타내는 단면도에서는 절연층(103)이 절연층(103a)과, 절연층(103a) 위의 절연층(103b)의 적층 구조를 가지는 구성을 나타내었다. 절연층(103a) 및 절연층(103b) 각각에는 상술한 절연층(103)에 사용할 수 있는 재료를 사용할 수 있다. 또한 절연층(103a)과 절연층(103b)에는 같은 재료를 사용하여도 좋고, 서로 다른 재료를 사용하여도 좋다. 또한 절연층(103a)이 2층 이상의 적층 구조를 가져도 좋다. 절연층(103b)이 2층 이상의 적층 구조를 가져도 좋다.

[0294] 절연층(103a)의 막 두께는 절연층(103b)의 막 두께보다 두꺼운 구성으로 할 수 있다. 절연층(103a)의 성막 속도(성막 레이트라고도 함)는 빠른 것이 바람직하고, 예를 들어 절연층(103b)의 성막 속도보다 빠른 것이 바람직하다. 특히 절연층(103a)의 막 두께가 두꺼운 경우에는 절연층(103a)의 성막 속도가 빠른 것이 바람직하다. 절연층(103a)의 성막 속도를 빠르게 함으로써, 생산성을 높일 수 있다. 예를 들어 절연층(103a)의 형성 시의 파워를 높게 하면, 성막 속도를 빠르게 할 수 있다.

[0295] 절연층(103a)은 응력이 작은 것이 바람직하다. 절연층(103a)의 막 두께를 두껍게 하면, 절연층(103a)의 응력이 커져, 기판에 휨이 발생하는 경우가 있다. 절연층(103a)의 응력을 작게 함으로써, 기판의 휨 등의 응력에 기인하는 공정 중의 문제 발생을 억제할 수 있다.

[0296] 절연층(103b)은 절연층(103a)으로부터 가스가 이탈되는 것을 억제하는 차단층으로서 기능한다. 절연층(103b)은 가스를 확산시키기 어려운 재료를 사용하는 것이 바람직하다. 절연층(103b)은 절연층(103a)보다 막 밀도가 높은 영역을 가지는 것이 바람직하다. 절연층(103b)의 막 밀도를 높게 함으로써, 차단성을 높일 수 있다. 절연층(103b)에는 예를 들어 절연층(103a)보다 질소의 함유량이 많은 재료를 사용할 수 있다. 절연층(103b)의 질소의 함유량을 많게 함으로써 차단성을 높일 수 있다.

[0297] 절연층(103b)은 절연층(103a)으로부터 가스가 이탈되는 것을 억제하는 차단층으로서 기능하는 막 두께를 가지면 좋고, 절연층(103a)의 막 두께보다 얇은 구성을 가질 수 있다. 절연층(103b)의 성막 속도는 느린 것이 바람직하고, 예를 들어 절연층(103a)의 성막 속도보다 느린 것이 바람직하다. 절연층(103b)의 성막 속도를 느리게 함으로써 절연층(103b)의 막 밀도가 높아지므로 차단성을 높일 수 있다. 또한 절연층(103b)의 성막 시의 기판 온도를 높게 함으로써 절연층(103b)의 막 밀도가 높아지므로 차단성을 높일 수 있다.

[0298] 막 밀도의 평가에는 예를 들어 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 또는 X선 반사율 측정법(XRR: X-Ray Reflection)을 사용할 수 있다. 또한 막 밀도의 차이는 단면의 투과 전자 현미경(TEM: Transmission Electron Microscopy) 이미지를 사용하여 평가할 수 있는 경우가 있다. TEM 관찰에서 막 밀도가 높으면 투과 전자(TE) 이미지가 짙어지고(어두워지고), 막 밀도가 낮으면 투과 전자(TE) 이미지가 옅어진다(밝아진다). 따라서 투과 전자(TE) 이미지에서 절연층(103b)은 절연층(103a)보다 짙은(어두운) 이미지가 되는 경우가 있다. 또한 절연층(103a)과 절연층(103b)에 같은 재료를 적용하는 경우에도, 막 밀도가 다르기 때문에, 단면의 TEM 이미지에서 이들의 경계를 콘트라스트의 차이로서 관찰할 수 있는 경우가 있다.

[0299] 절연층(103b)은 막 내의 수소 농도가 절연층(103a)보다 낮은 영역을 가지는 경우가 있다. 절연층(103a) 및 절연층(103b)의 수소 농도의 차이는 예를 들어 이차 이온 질량 분석법(SIMS)으로 평가할 수 있다.

[0300] 여기서 반도체층(113)에 금속 산화물을 사용하는 구성을 예로 들어 절연층(103)에 대하여 구체적으로 설명한다.

[0301] 반도체층(113)에 산화물 반도체를 사용하는 경우, 절연층(103a) 및 절연층(103b)은 각각 무기 절연 재료를 적합하게 사용할 수 있다.

[0302] 절연층(103a)에는 산화물 또는 산화질화물을 사용하는 것이 바람직하다. 절연층(103a)에는 가열에 의하여 산소

를 방출하는 막을 사용하는 것이 바람직하다. 절연층(103a)에는 예를 들어 산화 실리콘 또는 산화질화 실리콘을 적합하게 사용할 수 있다.

[0303] 절연층(103a)이 산소를 방출함으로써, 절연층(103a)으로부터 반도체층(113)에 산소를 공급할 수 있다. 절연층(103a)으로부터 반도체층(113), 특히 반도체층(113)의 채널 형성 영역에 산소를 공급함으로써, 반도체층(113) 내의 산소 결손(V_O) 및 V_OH를 저감할 수 있다. 따라서 트랜지스터(50)를 전기 특성이 양호하며 신뢰성이 높은 트랜지스터로 할 수 있다. 절연층(103a)은 산소의 확산 계수가 높은 것이 바람직하다. 절연층(103a)의 산소의 확산 계수를 높게 함으로써, 절연층(103a) 내로 산소가 확산되기 쉬워지기 때문에, 절연층(103a)으로부터 반도체층(113)에 산소를 효율적으로 공급할 수 있다. 또한 반도체층(113)에 산소를 공급하는 처리로서, 이 외에는 산소를 포함하는 분위기하에서의 가열 처리 및 산소를 포함하는 분위기하에서의 플라스마 처리 등이 있다.

[0304] 절연층(103a)은 그 자체로부터의 불순물(예를 들어 물 및 수소)의 방출이 적은 것이 바람직하다. 절연층(103a)으로부터의 불순물의 방출이 적어지면, 불순물이 반도체층(113)으로 확산되는 것이 억제된다. 따라서 트랜지스터(50)를 전기 특성이 양호하며 신뢰성이 높은 트랜지스터로 할 수 있다.

[0305] 절연층(103a)에는 예를 들어 플라스마 화학 기상 퇴적(PECVD: Plasma Enhanced Chemical Vapor Deposition)법을 사용한 산화 실리콘 또는 산화질화 실리콘을 적합하게 사용할 수 있다. 이 경우, 원료 가스로서 실리콘을 포함하는 가스와 산소를 포함하는 가스의 혼합 가스를 사용하는 것이 바람직하다. 실리콘을 포함하는 가스로서, 예를 들어 실레인, 다이실레인, 트라이실레인, 및 플루오린화 실레인 중 어느 하나 또는 복수를 사용할 수 있다. 산소를 포함하는 가스로서 예를 들어 산소(O_2), 오존(O_3), 일산화 이질소(N_2O), 일산화 질소(NO), 및 이산화 질소(NO_2) 중 어느 하나 또는 복수를 사용할 수 있다. 또한 절연층(103a)의 형성 시의 파워를 높게 함으로써, 절연층(103a)으로부터 방출되는 불순물(예를 들어 물 및 수소)의 양을 줄일 수 있다.

[0306] 절연층(103b)은 산소를 투과시키기 어려운 것이 바람직하다. 절연층(103b)은 절연층(103a)으로부터 산소가 이탈되는 것을 억제하는 차단층으로서 기능한다. 또한 절연층(103b)은 수소를 투과시키기 어려운 것이 바람직하다. 절연층(103b)은 트랜지스터의 외부로부터 절연층(103)을 통하여 반도체층(113)으로 수소가 확산되는 것을 억제하는 차단층으로서 기능한다. 절연층(103b)의 막 밀도는 높은 것이 바람직하다. 절연층(103b)의 막 밀도를 높게 함으로써, 산소 및 수소의 차단성을 높일 수 있다. 절연층(103b)의 막 밀도는 절연층(103a)의 막 밀도보다 높은 것이 바람직하다. 절연층(103a)에 산화 실리콘 또는 산화질화 실리콘을 사용하는 경우, 절연층(103b)에는 예를 들어 질화 실리콘, 질화산화 실리콘, 또는 산화 알루미늄을 적합하게 사용할 수 있다. 절연층(103b)은 예를 들어 절연층(103a)보다 질소의 함유량이 많은 영역을 가지는 것이 바람직하다. 절연층(103b)에는 예를 들어 절연층(103a)보다 질소의 함유량이 많은 재료를 사용할 수 있다. 절연층(103b)에는 질화물 또는 질화산화물을 사용하는 것이 바람직하다. 절연층(103b)에는 예를 들어 질화 실리콘 또는 질화산화 실리콘을 적합하게 사용할 수 있다.

[0307] 절연층(103a)에 포함되는 산소가 절연층(103a)에서 반도체층(113)과 접하지 않는 영역(예를 들어 절연층(103a)의 상면)으로부터 위쪽으로 확산되면, 절연층(103a)으로부터 반도체층(113)에 공급되는 산소의 양이 적어지는 경우가 있다. 절연층(103a) 위에 절연층(103b)을 제공함으로써, 절연층(103a)에 포함되는 산소가 절연층(103a)에서 반도체층(113)과 접하지 않는 영역으로부터 확산되는 것을 억제할 수 있다. 따라서 절연층(103a)으로부터 반도체층(113)에 공급되는 산소의 양이 많아지므로, 반도체층(113) 내의 산소 결손(V_O) 및 V_OH를 저감할 수 있다. 따라서 트랜지스터(50)를 전기 특성이 양호하며 신뢰성이 높은 트랜지스터로 할 수 있다.

[0308] 절연층(103a)에 포함되는 산소에 의하여 도전층(112)이 산화되어 저항이 높아지는 경우가 있다. 또한 절연층(103a)에 포함되는 산소에 의하여 도전층(112)이 산화되면, 절연층(103a)으로부터 반도체층(113)에 공급되는 산소의 양이 적어지는 경우가 있다. 절연층(103a) 위에 절연층(103b)을 제공함으로써, 도전층(112)이 산화되어 저항이 높아지는 것을 억제할 수 있다. 또한 절연층(103a)으로부터 반도체층(113)에 공급되는 산소의 양이 많아지므로, 반도체층(113) 내의 산소 결손(V_O) 및 V_OH를 저감할 수 있다. 따라서 트랜지스터(50)를 전기 특성이 양호하며 신뢰성이 높은 트랜지스터로 할 수 있다.

[0309] 반도체층(113)으로 확산된 수소는 산화물 반도체에 포함되는 산소 원자와 반응하여 물이 되므로, 산소 결손(V_O)을 형성하는 경우가 있다. 또한 V_OH가 형성되어 캐리어 농도가 높아지는 경우가 있다. 절연층(103a) 위에 절연층(103b)을 제공함으로써, 반도체층(113) 내의 산소 결손(V_O) 및 V_OH를 저감할 수 있다. 따라서 트랜지스터(50)를 전기 특성이 양호하며 신뢰성이 높은 트랜지스터로 할 수 있다.

[0310] 절연층(103b)은 산소 및 수소의 차단층으로서 기능하는 막 두께를 가지는 것이 바람직하다. 절연층(103b)의 막 두께가 얇으면, 차단층으로서의 기능이 저하되는 경우가 있다. 한편, 절연층(103b)의 막 두께가 두꺼우면, 절연층(103a)과 접하는 반도체층(113)의 영역이 좁아져 절연층(103a)으로부터 반도체층(113)에 공급되는 산소의 양이 적어지는 경우가 있다. 절연층(103b)의 막 두께는 절연층(103a)의 막 두께보다 얇아도 좋다. 절연층(103b)의 막 두께는 5nm 이상 100nm 이하가 바람직하고, 5nm 이상 70nm 이하가 더 바람직하고, 10nm 이상 70nm 이하가 더 바람직하고, 10nm 이상 50nm 이하가 더 바람직하고, 20nm 이상 50nm 이하가 더 바람직하고, 20nm 이상 40nm 이하가 더 바람직하다. 절연층(103b)의 막 두께를 상술한 범위로 함으로써, 반도체층(113)에서 특히 채널 형성 영역에서의 산소 결손(V_O) 및 V_OH를 저감할 수 있다. 따라서 트랜지스터(50)를 전기 특성이 양호하며 신뢰성이 높은 트랜지스터로 할 수 있다.

[0311] 절연층(103b)은 그 자체로부터의 불순물(예를 들어 물 및 수소)의 방출이 적은 것이 바람직하다. 절연층(103b)으로부터의 불순물의 방출이 적어지면, 불순물이 반도체층(113)으로 확산되는 것이 억제된다. 따라서 트랜지스터(50)를 전기 특성이 양호하며 신뢰성이 높은 트랜지스터로 할 수 있다.

[0312] 트랜지스터(50)에서 반도체층(113)에서 절연층(103)과 접하는 영역은 채널 형성 영역으로서 기능할 수 있다. 즉 채널 형성 영역에 선택적으로 산소가 공급되므로, 산소 결손(V_O) 및 V_OH를 저감할 수 있다. 따라서 트랜지스터(50)를 전기 특성이 양호하며 신뢰성이 높은 트랜지스터로 할 수 있다.

[0313] [도전층(111), 도전층(112), 및 도전층(115)]

[0314] 소스 전극 또는 드레인 전극으로서 기능하는 도전층(111) 및 도전층(112), 그리고 게이트 전극으로서 기능하는 도전층(115)은 크로뮴, 구리, 알루미늄, 마그네슘, 금, 은, 아연, 몰리브데넘, 탄탈럼, 타이타늄, 텅스텐, 망가니즈, 니켈, 철, 코발트, 몰리브데넘, 및 나이오븀 중 하나 또는 복수, 또는 상술한 금속 중 하나 또는 복수를 성분으로 하는 합금을 사용하여 각각 형성할 수 있다. 도전층(111), 도전층(112), 및 도전층(115)에는 각각 구리, 은, 금, 및 알루미늄 중 하나 또는 복수를 포함하는, 저항이 낮은 도전성 재료를 적합하게 사용할 수 있다. 특히 구리 또는 알루미늄은 양산성이 우수하기 때문에 바람직하다.

[0315] 도전층(111), 도전층(112), 및 도전층(115)에는 금속 산화물(산화물 도전체라고도 함)을 사용할 수 있다. 산화물 도전체(OC: Oxide Conductor)로서는 예를 들어 In-Sn 산화물(ITO), In-W 산화물, In-W-Zn 산화물, In-Ti 산화물, In-Ti-Sn 산화물, In-Zn 산화물, In-Sn-Si 산화물(ITSO), 및 In-Ga-Zn 산화물이 있다.

[0316] 여기서 산화물 도전체(OC)에 대하여 설명한다. 예를 들어 반도체 특성을 가지는 금속 산화물에 산소 결손을 형성하고 상기 산소 결손에 수소를 첨가하면, 전도대 근방에 도너 준위가 형성된다. 이 결과 금속 산화물은 도전성이 높아져 도전체화된다. 도전체화된 금속 산화물을 산화물 도전체라고 할 수 있다.

[0317] 도전층(111), 도전층(112), 및 도전층(115)은 상술한 산화물 도전체(금속 산화물)를 포함한 도전층과, 금속 또는 합금을 포함한 도전층의 적층 구조로 하여도 좋다. 금속 또는 합금을 포함한 도전층을 사용함으로써, 배선 저항을 감소시킬 수 있다.

[0318] 도전층(111), 도전층(112), 및 도전층(115)에는 Cu-X 합금(X는 Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti)을 사용하여도 좋다. Cu-X 합금을 사용함으로써 웨트 에칭 프로세스로 가공할 수 있기 때문에 제작 비용을 절감할 수 있다.

[0319] 또한 도전층(111), 도전층(112), 및 도전층(115)에서 같은 재료를 사용하여도 좋고, 서로 다른 재료를 사용하여도 좋다.

[0320] 여기서 반도체층(113)에 금속 산화물을 사용하는 구성을 예로 들어 도전층(111) 및 도전층(112)에 대하여 구체적으로 설명한다.

[0321] 반도체층(113)에 산화물 반도체를 사용하는 경우, 반도체층(113)에 포함되는 산소에 의하여 도전층(111) 및 도전층(112)이 산화되어 저항이 높아지는 경우가 있다. 절연층(103a)에 포함되는 산소에 의하여 도전층(111) 및 도전층(112)이 산화되어 저항이 높아지는 경우가 있다. 또한 반도체층(113)에 포함되는 산소에 의하여 도전층(111) 및 도전층(112)이 산화되면, 반도체층(113) 내의 산소 결손(V_O)이 증가하는 경우가 있다. 절연층(103a)에 포함되는 산소에 의하여 도전층(111) 및 도전층(112)이 산화되면, 절연층(103a)으로부터 반도체층(113)에 공급되는 산소의 양이 적어지는 경우가 있다.

[0322] 도전층(111) 및 도전층(112)에는 각각 산화되기 어려운 재료를 사용하는 것이 바람직하다. 도전층(111) 및 도

전층(112)에는 각각 산화물 도전체를 사용하는 것이 바람직하다. 예를 들어 In-Sn 산화물(ITO) 또는 In-Sn-Si 산화물(ITSO)을 적합하게 사용할 수 있다. 도전층(111) 및 도전층(112)에는 각각 질화물 도전체를 사용하여도 좋다. 질화물 도전체로서는 질화 탄탈럼 및 질화 타이타늄을 들 수 있다. 도전층(111) 및 도전층(112)은 상술한 재료의 적층 구조를 가져도 좋다.

[0323] 도전층(111) 및 도전층(112)에 산화되기 어려운 재료를 사용함으로써, 반도체층(113)에 포함되는 산소 또는 절연층(103a)에 포함되는 산소에 의하여 산화되어 저항이 높아지는 것을 억제할 수 있다. 또한 반도체층(113) 내의 산소 결손(V_O)의 증가를 억제하면서, 절연층(103a)으로부터 반도체층(113)에 공급되는 산소의 양을 늘릴 수 있다. 따라서 반도체층(113) 내의 산소 결손(V_O) 및 V_OH를 저감할 수 있다. 따라서 트랜지스터(50)를 전기 특성이 양호하며 신뢰성이 높은 트랜지스터로 할 수 있다. 또한 도전층(111)과 도전층(112)에서 같은 재료를 사용하여도 좋고, 서로 다른 재료를 사용하여도 좋다.

[0324] [절연층(105)]

[0325] 게이트 절연층으로서 기능하는 절연층(105)은 결함 밀도가 낮은 것이 바람직하다. 절연층(105)의 결함 밀도가 낮으면, 전기 특성이 양호한 트랜지스터로 할 수 있다. 또한 절연층(105)은 절연 내압이 높은 것이 바람직하다. 절연층(105)의 절연 내압이 높으면, 트랜지스터(50)를 신뢰성이 높은 트랜지스터로 할 수 있다.

[0326] 절연층(105)에는 예를 들어 절연성을 가지는 산화물, 산화질화물, 질화산화물, 및 질화물 중 하나 또는 복수를 사용할 수 있다. 절연층(105)에는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화질화 하프늄, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화질화 이트륨, 및 Ga-Zn 산화물 중 하나 또는 복수를 사용할 수 있다. 절연층(105)은 단층 구조를 가져도 좋고, 적층 구조를 가져도 좋다. 절연층(105)은 예를 들어 산화물과 질화물의 적층 구조를 가져도 좋다.

[0327] 또한 미세한 트랜지스터에서 게이트 절연층의 막 두께가 얇아지면 누설 전류가 커지는 경우가 있다. 게이트 절연층에 비유전율이 높은 재료(high-k 재료라고도 함)를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 구동 시의 전압을 저감할 수 있다. high-k 재료로서는, 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함하는 산화물, 알루미늄 및 하프늄을 포함하는 산화질화물, 실리콘 및 하프늄을 포함하는 산화물, 실리콘 및 하프늄을 포함하는 산화질화물, 그리고 실리콘 및 하프늄을 포함하는 질화물을 들 수 있다.

[0328] 절연층(105)은 그 자체로부터의 불순물(예를 들어 물 및 수소)의 방출이 적은 것이 바람직하다. 절연층(105)으로부터의 불순물의 방출이 적으면, 불순물이 반도체층(113)으로 확산되는 것이 억제된다. 따라서 트랜지스터(50)를 전기 특성이 양호하며 신뢰성이 높은 트랜지스터로 할 수 있다.

[0329] 절연층(105)은 반도체층(113) 위에 형성되기 때문에, 반도체층(113)에 대한 대미지가 적은 조건으로 형성된 막인 것이 바람직하다. 예를 들어 성막 속도가 충분히 느린 조건, 구체적으로는 절연층(103b)보다 성막 속도가 느린 조건으로 형성하는 것이 바람직하다. 예를 들어 PECVD법으로 절연층(105)을 형성하는 경우, 전력이 낮은 조건으로 형성함으로써, 반도체층(113)에 주는 대미지를 매우 작게 할 수 있다.

[0330] 여기서 반도체층(113)에 금속 산화물을 사용하는 구성을 예로 들어 절연층(105)에 대하여 구체적으로 설명한다.

[0331] 반도체층(113)과의 계면 특성을 향상시키기 위하여, 절연층(105)에는 산화물을 사용하는 것이 바람직하다. 절연층(105)에는 예를 들어 산화 실리콘 및 산화질화 실리콘 중 하나 이상을 적합하게 사용할 수 있다. 또한 절연층(105)에는 가열에 의하여 산소를 방출하는 막을 사용하는 것이 더 바람직하다.

[0332] 또한 절연층(105)은 적층 구조를 가져도 좋다. 절연층(105)에는 반도체층(113)과 접하는 측의 산화물막과, 도전층(115)과 접하는 측의 질화물막의 적층 구조를 적용할 수 있다. 상기 산화물막으로서는, 예를 들어 산화 실리콘 및 산화질화 실리콘 중 하나 이상을 적합하게 사용할 수 있다. 상기 질화물막에는 질화 실리콘을 적합하게 사용할 수 있다. 절연층(105)을 적층 구조로 하는 경우, 절연층(105)의 적어도 반도체층(113)과 접하는 측에는 산화물을 사용하면, 반도체층(113)과의 계면 특성을 향상시킬 수 있어 바람직하다.

[0333] [기판(101)]

[0334] 예를 들어 기판(101)의 재질에 큰 제한은 없지만 적어도 나중의 열처리에 견딜 수 있을 정도의 내열성을 가질 필요가 있다. 예를 들어 실리콘 또는 탄소화 실리콘을 재료로서 사용한 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 저마늄 등으로 이루어지는 화합물 반도체 기판, SOI 기판, 유리 기판, 석영 기판, 사파이어 기판,

세라믹 기판, 또는 유기 수지 기판을 기판(101)으로서 사용하여도 좋다. 또한 이들 기판 위에 반도체 소자가 제공된 것을 기판(101)으로서 사용하여도 좋다. 또한 인쇄 기판을 기판(101)으로서 사용하여도 좋다. 또한 반도체 기판 및 절연성 기판의 형상은 원형이어도 좋고, 각형이어도 좋다.

[0335] 기판(101)으로서 가요성 기판을 사용하고, 가요성 기판 위에 예를 들어 트랜지스터(50)를 직접 형성하여도 좋다. 또는 기판(101)과 트랜지스터(50) 등 사이에 박리층을 제공하여도 좋다. 박리층은 그 위에 표시 장치를 일부 또는 전부 완성시킨 후, 기판(101)으로부터 분리시키고, 다른 기판에 전재(轉載)하는 데 사용할 수 있다. 이 경우, 예를 들어 트랜지스터(50)를 내열성이 낮은 기판 또는 가요성 기판으로도 전재할 수 있다.

[0336] [절연층(218)]

[0337] 절연층(218)에는 불순물이 확산되기 어려운 재료를 사용하는 것이 바람직하다. 이에 의하여, 절연층(218)은 불순물이 외부로부터 트랜지스터로 확산되는 것을 억제하는 차단층으로서 기능한다. 불순물로서는 예를 들어 물 및 수소가 있다. 절연층(218)을 제공함으로써 표시 장치의 신뢰성을 높일 수 있다.

[0338] 절연층(218)은 무기 재료를 가지는 절연층 또는 유기 재료를 가지는 절연층으로 할 수 있다. 절연층(218)에는 예를 들어 산화물 또는 질화물 등의 무기 재료를 적합하게 사용할 수 있다. 더 구체적으로는 질화 실리콘, 질화산화 실리콘, 산화질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화 알루미늄, 산화 하프늄, 및 하프늄 알루미네이트 중 하나 또는 복수를 사용할 수 있다. 예를 들어 질화산화 실리콘은 그 자체로부터의 불순물(예를 들어 물 및 수소)의 방출이 적고, 또한 트랜지스터보다 위쪽으로부터 트랜지스터로 불순물이 확산되는 것을 억제하는 차단층으로서 기능할 수 있기 때문에, 절연층(218)으로서 적합하게 사용할 수 있다. 유기 재료로서 예를 들어 아크릴 수지 및 폴리이미드 수지 중 하나 또는 복수를 사용할 수 있다. 유기 재료에는 감광성 재료를 사용하여도 좋다. 또한 상술한 절연막을 2개 이상 적층하여 사용하여도 좋다. 절연층(218)은 무기 재료를 가지는 절연층과 유기 재료를 가지는 절연층의 적층 구조로 하여도 좋다.

[0339] [절연층(235)]

[0340] 절연층(235)은 트랜지스터(51), 트랜지스터(52), 및 용량 소자(57) 등에 기인하는 요철을 작게 하는 기능을 가진다. 본 명세서 등에서 절연층(235)을 평탄화층이라고 기재하는 경우가 있다.

[0341] 절연층(235)에는 유기 재료를 가지는 절연층을 적합하게 사용할 수 있다. 유기 재료로서는 감광성 유기 수지를 사용하는 것이 바람직하고, 예를 들어 아크릴 수지를 포함한 감광성 수지 조성물을 사용하는 것이 바람직하다. 또한 본 명세서 등에서 아크릴 수지란, 폴리메타크릴산 에스터 또는 메타크릴 수지만을 나타내는 것이 아니고, 넓은 의미의 아크릴계 폴리머 전체를 나타내는 경우가 있다.

[0342] 절연층(235)에는 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 이미드 수지, 폴리아마이드 수지, 폴리이미드아마이드 수지, 실리콘(silicone) 수지, 실록세인 수지, 벤조사이클로뷰텐계 수지, 페놀 수지, 및 이들 수지의 전구체 등을 사용하여도 좋다. 또한 절연층(235)에는 폴리바이닐알코올(PVA), 폴리바이닐뷰티랄, 폴리바이닐피롤리돈, 폴리에틸렌글라이콜, 폴리글리세린, 풀루란, 수용성 셀룰로스, 또는 알코올 가용성 폴리아마이드 수지 등의 유기 재료를 사용하여도 좋다. 또한 감광성 수지로서는 포토레지스트를 사용하여도 좋다. 감광성 유기 수지로서는 포지티브형 재료 및 네거티브형 재료 중 어느 쪽을 사용하여도 좋다.

[0343] 절연층(235)은 유기 절연층과 무기 절연층의 적층 구조를 가져도 좋다. 예를 들어 절연층(235)은 유기 절연층과, 상기 유기 절연층 위의 무기 절연층의 적층 구조를 가질 수 있다. 절연층(235)의 가장 바깥쪽 면에 무기 절연층을 제공함으로써, 상기 무기 절연층을 에칭 보호층으로서 기능시킬 수 있다. 이에 의하여, 화소 전극(311)을 형성할 때 절연층(235)의 일부가 에칭되어 절연층(235)의 평탄성이 낮아지는 것을 억제할 수 있다.

[0344] 발광 소자(60)의 피형성면인 절연층(235)의 상면의 평탄성이 낮은 경우, 예를 들어 공통 전극(315)의 단절로 인한 접속 불량이 발생하는 경우가 있다. 또한 절연층(235)의 상면의 평탄성이 낮은 경우, 공통 전극(315)의 막 두께가 국소적으로 얇아짐으로 인한 전기 저항 상승이 일어나는 경우가 있다. 또한 절연층(235)의 상면의 평탄성이 낮은 경우, 절연층(235) 위에 형성되는 층의 가공 정밀도가 낮아지는 경우가 있다. 절연층(235)의 상면을 평탄하게 함으로써, 예를 들어 절연층(235) 위에 제공되는 발광 소자(60)의 가공 정밀도가 높아져 정세도가 높은 표시 장치를 실현할 수 있다. 또한 공통 전극(315)의 단절로 인한 접속 불량의 발생, 및 공통 전극(315)의 막 두께가 국소적으로 얇아짐으로 인한 전기 저항 상승을 억제할 수 있어 표시 품질이 높은 표시 장치를 실현할 수 있다.

[0345] 또한 화소 전극(311)을 형성할 때 절연층(235)의 일부가 제거되는 경우가 있다. 절연층(235)은 화소 전극(31

1)과 중첩되지 않는 영역에 오목부를 가져도 좋다.

[0346] [절연층(237)]

[0347] 절연층(237)은 무기 재료를 가지는 절연층 또는 유기 재료를 가지는 절연층으로 할 수 있다. 절연층(237)에는 절연층(218)에 사용할 수 있는 재료 또는 절연층(235)에 사용할 수 있는 재료를 사용할 수 있다. 절연층(237)은 무기 재료를 가지는 절연층과 유기 재료를 가지는 절연층의 적층 구조로 하여도 좋다.

[0348] [보호층(331)]

[0349] 보호층(331)은 단층 구조를 가져도 좋고, 2층 이상의 층의 적층 구조를 가져도 좋다. 또한 보호층(331)의 도전성에 제한은 없다. 보호층(331)으로서는 절연막, 반도체막, 및 도전막 중 적어도 1종류를 사용할 수 있다.

[0350] 보호층(331)이 무기막을 가지면, 공통 전극(315)이 산화되는 것 및 발광 소자(60)에 불순물(수분 및 산소 등)이 들어가는 것을 억제할 수 있다. 따라서 발광 소자(60)의 열화를 억제할 수 있기 때문에, 표시 장치의 신뢰성을 높일 수 있다.

[0351] 보호층(331)에는 예를 들어 산화 절연막, 질화 절연막, 산화질화 절연막, 또는 질화산화 절연막 등의 무기 절연막을 사용할 수 있다. 보호층(331)은 무기 재료를 가지는 절연층으로 할 수 있다. 보호층(331)에는 예를 들어 산화 절연막, 질화 절연막, 산화질화 절연막, 또는 질화산화 절연막 등의 무기 절연막을 사용할 수 있다. 보호층(331)은 단층 구조이어도 좋고, 적층 구조이어도 좋다. 산화 절연막으로서는 산화 실리콘막, 산화 알루미늄막, 산화 마그네슘막, 인듐 갈륨 아연 산화물막, 산화 갈륨막, 산화 저마늄막, 산화 이트륨막, 산화 지르코늄막, 산화 란타넘막, 산화 네오디뮴막, 산화 하프늄막, 및 산화 탄탈럼막 등을 들 수 있다. 질화 절연막으로서는 질화 실리콘막 및 질화 알루미늄막 등을 들 수 있다. 산화질화 절연막으로서는 산화질화 실리콘막 및 산화질화 알루미늄막 등을 들 수 있다. 질화산화 절연막으로서는 질화산화 실리콘막 및 질화산화 알루미늄막 등을 들 수 있다. 특히 보호층(331)은 질화 절연막 또는 질화산화 절연막을 가지는 것이 바람직하고, 질화 절연막을 가지는 것이 더 바람직하다.

[0352] 보호층(331)으로서는 In-Sn 산화물(ITO), In-Zn 산화물, Ga-Zn 산화물, Al-Zn 산화물, 또는 In-Ga-Zn 산화물(IGZO) 등을 포함한 무기막을 사용할 수도 있다. 상기 무기막은 저항이 높은 것이 바람직하고, 구체적으로는 공통 전극(315)보다 저항이 높은 것이 바람직하다. 상기 무기막은 질소를 더 포함하여도 좋다.

[0353] 발광 소자(60)로부터 방출되는 광을 보호층(331)을 통하여 추출하는 경우, 보호층(331)은 가시광 투과성이 높은 것이 바람직하다. 예를 들어 ITO, IGZO, 및 산화 알루미늄은 각각 가시광 투과성이 높은 무기 재료이기 때문에 바람직하다.

[0354] 보호층(331)에는 예를 들어 산화 알루미늄막과 산화 알루미늄막 위의 질화 실리콘막의 적층 구조, 또는 산화 알루미늄막과 산화 알루미늄막 위의 IGZO막의 적층 구조 등을 사용할 수 있다. 상기 적층 구조를 사용함으로써, 불순물(물 및 산소 등)이 EL층 측에 들어가는 것을 억제할 수 있다.

[0355] 보호층(331)에는 유기 재료를 사용하여도 좋다. 예를 들어 보호층(331)에는 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 이미드 수지, 폴리아마이드 수지, 폴리이미드아마이드 수지, 실리콘 수지, 실록세인 수지, 벤조사이클로뷰텐계 수지, 페놀 수지, 또는 이들 수지의 전구체 등을 사용할 수 있다. 또한 보호층(331)에는 폴리바이닐알코올(PVA), 폴리바이닐뷰티랄, 폴리바이닐피롤리돈, 폴리에틸렌글라이콜, 폴리글리세린, 풀루란, 수용성 셀룰로스, 또는 알코올 가용성 폴리아마이드 수지 등의 유기 재료를 사용하여도 좋다. 또한 보호층(331)은 무기 재료와 유기 재료의 양쪽을 가져도 좋다.

[0356] 보호층(331)은 서로 다른 성막 방법을 사용하여 형성된 2층 구조를 가져도 좋다. 구체적으로는 ALD법을 사용하여 보호층(331)의 첫 번째 층을 형성하고, 스퍼터링법을 사용하여 보호층(331)의 두 번째 층을 형성하여도 좋다.

[0357] [기판(152)]

[0358] 기판(152)에는 유리, 석영, 세라믹, 사파이어, 수지, 금속, 합금, 또는 반도체 등을 사용할 수 있다. 발광 소자(60)로부터의 광을 추출하는 측의 기판에는 상기 광을 투과시키는 재료를 사용한다. 또한 기판(152)에 가요성을 가지는 재료를 사용하면, 표시 장치의 가요성을 높일 수 있다. 또한 기판(152)으로서 편광판을 사용하여도 좋다. 또한 기판(152)으로서 접합 필름 또는 기재 필름을 사용하여도 좋다.

[0359] 기판(152)에는 폴리에틸렌테레프탈레이트(PET) 또는 폴리에틸렌나프탈레이트(PEN) 등의 폴리에스터 수지, 폴리

아크릴로나이트릴 수지, 아크릴 수지, 폴리이미드 수지, 폴리메틸메타크릴레이트 수지, 폴리카보네이트(PC) 수지, 폴리에터설폰(PES) 수지, 폴리아마이드 수지(나일론 또는 아라미드 등), 폴리실록세인 수지, 사이클로올레핀 수지, 폴리스타이렌 수지, 폴리아마이드이미드 수지, 폴리우레탄 수지, 폴리염화 바이닐 수지, 폴리염화 바이닐리덴 수지, 폴리프로필렌 수지, 폴리테트라플루오로에틸렌(PTFE) 수지, ABS 수지, 또는 셀룰로스 나노 섬유 등을 사용할 수 있다. 기판(152)으로서 가요성을 가질 정도의 두께를 가지는 유리를 사용하여도 좋다.

[0360] 기판으로서 필름을 사용하는 경우, 필름이 물을 흡수하면 주름이 생기는 등 표시 장치에 형상 변화가 일어날 우려가 있다. 그러므로 기판에는 물 흡수율이 낮은 필름을 사용하는 것이 바람직하다. 예를 들어 물 흡수율이 1% 이하인 필름을 사용하는 것이 바람직하고, 0.1% 이하인 필름을 사용하는 것이 더 바람직하고, 0.01% 이하인 필름을 사용하는 것이 더 바람직하다.

[0361] 기판(152) 외측에는 각종 광학 부재를 배치할 수 있다. 광학 부재로서는 편광판(예를 들어 원편광판), 위상차판, 광 확산층(예를 들어 확산 필름), 반사 방지층, 및 집광 필름 등을 들 수 있다. 또한 기판(152) 외측에는 먼지의 부착을 억제하는 대전 방지막, 오염이 부착되기 어렵게 하는 발수막, 사용에 따른 손상의 발생을 억제하는 하드 코트막, 또는 충격 흡수층 등, 표면 보호층을 배치하여도 좋다. 예를 들어 표면 보호층으로서 유리층 또는 실리카층(SiO_x층)을 제공함으로써, 표면의 오염 및 손상의 발생을 억제할 수 있어 바람직하다. 또한 표면 보호층에는 DLC(diamond like carbon), 산화 알루미늄(AlO_x), 폴리에스터계 재료, 또는 폴리카보네이트계 재료 등을 사용하여도 좋다. 또한 표면 보호층에는 가시광에 대한 투과율이 높은 재료를 사용하는 것이 바람직하다. 또한 표면 보호층에는 경도(硬度)가 높은 재료를 사용하는 것이 바람직하다.

[0362] 표시 장치에 원편광판을 중첩시키는 경우, 표시 장치가 가지는 기판에는 광학적 등방성이 높은 기판을 사용하는 것이 바람직하다. 광학적 등방성이 높은 기판은 복굴절이 작다(복굴절량이 작다)고 할 수도 있다.

[0363] 광학적 등방성이 높은 기판의 위상차(retardation)의 절댓값은 30nm 이하가 바람직하고, 20nm 이하가 더 바람직하고, 10nm 이하가 더 바람직하다.

[0364] 광학적 등방성이 높은 필름으로서는 트라이아세틸셀룰로스(TAC 또는 셀룰로스트라이아세테이트라고도 함) 필름, 사이클로올레핀 폴리머(COP) 필름, 사이클로올레핀 공중합체(COC) 필름, 및 아크릴 필름 등을 들 수 있다.

[0365] [접착층(142)]

[0366] 접착층(142)에는 자외선 경화형 등의 광 경화형 접착제, 반응 경화형 접착제, 열 경화형 접착제, 또는 혐기형 접착제 등 각종 경화형 접착제를 사용할 수 있다. 이들 접착제로서는 에폭시 수지, 아크릴 수지, 실리콘 수지, 페놀 수지, 폴리이미드 수지, 이미드 수지, PVC(폴리바이닐클로라이드) 수지, PVB(폴리바이닐뷰티랄) 수지, 및 EVA(에틸렌바이닐아세테이트) 수지 등을 들 수 있다. 특히 에폭시 수지 등 투습성이 낮은 재료가 바람직하다. 또한 2액 혼합형 수지를 사용하여도 좋다. 또한 예를 들어 접착 시트를 사용하여도 좋다.

[0367] [차광층(317)]

[0368] 차광층(317)에 사용할 수 있는 재료로서는 카본 블랙, 타이타늄 블랙, 금속, 금속 산화물, 및 복수의 금속 산화물의 고용체를 포함하는 복합 산화물 등을 들 수 있다. 또한 차광층(317)을 착색층의 재료를 포함하는 층이 복수로 적층된 구성으로 할 수도 있다. 예를 들어 어떤 색의 광을 투과시키는 착색층에 사용하는 재료를 포함하는 층과, 다른 색의 광을 투과시키는 착색층에 사용하는 재료를 포함하는 층의 적층 구조를 차광층(317)에 사용할 수 있다.

[0369] 여기까지 구성 요소에 대하여 설명하였다.

[0370] <메모리 셀>

[0371] 본 발명의 일 형태는 표시 장치뿐만 아니라 기억 장치에도 적용할 수 있다. 도 39의 (A)는 본 발명의 일 형태를 적용할 수 있는 기억 장치(400)의 구성예를 나타낸 블록도이다. 기억 장치(400)는 기억부(410)와, 워드선 구동 회로(411)와, 비트선 구동 회로(413)와, 전원 회로(415)를 가진다. 기억부(410)는 매트릭스상으로 배열된 복수의 메모리 셀(420)을 가진다. 또한 전원 회로(415)는 기억 장치(400)의 외부에 제공되어도 좋다.

[0372] 워드선 구동 회로(411)는 배선(41)을 통하여 메모리 셀(420)과 전기적으로 접속된다. 예를 들어 도 1에 나타낸 표시 장치(10)와 마찬가지로 배선(41)은 예를 들어 상기 매트릭스의 행 방향으로 연장된다. 기억 장치(400)에서 배선(41)은 워드선으로서 기능한다.

[0373] 비트선 구동 회로(413)는 배선(43)을 통하여 메모리 셀(420)과 전기적으로 접속된다. 예를 들어 도 1에 나타낸 표시 장치(10)와 마찬가지로 배선(43)은 예를 들어 상기 매트릭스의 열 방향으로 연장된다. 기억 장치(400)에서 배선(41)은 비트선으로서 기능한다.

[0374] 전원 회로(415)는 배선(45)을 통하여 메모리 셀(420)과 전기적으로 접속된다. 예를 들어 모든 메모리 셀(420)을 동일한 배선(45)을 통하여 전원 회로(415)와 전기적으로 접속시킬 수 있다. 배선(45)은 전원선으로서의 기능을 가진다.

[0375] 워드선 구동 회로(411)는 데이터를 기록하는 메모리 셀(420)을 행마다 선택하는 기능을 가진다. 또한 워드선 구동 회로(411)는 데이터를 판독하는 메모리 셀(420)을 행마다 선택하는 기능을 가진다. 워드선 구동 회로(411)는 구체적으로는 배선(41)에 신호를 출력함으로써, 데이터를 기록하는 메모리 셀(420) 또는 데이터를 판독하는 메모리 셀(420)을 선택할 수 있다.

[0376] 비트선 구동 회로(413)는 워드선 구동 회로(411)가 선택한 메모리 셀(420)에 배선(43)을 통하여 데이터를 기록하는 기능을 가진다. 또한 비트선 구동 회로(413)는 메모리 셀(420)이 배선(43)에 출력한 데이터를 증폭하고, 예를 들어 기억 장치(400)의 외부에 출력함으로써, 메모리 셀(420)에 유지된 데이터를 판독하는 기능을 가진다. 또한 비트선 구동 회로(413)는 메모리 셀(420)로부터의 데이터의 판독 전에 배선(43)을 프리차지하는 기능을 가진다.

[0377] 전원 회로(415)는 전원 전위를 생성하고, 배선(45)에 공급하는 기능을 가진다. 전원 회로(415)는 예를 들어 고전위 또는 저전위를 생성하고, 배선(45)에 공급하는 기능을 가진다.

[0378] 도 39의 (B), (C), (D), (E), 및 (F)는 메모리 셀(420)의 구성예를 나타낸 회로도이다. 여기서 도 39의 (B), (C), (D), (E), 및 (F)에 나타낸 메모리 셀(420)을 각각 메모리 셀(420A), 메모리 셀(420B), 메모리 셀(420C), 메모리 셀(420D), 및 메모리 셀(420E)로 하였다.

[0379] 메모리 셀(420A)은 트랜지스터(51)와 용량 소자(57)를 가진다. 즉 메모리 셀(420A)은 1Tr1C형 메모리 셀이다.

[0380] 메모리 셀(420A)에서 트랜지스터(51)의 소스 및 드레인 중 한쪽은 배선(43)과 전기적으로 접속된다. 트랜지스터(51)의 소스 및 드레인 중 다른 쪽은 용량 소자(57)의 한쪽 전극과 전기적으로 접속된다. 트랜지스터(51)의 게이트는 배선(41)과 전기적으로 접속된다. 용량 소자(57)의 다른 쪽 전극은 배선(45)과 전기적으로 접속된다.

[0381] 메모리 셀(420A)에서는 트랜지스터(51)를 온 상태로 함으로써 데이터가 배선(43)을 통하여 메모리 셀(420A)에 기록되고, 트랜지스터(51)를 오프 상태로 함으로써 기록된 데이터가 유지된다. 또한 트랜지스터(51)를 온 상태로 함으로써, 메모리 셀(420A)에 유지된 데이터를 배선(43)에 출력할 수 있기 때문에 비트선 구동 회로(413)가 상기 데이터를 판독할 수 있다.

[0382] 메모리 셀(420B)은 트랜지스터(51)와, 트랜지스터(52)와, 용량 소자(57)를 가진다. 즉 메모리 셀(420B)은 2Tr1C형 메모리 셀이다.

[0383] 메모리 셀(420B)에는 배선(41)으로서 배선(41a) 및 배선(41d)이 전기적으로 접속되고, 배선(43)으로서 배선(43a) 및 배선(43b)이 전기적으로 접속된다. 구체적으로는 트랜지스터(51)의 소스 및 드레인 중 한쪽은 배선(43a)과 전기적으로 접속된다. 트랜지스터(51)의 소스 및 드레인 중 다른 쪽은 용량 소자(57)의 한쪽 전극과 전기적으로 접속된다. 용량 소자(57)의 한쪽 전극은 트랜지스터(52)의 게이트와 전기적으로 접속된다. 트랜지스터(51)의 게이트는 배선(41a)과 전기적으로 접속된다. 용량 소자(57)의 다른 쪽 전극은 배선(41d)과 전기적으로 접속된다. 트랜지스터(52)의 소스 및 드레인 중 한쪽은 배선(43b)과 전기적으로 접속된다. 트랜지스터(52)의 소스 및 드레인 중 다른 쪽은 배선(45)과 전기적으로 접속된다.

[0384] 메모리 셀(420B)에서는 트랜지스터(51)를 온 상태로 함으로써 데이터가 배선(43a)을 통하여 메모리 셀(420B)에 기록되고, 트랜지스터(51)를 오프 상태로 함으로써 기록된 데이터가 유지된다. 따라서 메모리 셀(420B)에서 배선(41a)은 기록 워드선이라고 할 수 있고, 배선(43a)은 기록 비트선이라고 할 수 있다. 또한 배선(41d)의 전위를 제어함으로써, 트랜지스터(52)의 게이트 전위를 용량 결합에 의하여 변화시키고, 배선(43b)의 전위를 메모리 셀(420B)에 유지된 데이터에 대응하는 전위로 할 수 있다. 이에 의하여, 비트선 구동 회로(413)는 메모리 셀(420B)에 유지된 데이터를 판독할 수 있다. 이로써 메모리 셀(420B)에서 배선(41d)은 판독 워드선이라고 할 수 있고, 배선(43b)은 판독 비트선이라고 할 수 있다.

[0385] 메모리 셀(420C)은 메모리 셀(420B)의 변형예이고, 트랜지스터(52)의 소스 및 드레인 중 다른 쪽이 배선(41d)과 전기적으로 접속되고, 용량 소자(57)의 다른 쪽 전극이 배선(45)과 전기적으로 접속되는 예를 나타내었다. 메

모리 셀(420C)은 워드선 구동 회로(411)가 트랜지스터(52)의 소스 및 드레인 중 다른 쪽 전위를 제어함으로써, 메모리 셀(420C)에 유지된 데이터를 배선(43b)에 출력할 수 있다.

[0386] 메모리 셀(420D)은 메모리 셀(420C)의 변형예이고, 트랜지스터(53)를 가지는 점이 메모리 셀(420C)과 다르다. 메모리 셀(420D)은 3Tr1C형 메모리 셀이다.

[0387] 메모리 셀(420D)에는 배선(41)으로서 배선(41a) 및 배선(41b)이 전기적으로 접속된다. 구체적으로는 트랜지스터(53)의 게이트는 배선(41b)과 전기적으로 접속된다. 또한 트랜지스터(52)의 소스 및 드레인 중 한쪽은 트랜지스터(53)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(52)의 소스 및 드레인 중 다른 쪽은 배선(45)과 전기적으로 접속된다. 트랜지스터(53)의 소스 및 드레인 중 다른 쪽은 배선(43b)과 전기적으로 접속된다.

[0388] 트랜지스터(53)는 스위치로서의 기능을 가지고, 배선(41b)의 전위에 의거하여 트랜지스터(52)의 소스 및 드레인 중 한쪽과 배선(43b) 사이의 도통 상태 및 비도통 상태를 제어하는 기능을 가진다. 트랜지스터(53)를 온 상태로 함으로써 배선(43b)의 전위를 메모리 셀(420D)에 유지된 데이터에 대응하는 전위로 할 수 있다. 이에 의하여, 비트선 구동 회로(413)는 메모리 셀(420D)에 유지된 데이터를 판독할 수 있다. 이로써 메모리 셀(420D)에서 배선(41b)은 판독 워드선이라고 할 수 있다.

[0389] 메모리 셀(420E)은 메모리 셀(420D)의 변형예이고, 용량 소자(57)가 제공되지 않는 점이 메모리 셀(420D)과 다르다. 메모리 셀(420E)에서 배선(45)은 트랜지스터(52)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다.

[0390] 예를 들어 트랜지스터(52)의 게이트 용량 등의 기생 용량이 충분히 큰 경우에는, 용량 소자(57)를 제공하지 않아도 메모리 셀에 데이터가 유지될 수 있다.

[0391] 메모리 셀(420A) 내지 메모리 셀(420E)이 가지는 트랜지스터(51)로서 OS 트랜지스터를 사용하는 것이 바람직하다. 상술한 바와 같이, OS 트랜지스터는 오프 전류가 매우 작다. 따라서 트랜지스터(51)로서 OS 트랜지스터를 사용함으로써, 용량 소자(57)에 축적된 전하를 장기간 유지할 수 있다. 또한 트랜지스터(52)의 게이트 전위를 장기간 유지할 수 있다. 이로써 메모리 셀(420)에 기록된 데이터를 장기간 유지할 수 있기 때문에, 리프레시 동작(메모리 셀(420)로의 데이터의 재기록)의 빈도를 적게 할 수 있다. 따라서 기억 장치(400)의 소비 전력을 저감할 수 있다.

[0392] 또한 트랜지스터(52) 및 트랜지스터(53)에도 OS 트랜지스터를 사용하는 것이 바람직하다. 상술한 바와 같이, OS 트랜지스터는 예를 들어 비정질 실리콘을 사용한 트랜지스터보다 전계 효과 이동도가 높다. 따라서 트랜지스터(51) 내지 트랜지스터(53)로서 OS 트랜지스터를 사용함으로써 기억 장치(400)를 고속으로 구동시킬 수 있다.

[0393] 메모리 셀(420A)은 DOSRAM(등록 상표)이라고 할 수 있다. DOSRAM이란, "Dynamic Oxide Semiconductor Random Access Memory"의 약칭이다. DOSRAM은 1Tr1C형 메모리 셀을 가지는 RAM을 나타낸다. DOSRAM은 OS 트랜지스터를 사용하여 형성된 DRAM이고, 외부로부터 송신된 정보를 일시적으로 저장하는 메모리이다. DOSRAM은 OS 트랜지스터의 오프 전류가 낮은 것을 이용한 메모리이다.

[0394] 메모리 셀(420B) 내지 메모리 셀(420E)은 NOSRAM(등록 상표)이라고 할 수 있다. NOSRAM이란, "Nonvolatile Oxide Semiconductor Random Access Memory(RAM)"의 약칭이다. NOSRAM은 유지하는 데이터를 파괴하지 않고 판독하는 것(비파괴 판독)이 가능하다. 따라서 NOSRAM은 데이터 판독 동작만을 대량으로 반복하는 연산 처리에 적합하다.

[0395] <반도체 장치의 구성예 2>

[0396] 이하에서는 도 4의 (A1) 및 (B) 등과 구성의 일부가 상이한 트랜지스터의 구성예에 대하여 설명한다. 또한 이하에서는 도 4의 (A1) 및 (B) 등과 중복되는 부분에 대해서는 설명을 생략하는 경우가 있다.

[0397] 도 4의 (A1)에서는 개구(123)에서 보아 Y방향에서의 도전층(112)의 단부 및 -Y방향에서의 도전층(112)의 단부 양쪽이 도전층(111)과 평면에서 보았을 때 중첩되는 영역을 가진다. 즉 개구(123)에서 보아 Y방향에서의 도전층(112)의 단부는 개구(123)에서 보아 Y방향에서의 도전층(111)의 단부보다 내측에 위치하고, 개구(123)에서 보아 -Y방향에서의 도전층(112)의 단부는 개구(123)에서 보아 -Y방향에서의 도전층(111)의 단부보다 내측에 위치하지만, 본 발명의 일 형태는 이에 한정되지 않는다. 도 40의 (A)에서는 개구(123)에서 보아 -Y방향에서의 도전층(112)의 단부가 도전층(111)과 평면에서 보았을 때 중첩되지 않는 예를 나타내었다. 즉 도 40의 (A)에 나타낸 예에서는 개구(123)에서 보아 -Y방향에서의 도전층(112)의 단부는 개구(123)에서 보아 -Y방향에서의 도전

층(111)의 단부보다 외측에 위치한다. 예를 들어 도 6에 나타낸 트랜지스터(52)가 도 40의 (A)에 나타낸 구성을 가지는 경우, 트랜지스터(52)로서 기능하는 영역에서의 도전층(112b)의 단부가 도전층(111b)의 단부보다 도전층(115a) 측에 돌출하는 구성으로 할 수 있다.

[0398] 도 40의 (B)에서는 개구(123)에서 보아 Y방향에서의 도전층(112)의 단부가 도전층(111)과 평면에서 보았을 때 중첩되지 않는 예를 나타내었다. 즉 도 40의 (B)에 나타낸 예에서는 개구(123)에서 보아 Y방향에서의 도전층(112)의 단부는 개구(123)에서 보아 Y방향에서의 도전층(111)의 단부보다 외측에 위치한다. 예를 들어 도 6에 나타낸 트랜지스터(51)가 도 40의 (B)에 나타낸 구성을 가지는 경우, 트랜지스터(51)로서 기능하는 영역에서의 도전층(112a)의 단부가 도전층(111a)의 단부보다 도전층(115a)의 X방향으로 연장되는 영역 측에 돌출하는 구성으로 할 수 있다.

[0399] 도 40의 (C)에서는 개구(123)에서 보아 Y방향에서의 도전층(112)의 단부 및 -Y방향에서의 도전층(112)의 단부 양쪽이 도전층(111)과 평면에서 보았을 때 중첩되지 않는 예를 나타내었다. 즉 도 40의 (C)에 나타낸 예에서는 개구(123)에서 보아 Y방향에서의 도전층(112)의 단부는 개구(123)에서 보아 Y방향에서의 도전층(111)의 단부보다 외측에 위치하고, 개구(123)에서 보아 -Y방향에서의 도전층(112)의 단부는 개구(123)에서 보아 -Y방향에서의 도전층(111)의 단부보다 외측에 위치한다.

[0400] 또한 도 40의 (A), (B), 및 (C)에 나타낸 구성의 일점쇄선 A1-A2의 단면도에 대해서는 도 4의 (B)를 참조할 수 있다.

[0401] 도 41의 (A)는 도 4의 (A1)에 나타낸 구성의 변형예이고, 도 41의 (B)는 도 41의 (A)에 나타낸 일점쇄선 A1-A2의 단면도이다. 도 41의 (A) 및 (B)에서는 X방향에서 도전층(115)의 단부가 반도체층(113)의 단부보다 내측, 즉 개구(123) 측에 위치하는 예를 나타내었다. 도 41의 (A) 및 (B)에 나타낸 예에서는 반도체층(113)은 도전층(115)과 중첩되지 않는 영역을 가진다. 이러한 구성으로 함으로써, 도전층(115)과 도전층(112)이 중첩되는 영역의 면적을 작게 할 수 있다. 따라서 기생 용량을 작게 할 수 있다.

[0402] 도 42의 (A)는 도 41의 (A)에 나타낸 구성의 변형예이고, 도 42의 (B)는 도 42의 (A)에 나타낸 일점쇄선 A1-A2의 단면도이다. 도 42의 (A) 및 (B)에서는 X방향에서 도전층(115)의 단부가 도전층(112)의 개구(123) 측의 단부보다 내측에 위치하는 예를 나타내었다. 도 42의 (A) 및 (B)에 나타낸 예에서는 개구(121) 및 개구(123)는 도전층(115)과 중첩되지 않는 영역을 가진다. 이러한 구성으로 함으로써, 도전층(115)과 도전층(112)이 중첩되는 영역의 면적을 더 작게 할 수 있다. 따라서 기생 용량을 더 작게 할 수 있다.

[0403] 도 43의 (A)는 도 4의 (A1)에 나타낸 구성의 변형예이고, 도 43의 (B1)은 도 43의 (A)에 나타낸 일점쇄선 A1-A2의 단면도이다. 도 43의 (A) 및 (B1)에서는 도전층(111)과 도전층(112)이 중첩되는 영역에서 X방향에서의 도전층(115)의 단부가 도전층(112)의 단부보다 외측에 위치하는 예를 나타내었다. 도 43의 (A) 및 (B1)에 나타낸 예에서는 도전층(115)이 도전층(111)과 도전층(112)이 중첩되는 영역의 전체를 덮는다. 이러한 구성으로 함으로써, 예를 들어 도전층(115)을 포토리소그래피법 및 에칭법을 사용하여 형성하는 경우, 포토 마스크의 위치 맞춤 정밀도를 낮게 할 수 있다. 따라서 트랜지스터(50)를 용이하게 제작할 수 있다.

[0404] 도 43의 (B2)는 도 43의 (B1)에 나타낸 구성의 변형예이고, 절연층(105)의 상면 단부가 도전층(115)의 하면 단부와 일치하거나 실질적으로 일치하는 예를 나타낸 것이다. 예를 들어 도전층(115)을 포토리소그래피법 및 에칭법을 사용하여 형성하는 경우, 도전층(115)과 절연층(105)의 에칭 선택비가 낮으면, 도 43의 (B2)에 나타낸 구성이 형성되는 경우가 있다.

[0405] 도 43의 (B3)은 도 43의 (B2)에 나타낸 구성의 변형예이고, 도전층(115)의 하면 단부가 절연층(105)의 상면 단부보다 내측, 즉 도전층(112) 측에 위치하는 예를 나타낸 것이다. 예를 들어 도전층(115)의 X방향에서의 에칭 속도가 절연층(105)의 X방향에서의 에칭 속도보다 빠른 경우, 도 43의 (B3)에 나타낸 구성이 형성되는 경우가 있다.

[0406] 또한 도 43의 (B2) 및 (B3)에 나타낸 구성의 평면도에 대해서는 도 43의 (A)를 참조할 수 있다.

[0407] 도 44의 (A) 및 (B)는 도 4의 (A1)에 나타낸 구성의 변형예이고, 평면에서 보았을 때 개구(121) 및 개구(123)가 모서리가 둥근 직사각형인 예를 나타낸 것이다. 도 44의 (A)에서는 개구(121) 및 개구(123)의 X방향의 길이가 Y방향의 길이보다 긴 예를 나타내고, 도 44의 (B)에서는 개구(121) 및 개구(123)의 X방향의 길이가 Y방향의 길이보다 짧은 예를 나타내었다. 또한 도 44의 (A) 및 (B)에 나타낸 구성의 단면도에 대해서는 도 4의 (B)를 참조할 수 있다.

[0408] 도 44의 (A) 및 (B)에 나타낸 예에서는 개구(121)에서의 절연층(103)의 측면 및 개구(123)에서의 도전층(112)의 측면이 곡면이 아니라 평면인 영역을 가진다. 이에 의하여, 개구(121)의 내부 및 개구(123)의 내부에서 반도체층(113), 절연층(105), 및 도전층(115)의 피복성을 높일 수 있다. 또한 평면에서 보았을 때 개구(121) 및 개구(123)의 모서리는 둥글지 않아도 되고, 예를 들어 개구(121) 및 개구(123)의 평면 형상을 직사각형, 마름모형, 또는 정사각형으로 하여도 좋다. 또한 개구(121) 및 개구(123)의 평면 형상은 삼각형 또는 모서리가 둥근 삼각형으로 하여도 좋다. 또한 개구(121) 및 개구(123)의 평면 형상은 오각형 등의 다각형, 또는 이들 다각형의 모서리가 둥근 형상으로 하여도 좋다. 이상은 본 명세서 등에 나타낸 모든 구성에 적용할 수 있다.

[0409] 도 45의 (A1)은 도 4의 (A1)에 나타낸 구성의 변형예이고, 평면에서 보았을 때 도전층(112)이 개구(121)의 외주의 일부를 덮고, 전체는 덮지 않는 예를 나타낸 것이다. 도 45의 (A2)는 도 45의 (A1)에 나타낸 구성의 변형예이고, 평면에서 보았을 때 도전층(112)의 단부가 개구(121)의 외주의 일점과 접하는 예를 나타낸 것이다. 도 45의 (A2)에 나타낸 예에서는 평면에서 보았을 때 개구(121)가 원형이며, 도전층(112)의 Y방향으로 연장되는 단부의 한쪽이 개구(121)의 접선이 된다. 도 45의 (B)는 도 45의 (A1) 및 (A2)에 나타낸 일점쇄선 A1-A2의 단면도이다.

[0410] 도 45의 (A1), (A2), 및 (B)에 나타낸 예에서는 도전층(112)과 도전층(115)이 중첩되는 영역의 면적을 작게 할 수 있다. 이에 의하여, 기생 용량을 작게 할 수 있다. 한편, 도 4의 (A1) 및 (B) 등에 나타낸 예에서는 소스 영역 및 드레인 영역 중 다른 쪽의 폭을 크게 할 수 있다.

[0411] 도 46의 (A)는 도 45의 (A1) 및 (A2)에 나타낸 구성의 변형예이고, 평면에서 보았을 때 도전층(112)이 개구(121)를 덮지 않고, 도전층(112)이 개구(121)와 접하지 않는 예를 나타낸 것이다. 도 46의 (B)는 도 46의 (A)에 나타낸 일점쇄선 A1-A2의 단면도이다.

[0412] 도 46의 (A) 및 (B)에 나타낸 예에서는 도전층(112)과 도전층(115)이 중첩되는 영역의 면적을 더 작게 할 수 있다. 이에 의하여, 기생 용량을 더 작게 할 수 있다.

[0413] 도 47의 (A)는 도 4의 (A1)에 나타낸 구성의 변형예이고, 도전층(111)이 개구(121) 전체와 중첩되지 않고, 일부와 중첩되는 예를 나타낸 것이다. 도 47의 (B)는 도 47의 (A)에 나타낸 일점쇄선 A1-A2의 단면도이다. 도 47의 (A) 및 (B)에 나타낸 예에서는 개구(121)에서 반도체층(113)이 도전층(111)과 중첩되지 않는 영역을 가진다.

[0414] 도 47의 (A) 및 (B)에 나타낸 예에서는 예를 들어 도전층(111)과 도전층(115) 사이에 형성되는 기생 용량을 작게 할 수 있다. 한편, 도 4의 (A1) 및 (B) 등에 나타낸 예에서는 소스 영역 및 드레인 영역 중 한쪽의 폭을 크게 할 수 있다.

[0415] 도 48의 (A)는 도 47의 (A)에 나타낸 구성의 변형예이고, 평면에서 보았을 때 개구(121) 및 개구(123)가 모서리가 둥근 직사각형인 예를 나타낸 것이다. 도 48의 (B)는 도 48의 (A)에 나타낸 일점쇄선 A1-A2의 단면도이다.

[0416] 도 48의 (A)에 나타낸 예에서는 개구(121)에서의 절연층(103)의 측면 및 개구(123)에서의 절연층(103)의 측면이 곡면이 아니라 평면인 영역을 가진다. 이에 의하여, 개구(121)의 내부 및 개구(123)의 내부에서 반도체층(113), 절연층(105), 및 도전층(115)의 피복성을 높일 수 있다. 또한 도 48의 (A)에서는 개구(121) 및 개구(123)의 X방향의 길이가 Y방향의 길이보다 긴 예를 나타내었지만, 개구(121) 및 개구(123)의 X방향의 길이가 Y방향의 길이보다 짧아도 좋다.

[0417] 도 49의 (A1)은 도 47의 (A)에 나타낸 구성의 변형예이고, 평면에서 보았을 때 도전층(112)이 개구(121)의 외주의 일부를 덮고, 전체는 덮지 않는 예를 나타낸 것이다. 도 49의 (A2)는 도 49의 (A1)에 나타낸 구성의 변형예이고, 평면에서 보았을 때 도전층(112)의 단부가 개구(121)의 외주의 일점과 접하는 예를 나타낸 것이다. 도 49의 (A2)에 나타낸 예에서는 평면에서 보았을 때 개구(121)가 원형이며, 도전층(112)의 Y방향으로 연장되는 단부의 한쪽이 개구(121)의 접선이 된다. 도 49의 (B)는 도 49의 (A1) 및 (A2)에 나타낸 일점쇄선 A1-A2의 단면도이다.

[0418] 도 49의 (A1), (A2), 및 (B)에 나타낸 예에서는 도전층(112)과 도전층(115)이 중첩되는 영역의 면적을 작게 할 수 있다. 이에 의하여, 기생 용량을 작게 할 수 있다. 한편, 도 47의 (A) 및 (B) 등에 나타낸 예에서는 소스 영역 및 드레인 영역 중 다른 쪽의 폭을 크게 할 수 있다.

[0419] 도 50의 (A)는 도 49의 (A1) 및 (A2)에 나타낸 구성의 변형예이고, 도전층(112)이 개구(121)와 중첩되지 않는 예를 나타낸 것이다. 도 50의 (B)는 도 50의 (A)에 나타낸 일점쇄선 A1-A2의 단면도이다.

[0420] 도 50의 (A) 및 (B)에 나타낸 예에서는 도전층(112)과 도전층(115)이 중첩되는 영역의 면적을 더 작게 할 수 있

다. 이에 의하여, 기생 용량을 더 작게 할 수 있다.

[0421] 도 51의 (A)는 도 48의 (A)에 나타낸 구성의 변형예이고, 평면에서 보았을 때 개구(121)의 1변의 일부가 도전층(112)의 단부와 접하며, 개구(121)의 X방향의 길이가 Y방향의 길이보다 짧은 예를 나타낸 것이다. 도 51의 (B)는 도 51의 (A)에 나타낸 일점쇄선 A1-A2의 단면도이다.

[0422] 도 51의 (A) 및 (B)에 나타낸 예에서는 도전층(112)과 도전층(115)이 중첩되는 영역의 면적을 작게 할 수 있다. 이에 의하여, 기생 용량을 작게 할 수 있다. 한편, 도 48의 (A) 및 (B) 등에 나타낸 예에서는 소스 영역 및 드레인 영역 중 다른 쪽의 폭을 크게 할 수 있다.

[0423] 도 52의 (A)는 도 51의 (A)에 나타낸 구성의 변형예이고, 개구(121)의 X방향의 길이가 Y방향의 길이보다 긴 예를 나타낸 것이다. 도 52의 (A)에 나타낸 예에서는 평면에서 보았을 때 개구(121)의 1변의 전체가 도전층(112)의 단부와 접하는 구성으로 할 수 있다.

[0424] 도 52의 (B)는 도 52의 (A)에 나타낸 구성의 변형예이고, 평면에서 보았을 때 개구(121)의 3변의 일부가 도전층(112)의 단부와 접하는 예를 나타낸 것이다. 도 52의 (B)에 나타낸 예에서는 평면에서 보았을 때 개구(121)의 Y방향으로 연장되는 도전층(112) 측의 변의 전체 및 X방향으로 연장되는 변의 일부가 도전층(112)으로 덮인다.

[0425] 도 52의 (B)에 나타낸 예에서는 소스 영역 및 드레인 영역 중 다른 쪽의 폭을 크게 할 수 있다. 한편, 도 52의 (A)에 나타낸 예에서는 도전층(112)과 도전층(115)이 중첩되는 영역의 면적을 작게 할 수 있기 때문에, 기생 용량을 작게 할 수 있다. 또한 도 52의 (A) 및 (B)에 나타낸 일점쇄선 A1-A2의 단면도에 대해서는 도 51의 (B)를 참조할 수 있다.

[0426] 도 53의 (A1)은 도 51의 (A)에 나타낸 구성의 변형예이고, 평면에서 보았을 때 도전층(112)이 개구(121)를 덮지 않고, 도전층(112)이 개구(121)와 접하지 않는 예를 나타낸 것이다. 도 53의 (A2)는 도 53의 (A1)에 나타낸 구성의 변형예이고, 개구(121)의 X방향의 길이가 Y방향의 길이보다 긴 예를 나타낸 것이다. 도 53의 (B)는 도 53의 (A1) 및 (A2)에 나타낸 일점쇄선 A1-A2의 단면도이다.

[0427] 도 53의 (A1), (A2), 및 (B)에 나타낸 예에서는 도전층(112)과 도전층(115)이 중첩되는 영역의 면적을 더 작게 할 수 있다. 이에 의하여, 기생 용량을 더 작게 할 수 있다.

[0428] 도 54의 (A)는 도 4의 (A1)에 나타낸 구성의 변형예이고, 개구(121)의 평면 형상과 개구(123)의 평면 형상이 일치하지 않는 예를 나타낸 것이다. 도 54의 (A)에 나타낸 예에서는 개구(123)의 평면 형상을 개구(121)보다 반경이 큰 원형으로 하였다. 또한 개구(121)의 평면 형상 및 개구(123)의 평면 형상 중 한쪽 또는 양쪽을 원형으로 하지 않아도 된다. 구체적으로는 개구(121)의 평면 형상 및 개구(123)의 평면 형상 중 한쪽 또는 양쪽을 모서리가 둥근 직사각형 등의 상술한 형상으로 할 수 있다. 도 54의 (B1)은 도 54의 (A)에 나타낸 일점쇄선 A1-A2의 단면도이다.

[0429] 예를 들어 개구(121)와 개구(123)를 상이한 공정으로 형성하는 경우, 개구(121) 및 개구(123)가 도 54의 (A) 및 (B1)에 나타낸 형상이 되는 경우가 있다. 또한 개구(121)와 개구(123)를 동일한 공정으로 형성하는 경우이어도, 예를 들어 X방향 및 Y방향에서의 도전층(112)의 에칭 속도가 X방향 및 Y방향에서의 절연층(103)의 에칭 속도와 다른 경우에는 개구(121) 및 개구(123)가 도 54의 (A) 및 (B1)에 나타낸 형상이 되는 경우가 있다. 예를 들어 X방향 및 Y방향에서의 도전층(112)의 에칭 속도가 X방향 및 Y방향에서의 절연층(103)의 에칭 속도보다 빠른 경우에는 개구(121)와 개구(123)를 동일한 공정으로 형성하는 경우이어도 개구(121) 및 개구(123)가 도 54의 (A) 및 (B1)에 나타낸 형상이 되는 경우가 있다.

[0430] 도 54의 (B2)는 도 54의 (B1)에 나타낸 구성의 변형예이고, 반도체층(113)의 상면이 도전층(112)과 접하는 영역을 가지는 예를 나타낸 것이다. 예를 들어 절연층(103)에 개구(121)를 형성한 후에 반도체층(113)을 형성하고, 그 후 도전층(112)이 되는 막을 성막하여 상기 막에 개구(123)를 형성함으로써 도 54의 (B2)에 나타낸 구성을 형성할 수 있다.

[0431] 상술한 바와 같이, 트랜지스터(50)의 채널 폭은 평면에서 보았을 때 개구(123)의 외주의 길이와 동일하게 할 수 있다. 따라서 예를 들어 개구(123)의 면적이 개구(121)의 면적보다 큰 경우, 트랜지스터(50)의 채널 폭을 길게 할 수 있는 경우가 있다. 한편, 예를 들어 개구(123)의 면적이 개구(121)의 면적과 동일한 경우에는, 트랜지스터(50)를 미세화할 수 있는 경우가 있다.

[0432] 도 55의 (A)는 도 54의 (B1)에 나타낸 트랜지스터(50) 및 그 주변의 구성예를 나타낸 확대도이고, 도 55의 (B)는 도 54의 (B2)에 나타낸 트랜지스터(50) 및 그 주변의 구성예를 나타낸 확대도이다. 도 55의 (A) 및 (B)에

나타낸 바와 같이, 절연층(103a)의 개구(121) 측의 측면이 테이퍼부(161a)를 가지고, 절연층(103b)의 개구(121) 측의 측면이 테이퍼부(161b)를 가지는 것으로 한다.

[0433] 도 55의 (A) 및 (B)에 나타낸 바와 같이, 절연층(103a)의 개구(121) 측의 상면 단부와 절연층(103b)의 개구(121) 측의 하면 단부는 일치 또는 실질적으로 일치시킬 수 있다. 또한 테이퍼부(161a)의 테이퍼각과 테이퍼부(161b)의 테이퍼각을 동일하게 또는 실질적으로 동일하게 할 수 있다. 여기서 도전층(112)의 개구(123) 측의 측면의 테이퍼각은 테이퍼부(161a) 및 테이퍼부(161b)의 테이퍼각보다 커도 좋고, 작아도 좋다. 또한 도전층(112)의 개구(123) 측의 측면의 테이퍼각은 테이퍼부(161a) 및 테이퍼부(161b)의 테이퍼각과 동일하거나 실질적으로 동일하여도 좋다.

[0434] 도 56의 (A) 및 (B)는 각각 도 55의 (A) 및 (B)에 나타낸 구성의 변형예이고, 테이퍼부(161a)의 테이퍼각과 테이퍼부(161b)의 테이퍼각이 다른 예를 나타낸 것이다. 도 56의 (A) 및 (B)에서는 테이퍼부(161b)를 절연층(103a) 측으로 연장한 직선을 파선으로 나타내었다. 예를 들어 절연층(103a)의 재료와 절연층(103b)의 재료가 달라, 절연층(103a)의 가공성과 절연층(103b)의 가공성이 상이한 경우에는, 테이퍼부(161a)의 테이퍼각과 테이퍼부(161b)의 테이퍼각이 상이한 경우가 있다.

[0435] 도 56의 (A) 및 (B)에서는 테이퍼부(161a)의 테이퍼각이 테이퍼부(161b)의 테이퍼각보다 작은 예를 나타내었다. 테이퍼부(161a)의 테이퍼각은 테이퍼부(161b)의 테이퍼각보다 커도 좋다. 여기서 도전층(112)의 개구(123) 측의 측면의 테이퍼각은 테이퍼부(161a)의 테이퍼각보다 커도 좋고 작아도 좋고, 또한 테이퍼부(161b)의 테이퍼각보다 커도 좋고 작아도 좋다. 또한 도전층(112)의 개구(123) 측의 측면의 테이퍼각은 테이퍼부(161a)의 테이퍼각과 동일하거나 실질적으로 동일하여도 좋고, 테이퍼부(161b)의 테이퍼각과 동일하거나 실질적으로 동일하여도 좋다.

[0436] 도 57의 (A) 및 (B)는 각각 도 55의 (A) 및 (B)에 나타낸 구성의 변형예이고, 절연층(103a)의 상면 단부와 절연층(103b)의 하면 단부가 일치하지 않는 예, 구체적으로는 절연층(103b)의 개구(121) 측 단부가 절연층(103a)의 개구(121) 측 단부보다 외측에 위치하는 예를 나타낸 것이다. 도 57의 (A) 및 (B)에서는 절연층(103a)에 제공되는 개구(121)를 개구(121a)로 하고, 절연층(103b)에 제공되는 개구(121)를 개구(121b)로 하였다.

[0437] 예를 들어 절연층(103a)의 X방향에서의 에칭 속도와 절연층(103b)의 X방향에서의 에칭 속도가 다른 경우, 절연층(103a)의 상면 단부와 절연층(103b)의 하면 단부가 일치하지 않는 경우가 있다. 구체적으로는 절연층(103b)의 X방향에서의 에칭 속도가 절연층(103a)의 X방향에서의 에칭 속도보다 빠른 경우, 도 57의 (A) 및 (B)에 나타낸 구성이 형성되는 경우가 있다. 여기서 테이퍼부(161a)의 테이퍼각과 테이퍼부(161b)의 테이퍼각은 동일 또는 실질적으로 동일하여도 좋고, 상이하여도 좋다. 또한 도전층(112)의 개구(123) 측의 측면의 테이퍼각은 테이퍼부(161a)의 테이퍼각보다 커도 좋고 작아도 좋고, 또한 테이퍼부(161b)의 테이퍼각보다 커도 좋고 작아도 좋다. 또한 도전층(112)의 개구(123) 측의 측면의 테이퍼각은 테이퍼부(161a)의 테이퍼각과 동일하거나 실질적으로 동일하여도 좋고, 테이퍼부(161b)의 테이퍼각과 동일하거나 실질적으로 동일하여도 좋다.

[0438] 도 55의 (A) 내지 도 57의 (B)를 참조하여 설명한 테이퍼부(161a), 테이퍼부(161b), 및 도전층(112)의 측면의 테이퍼각, 그리고 절연층(103a), 절연층(103b), 및 도전층(112)의 단부의 위치 관계 등에 대해서는 본 명세서 등에 나타낸 모든 구성에 적용할 수 있다.

[0439] 도 58의 (A)는 도 4의 (A1)에 나타낸 구성의 변형예이고, 반도체층(113)이 도전층(112)의 개구(123)와 마주 보지 않는 단부를 넘어 X방향으로 연장되는 예를 나타낸 것이다. 도 58의 (B)는 도 58의 (A)에 나타낸 일점쇄선 A1-A2의 단면도이다.

[0440] 도 58의 (B)에 나타낸 예에서는 XZ면으로부터 보았을 때, 반도체층(113)은 도전층(112)의 개구(123)와 마주 보지 않는 단부를 덮는다. 또한 반도체층(113)은 절연층(103)의 상면과 접하는 영역을 가질 수 있다.

[0441] 도 59의 (A)는 도 4의 (A1)에 나타낸 구성의 변형예이고, Y방향에서 반도체층(113)의 단부가 도전층(112)의 단부보다 외측, 또한 도전층(111)의 단부보다 내측에 위치하는 예를 나타낸 것이다. 도 59의 (A)에 나타낸 예에서는 Y방향에서 반도체층(113)의 단부는 도전층(111)과 중첩되지만 도전층(112)과는 중첩되지 않는다.

[0442] 도 59의 (B)는 도 4의 (A1)에 나타낸 구성의 변형예이고, Y방향에서 반도체층(113)의 단부가 도전층(112)의 단부 및 도전층(111)의 단부보다 외측에 위치하는 예를 나타낸 것이다. 도 59의 (B)에 나타낸 예에서는 Y방향에서의 반도체층(113)의 단부는 도전층(111) 및 도전층(112) 중 어느 것과도 중첩되지 않는다. 또한 도 59의 (A) 및 (B)에 나타낸 일점쇄선 A1-A2의 단면도에 대해서는 도 4의 (B)를 참조할 수 있다.

[0443] 도 60의 (A)는 도 4의 (A1)에 나타낸 구성의 변형예이고, 트랜지스터(50)가 개구(121) 및 개구(123)를 각각 2개 가지고, 이들이 X방향으로 배열되는 예를 나타낸 것이다. 도 60의 (B)는 도 60의 (A)에 나타낸 일점쇄선 A1-A2의 단면도이다. 여기서 하나의 트랜지스터(50)가 개구(121) 및 개구(123)를 각각 복수 개 가지는 구성을 설명하는 데 있어서, X방향을 행 방향이라고 하고, Y방향을 열 방향이라고 하는 경우가 있다.

[0444] 도 60의 (A) 및 (B)에서는 2개의 개구(121)를 각각 개구(121_1) 및 개구(121_2)라고 기재하여 구별하고, 2개의 개구(123)를 각각 개구(123_1) 및 개구(123_2)라고 기재하여 구별하였다. 또한 도 60의 (A) 및 (B)에서는 개구(121_1) 및 개구(123_1)의 내부와 개구(121_2) 및 개구(123_2)의 내부에서 상이한 반도체층(113)이 제공되는 예를 나타내었고, 이들 2개의 반도체층(113)을 각각 반도체층(113_1) 및 반도체층(113_2)이라고 기재하여 구별하였다. 이후의 도면에서도 같은 식으로 기재하는 경우가 있다.

[0445] 도 61의 (A)는 도 60의 (A)에 나타낸 구성의 변형예이고, 2개의 개구(121) 및 개구(123)가 Y방향으로 배열되는 예를 나타낸 것이다. 도 61의 (B)는 도 61의 (A)에 나타낸 구성의 변형예이고, Y방향으로 배열되는 2개의 개구(121) 및 개구(123)의 오른쪽에 개구(121) 및 개구(123)가 하나 제공되는 예를 나타낸 것이다. 여기서 Y방향으로 배열되는 2개의 개구(121) 및 개구(123)가 첫 번째 열에 제공되는 것으로 하고, 하나의 개구(121) 및 개구(123)가 두 번째 열에 제공되는 것으로 하면, 예를 들어 두 번째 열의 개구(121) 및 개구(123)의 중심은 Y방향에서 첫 번째 열의 위쪽의 개구(121) 및 개구(123)의 중심과 첫 번째 열의 아래쪽의 개구(121) 및 개구(123)의 중심 사이에 위치할 수 있다.

[0446] 도 61의 (C)는 도 61의 (A)에 나타낸 구성의 변형예이고, Y방향으로 배열되는 2개의 개구(121) 및 개구(123)의 왼쪽 및 오른쪽에 개구(121) 및 개구(123)가 하나씩 제공되는 예를 나타낸 것이다. 여기서 하나의 개구(121) 및 개구(123)가 첫 번째 열 및 세 번째 열에 제공되는 것으로 하고, Y방향으로 배열되는 2개의 개구(121) 및 개구(123)가 두 번째 열에 제공되는 것으로 하면, 예를 들어 첫 번째 열의 개구(121) 및 개구(123)의 중심 및 세 번째 열의 개구(121) 및 개구(123)의 중심은 Y방향에서, 두 번째 열의 위쪽의 개구(121) 및 개구(123)의 중심과 두 번째 열의 아래쪽의 개구(121) 및 개구(123)의 중심 사이에 위치할 수 있다.

[0447] 도 62의 (A)는 도 4의 (A1)에 나타낸 구성의 변형예이고, 4개의 개구(121) 및 개구(123)가 2행 2열의 매트릭스상으로 배열되는 예를 나타낸 것이다. 도 62의 (B)는 도 60의 (A)에 나타낸 구성의 변형예이고, X방향으로 배열되는 2개의 개구(121) 및 개구(123)의 아래쪽에 개구(121) 및 개구(123)가 하나 제공되는 예를 나타낸 것이다. 여기서 X방향으로 배열되는 2개의 개구(121) 및 개구(123)가 첫 번째 행에 제공되는 것으로 하고, 하나의 개구(121) 및 개구(123)가 두 번째 행에 제공되는 것으로 하면, 예를 들어 두 번째 행의 개구(121) 및 개구(123)의 중심은 X방향에서 첫 번째 행의 왼쪽의 개구(121) 및 개구(123)의 중심과 첫 번째 행의 오른쪽의 개구(121) 및 개구(123)의 중심 사이에 위치할 수 있다.

[0448] 도 62의 (C)는 도 62의 (A)에 나타낸 구성의 변형예이고, 아래쪽의 2개의 개구(121) 및 개구(123)가 도 62의 (A)보다 오른쪽에 위치하는 예를 나타낸 것이다. 도 62의 (C)에 나타낸 구성에서는 4개의 개구(121) 및 개구(123)가 지그재그로 배열된다.

[0449] 도 63의 (A)는 도 4의 (A1)에 나타낸 구성의 변형예이고, 9개의 개구(121) 및 개구(123)가 3행 3열의 매트릭스상으로 배열되는 예를 나타낸 것이다. 도 63의 (B)는 도 63의 (A)에 나타낸 구성의 변형예이고, 가운데 행에 제공되는 개구(121) 및 개구(123)의 개수가 2개인 예를 나타낸 것이다. 도 63의 (B)에 나타낸 예에서는 위의 행의 개구(121) 및 개구(123)와, 가운데 행의 개구(121) 및 개구(123)가 지그재그로 배열된다. 또한 도 63의 (B)에 나타낸 예에서는 아래의 행의 개구(121) 및 개구(123)와, 가운데 행의 개구(121) 및 개구(123)가 지그재그로 배열된다.

[0450] 트랜지스터(50)에 제공되는 개구(121) 및 개구(123)의 개수를 늘림으로써, 평면에서 보았을 때의 개구(121) 및 개구(123)의 외주의 합계를 길게 할 수 있는 경우가 있다. 상술한 바와 같이, 트랜지스터(50)의 채널 폭은 예를 들어 평면에서 보았을 때의 개구(123)의 외주의 길이와 동일하게 할 수 있다. 따라서 트랜지스터(50)에 개구(121) 및 개구(123)를 복수 개 제공함으로써, 트랜지스터(50)의 채널 폭을 길게 할 수 있는 경우가 있다. 한편, 트랜지스터(50)에 제공되는 개구(121) 및 개구(123)의 개수를 줄임으로써, 트랜지스터(50)를 용이하게 제작하고, 또한 트랜지스터(50)를 미세화할 수 있는 경우가 있다.

[0451] 도 64의 (A)는 도 60의 (A)에 나타낸 구성의 변형예이고, 개구(121_1) 및 개구(123_1)의 내부와, 개구(121_2) 및 개구(123_2)의 내부에서 하나의 반도체층(113)이 공통적으로 제공되는 예를 나타낸 것이다. 즉 도 64의 (A)는 트랜지스터(50)가 개구(121) 및 개구(123)를 각각 2개 가지며, 반도체층(113)을 하나 가지는 예를 나타낸

것이다. 도 64의 (B)는 도 64의 (A)에 나타낸 일점쇄선 A1-A2의 단면도이다.

[0452] 도 64의 (A) 및 (B)에 나타낸 구성에서는 예를 들어 반도체층(113)을 포토리소그래피법 및 에칭법을 사용하여 형성하는 경우, 포토 마스크의 위치 맞춤 정밀도를 낮게 할 수 있다. 따라서 트랜지스터(50)를 용이하게 제작할 수 있다. 한편, 도 60의 (A) 및 (B)에 나타낸 구성에서는 반도체층(113)의 표면적을 작게 할 수 있기 때문에, 반도체층(113)으로의 불순물의 혼입을 억제할 수 있는 경우가 있다. 또한 도 61의 (A) 내지 도 63의 (B)에 나타낸 구성에서도, 반도체층(113)을 하나로 할 수 있다.

[0453] 도 65의 (A)는 도 4의 (A1)에 나타낸 구성의 변형예이고, 도전층(112)이 도전층(115)과 평행한 방향으로 연장되고, 도전층(111)과 수직인 방향으로 연장되는 예를 나타낸 것이다. 즉 도 65의 (A)에 나타낸 예에서는 도전층(112) 및 도전층(115)이 X방향으로 연장되고, 도전층(111)이 Y방향으로 연장된다. 도 65의 (B)는 도 65의 (A)에 나타낸 일점쇄선 A3-A4의 단면도이다.

[0454] 도 66은 도 6에 나타낸 구성의 변형예이고, 트랜지스터(51) 및 트랜지스터(52)로서 도 65의 (A)에 나타낸 트랜지스터(50)의 구성을 적용한 예이다. 도 66에 나타낸 예에서 도전층(112a)은 개구(121a) 및 개구(123a)와 중첩되는 제 1 영역과, 개구(125a)와 중첩되는 제 2 영역을 가지고, 제 1 영역으로부터 제 2 영역을 향하여 Y방향으로 연장되는 영역을 가진다. 한편, 도 6에 나타낸 예에서는 도전층(112a)은 상기 제 1 영역으로부터 제 2 영역을 향하여 X방향으로 연장되는 영역을 가진다.

[0455] 도 65의 (A)에서는 개구(123)에서 보아 Y방향에서의 도전층(115)의 단부 및 -Y방향에서의 도전층(115)의 단부 양쪽이 도전층(112)과 평면에서 보았을 때 중첩되는 영역을 가진다. 즉 개구(123)에서 보아 Y방향에서의 도전층(115)의 단부는 개구(123)에서 보아 Y방향에서의 도전층(112)의 단부보다 내측에 위치하고, 개구(123)에서 보아 -Y방향에서의 도전층(115)의 단부는 개구(123)에서 보아 -Y방향에서의 도전층(112)의 단부보다 내측에 위치하지만, 본 발명의 일 형태는 이에 한정되지 않는다. 도 67의 (A)에서는 개구(123)에서 보아 -Y방향에서의 도전층(115)의 단부가 도전층(112)과 평면에서 보았을 때 중첩되지 않는 예를 나타내었다. 즉 도 67의 (A)에 나타낸 예에서는 개구(123)에서 보아 -Y방향에서의 도전층(115)의 단부는 개구(123)에서 보아 -Y방향에서의 도전층(112)의 단부보다 외측에 위치한다.

[0456] 도 67의 (B)에서는 개구(123)에서 보아 Y방향에서의 도전층(115)의 단부가 도전층(112)과 평면에서 보았을 때 중첩되지 않는 예를 나타내었다. 즉 도 67의 (B)에 나타낸 예에서는 개구(123)에서 보아 Y방향에서의 도전층(115)의 단부는 개구(123)에서 보아 Y방향에서의 도전층(112)의 단부보다 외측에 위치한다.

[0457] 도 67의 (C)에서는 개구(123)에서 보아 Y방향에서의 도전층(115)의 단부 및 -Y방향에서의 도전층(115)의 단부 양쪽이 도전층(112)과 평면에서 보았을 때 중첩되지 않는 예를 나타내었다. 즉 도 67의 (C)에 나타낸 예에서는 개구(123)에서 보아 Y방향에서의 도전층(115)의 단부는 개구(123)에서 보아 Y방향에서의 도전층(112)의 단부보다 외측에 위치하고, 개구(123)에서 보아 -Y방향에서의 도전층(115)의 단부는 개구(123)에서 보아 -Y방향에서의 도전층(112)의 단부보다 외측에 위치한다.

[0458] 도 68의 (A)는 도 65의 (A)에 나타낸 구성의 변형예이다. 도 68의 (A)에서는 Y방향에서 도전층(115)의 단부가 반도체층(113)의 단부보다 내측, 즉 개구(123) 측에 위치하는 예를 나타내었다. 도 68의 (A)에 나타낸 예에서는 반도체층(113)은 도전층(115)과 중첩되지 않는 영역을 가진다. 이러한 구성으로 함으로써, 도전층(115)과 도전층(112)이 중첩되는 영역의 면적을 작게 할 수 있다. 따라서 기생 용량을 작게 할 수 있다.

[0459] 도 68의 (B)는 도 68의 (A)에 나타낸 구성의 변형예이다. 도 68의 (B)에서는 Y방향에서 도전층(115)의 단부가 도전층(112)의 개구(123) 측 단부보다 내측에 위치하는 예를 나타내었다. 도 68의 (B)에 나타낸 예에서는 개구(121) 및 개구(123)는 도전층(115)과 중첩되지 않는 영역을 가진다. 이러한 구성으로 함으로써, 도전층(115)과 도전층(112)이 중첩되는 영역의 면적을 더 작게 할 수 있다. 따라서 기생 용량을 더 작게 할 수 있다.

[0460] 또한 도 67의 (A), (B), (C), 도 68의 (A), 및 (B)에 나타낸 일점쇄선 A3-A4의 단면도에 대해서는 도 65의 (B)를 참조할 수 있다.

[0461] 도 69의 (A)는 도 65의 (A)에 나타낸 구성의 변형예이고, 도전층(111)이 개구(121) 전체와 중첩되지 않고, 일부와 중첩되는 예를 나타낸 것이다. 도 69의 (B)는 도 69의 (A)에 나타낸 일점쇄선 A3-A4의 단면도이다. 도 69의 (A) 및 (B)에 나타낸 예에서는 개구(121)에서 반도체층(113)이 도전층(111)과 중첩되지 않는 영역을 가진다.

[0462] 도 69의 (A) 및 (B)에 나타낸 예에서는 예를 들어 도전층(111)과 도전층(115) 사이에 형성되는 기생 용량을 작게 할 수 있다. 한편, 도 65의 (A) 및 (B) 등에 나타낸 예에서는 소스 영역 및 드레인 영역 중 한쪽의 폭을 크

게 할 수 있다.

[0463] 도 70의 (A1)은 도 69의 (A)에 나타낸 구성의 변형예이고, 평면에서 보았을 때 도전층(112)이 개구(121)의 외주의 일부를 덮고, 전체는 덮지 않는 예를 나타낸 것이다. 도 70의 (A2)는 도 70의 (A1)에 나타낸 구성의 변형예이고, 평면에서 보았을 때 도전층(112)의 단부가 개구(121)의 외주의 일점과 접하는 예를 나타낸 것이다. 도 70의 (A2)에 나타낸 예에서는 평면에서 보았을 때 개구(121)가 원형이며, 도전층(112)의 Y방향으로 연장되는 단부의 한쪽이 개구(121)의 접선이 된다. 도 70의 (B)는 도 70의 (A1) 및 (A2)에 나타낸 일점쇄선 A3-A4의 단면도이다.

[0464] 도 70의 (A1), (A2), 및 (B)에 나타낸 예에서는 도전층(112)과 도전층(115)이 중첩되는 영역의 면적을 작게 할 수 있다. 이에 의하여, 기생 용량을 작게 할 수 있다. 한편, 도 69의 (A) 및 (B) 등에 나타낸 예에서는 소스 영역 및 드레인 영역 중 다른 쪽의 폭을 크게 할 수 있다.

[0465] 도 71의 (A)는 도 70의 (A1) 및 (A2)에 나타낸 구성의 변형예이고, 도전층(112)이 개구(121)와 중첩되지 않는 예를 나타낸 것이다. 도 71의 (B)는 도 71의 (A)에 나타낸 일점쇄선 A3-A4의 단면도이다.

[0466] 도 71의 (A) 및 (B)에 나타낸 예에서는 도전층(112)과 도전층(115)이 중첩되는 영역의 면적을 더 작게 할 수 있다. 이에 의하여, 기생 용량을 더 작게 할 수 있다.

[0467] 도 72의 (A)는 도 65의 (A)에 나타낸 구성의 변형예이고, 반도체층(113)이 도전층(112)의 개구(123)와 마주 보지 않는 단부를 넘어 X방향으로 연장되는 예를 나타낸 것이다. 도 72의 (B)는 도 72의 (A)에 나타낸 일점쇄선 A3-A4의 단면도이다.

[0468] 도 72의 (B)에 나타낸 예에서는 XZ면으로부터 보았을 때, 반도체층(113)은 도전층(112)에서 개구(123)와 마주 보지 않는 측의 단부를 덮는다. 또한 반도체층(113)은 절연층(103)의 상면과 접하는 영역을 가질 수 있다.

[0469] 도 73의 (A)는 도 65의 (A)에 나타낸 구성의 변형예이고, 트랜지스터(50)가 개구(121) 및 개구(123)를 각각 2개 가지고, 이들이 X방향으로 배열되는 예를 나타낸 것이다. 도 73의 (B)는 도 73의 (A)에 나타낸 일점쇄선 A3-A4의 단면도이다.

[0470] 도 74의 (A)는 도 73의 (A)에 나타낸 구성의 변형예이고, 2개의 개구(121) 및 개구(123)가 Y방향으로 배열되는 예를 나타낸 것이다. 도 74의 (B)는 도 74의 (A)에 나타낸 구성의 변형예이고, Y방향으로 배열되는 2개의 개구(121) 및 개구(123)의 오른쪽에 개구(121) 및 개구(123)가 하나 제공되는 예를 나타낸 것이다. 여기서 Y방향으로 배열되는 2개의 개구(121) 및 개구(123)가 첫 번째 열에 제공되는 것으로 하고, 하나의 개구(121) 및 개구(123)가 두 번째 열에 제공되는 것으로 하면, 예를 들어 두 번째 열의 개구(121) 및 개구(123)의 중심은 Y방향에서 첫 번째 열의 위쪽의 개구(121) 및 개구(123)의 중심과 첫 번째 열의 아래쪽의 개구(121) 및 개구(123)의 중심 사이에 위치할 수 있다.

[0471] 도 74의 (C)는 도 74의 (A)에 나타낸 구성의 변형예이고, Y방향으로 배열되는 2개의 개구(121) 및 개구(123)의 왼쪽 및 오른쪽에 개구(121) 및 개구(123)가 하나씩 제공되는 예를 나타낸 것이다. 여기서 하나의 개구(121) 및 개구(123)가 첫 번째 열 및 세 번째 열에 제공되는 것으로 하고, Y방향으로 배열되는 2개의 개구(121) 및 개구(123)가 두 번째 열에 제공되는 것으로 하면, 예를 들어 첫 번째 열의 개구(121) 및 개구(123)의 중심 및 세 번째 열의 개구(121) 및 개구(123)의 중심은 Y방향에서, 두 번째 열의 위쪽의 개구(121) 및 개구(123)의 중심과 두 번째 열의 아래쪽의 개구(121) 및 개구(123)의 중심 사이에 위치할 수 있다.

[0472] 도 75의 (A)는 도 65의 (A)에 나타낸 구성의 변형예이고, 4개의 개구(121) 및 개구(123)가 2행 2열의 매트릭스상으로 배열되는 예를 나타낸 것이다. 도 75의 (B)는 도 73의 (A)에 나타낸 구성의 변형예이고, X방향으로 배열되는 2개의 개구(121) 및 개구(123)의 아래쪽에 개구(121) 및 개구(123)가 하나 제공되는 예를 나타낸 것이다. 여기서 X방향으로 배열되는 2개의 개구(121) 및 개구(123)가 첫 번째 행에 제공되는 것으로 하고, 하나의 개구(121) 및 개구(123)가 두 번째 행에 제공되는 것으로 하면, 예를 들어 두 번째 행의 개구(121) 및 개구(123)의 중심은 X방향에서 첫 번째 행의 왼쪽의 개구(121) 및 개구(123)의 중심과 첫 번째 행의 오른쪽의 개구(121) 및 개구(123)의 중심 사이에 위치할 수 있다.

[0473] 도 75의 (C)는 도 75의 (A)에 나타낸 구성의 변형예이고, 아래쪽의 2개의 개구(121) 및 개구(123)가 도 75의 (A)보다 오른쪽에 위치하는 예를 나타낸 것이다. 도 75의 (C)에 나타낸 구성에서는 4개의 개구(121) 및 개구(123)가 지그재그로 배열된다.

[0474] 도 76의 (A)는 도 65의 (A)에 나타낸 구성의 변형예이고, 9개의 개구(121) 및 개구(123)가 3행 3열의 매트릭스

상으로 배열되는 예를 나타낸 것이다. 도 76의 (B)는 도 76의 (A)에 나타낸 구성의 변형예이고, 가운데 행에 제공되는 개구(121) 및 개구(123)의 개수가 2개인 예를 나타낸 것이다. 도 76의 (B)에 나타낸 예에서는 위의 행의 개구(121) 및 개구(123)와, 가운데 행의 개구(121) 및 개구(123)가 지그재그로 배열된다. 또한 도 76의 (B)에 나타낸 예에서는 아래의 행의 개구(121) 및 개구(123)와, 가운데 행의 개구(121) 및 개구(123)가 지그재그로 배열된다.

[0475] 상술한 바와 같이, 트랜지스터(50)에 제공되는 개구(121) 및 개구(123)의 개수를 늘림으로써, 평면에서 보았을 때의 개구(121) 및 개구(123)의 외주의 합계를 길게 할 수 있는 경우가 있다. 상술한 바와 같이, 트랜지스터(50)의 채널 폭은 예를 들어 평면에서 보았을 때의 개구(123)의 외주의 길이와 동일하게 할 수 있기 때문에, 트랜지스터(50)에 개구(121) 및 개구(123)를 복수 제공함으로써, 트랜지스터(50)의 채널 폭을 길게 할 수 있는 경우가 있다. 한편, 트랜지스터(50)에 제공되는 개구(121) 및 개구(123)의 개수를 줄임으로써, 트랜지스터(50)를 용이하게 제작하고, 또한 트랜지스터(50)를 미세화할 수 있는 경우가 있다.

[0476] 도 77의 (A)는 도 73의 (A)에 나타낸 구성의 변형예이고, 개구(121_1) 및 개구(123_1)의 내부와, 개구(121_2) 및 개구(123_2)의 내부에서 하나의 반도체층(113)이 공통적으로 제공되는 예를 나타낸 것이다. 즉 도 77의 (A)는 트랜지스터(50)가 개구(121) 및 개구(123)를 각각 2개 가지며, 반도체층(113)을 하나 가지는 예를 나타낸 것이다. 도 77의 (B)는 도 77의 (A)에 나타낸 일점쇄선 A3-A4의 단면도이다.

[0477] 도 77의 (A) 및 (B)에 나타낸 구성에서는 예를 들어 반도체층(113)을 포토리소그래피법 및 에칭법을 사용하여 형성하는 경우, 포토 마스크의 위치 맞춤 정밀도를 낮게 할 수 있다. 따라서 트랜지스터(50)를 용이하게 제작할 수 있다. 한편, 도 73의 (A) 및 (B)에 나타낸 구성에서는 반도체층(113)의 표면적을 작게 할 수 있기 때문에, 반도체층(113)으로의 불순물의 혼입을 억제할 수 있는 경우가 있다. 또한 도 74의 (A) 내지 도 76의 (B)에 나타낸 구성에서도, 반도체층(113)을 하나로 할 수 있다.

[0478] <표시 장치의 제작 방법예 1>

[0479] 이하에서는 본 발명의 일 형태의 표시 장치의 제작 방법에 대하여 도면을 참조하여 설명한다. 여기서는 도 4의 (A1) 및 (B)에 나타낸 트랜지스터(50)를 가지는 표시 장치의 제작 방법을 예로 들어 설명한다.

[0480] 또한 표시 장치를 구성하는 박막(절연막, 반도체막, 및 도전막 등)은 스퍼터링법, 화학 기상 퇴적(CVD: Chemical Vapor Deposition)법, 진공 증착법, 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법, 또는 ALD법 등을 사용하여 형성할 수 있다. CVD법으로서는 PECVD법 및 열 CVD법 등이 있다. 또한 열 CVD법 중 하나로서 유기 금속 화학 기상 퇴적(MOCVD: Metal Organic CVD)법이 있다.

[0481] 또한 표시 장치를 구성하는 박막(절연막, 반도체막, 및 도전막 등)은 스핀 코팅, 디핑(dipping), 스프레이 코팅, 잉크젯, 디스펜싱, 스크린 인쇄, 오프셋 인쇄, 닥터 나이프, 슬릿 코팅, 롤 코팅, 커튼 코팅, 또는 나이프 코팅 등의 방법으로 형성할 수 있는 경우가 있다.

[0482] 상기 박막은 예를 들어 포토리소그래피법으로 레지스트 마스크를 형성한 후, 레지스트 마스크에 의한 패턴에 맞추어 박막을 에칭함으로써 가공할 수 있다. 또는 나노 임프린트법, 샌드 블라스트법, 또는 리프트 오프법 등에 의하여 박막을 가공하여도 좋다. 또한 메탈 마스크 등의 차폐 마스크를 사용한 성막 방법으로 섬 형상의 박막을 직접 형성하여도 좋다. 또한 감광성을 가지는 박막은 노광 및 현상을 수행함으로써 가공할 수 있다. 즉 감광성을 가지는 박막은 포토리소그래피법으로 가공할 수 있다.

[0483] 포토리소그래피법에서 노광에 사용하는 광으로서는 예를 들어 i선(파장 365nm), g선(파장 436nm), h선(파장 405nm), 또는 이들을 혼합한 광을 사용할 수 있다. 이들 외에, 자외선, KrF 레이저 광, 또는 ArF 레이저 광 등을 사용할 수도 있다. 또한 액침 노광 기술에 의하여 노광을 수행하여도 좋다. 또한 노광에 사용하는 광으로서는 극자외(EUV: Extreme Ultra-violet)광 또는 X선을 사용하여도 좋다. 또한 노광에 사용하는 광 대신에 전자 빔을 사용할 수도 있다. 극자외광, X선, 또는 전자 빔을 사용하면, 매우 미세한 가공을 수행할 수 있기 때문에 바람직하다. 또한 전자 빔 등의 빔을 주사하여 노광을 수행하는 경우에는 포토마스크가 불필요하다.

[0484] 박막의 에칭에는 드라이 에칭법 또는 웨트 에칭법 등을 사용할 수 있다.

[0485] 도 78의 (A1) 내지 도 81의 (B2)에 나타낸 각 도면은 도 4의 (A1) 및 (B)에 나타낸 구성의 제작 방법을 설명하는 도면이다. 각 도면의 (A1) 및 (B1)은 평면도이고, 각 도면의 (A2) 및 (B2)는 각 평면도에 나타낸 일점쇄선 A1-A2의 단면도이다.

[0486] [도전층(111)의 형성]

[0487] 기판(101) 위에 도전층(111)이 되는 도전막을 형성한다. 상기 도전막의 형성에는 예를 들어 스퍼터링법을 적합하게 사용할 수 있다. 상기 도전막 위에 포토리소그래피 공정에 의하여 레지스트 마스크를 형성한 후, 상기 도전막을 가공함으로써, 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 섬 형상의 도전층(111)을 형성한다(도 78의 (A1) 및 (A2)). 상기 도전막의 가공에는 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용하면 좋다.

[0488] [절연층(103a) 및 절연층(103b)의 형성]

[0489] 이어서 기판(101) 및 도전층(111) 위에 절연층(103a) 및 절연층(103b)을 형성한다(도 78의 (B1) 및 (B2)). 절연층(103a) 및 절연층(103b)의 형성에는 예를 들어 PECVD법을 적합하게 사용할 수 있다. 절연층(103a)을 형성한 후, 절연층(103a)의 표면을 대기에 노출시키지 않고, 진공 중에서 연속적으로 절연층(103b)을 형성하는 것이 바람직하다. 절연층(103a) 및 절연층(103b)을 연속적으로 형성함으로써, 절연층(103a)의 표면에 대기에서 유래한 불순물이 부착되는 것을 억제할 수 있다. 상기 불순물로서는 예를 들어 물 및 유기물이 있다.

[0490] 절연층(103a) 및 절연층(103b) 형성 시의 기판 온도는 각각 180℃ 이상 450℃ 이하가 바람직하고, 200℃ 이상 450℃ 이하가 더 바람직하고, 250℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 400℃ 이하가 더 바람직하고, 350℃ 이상 400℃ 이하가 더 바람직하다. 절연층(103a) 및 절연층(103b) 형성 시의 기판 온도가 이러한 범위 내에 있으면, 이들로부터 방출되는 불순물(예를 들어 물 및 수소)을 줄일 수 있어, 불순물이 나중의 공정으로 형성되는 반도체층(113)으로 확산되는 것을 억제할 수 있다. 따라서 전기 특성이 양호하고 신뢰성이 높은 트랜지스터를 제작할 수 있다.

[0491] 상술한 바와 같이, 절연층(103a) 및 절연층(103b)은 반도체층(113)보다 먼저 형성된다. 따라서 절연층(103a) 및 절연층(103b) 형성 시에 가해지는 열로 인하여 반도체층(113)으로부터 산소가 이탈되는 것을 우려할 필요는 없다.

[0492] 절연층(103a) 및 절연층(103b)을 형성한 후에 가열 처리를 수행하여도 좋다. 가열 처리를 수행함으로써, 절연층(103a) 및 절연층(103b)의 표면 및 막 중에서 물 및 수소를 이탈시킬 수 있다.

[0493] 가열 처리의 온도는 150℃ 이상 기판의 변형점 미만이 바람직하고, 200℃ 이상 450℃ 이하가 더 바람직하고, 250℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 400℃ 이하가 더 바람직하고, 350℃ 이상 400℃ 이하가 더 바람직하다. 가열 처리는 비활성 기체, 질소, 및 산소 중 하나 이상을 포함하는 분위기에서 수행할 수 있다. 질소를 포함한 분위기 또는 산소를 포함한 분위기로서 건조 공기(CDA: Clean Dry Air)를 사용하여도 좋다. 또한 상기 분위기에서의 수소 및 물 등의 함유량이 가능한 한 적은 것이 바람직하다. 상기 분위기에 있어서는 이슬점이 -60℃ 이하, 바람직하게는 -100℃ 이하의 고순도 가스를 사용하는 것이 바람직하다. 수소 및 물 등의 함유량이 가능한 한 적은 분위기를 사용함으로써, 절연층(103a) 및 절연층(103b)에 수소 및 물 등이 들어가는 것을 가능한 한 방지할 수 있다. 가열 처리에는 오븐 또는 급속 가열(RTA: Rapid Thermal Annealing) 장치 등을 사용하여 수행할 수 있다. RTA 장치를 사용함으로써, 가열 처리 시간을 단축할 수 있다.

[0494] [도전막(112f) 형성]

[0495] 이어서 절연층(103b) 위에 도전층(112)이 되는 도전막(112f)을 형성한다(도 79의 (A1) 및 (A2)). 도전막(112f)의 형성에는 예를 들어 스퍼터링법을 적합하게 사용할 수 있다.

[0496] [개구(121) 및 개구(123)의 형성]

[0497] 이어서 도전층(111)과 중첩되는 영역 중 일부의 영역의 도전막(112f)을 제거하여 개구(123)를 가지는 도전층(112A)을 형성한다(도 79의 (B1) 및 (B2)). 개구(123) 형성에는 예를 들어 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용할 수 있고, 웨트 에칭법을 적합하게 사용할 수 있다.

[0498] 이어서 도전층(111)과 중첩되는 영역 중 일부의 영역의 절연층(103)(절연층(103a) 및 절연층(103b))을 제거한다. 이에 의하여, 절연층(103)에 개구(121)를 형성한다(도 79의 (B1) 및 (B2)). 개구(121) 형성에는 예를 들어 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용할 수 있고, 드라이 에칭법을 적합하게 사용할 수 있다.

[0499] 개구(123)는 예를 들어 개구(121)의 형성에 사용한 레지스트 마스크를 사용하여 형성할 수 있다. 구체적으로는

도전막(112f) 위에 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 도전막(112f)을 제거하여 개구(123)를 형성하고, 상기 레지스트 마스크를 사용하여 절연층(103)을 제거하여 개구(121)를 형성할 수 있다. 또한 개구(123)의 폭을 상기 레지스트 마스크의 폭보다 크게 가공함으로써, 도 54의 (A) 및 (B1) 등에 나타낸 바와 같이 개구(123)의 폭이 개구(121)의 폭보다 큰 트랜지스터(50)를 제작할 수 있다. 여기서 예를 들어 개구(123)의 폭이 개구(121)의 폭과 상이한 트랜지스터(50)를 제작하는 경우, 개구(121)는 개구(123)의 형성에 사용한 레지스트 마스크와 상이한 레지스트 마스크를 사용하여 형성하여도 좋다.

[0500] [도전층(112)의 형성]

[0501] 이어서 도전층(112A)을 원하는 형상으로 가공하여 도전층(112)을 형성한다(도 80의 (A1) 및 (A2)). 도전층(112) 형성에는 예를 들어 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용할 수 있고, 웨트 에칭법을 적합하게 사용할 수 있다.

[0502] [반도체층(113)의 형성]

[0503] 이어서 개구(121) 및 개구(123)를 덮도록 반도체층(113)이 되는 반도체막(113f)을 형성한다(도 80의 (B1) 및 (B2)). 반도체막(113f)은 도전층(112)의 상면 및 측면, 절연층(103)의 상면 및 측면, 그리고 도전층(111)의 상면과 접하는 영역을 가지도록 제공할 수 있다.

[0504] 반도체막(113f)은 금속 산화물 타깃을 사용한 스퍼터링법에 의하여 형성하는 것이 바람직하다.

[0505] 반도체막(113f)은 가능한 한 결함이 적은 치밀한 막으로 하는 것이 바람직하다. 또한 반도체막(113f)은 수소 원소를 포함한 불순물이 가능한 한 저감되어 순도가 높은 막인 것이 바람직하다. 특히 반도체막(113f)으로서는 결정성을 가지는 금속 산화물막을 사용하는 것이 바람직하다.

[0506] 반도체막(113f)의 형성 시에는 산소 가스를 사용하는 것이 바람직하다. 반도체막(113f)의 형성 시에 산소 가스를 사용함으로써, 절연층(103) 내에 산소를 적합하게 공급할 수 있다. 예를 들어 절연층(103a)에 산화물을 사용하는 경우, 반도체막(113f) 형성 시에 산소 가스를 사용함으로써 절연층(103a) 내에 산소를 적합하게 공급할 수 있다.

[0507] 절연층(103a)에 산소를 공급함으로써, 나중의 공정에서 반도체층(113)에 산소가 공급되어, 반도체층(113) 내의 산소 결손(V_O) 및 V_OH를 감소시킬 수 있다.

[0508] 반도체막(113f)을 성막할 때에 산소 가스와 불활성 가스(예를 들어 헬륨 가스, 아르곤 가스, 또는 제논 가스 등)를 혼합시켜도 좋다. 또한 반도체막(113f)을 성막할 때의 성막 가스 전체에서 차지하는 산소 가스의 비율(산소 유량비)이 높을수록 반도체막(113f)의 결정성을 높일 수 있어 신뢰성이 높은 트랜지스터로 할 수 있다. 한편, 산소 유량비가 낮을수록 반도체막(113f)의 결정성이 저하되므로, 온 전류가 높은 트랜지스터로 할 수 있다.

[0509] 반도체막(113f)을 형성할 때의 기판 온도가 높을수록 결정성이 높고 치밀한 반도체막(113f)으로 할 수 있다. 한편, 기판 온도가 낮을수록 결정성이 낮고 전기 전도성이 높은 반도체막(113f)으로 할 수 있다.

[0510] 반도체막(113f) 형성 시의 기판 온도는 실온 이상 250℃ 이하, 바람직하게는 실온 이상 200℃ 이하, 더 바람직하게는 실온 이상 140℃ 이하로 하면 좋다. 예를 들어 기판 온도를 실온 이상 140℃ 미만으로 하면, 생산성이 높아지므로 바람직하다. 또한 실온으로 설정한 기판 온도 또는 기판을 가열하지 않는 상태에서 반도체막(113f)을 성막함으로써, 결정성을 저하시킬 수 있다.

[0511] 반도체막(113f)을 성막하기 전에, 절연층(103)의 표면에 흡착된 물, 수소, 및 유기물 등을 이탈시키기 위한 처리 및 절연층(103) 내에 산소를 공급하는 처리 중 적어도 한쪽을 수행하는 것이 바람직하다. 예를 들어 감압 분위기에서 70℃ 이상 200℃ 이하의 온도에서 가열 처리를 수행할 수 있다. 또는 산소를 포함하는 분위기에서 플라스마 처리를 수행하여도 좋다. 또는 일산화 이질소(N_2O) 등의 산화성 기체를 포함한 분위기에서의 플라스마 처리에 의하여 절연층(103)에 산소를 공급하여도 좋다. 일산화 이질소 가스를 포함한 플라스마 처리를 수행하면, 절연층(103)의 표면의 유기물을 적합하게 제거하면서 산소를 공급할 수 있다. 이러한 처리 후, 절연층(103)의 표면을 대기에 노출시키지 않고, 반도체막(113f)을 연속적으로 성막하는 것이 바람직하다.

[0512] 또한 반도체층(113)에 적층 구조를 적용하는 경우에는, 먼저 형성하는 금속 산화물막을 성막한 후에, 그 표면을 대기에 노출시키지 않고, 다음 금속 산화물막을 성막하는 것이 바람직하다.

[0513] 이어서 반도체막(113f)을 섬 형상으로 가공하고, 반도체층(113)을 형성한다(도 81의 (A1) 및 (A2)).

[0514] 반도체층(113) 형성에는 예를 들어 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용할 수 있고, 웨트 에칭법을 적합하게 사용할 수 있다. 이때 반도체층(113)과 중첩되지 않는 영역의 도전층(112)의 일부가 에칭되어 얇아지는 경우가 있다. 마찬가지로, 반도체층(113) 및 도전층(112)의 어느 쪽과도 중첩되지 않는 영역의 절연층(103)의 일부가 에칭되어 막 두께가 얇아지는 경우가 있다. 예를 들어 절연층(103) 중 절연층(103b)이 에칭에 의하여 소실되어, 절연층(103a)의 표면이 노출되는 경우도 있다. 또한 절연층(103b)에 반도체막(113f)과의 에칭 선택비가 높은 재료를 사용함으로써, 절연층(103b)의 막 두께가 얇아지는 것을 억제할 수 있다.

[0515] 반도체막(113f)의 성막 후, 또는 반도체막(113f)을 반도체층(113)으로 가공한 후에 가열 처리를 수행하는 것이 바람직하다. 가열 처리에 의하여, 반도체막(113f) 또는 반도체층(113) 내에 포함되거나, 반도체막(113f) 또는 반도체층(113)의 표면에 흡착된 수소 및 물을 제거할 수 있다. 또한 가열 처리에 의하여 반도체막(113f) 또는 반도체층(113)의 막질이 향상되는 경우가 있고, 예를 들어 반도체막(113f) 또는 반도체층(113)의 결함이 저감되고, 반도체막(113f) 또는 반도체층(113)의 결정성이 향상되는 경우가 있다.

[0516] 가열 처리에 의하여 절연층(103a)으로부터 반도체막(113f) 또는 반도체층(113)에 산소를 공급할 수도 있다. 이때 가열 처리는 반도체층(113)으로 가공하기 전에 수행되는 것이 더 바람직하다. 가열 처리에 대해서는 앞의 기재를 참조할 수 있기 때문에 자세한 설명은 생략한다.

[0517] 또한 상기 가열 처리는 불필요하면 수행하지 않아도 된다. 또한 여기서는 가열 처리를 수행하지 않고, 추후의 공정에서 수행되는 가열 처리로 상기 가열 처리를 겸하여도 좋다. 또한 예를 들어 성막 공정 등의 나중의 공정에서의 고온하의 처리는 상기 가열 처리를 겸할 수 있는 경우도 있다.

[0518] [절연층(105)의 형성]

[0519] 이어서 반도체층(113), 도전층(112), 및 절연층(103)을 덮어, 절연층(105)을 형성한다(도 81의 (B1) 및 (B2)). 절연층(105)의 형성에는 PECVD법을 적합하게 사용할 수 있다.

[0520] 반도체층(113)에 금속 산화물을 사용하는 경우, 절연층(105)은 산소가 확산되는 것을 억제하는 배리어막으로서 기능하는 것이 바람직하다. 절연층(105)이 산소의 확산을 억제하는 기능을 가짐으로써, 산소가 절연층(105)보다 위쪽으로부터 나중의 공정으로 형성하는 도전층(115)으로 확산되는 것이 억제되어, 도전층(115)의 산화를 억제할 수 있다. 이 결과, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터를 제작할 수 있다.

[0521] 게이트 절연층으로서 기능하는 절연층(105) 형성 시의 온도를 높게 함으로써 결함이 적은 절연층으로 할 수 있다. 그러나 절연층(105) 형성 시의 온도가 높으면, 반도체층(113)으로부터 산소가 이탈되어 반도체층(113) 내의 산소 결손(V_O) 및 V_OH가 증가하는 경우가 있다. 절연층(105) 형성 시의 기판 온도는 180℃ 이상 450℃ 이하가 바람직하고, 200℃ 이상 450℃ 이하가 더 바람직하고, 250℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 400℃ 이하가 더 바람직하다. 절연층(105) 형성 시의 기판 온도가 상술한 범위 내에 있으면, 절연층(105)의 결함을 줄이면서, 반도체층(113)으로부터 산소가 이탈되는 것을 억제할 수 있다. 따라서 전기 특성이 양호하고 신뢰성이 높은 트랜지스터를 제작할 수 있다.

[0522] 절연층(105)을 형성하기 전에, 반도체층(113)의 표면에 대하여 플라스마 처리를 수행하여도 좋다. 상기 플라스마 처리에 의하여, 반도체층(113)의 표면에 흡착된 물 등의 불순물을 감소시킬 수 있다. 그러므로 반도체층(113)과 절연층(105)의 계면에서의 불순물을 감소시킬 수 있기 때문에, 신뢰성이 높은 트랜지스터를 실현할 수 있다. 특히 반도체층(113)의 형성부터 절연층(105)의 형성까지의 기간에 반도체층(113)의 표면이 대기에 노출되는 경우에는 적합하다. 플라스마 처리는 예를 들어 산소, 오존, 질소, 일산화 이질소, 또는 아르곤 등의 분위기에서 수행할 수 있다. 또한 플라스마 처리와 절연층(105)의 성막은 대기에 노출시키지 않고 연속적으로 수행되는 것이 바람직하다.

[0523] [도전층(115)의 형성]

[0524] 이어서 절연층(105) 위에 도전층(115)이 되는 도전막을 형성한다. 상기 도전막의 형성에는 예를 들어 스퍼터링법을 적합하게 사용할 수 있다. 상기 도전막 위에 포토리소그래피 공정에 의하여 레지스트 마스크를 형성한 후, 상기 도전막을 가공함으로써, 게이트 전극으로서 기능하는 섬 형상의 도전층(115)을 형성할 수 있다.

[0525] 이상의 공정에 의하여, 도 4의 (A1) 및 (B)에 나타낸 트랜지스터(50)를 제작할 수 있다.

[0526] <표시 장치의 제작 방법예 2>

[0527] 앞의 <표시 장치의 제작 방법예 1>에서 설명한 트랜지스터(50)의 제작 방법과는 다른 제작 방법에 대하여 설명한다. 또한 상기와 중복되는 부분에 대해서는 설명을 생략하고, 상이한 부분에 대하여 설명한다.

[0528] 도 82의 (A1), (A2), (B1), 및 (B2)는 도 4의 (A1) 및 (B)에 나타낸 구성의 제작 방법을 설명하는 도면이다. 도 82의 (A1) 및 (B1)은 평면도이고, 도 82의 (A2) 및 (B2)는 각각 도 82의 (A1) 및 (B1)에 나타낸 일점쇄선 A1-A2의 단면도이다.

[0529] 먼저 <표시 장치의 제작 방법예 1>에서와 같은 식으로 도전막(112f)의 형성까지 수행한다. 도전막(112f)의 형성까지는 도 78의 (A1) 내지 도 79의 (A2)에 따른 설명을 참조할 수 있기 때문에, 자세한 설명은 생략한다.

[0530] 이어서 도전막(112f)을 가공하여 도전층(112B)을 형성한다(도 82의 (A1) 및 (A2)). 이때 도전층(112B)에 개구(123)를 형성하지 않아도 된다. 도전층(112B) 형성에는 예를 들어 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용할 수 있고, 웨트 에칭법을 적합하게 사용할 수 있다.

[0531] 이어서 도전층(111)과 중첩되는 영역 중 일부의 영역의 도전층(112B)을 제거하여 개구(123)를 가지는 도전층(112)을 형성한다.

[0532] 이어서 도전층(111)과 중첩되는 영역 중 일부의 영역의 절연층(103)(절연층(103a) 및 절연층(103b))을 제거한다. 이에 의하여, 절연층(103)에 개구(121)를 형성한다(도 82의 (B1) 및 (B2)).

[0533] 개구(121) 및 개구(123)의 형성에는 각각 <표시 장치의 제작 방법예 1>의 기재를 참조할 수 있기 때문에, 자세한 설명은 생략한다.

[0534] 이어서 개구(121) 및 개구(123)를 덮도록 반도체층(113)이 되는 반도체막(113f)을 형성한다(도 80의 (B1) 및 (B2)). 반도체막(113f)의 형성 이후에 대해서는 앞의 <표시 장치의 제작 방법예 1>의 기재를 참조할 수 있기 때문에, 자세한 설명은 생략한다.

[0535] 이상의 공정에 의하여, 도 4의 (A1) 및 (B)에 나타낸 구성의 트랜지스터(50)를 제작할 수 있다.

[0536] 본 실시형태에서 설명하는 복수의 구성예는 적절히 조합할 수 있다. 또한 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0537] (실시형태 2)

[0538] 본 실시형태에서는 본 발명의 일 형태의 표시 장치에 대하여 도 83의 (A) 내지 (G) 및 도 84의 (A) 내지 (K)를 사용하여 설명한다.

[0539] 부화소의 배열은 특별히 한정되지 않고, 다양한 방법을 적용할 수 있다. 부화소의 배열로서는 예를 들어 스트라이프 배열, S 스트라이프 배열, 매트릭스 배열, 델타 배열, 베이어 배열, 및 펜타일 배열 등이 있다.

[0540] 본 실시형태에서 도면에 나타낸 부화소의 평면 형상은 발광 영역(또는 수광 영역)의 평면 형상에 상당한다.

[0541] 또한 부화소의 평면 형상으로서는 예를 들어 삼각형, 사각형(직사각형 및 정사각형을 포함함), 오각형 등의 다각형, 이들 다각형의 모서리가 둥근 형상, 타원형, 또는 원형 등이 있다.

[0542] 부화소를 구성하는 회로 레이아웃은 도면에 나타낸 부화소의 범위에 한정되지 않고, 그 외측에 배치되어도 좋다.

[0543] 도 83의 (A)에 나타낸 화소(21)에는 S 스트라이프 배열이 적용되어 있다. 도 83의 (A)에 나타낸 화소(21)는 부화소(23a), 부화소(23b), 및 부화소(23c)의 3종류의 부화소로 구성된다.

[0544] 도 83의 (B)에 나타낸 화소(21)는 모서리가 둥근 대략 사다리꼴형 또는 대략 삼각형의 평면 형상을 가지는 부화소(23a) 및 부화소(23b)와, 모서리가 둥근 대략 사각형 또는 대략 육각형의 평면 형상을 가지는 부화소(23c)를 가진다. 또한 부화소(23b)는 부화소(23a)보다 발광 면적이 넓다. 이와 같이, 각 부화소의 형상 및 크기는 각각 독립적으로 결정할 수 있다. 예를 들어 신뢰성이 높은 발광 소자를 가지는 부화소일수록 크기를 작게 할 수 있다.

[0545] 도 83의 (C)에 나타낸 화소(21a) 및 화소(21b)에는 펜타일 배열이 적용되어 있다. 도 83의 (C)에는 부화소(23a) 및 부화소(23b)를 가지는 화소(21a)와 부화소(23b) 및 부화소(23c)를 가지는 화소(21b)가 번갈아 배치된 예를 나타내었다.

[0546] 도 83의 (D) 내지 (F)에 나타낸 화소(21a) 및 화소(21b)에는 델타 배열이 적용되어 있다. 화소(21a)는 위쪽 행

(첫 번째 행)에 2개의 부화소(부화소(23a) 및 부화소(23b))를 가지고, 아래쪽 행(두 번째 행)에 하나의 부화소(부화소(23c))를 가진다. 화소(21b)는 위쪽 행(첫 번째 행)에 하나의 부화소(부화소(23c))를 가지고, 아래쪽 행(두 번째 행)에 2개의 부화소(부화소(23a), 부화소(23b))를 가진다.

[0547] 도 83의 (D)는 각 부화소가 모서리가 둥근 대략 사각형의 평면 형상을 가지는 예를 나타낸 것이고, 도 83의 (E)는 각 부화소가 원형의 평면 형상을 가지는 예를 나타낸 것이고, 도 83의 (F)는 각 부화소가 모서리가 둥근 대략 육각형의 평면 형상을 가지는 예를 나타낸 것이다.

[0548] 도 83의 (F)에서는 각 부화소가 최대한 조밀하게 배열된 육각형의 영역 내측에 배치되어 있다. 각 부화소는 그 하나의 부화소에 주목하였을 때, 6개의 부화소로 둘러싸이도록 배치되어 있다. 또한 같은 색의 광을 나타내는 부화소가 인접하지 않도록 제공된다. 예를 들어 부화소(23a)에 주목하였을 때, 이를 둘러싸도록 3개의 부화소(23b)와 3개의 부화소(23c)가 번갈아 배치되도록 각 부화소가 제공된다.

[0549] 도 83의 (G)는 각 색의 부화소가 지그재그로 배치된 예를 나타낸 것이다. 구체적으로는 평면에서 보았을 때, 열 방향으로 배치된 2개의 부화소(예를 들어 부화소(23a)와 부화소(23b) 또는 부화소(23b)와 부화소(23c))의 상변의 위치가 어긋나 있다.

[0550] 도 83의 (A) 내지 (G)에 나타낸 각 화소에서 예를 들어 부화소(23a)를 적색의 광을 나타내는 부화소 R로 하고, 부화소(23b)를 녹색의 광을 나타내는 부화소 G로 하고, 부화소(23c)를 청색의 광을 나타내는 부화소 B로 하는 것이 바람직하다. 또한 부화소의 구성은 이에 한정되지 않고, 부화소가 나타내는 색과 부화소의 배치 순서는 적절히 결정할 수 있다. 예를 들어 부화소(23b)를 적색의 광을 나타내는 부화소 R로 하고, 부화소(23a)를 녹색의 광을 나타내는 부화소 G로 하여도 좋다.

[0551] 포토리소그래피법에서는 가공하는 패턴이 미세해질수록 광의 회절의 영향을 무시할 수 없게 되기 때문에, 노광에 의하여 포토마스크의 패턴을 전사할 때의 충실성(fidelity)이 저하되어, 레지스트 마스크를 원하는 형상으로 가공하기 어려워진다. 그러므로 포토마스크의 패턴이 직사각형이어도 모서리가 둥근 패턴이 형성되기 쉽다. 따라서 부화소의 평면 형상이 다각형의 모서리가 둥근 형상, 타원형, 또는 원형 등이 되는 경우가 있다.

[0552] 또한 부화소의 평면 형상을 원하는 형상으로 하기 위하여, 설계 패턴과 전사 패턴이 일치하도록 마스크 패턴을 미리 보정하는 기술(OPC(Optical Proximity Correction: 광 근접 효과 보정) 기술)을 사용하여도 좋다. 구체적으로는 OPC 기술에서는 예를 들어 마스크 패턴 상의 도형의 코너부에 보정용 패턴을 추가한다.

[0553] 도 84의 (A) 내지 (I)에 나타낸 바와 같이, 화소는 4종류의 부화소를 가질 수 있다.

[0554] 도 84의 (A) 내지 (C)에 나타낸 화소(21)에는 스트라이프 배열이 적용되어 있다.

[0555] 도 84의 (A)는 각 부화소가 직사각형의 평면 형상을 가지는 예를 나타낸 것이고, 도 84의 (B)는 각 부화소가 2개의 반원과 직사각형이 결합된 평면 형상을 가지는 예를 나타낸 것이고, 도 84의 (C)는 각 부화소가 타원형의 평면 형상을 가지는 예를 나타낸 것이다.

[0556] 도 84의 (D) 내지 (F)에 나타낸 화소(21)에는 매트릭스 배열이 적용되어 있다.

[0557] 도 84의 (D)는 각 부화소가 정사각형의 평면 형상을 가지는 예를 나타낸 것이고, 도 84의 (E)는 각 부화소가 모서리가 둥근 대략 정사각형의 평면 형상을 가지는 예를 나타낸 것이고, 도 84의 (F)는 각 부화소가 원형의 평면 형상을 가지는 예를 나타낸 것이다.

[0558] 도 84의 (G) 및 (H)에는 하나의 화소(21)가 2행 3열로 구성된 예를 나타내었다.

[0559] 도 84의 (G)에 나타낸 화소(21)는 위쪽 행(첫 번째 행)에 3개의 부화소(부화소(23a), 부화소(23b), 및 부화소(23c))를 가지고, 아래쪽 행(두 번째 행)에 하나의 부화소(부화소(23d))를 가진다. 바꿔 말하면, 화소(21)는 왼쪽 열(첫 번째 열)에 부화소(23a)를 가지고, 중앙 열(두 번째 열)에 부화소(23b)를 가지고, 오른쪽 열(세 번째 열)에 부화소(23c)를 가지고, 또한 이 3열에 걸쳐 부화소(23d)를 가진다.

[0560] 도 84의 (H)에 나타낸 화소(21)는 위쪽 행(첫 번째 행)에 3개의 부화소(부화소(23a), 부화소(23b), 및 부화소(23c))를 가지고, 아래쪽 행(두 번째 행)에 3개의 부화소(부화소(23d))를 가진다. 바꿔 말하면, 화소(21)는 왼쪽 열(첫 번째 열)에 부화소(23a) 및 부화소(23d)를 가지고, 중앙 열(두 번째 열)에 부화소(23b) 및 부화소(23d)를 가지고, 오른쪽 열(세 번째 열)에 부화소(23c) 및 부화소(23d)를 가진다. 도 84의 (H)에 나타낸 바와 같이 위쪽 행과 아래쪽 행의 부화소의 배치를 일치시키는 구성으로 함으로써, 예를 들어 제작 공정에서 발생할 수 있는 먼지를 효율적으로 제거할 수 있다. 따라서 표시 품질이 높은 표시 장치를 제공할 수 있다.

[0561] 도 84의 (I)에는 하나의 화소(21)가 3행 2열로 구성된 예를 나타내었다.

[0562] 도 84의 (I)에 나타낸 화소(21)는 위쪽 행(첫 번째 행)에 부화소(23a)를 가지고, 중앙 행(두 번째 행)에 부화소(23b)를 가지고, 첫 번째 행으로부터 두 번째 행에 걸쳐 부화소(23c)를 가지고, 아래쪽 행(세 번째 행)에 하나의 부화소(부화소(23d))를 가진다. 바꿔 말하면, 화소(21)는 왼쪽 열(첫 번째 열)에 부화소(23a) 및 부화소(23b)를 가지고, 오른쪽 열(두 번째 열)에 부화소(23c)를 가지고, 이 2열에 걸쳐 부화소(23d)를 가진다.

[0563] 도 84의 (A) 내지 (I)에 나타낸 화소(21)는 부화소(23a), 부화소(23b), 부화소(23c), 및 부화소(23d)의 4개의 부화소로 구성된다.

[0564] 부화소(23a), 부화소(23b), 부화소(23c), 및 부화소(23d)는 각각 서로 다른 색의 광을 방출하는 발광 소자를 가질 수 있다. 부화소(23a), 부화소(23b), 부화소(23c), 및 부화소(23d)로서 R, G, B, 백색(W)의 4색의 부화소, R, G, B, Y의 4색의 부화소, 또는 R, G, B, 적외광(IR)의 부화소 등을 들 수 있다.

[0565] 도 84의 (A) 내지 (I)에 나타낸 각 화소(21)에서 예를 들어 부화소(23a)를 적색의 광을 나타내는 부화소 R로 하고, 부화소(23b)를 녹색의 광을 나타내는 부화소 G로 하고, 부화소(23c)를 청색의 광을 나타내는 부화소 B로 하고, 부화소(23d)를 백색의 광을 나타내는 부화소 W, 황색의 광을 나타내는 부화소 Y, 및 근적외광을 나타내는 부화소 IR 중 어느 것으로 하는 것이 바람직하다. 이러한 구성으로 한 경우, 도 84의 (G) 및 (H)에 나타낸 화소(21)에서는 R, G, B의 레이아웃으로서 스트라이프 배열이 사용되기 때문에 표시 품질을 높일 수 있다. 또한 도 84의 (I)에 나타낸 화소(21)에서는 R, G, B의 레이아웃으로서 소위 S 스트라이프 배열이 사용되기 때문에 표시 품질을 높일 수 있다.

[0566] 화소(21)는 수광 소자를 가지는 부화소를 가져도 좋다.

[0567] 도 84의 (A) 내지 (I)에 나타낸 각 화소(21)에서 부화소(23a) 내지 부화소(23d) 중 어느 하나를 수광 소자를 가지는 부화소로 하여도 좋다.

[0568] 도 84의 (A) 내지 (I)에 나타낸 각 화소(21)에서 예를 들어 부화소(23a)를 적색의 광을 나타내는 부화소 R로 하고, 부화소(23b)를 녹색의 광을 나타내는 부화소 G로 하고, 부화소(23c)를 청색의 광을 나타내는 부화소 B로 하고, 부화소(23d)를 수광 소자를 가지는 부화소 S로 하는 것이 바람직하다. 이러한 구성으로 한 경우, 도 84의 (G) 및 (H)에 나타낸 화소(21)에서는 R, G, B의 레이아웃으로서 스트라이프 배열이 사용되기 때문에 표시 품질을 높일 수 있다. 또한 도 84의 (I)에 나타낸 화소(21)에서는 R, G, B의 레이아웃으로서 소위 S 스트라이프 배열이 사용되기 때문에 표시 품질을 높일 수 있다.

[0569] 수광 소자를 가지는 부화소 S가 검출하는 광의 파장은 특별히 한정되지 않는다. 부화소 S는 가시광 및 적외광 중 한쪽 또는 양쪽을 검출할 수 있다.

[0570] 도 84의 (J) 및 (K)에 나타낸 바와 같이, 화소는 5종류의 부화소를 가질 수 있다.

[0571] 도 84의 (J)에는 하나의 화소(21)가 2행 3열로 구성된 예를 나타내었다.

[0572] 도 84의 (J)에 나타낸 화소(21)는 위쪽 행(첫 번째 행)에 3개의 부화소(부화소(23a), 부화소(23b), 및 부화소(23c))를 가지고, 아래쪽 행(두 번째 행)에 2개의 부화소(부화소(23d) 및 부화소(23e))를 가진다. 바꿔 말하면, 화소(21)는 왼쪽 열(첫 번째 열)에 부화소(23a) 및 부화소(23d)를 가지고, 중앙 열(두 번째 열)에 부화소(23b)를 가지고, 오른쪽 열(세 번째 열)에 부화소(23c)를 가지고, 또한 두 번째 열에서 세 번째 열에 걸쳐 부화소(23e)를 가진다.

[0573] 도 84의 (K)에는 하나의 화소(21)가 3행 2열로 구성된 예를 나타내었다.

[0574] 도 84의 (K)에 나타낸 화소(21)는 위쪽 행(첫 번째 행)에 부화소(23a)를 가지고, 중앙 행(두 번째 행)에 부화소(23b)를 가지고, 첫 번째 행에서 두 번째 행에 걸쳐 부화소(23c)를 가지고, 아래쪽 행(세 번째 행)에 2개의 부화소(부화소(23d) 및 부화소(23e))를 가진다. 바꿔 말하면, 화소(21)는 왼쪽 열(첫 번째 열)에 부화소(23a), 부화소(23b), 및 부화소(23d)를 가지고, 오른쪽 열(두 번째 열)에 부화소(23c) 및 부화소(23e)를 가진다.

[0575] 도 84의 (J) 및 (K)에 나타낸 각 화소(21)에서 예를 들어 부화소(23a)를 적색의 광을 나타내는 부화소 R로 하고, 부화소(23b)를 녹색의 광을 나타내는 부화소 G로 하고, 부화소(23c)를 청색의 광을 나타내는 부화소 B로 하는 것이 바람직하다. 이러한 구성으로 한 경우, 도 84의 (J)에 나타낸 화소(21)에서는 R, G, B의 레이아웃으로서 스트라이프 배열이 사용되기 때문에 표시 품질을 높일 수 있다. 또한 도 84의 (K)에 나타낸 화소(21)에서

는 R, G, B의 레이아웃으로서 소위 S 스트라이프 배열이 사용되기 때문에 표시 품질을 높일 수 있다.

[0576] 도 84의 (J) 및 (K)에 나타낸 각 화소(21)에서 예를 들어 부화소(23d) 및 부화소(23e) 중 적어도 한쪽에 수광 소자를 가지는 부화소 S를 적용하는 것이 바람직하다. 부화소(23d)와 부화소(23e)의 양쪽에 수광 소자를 사용하는 경우, 수광 소자의 구성은 서로 달라도 좋다. 예를 들어 검출하는 광의 파장 영역이 적어도 부분적으로 서로 달라도 좋다. 구체적으로는 부화소(23d) 및 부화소(23e) 중 한쪽은 주로 가시광을 검출하는 수광 소자를 가지고, 다른 쪽은 주로 적외광을 검출하는 수광 소자를 가져도 좋다.

[0577] 도 84의 (J) 및 (K)에 나타낸 각 화소(21)에서 예를 들어 부화소(23d) 및 부화소(23e) 중 한쪽에 수광 소자를 가지는 부화소 S를 적용하고, 다른 쪽에 광원으로서 사용할 수 있는 발광 소자를 가지는 부화소를 적용하는 것이 바람직하다. 예를 들어 부화소(23d) 및 부화소(23e) 중 한쪽은 적외광을 나타내는 부화소 IR로 하고, 다른 쪽은 적외광을 검출하는 수광 소자를 가지는 부화소 S로 하는 것이 바람직하다.

[0578] 부화소 R, G, B, IR, S를 가지는 화소에서는 부화소 R, G, B를 사용하여 화상을 표시하면서, 광원으로서 사용하는 부화소 IR로부터 방출되는 적외광의 반사광을 부화소 S가 검출할 수 있다.

[0579] 상술한 바와 같이, 본 발명의 일 형태의 표시 장치에서는 발광 소자를 가지는 부화소로 이루어지는 화소에 다양한 레이아웃을 적용할 수 있다. 또한 본 발명의 일 형태의 표시 장치에는 화소에 발광 소자와 수광 소자의 양쪽을 가지는 구성을 적용할 수 있다. 이 경우에도 다양한 레이아웃을 적용할 수 있다.

[0580] 본 실시형태에서 설명하는 복수의 구성예는 적절히 조합할 수 있다. 또한 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0581] (실시형태 3)

[0582] 본 실시형태에서는 본 발명의 일 형태의 표시 장치에 대하여 설명한다.

[0583] 본 실시형태의 표시 장치는 정세도가 높은 표시 장치로 할 수 있다. 따라서 본 실시형태의 표시 장치는 예를 들어 손목시계형 및 팔찌형 등의 정보 단말기(웨어러블 기기)의 표시부, 그리고 헤드 마운트 디스플레이(HMD) 등의 VR용 기기 및 안경형 AR용 기기 등 머리에 장착할 수 있는 웨어러블 기기의 표시부에 사용할 수 있다.

[0584] [표시 장치(10A)]

[0585] 도 85는 표시 장치(10A)의 구성예를 나타낸 사시도이고, 도 86은 표시 장치(10A)의 구성예를 나타낸 단면도이다. 표시 장치(10A)에는 실시형태 1에서 설명한 표시 장치(10)의 구성을 적용할 수 있다.

[0586] 표시 장치(10A)는 기판(152)과 기판(101)이 접합된 구성을 가진다. 도 85에서는 기판(152)을 파선으로 명시하였다.

[0587] 표시 장치(10A)는 표시부(20), 접속부(140), 회로(164), 및 배선(165) 등을 가진다. 도 85에서는 표시 장치(10A)에 IC(173) 및 FPC(172)가 실장되어 있는 예를 나타내었다. 그러므로 도 85에 나타낸 구성은 표시 장치(10A)와, IC(집적 회로)와, FPC를 가지는 표시 모듈이라고 할 수도 있다.

[0588] 본 명세서 등에서 표시 장치의 기판에 FPC 등의 커넥터가 장착된 것 또는 상기 기판에 IC가 실장된 것을 표시 모듈이라고 한다.

[0589] 접속부(140)는 표시부(20) 외측에 제공된다. 접속부(140)는 표시부(20)의 1변 또는 복수의 변을 따라 제공될 수 있다. 접속부(140)는 하나이어도 좋고 복수이어도 좋다. 도 85에서는 표시부의 4변을 둘러싸도록 접속부(140)가 제공된 예를 나타내었다. 접속부(140)에서는 발광 소자의 공통 전극과 도전층이 전기적으로 접속되어 있고, 상기 도전층을 통하여 공통 전극에 전위를 공급할 수 있다.

[0590] 회로(164)는 실시형태 1의 도 1의 (A) 및 도 2의 (A)에 나타낸 주사선 구동 회로(11), 신호선 구동 회로(13), 및 전원 회로(15), 그리고 도 2의 (A)에 나타낸 기준 전위 생성 회로(17) 중 적어도 하나를 가질 수 있다.

[0591] 배선(165)은 표시부(20) 및 회로(164)에 신호 및 전력을 공급하는 기능을 가진다. 상기 신호 및 전력은 FPC(172)를 통하여 외부로부터 배선(165)에 입력되거나 IC(173)로부터 배선(165)에 입력된다.

[0592] 도 85에는 COG(Chip On Glass) 방식 또는 COF(Chip On Film) 방식 등에 의하여 기판(101)에 IC(173)가 제공된 예를 나타내었다. IC(173)는 실시형태 1의 도 1의 (A) 및 도 2의 (A)에 나타낸 주사선 구동 회로(11), 신호선 구동 회로(13), 및 전원 회로(15), 그리고 도 2의 (A)에 나타낸 기준 전위 생성 회로(17) 중 적어도 하나를 가질 수 있다. 또한 표시 장치(10A) 및 표시 모듈은 IC를 제공하지 않는 구성으로 하여도 좋다. 또한 IC를 예를

들어 COF 방식에 의하여 FPC에 실장하여도 좋다.

[0593] 도 86에 표시 장치(10A) 중 FPC(172)를 포함한 영역의 일부, 회로(164)의 일부, 표시부(20)의 일부, 접속부(140)의 일부, 및 단부를 포함한 영역의 일부를 각각 절단한 경우의 단면의 일례를 나타내었다.

[0594] 도 86에 나타낸 표시 장치(10A)는 기판(101)과 기판(152) 사이에 트랜지스터(201), 트랜지스터(205R), 트랜지스터(205G), 트랜지스터(205B), 발광 소자(60R), 발광 소자(60G), 및 발광 소자(60B) 등을 가진다. 발광 소자(60R), 발광 소자(60G), 및 발광 소자(60B)에는 예를 들어 실시형태 1의 도 8의 (B)에 나타낸 발광 소자(60)와 같은 구성을 적용할 수 있다. 여기서 발광 소자(60R)가 가지는 화소 전극(311) 및 층(313)을 각각 화소 전극(311R) 및 층(313R)으로 한다. 또한 발광 소자(60G)가 가지는 화소 전극(311) 및 층(313)을 각각 화소 전극(311G) 및 층(313G)으로 한다. 또한 발광 소자(60B)가 가지는 화소 전극(311) 및 층(313)을 각각 화소 전극(311B) 및 층(313B)으로 한다. 층(313R) 위, 층(313G) 위, 및 층(313B) 위에는 공통 전극(315)이 제공된다. 공통 전극(315)은 발광 소자(60R), 발광 소자(60G), 및 발광 소자(60B)에 의하여 공유된다. 도 86에서는 트랜지스터(205R)에 포함되는 도전층(112)이 화소 전극(311R)과 전기적으로 접속되고, 트랜지스터(205G)에 포함되는 도전층(112)이 화소 전극(311G)과 전기적으로 접속되고, 트랜지스터(205B)에 포함되는 도전층(112)이 화소 전극(311B)과 전기적으로 접속되는 예를 나타내었다.

[0595] 화소 전극(311R), 화소 전극(311G), 및 화소 전극(311B)의 상면 단부를 덮도록 절연층(237)이 제공된다. 또한 화소 전극(311R), 화소 전극(311G), 및 화소 전극(311B)에는 절연층(105), 절연층(218), 및 절연층(235)이 제공된 개구(129)를 덮도록 오목부가 형성된다. 상기 오목부에는 절연층(237)이 매립되어 있다.

[0596] 도 86에서는 절연층(237)의 단면을 복수 나타내었지만, 표시 장치(10A)를 상면에서 보았을 때 절연층(237)은 하나로 연결되어 있다. 즉 표시 장치(10A)는 하나의 절연층(237)을 가지는 구성으로 할 수 있다. 또한 표시 장치(10A)는 서로 분리된 복수의 절연층(237)을 가져도 좋다.

[0597] 층(313R), 층(313G), 및 층(313B)은 적어도 발광층을 가진다. 예를 들어 층(313R)은 적색의 광을 방출하는 발광층을 가지고, 층(313G)은 녹색의 광을 방출하는 발광층을 가지고, 층(313B)은 청색의 광을 방출하는 발광층을 가진다. 바꿔 말하면, 층(313R)은 적색의 광을 방출하는 발광 물질을 가지고, 층(313G)은 녹색의 광을 방출하는 발광 물질을 가지고, 층(313B)은 청색의 광을 방출하는 발광 물질을 가진다. 이로써 발광 소자(60R)는 적색의 광을 방출할 수 있고, 발광 소자(60G)는 녹색의 광을 방출할 수 있고, 발광 소자(60B)는 청색의 광을 방출할 수 있다.

[0598] 층(313R), 층(313G), 및 층(313B)은 각각 정공 주입층, 정공 수송층, 정공 차단층, 전하 발생층, 전자 차단층, 전자 수송층, 및 전자 주입층 중 하나 이상을 가져도 좋다.

[0599] 예를 들어 층(313R), 층(313G), 및 층(313B)은 각각 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 및 전자 주입층을 이 순서대로 가져도 좋다. 또는 층(313R), 층(313G), 및 층(313B)은 각각 전자 주입층, 전자 수송층, 발광층, 정공 수송층, 및 정공 주입층을 이 순서대로 가져도 좋다. 또한 정공 수송층과 발광층 사이에 전자 차단층을 가져도 좋고, 전자 수송층과 발광층 사이에 정공 차단층을 가져도 좋다.

[0600] 발광 소자(60R), 발광 소자(60G), 및 발광 소자(60B)에는 싱글 구조(발광 유닛을 하나만 가지는 구조)를 적용하여도 좋고, 탠덤 구조(발광 유닛을 복수로 가지는 구조)를 적용하여도 좋다. 발광 유닛은 적어도 1층의 발광층을 가진다.

[0601] 발광 소자(60R), 발광 소자(60G), 및 발광 소자(60B)에 탠덤 구조를 적용하는 경우, 층(313R)은 적색의 광을 방출하는 발광 유닛을 복수로 가지고, 층(313G)은 녹색의 광을 방출하는 발광 유닛을 복수로 가지고, 층(313B)은 청색의 광을 방출하는 발광 유닛을 복수로 가지는 것이 바람직하다. 각 발광 유닛 사이에는 전하 발생층을 제공하는 것이 바람직하다. 예를 들어 발광 소자(60R), 발광 소자(60G), 및 발광 소자(60B)에 탠덤 구조를 적용하는 경우, 층(313R), 층(313G), 및 층(313B)은 제 1 발광 유닛과, 제 1 발광 유닛 위의 전하 발생층과, 전하 발생층 위의 제 2 발광 유닛을 가질 수 있다.

[0602] 층(313R), 층(313G), 및 층(313B) 각각은 예를 들어 파인 메탈 마스크를 사용한 진공 증착법에 의하여 형성할 수 있다. 파인 메탈 마스크를 사용한 진공 증착법에서는 파인 메탈 마스크의 개구보다 넓은 범위에 증착이 수행되는 경우가 많다. 따라서 파인 메탈 마스크의 개구보다 넓은 범위에 층(313R), 층(313G), 및 층(313B)이 형성될 수 있다. 또한 층(313R), 층(313G), 및 층(313B)의 단부는 각각 테이퍼 형상을 가진다. 여기서 화소 전극(311) 위뿐만 아니라 층(313R), 층(313G), 및 층(313B)은 절연층(237) 위에도 형성되어도 좋다. 또한 층(313R), 층(313G), 및 층(313B)의 형성에 파인 메탈 마스크를 사용한 스퍼터링법 또는 잉크젯법을 사용하여도

좋다.

[0603] 발광 소자(60R), 발광 소자(60G), 및 발광 소자(60B) 위에는 보호층(331)이 제공된다. 보호층(331)과 기판(152)은 접착층(142)에 의하여 접착되어 있다. 기판(152)에는 차광층(317)이 제공된다. 발광 소자(60R), 발광 소자(60G), 및 발광 소자(60B)의 밀봉에는 고체 밀봉 구조 또는 중공 밀봉 구조 등을 적용할 수 있다. 도 86에서는 기판(152)과 보호층(331) 사이의 공간이 접착층(142)으로 충전되는 고체 밀봉 구조가 적용되어 있다. 또는 상기 공간이 불활성 가스(질소 또는 아르곤 등)로 충전되는 중공 밀봉 구조를 적용하여도 좋다. 이때 접착층(142)은 발광 소자(60R), 발광 소자(60G), 및 발광 소자(60B)와 중첩되지 않도록 제공되어 있어도 좋다. 또한 상기 공간을 테두리 형상으로 제공된 접착층(142)과는 다른 수지로 충전하여도 좋다.

[0604] 보호층(331)은 적어도 표시부(20)에 제공되고, 표시부(20) 전체를 덮도록 제공되는 것이 바람직하다. 보호층(331)은 표시부(20)뿐만 아니라 접속부(140) 및 회로(164)를 덮도록 제공되는 것이 바람직하다. 또한 보호층(331)은 표시 장치(10A)의 단부까지 연장되어 제공되는 것이 바람직하다.

[0605] 기판(101)과 기판(152)이 중첩되지 않는 영역에는 접속부(204)가 제공된다. 접속부(204)에서는 배선(165)이 도전층(166) 및 접속층(242)을 통하여 FPC(172)와 전기적으로 접속된다. 배선(165)은 도전층(112)과 동일한 층에 제공할 수 있다. 따라서 배선(165)은 도전층(112)과 동일한 재료를 가질 수 있고, 동일한 공정으로 형성할 수 있다. 예를 들어 도전층(112)과 배선(165)은 동일한 도전막을 가공함으로써 형성할 수 있다. 또한 도전층(166)은 화소 전극(311R), 화소 전극(311G), 및 화소 전극(311B)과 동일한 층에 제공할 수 있다. 따라서 도전층(166)은 화소 전극(311R), 화소 전극(311G), 및 화소 전극(311B)과 동일한 재료를 가질 수 있고, 동일한 공정으로 형성할 수 있다. 예를 들어 화소 전극(311R), 화소 전극(311G), 화소 전극(311B), 및 도전층(166)은 동일한 도전막을 가공함으로써 형성할 수 있다. 접속부(204)의 상면에서는 도전층(166)이 노출되어 있다. 이에 의하여, 접속부(204)와 FPC(172)를 접속층(242)을 통하여 전기적으로 접속할 수 있다.

[0606] 또한 접속부(204)는 FPC(172)와 도전층(166)을 전기적으로 접속하기 위하여 보호층(331)이 제공되지 않은 부분을 가진다. 예를 들어 보호층(331)을 표시 장치(10A)의 면 전체에 성막한 후, 마스크를 사용하여 보호층(331)에서 도전층(166)과 중첩되는 영역을 제거함으로써, 도전층(166)을 노출시킬 수 있다.

[0607] 도전층(166) 위에 적어도 하나의 유기층과 도전층의 적층 구조를 제공하고, 상기 적층 구조 위에 보호층(331)을 제공하여도 좋다. 그리고 레이저 또는 예리한 날붙이(예를 들어 바늘 또는 커터 칼)를 사용하여 상기 적층 구조에서 박리 기점(박리의 기점이 되는 부분)을 형성하여, 상기 적층 구조 및 그 위의 보호층(331)을 선택적으로 제거함으로써 도전층(166)을 노출시켜도 좋다. 예를 들어 점착성 롤러를 기판(101)에 누르고, 롤러를 회전시키면서 상대적으로 이동시킴으로써 보호층(331)을 선택적으로 제거할 수 있다. 또는 점착성 테이프를 기판(101)에 붙이고 떼어도 좋다. 유기층과 도전층 사이의 밀착성 또는 유기층들 사이의 밀착성이 낮기 때문에, 유기층과 도전층의 계면 또는 유기층에서 분리가 일어난다. 이에 의하여, 보호층(331)에서 도전층(166)과 중첩되는 영역을 선택적으로 제거할 수 있다. 또한 예를 들어 도전층(166) 위에 유기층이 잔존한 경우에는, 유기 용제를 사용하여 제거할 수 있다.

[0608] 유기층에는 예를 들어 층(313R), 층(313G), 및 층(313B) 중 어느 것에 사용하는 적어도 1층의 유기층(발광층, 캐리어 차단층, 캐리어 수송층, 또는 캐리어 주입층으로서 기능하는 층)을 사용할 수 있다. 유기층은 층(313R), 층(313G), 및 층(313B) 중 어느 것을 형성할 때 형성하여도 좋고, 별도로 제공하여도 좋다. 도전층은 공통 전극(315)과 동일한 공정 및 동일 재료로 형성할 수 있다. 예를 들어 공통 전극(315) 및 도전층으로서 ITO막을 형성하는 것이 바람직하다. 또한 공통 전극(315)에 적층 구조를 사용하는 경우, 도전층으로서 공통 전극(315)을 구성하는 층 중 적어도 1층을 사용한다.

[0609] 도전층(166) 위에 보호층(331)이 성막되지 않도록 도전층(166)의 상면을 마스크로 덮어도 좋다. 마스크로서는 예를 들어 메탈 마스크(에어리어 메탈 마스크)를 사용하여도 좋고, 점착성 또는 흡착성을 가지는 테이프 또는 필름을 사용하여도 좋다. 상기 마스크를 배치한 상태에서 보호층(331)을 형성하고, 그 후에 마스크를 제거함으로써, 보호층(331)을 형성한 후에도 도전층(166)이 노출된 상태를 유지할 수 있다.

[0610] 이러한 방법을 사용함으로써, 보호층(331)이 제공되지 않은 영역을 접속부(204)에 형성하고, 상기 영역에서 접속층(242)을 통하여 도전층(166)과 FPC(172)를 전기적으로 접속할 수 있다.

[0611] 접속부(140)에서 절연층(235) 위에 도전층(323)이 제공된다. 도전층(323)의 단부는 절연층(237)으로 덮인다. 또한 도전층(323) 위에 공통 전극(315)이 제공되고, 예를 들어 도전층(323)과 공통 전극(315)은 접속부(140)에서 접하는 영역을 가진다. 이에 의하여, 공통 전극(315)은 접속부(140)에 제공된 도전층(323)과 전기적으로 접

속된다. 도전층(323)은 화소 전극(311R), 화소 전극(311G), 화소 전극(311B), 및 도전층(166)과 동일한 층에 제공할 수 있다. 따라서 도전층(323)은 화소 전극(311R), 화소 전극(311G), 화소 전극(311B), 및 도전층(166)과 동일한 재료를 가질 수 있고, 동일한 공정으로 형성할 수 있다. 예를 들어 화소 전극(311R), 화소 전극(311G), 화소 전극(311B), 도전층(166), 및 도전층(323)은 동일한 도전막을 가공함으로써 형성할 수 있다. 또한 도전층(323) 위에는 층(313R), 층(313G), 및 층(313B)을 형성하지 않는 것이 바람직하다.

[0612] 표시 장치(10A)는 상면 사출형(톱 이미션형)이다. 발광 소자(60R), 발광 소자(60G), 및 발광 소자(60B)가 방출하는 광은 기판(152) 측에 방출된다. 따라서 기판(152)에는 가시광 투과성이 높은 재료를 사용하는 것이 바람직하다. 한편, 기판(101)에 사용하는 재료의 광 투과성은 불문한다.

[0613] 공통 전극(315)에는 가시광 투과성이 높은 재료를 사용한다. 화소 전극(311R), 화소 전극(311G), 및 화소 전극(311B)은 각각 가시광을 반사하는 재료를 사용하는 것이 바람직하다.

[0614] 트랜지스터(201) 및 트랜지스터(205)는 모두 기판(101) 위에 형성되어 있다. 이들 트랜지스터는 동일한 재료를 사용하여 동일한 공정으로 제작할 수 있다. 트랜지스터(201) 및 트랜지스터(205)로서는 실시형태 1에서 설명한 트랜지스터(50)와 같은 구성을 적합하게 사용할 수 있다. 또한 회로(164)에 제공되는 트랜지스터(201)는 실시형태 1의 도 1의 (A) 및 도 2의 (A)에 나타낸 주사선 구동 회로(11), 신호선 구동 회로(13), 또는 전원 회로(15), 혹은 도 2의 (A)에 나타낸 기준 전위 생성 회로(17)가 가지는 트랜지스터로 할 수 있다.

[0615] 회로(164)에 포함되는 트랜지스터와 표시부(20)에 포함되는 트랜지스터는 같은 구조를 가져도 좋고, 다른 구조를 가져도 좋다. 회로(164)에 포함되는 복수의 트랜지스터에는 하나의 구조를 채용하여도 좋고, 2종류 이상의 구조를 채용하여도 좋다. 마찬가지로, 표시부(20)에 포함되는 복수의 트랜지스터에는 하나의 구조를 채용하여도 좋고, 2종류 이상의 구조를 채용하여도 좋다.

[0616] 표시부(20)가 가지는 트랜지스터의 모두를 OS 트랜지스터로 하여도 좋고, 표시부(20)가 가지는 트랜지스터의 모두를 Si 트랜지스터로 하여도 좋고, 표시부(20)가 가지는 트랜지스터의 일부를 OS 트랜지스터로 하고, 나머지를 Si 트랜지스터로 하여도 좋다.

[0617] 예를 들어 표시부(20)에 LTPS 트랜지스터와 OS 트랜지스터의 양쪽을 사용함으로써, 소비 전력이 낮고 구동 능력이 높은 표시 장치를 실현할 수 있다. 또한 LTPS 트랜지스터와 OS 트랜지스터를 조합한 구성을 LTPO라고 하는 경우가 있다. 표시부(20)의 구성을 LTPO로 하는 경우, 예를 들어 화소 회로에 제공되는 선택 트랜지스터로서 OS 트랜지스터를 사용하고, 구동 트랜지스터로서 LTPS 트랜지스터를 사용할 수 있다. 선택 트랜지스터에 OS 트랜지스터를 사용함으로써 프레임 주파수를 매우 작게(예를 들어 1fps 이하로) 하여도, 화소에 화상 데이터를 계속 유지할 수 있다. 따라서 정지 화상을 표시할 때 구동 회로를 정지함으로써 표시 장치의 소비 전력을 저감할 수 있다. 또한 구동 트랜지스터로서 LTPS 트랜지스터를 사용함으로써, 발광 소자(60)를 흐르는 전류를 크게 할 수 있다.

[0618] 기판(152)의 기판(101) 측의 면에는 차광층(317)을 제공하는 것이 바람직하다. 차광층(317)은 인접한 발광 소자(60)들 사이, 접속부(140), 및 회로(164) 등에 제공할 수 있다. 또한 보호층(331)과 접착층(142) 사이에 차광층(317)을 제공하여도 좋다. 또한 기판(152)의 외측에는 각종 광학 부재를 배치할 수 있다.

[0619] 접속층(242)으로서는 이방성 도전 필름(ACF: Anisotropic Conductive Film) 또는 이방성 도전 페이스트(ACP: Anisotropic Conductive Paste) 등을 사용할 수 있다.

[0620] [표시 장치(10B)]

[0621] 도 87은 표시 장치(10B)의 구성예를 나타낸 단면도이다. 표시 장치(10B)는 표시 장치(10A)의 변형예이고, 예를 들어 트랜지스터(201)의 구성이 표시 장치(10A)와 다르다.

[0622] 표시 장치(10B)가 가지는 트랜지스터(201)는 반도체층(213)과, 게이트 절연층으로서 기능하는 절연층(105)과, 게이트 전극으로서 기능하는 도전층(215)과, 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 도전층(222a)과, 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 도전층(222b)을 가진다. 또한 트랜지스터(201)는 도전층(211)을 가질 수 있다. 이 경우, 도전층(215)은 제 1 게이트 전극으로서 기능하고, 도전층(211)은 제 2 게이트 전극으로서 기능한다. 또한 절연층(105)은 제 1 게이트 절연층으로서 기능하고, 절연층(103)은 제 2 게이트 절연층으로서 기능한다.

[0623] 도전층(211)은 기판(101) 위에 제공되고, 절연층(103)은 기판(101) 위 및 도전층(211) 위에 제공된다. 또한 도전층(211)과 중첩되는 영역을 가지도록 절연층(103) 위에 반도체층(213)이 제공되고, 절연층(103) 위 및 반도체

층(213) 위에 절연층(105)이 제공된다. 또한 도전층(211) 및 반도체층(213)과 중첩되는 영역을 가지도록 절연층(105) 위에 도전층(215)이 제공된다.

[0624] 반도체층(213)은 채널 형성 영역(213i)과 한 쌍의 저저항 영역(213n)을 가진다. 여기서 절연층(105)에 한 쌍의 저저항 영역(213n) 중 한쪽에 도달하는 제 1 개구와, 한 쌍의 저저항 영역(213n) 중 다른 쪽에 도달하는 제 2 개구가 제공된다. 제 1 개구를 통하여 반도체층(213)과 도전층(222a)이 전기적으로 접속되고, 제 2 개구를 통하여 반도체층(213)과 도전층(222b)이 전기적으로 접속된다. 예를 들어 제 1 개구의 내부에서 한 쌍의 저저항 영역(213n) 중 한쪽과 도전층(222a)이 접하고, 제 2 개구의 내부에서 한 쌍의 저저항 영역(213n) 중 다른 쪽과 도전층(222b)이 접한다.

[0625] 도전층(211)은 도전층(111)과 동일한 층에 제공할 수 있다. 따라서 도전층(211)은 도전층(111)과 동일한 재료를 가질 수 있고, 동일한 공정으로 형성할 수 있다. 예를 들어 도전층(111)과 도전층(211)은 동일한 도전막을 가공함으로써 형성할 수 있다. 또한 반도체층(213)은 반도체층(113)과 동일한 층에 제공할 수 있다. 따라서 반도체층(213)은 반도체층(113)과 동일한 재료를 가질 수 있고, 동일한 공정으로 형성할 수 있다. 예를 들어 반도체층(113)과 반도체층(213)은 동일한 반도체막을 가공함으로써 형성할 수 있다. 또한 도전층(215), 도전층(222a), 및 도전층(222b)은 도전층(115)과 동일한 층에 제공할 수 있다. 따라서 도전층(215), 도전층(222a), 및 도전층(222b)은 도전층(115)과 동일한 재료를 가질 수 있고, 동일한 공정으로 형성할 수 있다. 예를 들어 도전층(115), 도전층(215), 도전층(222a), 및 도전층(222b)은 동일한 도전막을 가공함으로써 형성할 수 있다.

[0626] 여기서 반도체층(113)과 반도체층(213)은 상이한 재료를 가져도 좋다. 예를 들어 반도체층(113)으로서 금속 산화물을 사용하고, 반도체층(213)으로서 LTPS 등의 실리콘을 사용하여도 좋다. 반도체층(113)으로서 금속 산화물을 사용함으로써, 즉 트랜지스터(205)로서 OS 트랜지스터를 사용함으로써, 실시형태 1에 나타낸 바와 같이, 흑색 표시 부분이 밝게 표시되는 것을 억제하거나, 발광 휘도를 상승시키거나, 계조 수를 늘리거나, 발광 소자(60)의 발광 휘도의 발광 소자(60)마다 생기는 편차를 억제할 수 있다. 또한 반도체층(213)으로서 LTPS 등의 실리콘을 사용함으로써, 트랜지스터(201)의 전계 효과 이동도를 높일 수 있다. 따라서 회로(164)를 고속으로 구동시킬 수 있다. 반도체층(113)과 반도체층(213)을 상이한 공정으로 형성함으로써, 반도체층(113)이 가지는 재료와 반도체층(213)이 가지는 재료를 상이하게 할 수 있다.

[0627] 트랜지스터(201)가 도전층(211)을 가지는 경우, 트랜지스터(201)는 채널 형성 영역(213i)을 2개의 게이트 전극 사이에 끼우는 구성이 된다. 이 경우, 2개의 게이트 전극을 전기적으로 접속하고, 이들에 동일한 신호를 공급함으로써 트랜지스터(201)를 구동하여도 좋다. 또는 2개의 게이트 전극 중 한쪽에 문턱 전압을 제어하기 위한 전위를 공급하고, 다른 쪽에 구동을 위한 전위를 공급함으로써, 트랜지스터(201)의 문턱 전압을 제어하여도 좋다.

[0628] 도 87에 나타낸 트랜지스터(201)와 같은 구성의 트랜지스터를 표시부(20)에 제공하여도 좋다. 예를 들어 실시형태 1에 나타낸 트랜지스터(51)를 도 87에 나타낸 트랜지스터(201)와 같은 구성의 트랜지스터로 할 수 있다. 이에 의하여, 트랜지스터(51)의 채널 길이가 길어지는 경우가 있어, 트랜지스터(51)의 오프 전류를 작게 할 수 있는 경우가 있다. 따라서 부화소에 기록된 화상 데이터를 장기간 유지할 수 있어, 리프레시 동작의 빈도를 줄일 수 있는 경우가 있다. 따라서 트랜지스터(51)를 도 87에 나타낸 트랜지스터(201)와 같은 구성의 트랜지스터로 함으로써, 본 발명의 일 형태의 표시 장치의 소비 전력을 저감할 수 있는 경우가 있다.

[0629] [표시 장치(10C)]

[0630] 도 88은 표시 장치(10C)의 구성예를 나타낸 단면도이다. 표시 장치(10C)는 표시 장치(10A)의 변형예이고, 예를 들어 하면 사출형(보텀 이미션형) 표시 장치인 점이 표시 장치(10A)와 다르다.

[0631] 표시 장치(10C)에서 발광 소자(60)가 방출하는 광은 기판(101) 측으로 방출된다. 기판(101)에는 가시광 투과성이 높은 재료를 사용하는 것이 바람직하다. 한편, 기판(152)에 사용하는 재료의 광 투과성은 불문한다.

[0632] 기판(101)과 트랜지스터(201) 사이 및 기판(101)과 트랜지스터(205) 사이에는 차광층(317)을 제공하는 것이 바람직하다. 도 88에는 기판(101) 위에 차광층(317)이 제공되고, 차광층(317) 위 및 기판(101) 위에 절연층(353)이 제공되고, 절연층(353) 위에 트랜지스터(201) 및 트랜지스터(205) 등이 제공된 예를 나타내었다.

[0633] 화소 전극(311R), 화소 전극(311G), 및 화소 전극(311B)에는 각각 가시광 투과성이 높은 재료를 사용한다. 공통 전극(315)에는 가시광을 반사하는 재료를 사용하는 것이 바람직하다.

[0634] 표시 장치(10C)의 구성은 표시 장치(10B)에도 적용할 수 있다. 구체적으로는 표시 장치(10B)는 보텀 이미션형

표시 장치로 할 수 있다. 또한 화소 전극(311) 및 공통 전극(315)의 양쪽에 가시광 투과성이 높은 재료를 사용함으로써, 표시 장치(10A), 표시 장치(10B), 표시 장치(10C)를 양면 사출형(듀얼 이미션형) 표시 장치로 할 수 있다. 듀얼 이미션형 표시 장치(10)에서는 기판(101) 및 기판(152)의 양쪽에 가시광 투과성이 높은 재료를 사용하는 것이 바람직하다.

[0635] [표시 장치(10D)]

[0636] 도 89는 표시 장치(10D)의 구성예를 나타낸 단면도이다. 표시 장치(10D)는 표시 장치(10A)의 변형예이고, 예를 들어 발광 소자(60R), 발광 소자(60G), 및 발광 소자(60B)의 구성이 표시 장치(10A)와 다르다. 또한 표시 장치(10D)는 화소 전극(311R), 화소 전극(311G), 화소 전극(311B), 도전층(166), 및 도전층(323)의 구성을 가지는 점에서 표시 장치(10A)와 다르다. 또한 표시 장치(10D)는 절연층(237)을 가지지 않는 점, 층(313)이 화소 전극(311)의 상면 및 측면을 덮는 점, 층(328), 절연층(325), 절연층(327), 및 공통층(314)을 가지는 점이 표시 장치(10A)와 다르다.

[0637] 도 89에 나타낸 바와 같이, 발광 소자(60)가 가지는 화소 전극(311)은 도전층(324)과, 도전층(324) 위의 도전층(326)과, 도전층(326) 위의 도전층(329)의 적층 구조를 가진다. 여기서 화소 전극(311R)이 가지는 도전층(324), 도전층(326), 및 도전층(329)을 각각 도전층(324R), 도전층(326R), 및 도전층(329R)으로 한다. 또한 화소 전극(311G)이 가지는 도전층(324), 도전층(326), 및 도전층(329)을 각각 도전층(324G), 도전층(326G), 및 도전층(329G)으로 한다. 또한 화소 전극(311B)이 가지는 도전층(324), 도전층(326), 및 도전층(329)을 각각 도전층(324B), 도전층(326B), 및 도전층(329B)으로 한다.

[0638] 도전층(324)은 절연층(105), 절연층(218), 및 절연층(235)에 제공되는 개구(129)를 통하여 트랜지스터(205)에 포함되는 도전층(112)과 전기적으로 접속된다.

[0639] 도전층(326)의 단부는 도전층(324)의 단부 및 도전층(329)의 단부보다 내측에 위치한다. 즉 도전층(326)의 단부는 도전층(324) 위에 위치하고, 도전층(326)의 상면 및 측면은 도전층(329)으로 덮인다.

[0640] 도전층(324)에 부여되는 가시광 투과성 및 반사성은 특별히 한정되지 않는다. 도전층(324)에는 가시광 투과성을 가지는 도전층 또는 가시광 반사성을 가지는 도전층을 사용할 수 있다. 가시광 투과성을 가지는 도전층으로서 예를 들어 산화물 도전층을 사용할 수 있다. 구체적으로는 도전층(324)에 In-Si-Sn 산화물(ITSO)을 적합하게 사용할 수 있다. 가시광 반사성을 가지는 도전층에는 예를 들어 알루미늄, 마그네슘, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 은, 주석, 아연, 백금, 금, 몰리브데넘, 탄탈럼, 혹은 텅스텐 등의 금속, 또는 이들을 주성분으로 하는 합금을 사용할 수 있다. 도전층(324)에 사용할 수 있는 합금으로서 알루미늄과 니켈과 란타넘의 합금(Al-Ni-La) 등의 알루미늄을 포함하는 합금, 그리고 은과 마그네슘의 합금, 및 은과 팔라듐과 구리의 합금(APC: Ag-Pd-Cu) 등의 은을 포함하는 합금을 들 수 있다. 도전층(324)은 가시광 투과성을 가지는 도전층과, 상기 도전층 위의 반사성을 가지는 도전층의 적층 구조로 하여도 좋다. 도전층(324)에는 도전층(324)의 피형성면(여기서는 절연층(235))에 대한 밀착성이 높은 재료를 적용하는 것이 바람직하다. 이로써 도전층(324)의 막 박리를 억제할 수 있다.

[0641] 도전층(326)으로서는 가시광 반사성을 가지는 도전층을 사용할 수 있다. 도전층(326)은 가시광 투과성을 가지는 도전층과, 상기 도전층 위의 반사성을 가지는 도전층의 적층 구조로 하여도 좋다. 도전층(326)에는 도전층(324)에 적용할 수 있는 재료를 적용할 수 있다. 구체적으로는 도전층(326)에는 In-Si-Sn 산화물(ITSO)과, In-Si-Sn 산화물(ITSO) 위의 은과 팔라듐과 구리의 합금(APC)의 적층 구조를 적합하게 사용할 수 있다.

[0642] 도전층(329)에는 도전층(324)에 적용할 수 있는 재료를 적용할 수 있다. 도전층(329)으로서는 예를 들어 가시광 투과성을 가지는 도전층을 사용할 수 있다. 구체적으로는 도전층(329)으로서는 In-Si-Sn 산화물(ITSO)을 사용할 수 있다.

[0643] 도전층(326)에 산화되기 쉬운 재료를 사용하는 경우, 도전층(329)에 산화되기 어려운 재료를 사용하고 도전층(329)으로 도전층(326)을 덮음으로써, 도전층(326)의 산화를 억제할 수 있다. 또한 도전층(326)에 포함되는 금속 성분이 석출되는 것을 억제할 수 있다. 예를 들어 도전층(326)에 은을 포함하는 재료를 사용하는 경우, 도전층(329)에는 In-Si-Sn 산화물(ITSO)을 적합하게 사용할 수 있다. 이에 의하여, 도전층(326)의 산화를 억제할 수 있고, 은의 석출을 억제할 수 있다.

[0644] 도전층(323)은 예를 들어 도전층(324p)과, 도전층(324p) 위의 도전층(326p)과, 도전층(326p) 위의 도전층(329p)의 적층 구조를 가질 수 있다. 도전층(324p)은 도전층(324R), 도전층(324G), 및 도전층(324B)과 동일한 층에 제공할 수 있다. 따라서 도전층(324p)은 도전층(324R), 도전층(324G), 및 도전층(324B)과 동일한 재료를

가질 수 있고, 동일한 공정으로 형성할 수 있다. 예를 들어 도전층(324R), 도전층(324G), 도전층(324B), 및 도전층(324p)은 동일한 도전막을 가공함으로써 형성할 수 있다. 또한 도전층(326p)은 도전층(326R), 도전층(326G), 및 도전층(326B)과 동일한 재료를 가질 수 있고, 동일한 공정으로 형성할 수 있다. 예를 들어 도전층(326R), 도전층(326G), 도전층(326B), 및 도전층(326p)은 동일한 도전막을 가공함으로써 형성할 수 있다. 또한 도전층(329p)은 도전층(329R), 도전층(329G), 및 도전층(329B)과 동일한 재료를 가질 수 있고, 동일한 공정으로 형성할 수 있다. 예를 들어 도전층(329R), 도전층(329G), 도전층(329B), 및 도전층(329p)은 동일한 도전막을 가공함으로써 형성할 수 있다.

[0645] 도 89에는 도전층(329p)의 막 두께가 도전층(329R), 도전층(329G), 및 도전층(329B)의 막 두께와 다른 예를 나타내었다. 도전층(329p), 도전층(329R), 도전층(329G), 및 도전층(329B)에 사용하는 재료의 저항률에 따라 이들의 막 두께를 다르게 하여도 좋다. 막 두께를 다르게 하는 경우, 도전층(329p)은 도전층(329R), 도전층(329G), 및 도전층(329B)과 다른 공정으로 형성하여도 좋다. 또는 도전층(329p)을 형성하는 공정과, 도전층(329R), 도전층(329G), 및 도전층(329B)을 형성하는 공정의 일부를 공통화하여도 좋다.

[0646] 도전층(324R), 도전층(324G), 및 도전층(324B)에는 개구(129)를 덮도록 오목부가 형성된다. 상기 오목부에는 층(328)이 매립되어 있다.

[0647] 층(328)은 도전층(324R), 도전층(324G), 및 도전층(324B)의 오목부를 평탄화시키는 기능을 가진다. 도전층(324R) 위 및 층(328) 위에는 도전층(324R)과 전기적으로 접속되는 도전층(326R)이 제공된다. 또한 도전층(324G) 위 및 층(328) 위에는 도전층(324G)과 전기적으로 접속되는 도전층(326G)이 제공된다. 또한 도전층(324B) 위 및 층(328) 위에는 도전층(324B)과 전기적으로 접속되는 도전층(326B)이 제공된다. 이로써 도전층(324R), 도전층(324G), 및 도전층(324B)의 오목부와 중첩되는 영역도 발광 영역으로서 기능하고 화소의 개구율을 높일 수 있다.

[0648] 층(328)은 절연층이어도 좋고, 도전층이어도 좋다. 층(328)에는 각종 무기 절연 재료, 유기 절연 재료, 또는 도전 재료를 적절히 사용할 수 있다. 특히 층(328)은 절연 재료를 사용하여 형성되는 것이 바람직하고, 유기 절연 재료를 사용하여 형성되는 것이 특히 바람직하다.

[0649] 또한 층(328)을 도전층으로 하는 경우, 층(328)은 화소 전극의 일부로서 기능할 수 있다.

[0650] 표시 장치(10D)가 가지는 층(328)은 표시 장치(10A), 표시 장치(10B), 및 표시 장치(10C)에도 적용할 수 있다. 예를 들어 화소 전극(311R), 화소 전극(311G), 및 화소 전극(311B)의 오목부의 적어도 일부에 절연층(237) 대신 층(328)을 매립할 수 있다.

[0651] 도 89에는 화소 전극(311)의 단부보다 층(313)의 단부가 외측에 위치하는 예를 나타내었다. 층(313)은 화소 전극(311)의 단부를 덮도록 형성된다. 이러한 구성으로 함으로써, 화소 전극(311)의 상면 전체를 발광 영역으로 할 수도 있기 때문에, 섬 형상의 층(313)의 단부가 화소 전극(311)의 단부보다 내측에 위치하는 구성에 비하여 개구율을 높일 수 있다. 또한 화소 전극(311)의 측면을 층(313)으로 덮음으로써, 화소 전극(311)과 공통 전극(315)의 접촉을 억제할 수 있으므로 발광 소자(60)의 단락을 억제할 수 있다.

[0652] 화소 전극(311)과 층(313) 사이에는 절연층(237)이 제공되지 않는다. 이에 의하여, 인접한 발광 소자(60)들 사이의 거리를 작게 할 수 있다. 따라서 표시 장치(10D)는 정세도 또는 해상도가 높은 표시 장치로 할 수 있다. 또한 상기 절연층을 형성하기 위한 마스크도 불필요하므로 표시 장치의 제작 비용을 절감할 수 있다.

[0653] 층(313)은 예를 들어 포토리소그래피법 및 에칭법을 사용하여 형성할 수 있다. 구체적으로는 부화소마다 화소 전극(311)을 형성한 후, 복수의 화소 전극(311)에 걸쳐 층(313)이 되는 막을 성막한다. 이어서 층(313)이 되는 막 위에 마스크층을 형성하고, 마스크층 위에 포토리소그래피법을 사용하여 레지스트 마스크를 형성한다. 그 후, 마스크층 및 층(313)이 되는 막을 예를 들어 에칭법을 사용하여 가공하여, 레지스트 마스크를 제거한다. 예를 들어 마스크층을 제 1 마스크층과 제 1 마스크층 위의 제 2 마스크층의 2층 구조로 한다. 이 경우, 제 2 마스크층 위에 레지스트 마스크를 형성하고, 제 2 마스크층을 가공한다. 이어서 레지스트 마스크를 제거한다. 그 후, 제 2 마스크층을 예를 들어 하드 마스크로 하여 제 1 마스크층 및 층(313)이 되는 막을 가공한다. 이에 의하여, 하나의 화소 전극(311)당 하나의 섬 형상의 층(313)을 형성한다. 따라서 층(313)이 부화소마다 분할되고, 부화소마다 섬 형상의 층(313)을 형성할 수 있다. 예를 들어 층(313)이 되는 막의 성막에서 가공까지의 공정을 세 번 수행함으로써, 층(313R), 층(313G), 및 층(313B)을 구분 형성할 수 있다.

[0654] 본 명세서 등에서 마스크층(희생층이라고도 함)이란, 적어도 발광층(더 구체적으로는 EL층을 구성하는 층 중 섬 형상으로 가공되는 층)의 위쪽에 위치하고, 제작 공정에서 상기 발광층을 보호하는 기능을 가지는 층을 나타낸

다.

[0655] 파인 메탈 마스크를 사용하지 않고 섬 형상의 층(313)을 형성함으로써, 미세한 크기의 층(313)을 형성할 수 있다. 또한 층(313)을 발광 소자(60)마다 섬 형상으로 제공함으로써, 인접한 발광 소자(60)들 사이의 누설 전류를 억제할 수 있다. 이에 의하여, 의도하지 않은 발광에 기인한 크로스토크를 억제할 수 있어, 콘트라스트가 매우 높은 표시 장치를 실현할 수 있다. 특히 저휘도에서의 전류 효율이 높은 표시 장치를 실현할 수 있다.

[0656] 본 명세서 등에서 메탈 마스크 또는 파인 메탈 마스크(FMM)를 사용하여 제작되는 디바이스를 MM(메탈 마스크) 구조의 디바이스라고 부르는 경우가 있다. 또한 본 명세서 등에서 메탈 마스크 또는 FMM을 사용하지 않고 제작되는 디바이스를 MML(메탈 마스크리스) 구조의 디바이스라고 하는 경우가 있다.

[0657] 파인 메탈 마스크를 사용하지 않고 섬 형상의 층(313)을 형성하는 경우, 층(313)의 표면이 표시 장치의 제작 공정 중에 노출된다. 따라서 층(313R), 층(313G), 및 층(313B)은 각각 발광층 위의 캐리어 수송층을 가지는 것이 바람직하다. 또는 층(313R), 층(313G), 및 층(313B)은 각각 발광층 위의 캐리어 차단층을 포함하는 것이 바람직하다. 또는 층(313R), 층(313G), 및 층(313B)은 각각 발광층 위의 캐리어 차단층과, 캐리어 차단층 위의 캐리어 수송층을 가지는 것이 바람직하다. 이로써 발광층이 가장 바깥쪽으로 노출되는 것이 억제되어, 발광층이 받는 대미지를 저감할 수 있다. 이에 의하여, 발광 소자(60)의 신뢰성을 높일 수 있다.

[0658] 또한 발광 소자(60)를 탠덤 구조로 하는 경우, 예를 들어 층(313)이 제 1 발광 유닛과, 제 1 발광 유닛 위의 전하 발생층과, 전하 발생층 위의 제 2 발광 유닛을 가지는 경우, 제 2 발광 유닛의 표면이 표시 장치의 제작 공정 중에 노출된다. 따라서 제 2 발광 유닛은 발광층 위의 캐리어 수송층을 가지는 것이 바람직하다. 또는 제 2 발광 유닛은 발광층 위의 캐리어 차단층을 가지는 것이 바람직하다. 또는 제 2 발광 유닛은 발광층 위의 캐리어 차단층과, 캐리어 차단층 위의 캐리어 수송층을 가지는 것이 바람직하다. 이로써 발광층이 가장 바깥쪽으로 노출되는 것이 억제되어, 발광층이 받는 대미지를 저감할 수 있다. 이에 의하여, 발광 소자(60)의 신뢰성을 높일 수 있다. 또한 발광 유닛을 3개 이상 가지는 경우에는, 가장 위층에 제공되는 발광 유닛이 발광층 위의 캐리어 수송층 및 캐리어 차단층 중 한쪽 또는 양쪽을 가지는 것이 바람직하다.

[0659] 층(313R), 층(313G), 및 층(313B)에 포함되는 화합물의 내열 온도는 각각 100℃ 이상 180℃ 이하인 것이 바람직하고, 120℃ 이상 180℃ 이하인 것이 더 바람직하고, 140℃ 이상 180℃ 이하인 것이 더 바람직하다. 예를 들어 이들 화합물의 유리 전이점(Tg)은 각각 100℃ 이상 180℃ 이하인 것이 바람직하고, 120℃ 이상 180℃ 이하인 것이 더 바람직하고, 140℃ 이상 180℃ 이하인 것이 더 바람직하다. 이에 의하여, 공정 중에 가해지는 열로 인하여 층(313R), 층(313G), 및 층(313B)이 대미지를 받아 발광 효율이 저하되는 것 및 수명이 짧아지는 것을 억제할 수 있다.

[0660] 인접한 발광 소자(60)들 사이의 영역에는 절연층(325)과, 절연층(325) 위의 절연층(327)이 제공되어 있다. 도 89에서는 절연층(325) 및 절연층(327)의 단면을 여러 개 나타내었지만, 표시 장치(10D)를 상면에서 보았을 때 절연층(325) 및 절연층(327)은 각각 하나로 연결되어 있다. 즉 표시 장치(10D)는 예를 들어 절연층(325) 및 절연층(327)을 하나씩 가질 수 있다. 또한 표시 장치(10D)는 서로 분리된 복수의 절연층(325)을 가져도 좋고, 서로 분리된 복수의 절연층(327)을 가져도 좋다.

[0661] 절연층(325)은 층(313R), 층(313G), 및 층(313B) 각각의 측면과 접하는 영역을 가지는 것이 바람직하다. 절연층(325)이 층(313R), 층(313G), 및 층(313B)과 접하는 영역을 가짐으로써, 층(313R), 층(313G), 및 층(313B)의 막 박리를 억제할 수 있다. 절연층(325)과, 층(313R), 층(313G), 및 층(313B)이 밀착됨으로써, 인접한 층(313)이 절연층(325)에 의하여 고정되거나 접착되는 효과를 나타낸다. 이에 의하여, 발광 소자(60)의 신뢰성을 높일 수 있다. 또한 발광 소자(60)의 제작 수율을 높일 수 있다.

[0662] 절연층(325)에는 보호층(331)에 사용할 수 있는 재료를 사용할 수 있고, 예를 들어 무기 재료를 사용할 수 있다. 특히 보호층(331)에 산화 알루미늄을 사용하면, 절연층(325)과 층(313)의 에칭 선택비를 높일 수 있고, 층(313)을 보호할 수 있기 때문에 바람직하다.

[0663] 절연층(325)은 물 및 산소 중 적어도 한쪽에 대한 배리어 절연층으로서의 기능을 가지는 것이 바람직하다. 또한 절연층(325)은 물 및 산소 중 적어도 한쪽의 확산을 억제하는 기능을 가지는 것이 바람직하다. 또한 절연층(325)은 물 및 산소 중 적어도 한쪽을 포획 또는 고착하는(게터링이라고도 함) 기능을 가지는 것이 바람직하다. 또한 본 명세서 등에서 배리어 절연층이란, 배리어성을 가지는 절연층을 나타낸다. 또한 본 명세서 등에서 배리어성이란, 대응하는 물질의 확산을 억제하는 기능(투과성이 낮다고도 함)을 나타낸다.

[0664] 절연층(325)이 배리어 절연층으로서의 기능 또는 게터링 기능을 가짐으로써, 외부로부터 각 발광 소자로 확산될

수 있는 불순물(대표적으로는 물 및 산소 중 적어도 한쪽)의 침입을 억제할 수 있다. 상기 구성으로 함으로써, 신뢰성이 높은 발광 소자 및 신뢰성이 높은 표시 장치를 제공할 수 있다.

[0665] 절연층(327)은 절연층(325)에 형성된 오목부를 충전하도록 절연층(325) 위에 제공된다. 절연층(327)은 절연층(325)을 개재하여 층(313R), 층(313G), 및 층(313B) 각각의 상면의 일부 및 측면과 중첩되는 구성으로 할 수 있다. 절연층(327)은 절연층(325)의 측면의 적어도 일부를 덮는 것이 바람직하다. 절연층(325) 및 절연층(327)을 제공함으로써, 인접한 섬 형상의 층들 사이를 채울 수 있기 때문에 섬 형상의 층 위에 제공하는 층, 예를 들어 공통 전극(315)의 피형성면의 요철을 감소시켜 상기 층의 피복성을 높일 수 있다. 따라서 단절로 인한 접속 불량을 억제할 수 있다. 또한 단차로 인하여 공통 전극(315)의 막 두께가 국소적으로 얇아져 전기 저항이 상승하는 것을 억제할 수 있다. 또한 절연층(327)의 상면은 평탄성이 더 높은 형상을 가지는 것이 바람직하지만, 볼록부, 볼록 곡면, 오목 곡면, 또는 오목부를 가져도 좋다.

[0666] 절연층(327)으로서는 유기 재료를 가지는 절연층을 적합하게 사용할 수 있다. 유기 재료로서는 감광성 유기 수지를 사용하는 것이 바람직하고, 예를 들어 아크릴 수지를 포함한 감광성 수지 조성물을 사용하는 것이 바람직하다. 또한 본 명세서 등에서 아크릴 수지란, 폴리메타크릴산 에스터 또는 메타크릴 수지만을 나타내는 것이 아니고, 넓은 의미로 아크릴계 폴리머 전체를 나타내는 경우가 있다. 또한 절연층(327)에 사용할 수 있는 이들 재료는 층(328)에도 사용할 수 있다.

[0667] 발광 소자(60R)가 가지는 층(313R) 위에는 마스크층(318R)이 위치하고, 발광 소자(60G)가 가지는 층(313G) 위에는 마스크층(318G)이 위치하고, 발광 소자(60B)가 가지는 층(313B) 위에는 마스크층(318B)이 위치한다. 마스크층(318)은 발광 영역을 둘러싸도록 제공된다. 바꿔 말하면, 마스크층(318)은 발광 영역과 중첩되는 부분에 개구를 가진다. 마스크층(318R)은 층(313R)을 형성할 때 층(313R) 위에 제공된 마스크층의 일부가 잔존한 것이다. 마찬가지로, 마스크층(318G)은 층(313G) 형성 시에, 그리고 마스크층(318B)은 층(313B) 형성 시에 각각 제공한 마스크층의 일부가 잔존한 것이다. 이와 같이, 본 발명의 일 형태의 표시 장치에서는 이를 제작할 때 층(313)을 보호하기 위하여 사용되는 마스크층의 일부가 잔존하여도 좋다.

[0668] 또한 도 89에서는 마스크층(318)을 단층 구조로 하였지만, 마스크층(318)을 적층 구조로 하여도 좋다. 예를 들어 마스크층(318)을 2층 구조로 하여도 좋고, 3층 이상의 적층 구조로 하여도 좋다. 또한 층(313)이 되는 막을 형성한 후, 마스크층으로서 제 1 마스크층과, 제 1 마스크층 위의 제 2 마스크층을 형성하는 경우가 있다. 그 후, 이들 마스크층을 사용하여 층(313R), 층(313G), 및 층(313B)을 형성한 후, 제 2 마스크층을 제거하고, 그 후에 층(313)에 도달하는 개구를 제 1 마스크층에 형성하는 경우가 있다. 이 경우, 표시 장치(10D)에 잔존하는 마스크층(318)은 단층 구조를 가진다. 즉 마스크층(318)에 포함되는 층의 수가 표시 장치(10D)의 제작 공정으로 형성하는 마스크층에 포함되는 층의 수보다 적어지는 경우가 있다.

[0669] 표시 장치(10D)에서 층(313R) 위, 층(313G) 위, 층(313B) 위, 및 절연층(327) 위에 공통층(314)이 제공되고, 공통층(314) 위에 공통 전극(315)이 제공된다. 공통층(314)은 공통 전극(315)과 마찬가지로, 발광 소자(60R), 발광 소자(60G), 및 발광 소자(60B)에 의하여 공유된다. 발광 소자(60)가 공통층(314)을 가지는 경우, 층(313)과 공통층(314)을 통틀어 EL층이라고 할 수 있다. 또한 EL층에 공통층(314)을 포함하지 않아도 된다.

[0670] 공통층(314)은 예를 들어 전자 주입층 또는 정공 주입층을 가진다. 또는 공통층(314)은 전자 수송층과 전자 주입층의 적층이어도 좋고, 정공 수송층과 정공 주입층의 적층이어도 좋다. 여기서 공통층(314)에 포함되는 층은 층(313)에 제공하지 않는 구성으로 할 수 있다. 예를 들어 공통층(314)이 전자 주입층을 가지는 경우에는 층(313)은 전자 주입층을 가지지 않아도 된다. 또한 공통층(314)이 정공 주입층을 가지는 경우에는 층(313)은 정공 주입층을 가지지 않아도 된다.

[0671] 표시 장치에 공통층(314)을 제공하는 경우, 공통 전극(315)은 공통층(314)의 성막 후, 중간에 에칭 등의 공정을 수행하지 않고 연속적으로 성막할 수 있다. 예를 들어 진공 중에서 공통층(314)을 형성한 후, 기판(101)을 대기 중으로 노출시키지 않고 진공 중에서 공통 전극(315)을 형성할 수 있다. 즉 공통층(314)과 공통 전극(315)은 진공 일관 공정으로 형성할 수 있다. 이에 의하여, 표시 장치에 공통층(314)을 제공하지 않는 경우에 비하여 공통 전극(315)의 하면을 청정한 면으로 할 수 있다. 이로써 층(313)을 형성한 후, 층(313)의 표면이 예를 들어 대기에 노출되는 경우에는 표시 장치에 공통층(314)을 제공하는 것이 바람직하다.

[0672] 도 89에서는 접속부(140)에 공통층(314)이 제공되지 않는 예를 나타내었다. 예를 들어 성막 영역을 규정하기 위한 마스크(파인 메탈 마스크와 구별하여 에어리어 마스크 또는 러프 메탈 마스크라고도 함)를 사용함으로써, 공통층(314)과 공통 전극(315)을 상이한 영역에 성막할 수 있다.

[0673] 여기서 공통층(314)의 두께 방향의 전기 저항이 무시할 수 있을 정도로 작은 경우, 도전층(323)과 공통 전극(315) 사이에 공통층(314)이 제공되는 경우에도 도전층(323)과 공통 전극(315)의 도통을 확보할 수 있다. 표시부(20)뿐만 아니라 접속부(140)에도 공통층(314)을 제공함으로써, 예를 들어 에이리어 마스크를 포함한 메탈 마스크를 사용하지 않고 공통층(314)을 형성할 수 있다. 따라서 표시 장치(10D)의 제작 공정을 간략화할 수 있다.

[0674] 도 89에서는 표시 장치(10D)를 톱 이미션형 표시 장치로 하였지만, 표시 장치(10D)를 보텀 이미션형 표시 장치로 하여도 좋고, 듀얼 이미션형 표시 장치로 하여도 좋다.

[0675] 표시 장치(10D)의 구성은 표시 장치(10A), 표시 장치(10B), 및 표시 장치(10C)에도 적용할 수 있다. 구체적으로는 발광 소자(60)의 구성, 절연층(237)을 가지지 않는 점, 절연층(325)을 가지는 점, 및 절연층(327)을 가지는 점 중 적어도 하나를 표시 장치(10A), 표시 장치(10B), 및 표시 장치(10C)에 적용할 수 있다.

[0676] [표시 장치(10E)]

[0677] 도 90은 표시 장치(10E)의 구성예를 나타낸 단면도이다. 표시 장치(10F)는 표시 장치(10A)의 변형예이고, 터치 센서를 가지는 점이 표시 장치(10A)와 다르다. 도 90에는 터치 센서가 제공되는 검지부(387)의 구성예를 나타내었다.

[0678] 본 명세서 등에서 터치 센서를 가지는 표시 장치를 터치 패널이라고 한다.

[0679] 표시 장치(10E)에서는 기판(152) 위에 접착층(396)이 제공되고, 접착층(396) 위에 절연층(395)이 제공된다. 이로써 기판(152)과 절연층(395)이 접착층(396)에 의하여 접합된다. 또한 절연층(395) 위에는 기판(330)이 제공된다.

[0680] 검지부(387)는 표시부(20)에 포함된다. 검지부(387)에서 기판(330)의 기판(152) 측의 면에 터치 센서로서 검지 소자(380)(검지 디바이스, 센서 소자, 또는 센서 디바이스라고도 함)가 제공된다. 검지 소자(380)에 의하여 손가락 또는 스타일러스 등의 피검지체의 표시 장치(10E)에 대한 근접 또는 접촉을 검지할 수 있다.

[0681] 검지 소자(380)는 전극(381) 및 전극(382)을 가진다. 도 90에서는 전극(381)이 전극(383) 및 전극(384)을 가지는 예를 나타내었다.

[0682] 전극(382)과 전극(383)은 동일한 층에 제공할 수 있다. 따라서 전극(382)과 전극(383)은 동일한 재료를 가질 수 있고, 동일한 공정으로 형성할 수 있다. 예를 들어 전극(382)과 전극(383)은 동일한 도전막을 가공함으로써 형성할 수 있다.

[0683] 또한 검지부(387)에서 절연층(395)은 전극(382) 및 전극(383) 중 적어도 일부를 덮도록 제공된다. 전극(384)은 절연층(395)에 제공된 개구를 통하여 전극(382)을 끼우도록 제공된 2개의 전극(383)과 전기적으로 접속된다. 따라서 전극(384)은 전극(382)과 중첩되는 영역을 가진다.

[0684] 기판(330)에서 기판(152)과 중첩되지 않은 영역에는 배선(342), 도전층(344), 접속층(309), 및 FPC(350)가 제공된다. 배선(342)과 FPC(350)는 접속부(308)에서 도전층(344) 및 접속층(309)을 통하여 전기적으로 접속된다. 배선(342)은 전극(382) 및 전극(383)과 동일한 층에 제공할 수 있다. 따라서 배선(342)은 전극(382) 및 전극(383)과 동일한 재료를 가질 수 있고, 동일한 공정으로 형성할 수 있다. 예를 들어 배선(342), 전극(382), 및 전극(383)은 동일한 도전막을 가공함으로써 형성할 수 있다. 또한 도전층(344)은 전극(384)과 동일한 층에 제공할 수 있다. 따라서 도전층(344)은 전극(384)과 동일한 재료를 가질 수 있고, 동일한 공정으로 형성할 수 있다. 예를 들어 도전층(344) 및 전극(384)은 동일한 도전막을 가공함으로써 형성할 수 있다.

[0685] FPC(350)와 도전층(344)을 전기적으로 접속시키기 위하여 접속부(308)에는 절연층(395)이 제공되지 않은 부분이 생긴다. 예를 들어 절연층(395)을 기판(330) 위 전체에 성막한 후, 배선(342)에 도달하는 개구를 절연층(395)에 형성함으로써, 배선(342)을 노출시킬 수 있다. 그 후, 도전층(344)을 형성하고, 도전층(344)과 전기적으로 접속되도록 접속층(309) 및 FPC(350)를 제공한다. 이로써 배선(342)과 FPC(350)를 도전층(344) 및 접속층(309)을 통하여 전기적으로 접속할 수 있다.

[0686] 접속층(309)으로서는 접속층(242)과 마찬가지로, ACF 또는 ACP 등을 사용할 수 있다.

[0687] 또한 표시 장치(10B), 표시 장치(10C), 및 표시 장치(10D)에 검지 소자(380)를 제공하여도 좋다. 이에 의하여, 표시 장치(10B), 표시 장치(10C), 및 표시 장치(10D)가 터치 패널로서의 기능을 가질 수 있다.

[0688] 도 90에 나타낸 검지 소자(380)는 정전 용량 방식의 검지 소자로 하였다. 정전 용량 방식으로서는 표면형 정전 용량 방식 및 투영형 정전 용량 방식 등이 있다. 또한 투영형 정전 용량 방식으로서는 자기 용량 방식 및 상호 용량 방식 등이 있다. 상호 용량 방식을 사용하면 동시 다점 검출이 가능해진다. 또한 본 발명의 일 형태의 표시 장치가 가지는 검지 소자는 정전 용량 방식에 한정되지 않고, 예를 들어 저항막 방식, 표면 탄성파 방식, 적외선 방식, 광학 방식, 또는 감압 방식 등 다양한 방식을 사용할 수 있다.

[0689] 도 90에 나타낸 표시 장치(10E)는 기판(330) 위에 검지 소자(380)를 형성하고 기판(152)에 접합하는 구성을 가지지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어 기판(101)과 기판(152) 사이에 검지 소자(380)를 형성하여도 좋다.

[0690] [표시 장치(10F)]

[0691] 도 91은 표시 장치(10F)의 구성예를 나타낸 단면도이다. 표시 장치(10F)는 표시 장치(10C)의 변형예이고, 표시 소자로서 액정 소자(69)를 가지는 점이 표시 장치(10F)와 다르다.

[0692] 액정 소자(69)는 화소 전극(311)과 공통 전극(315)을 가지고, 화소 전극(311)과 공통 전극(315) 사이에 액정층(343)이 제공된다. 화소 전극(311)과 액정층(343) 사이에는 절연층(341)이 제공되고, 액정층(343)과 공통 전극(315) 사이에는 절연층(345)이 제공된다. 절연층(341) 및 절연층(345)은 배향막으로서의 기능을 가진다.

[0693] 액정 소자(69) 사이에는 스페이서(347)가 제공된다. 스페이서(347)는 절연층을 선택적으로 에칭함으로써 얻어지는 기둥상의 스페이서이고, 화소 전극(311)과 공통 전극(315)의 간격(셀 갭)을 제어하기 위하여 제공된다. 또한 스페이서(347)는 구(球)상의 스페이서로 하여도 좋다.

[0694] 기판(152)의 기판(101) 측의 면에는 차광층(317), 착색층(349R), 착색층(349G), 및 착색층(349B)과, 보호층(331)과, 공통 전극(315)과, 스페이서(347)와, 절연층(345)이 이 순서대로 제공된다. 착색층(349R), 착색층(349G), 및 착색층(349B)은 표시부(20)에서 차광층(317)이 제공되지 않는 영역에 제공된다. 또한 보호층(331)은 평탄화층으로서 기능할 수 있다. 착색층(349R)의 단부, 착색층(349G)의 단부, 및 착색층(349B)의 단부는 차광층(317)의 단부와 중첩된다. 절연층(235)과 보호층(331)은 접착층(142)에 의하여 접착된다.

[0695] 표시 장치(10F)에는 백라이트가 제공된다. 백라이트는 기판(101) 측에 제공할 수 있고, 구체적으로는 기판(101)보다 외측(트랜지스터(201) 및 트랜지스터(205)의 형성면과 반대 측)에 제공할 수 있다. 또한 표시 장치(10F)를 반사형 액정 표시 장치로 하는 경우, 표시 장치(10F)에 백라이트를 제공하지 않아도 된다.

[0696] 착색층(349R)은 액정 소자(69)와 중첩되는 영역을 가지고, 예를 들어 적색의 광의 투과율이 다른 색의 광의 투과율보다 높다. 이에 의하여, 착색층(349R)과 중첩되는 영역을 가지는 액정 소자(69)가 방출하는 광은 적색의 광으로서 표시 장치(10F)의 외부로 추출된다. 또한 착색층(349G)은 액정 소자(69)와 중첩되는 영역을 가지고, 예를 들어 녹색의 광의 투과율이 다른 색의 광의 투과율보다 높다. 이에 의하여, 착색층(349G)과 중첩되는 영역을 가지는 액정 소자(69)가 방출하는 광은 녹색의 광으로서 표시 장치(10F)의 외부로 추출된다. 또한 착색층(349B)은 액정 소자(69)와 중첩되는 영역을 가지고, 예를 들어 청색의 광의 투과율이 다른 색의 광의 투과율보다 높다. 이에 의하여, 착색층(349B)과 중첩되는 영역을 가지는 액정 소자(69)가 방출하는 광은 청색의 광으로서 표시 장치(10F)의 외부로 추출된다. 이로써 표시 장치(10F)는 풀 컬러 표시를 수행할 수 있다.

[0697] 착색층(349)에 사용할 수 있는 재료로서는 금속 재료, 수지 재료, 및 안료 또는 염료가 포함된 수지 재료 등을 들 수 있다. 착색층(349)은 예를 들어 잉크젯법을 사용하여 형성할 수 있다.

[0698] 또한 도 91에서는 수직 전계 방식의 액정 소자를 가지는 표시 장치의 예를 나타내었지만 본 발명의 일 형태는 이에 한정되지 않고, 예를 들어 수평 전계 방식의 액정 소자를 가지는 표시 장치로 하여도 좋다. 수평 전계 방식을 채용하는 경우, 배향막을 사용하지 않는 블루상을 나타내는 액정을 사용하여도 좋다. 블루상은 액정상 중 하나이고, 콜레스테릭 액정을 승온하면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도 범위에서만 발현되기 때문에, 온도 범위를 개선하기 위하여 5중량% 이상의 키랄제를 혼합시킨 액정 조성물을 액정층(343)에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 응답 속도가 짧고, 광학적 등방성을 나타낸다. 또한 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 배향 처리가 불필요하고 시야각 의존성이 작다. 또한 배향막을 제공하지 않아도 되기 때문에 러빙 처리도 불필요하다. 따라서 러빙 처리에 의하여 발생되는 정전 파괴를 억제할 수 있으므로 제작 공정 중의 표시 장치의 불량 또는 파손을 경감할 수 있다.

[0699] 표시 장치(10F)가 가지는 트랜지스터(201)에는 도 91에 나타낸 구성에 한정되지 않고, 예를 들어 도 87에 나타

낸 구성을 적용하여도 좋다. 또한 표시 장치(10F)는 예를 들어 도 90에 나타낸 바와 같은 검지 소자(380)가 제공되고 터치 패널로서의 기능을 가져도 좋다.

[0700] 표시 장치(10F)가 가지는 착색층(349R), 착색층(349G), 및 착색층(349B)은 발광 소자(60)를 가지는 표시 장치, 구체적으로는 표시 장치(10A) 내지 표시 장치(10D) 등에 제공하여도 좋다. 예를 들어 발광 소자(60R)와 중첩되는 영역을 가지도록 착색층(349R)을 제공하고, 발광 소자(60G)와 중첩되는 영역을 가지도록 착색층(349G)을 제공하고, 발광 소자(60B)와 중첩되는 영역을 가지도록 착색층(349B)을 제공할 수 있다. 예를 들어 표시 장치(10A), 표시 장치(10B), 및 표시 장치(10D)와 같은 톱 이미션형 표시 장치에서는 발광 소자(60)와 기판(152) 사이에 착색층(349)을 제공할 수 있고, 구체적으로는 보호층(331)과 기판(152) 사이에 착색층(349)을 제공할 수 있다. 예를 들어 보호층(331) 위에 착색층(349)을 제공할 수 있고, 구체적으로는 보호층(331)과 접하는 영역을 가지도록 착색층(349)을 제공할 수 있다. 이 경우, 보호층(331)은 평탄화되어 있는 것이 바람직하다. 여기서 인접한 착색층(349)이 서로 중첩되는 영역을 가지는 구성으로 함으로써, 차광층(317)을 제공하지 않는 구성으로 할 수 있다. 또한 기판(152)에 착색층(349)을 제공하여도 좋다. 이 경우, 예를 들어 착색층(349)의 일부가 차광층(317)과 접하는 구성으로 할 수 있고, 이에 의하여 착색층(349)의 단부를 차광층(317)과 중첩시킬 수 있다.

[0701] 또한 표시 장치(10C)와 같은 보텀 이미션형 표시 장치에서는 발광 소자(60)와 기판(101) 사이에 착색층(349)을 제공할 수 있다. 예를 들어 절연층(218) 위에 착색층(349)을 제공할 수 있다.

[0702] 발광 소자(60)를 가지는 표시 장치에 착색층(349R), 착색층(349G), 및 착색층(349B)을 제공함으로써, 발광 소자(60R), 발광 소자(60G), 및 발광 소자(60B)를 서로 동일한 색의 광을 방출하는 발광 소자, 예를 들어 백색의 광을 방출하는 발광 소자로 하여도, 표시부(20)에 풀 컬러 화상을 표시할 수 있다. 발광 소자(60R), 발광 소자(60G), 및 발광 소자(60B)를 서로 동일한 색의 광을 방출하는 발광 소자로 함으로써, 층(313R), 층(313G), 및 층(313B)을 동일한 공정으로 형성할 수 있다. 이에 의하여, 표시 장치의 제작 공정을 간략화할 수 있어, 표시 장치의 수율을 높일 수 있다. 따라서 저렴한 표시 장치를 실현할 수 있다. 한편, 착색층(349)을 제공하지 않는 구성으로 함으로써, 착색층(349)을 제공하는 경우보다 표시 장치의 광 추출 효율을 높일 수 있다. 이에 의하여, 표시부(20)에 밝은 화상을 표시할 수 있다. 또한 표시부(20)에 표시되는 화상의 휘도가 같은 경우, 착색층(349)을 제공하지 않으면, 착색층(349)을 제공하는 경우보다 발광 소자(60)의 발광 휘도를 작게 할 수 있기 때문에 표시 장치의 소비 전력을 저감할 수 있다.

[0703] 또한 발광 소자(60)를 가지는 표시 장치에 착색층(349R), 착색층(349G), 및 착색층(349B)을 제공하는 경우에도, 발광 소자(60R), 발광 소자(60G), 및 발광 소자(60B)가 서로 다른 광을 방출하여도 좋다. 예를 들어 착색층(349R)은 적색의 광의 투과율이 다른 색의 광의 투과율보다 높고, 착색층(349G)은 녹색의 광의 투과율이 다른 색의 광의 투과율보다 높고, 착색층(349B)은 청색의 광의 투과율이 다른 색의 광의 투과율보다 높은 경우, 발광 소자(60R)는 적색의 광을 방출하고, 발광 소자(60G)는 녹색의 광을 방출하고, 발광 소자(60B)는 청색의 광을 방출하여도 좋다. 이 경우, 착색층(349)을 제공함으로써, 발광 소자(60)를 가지는 부화소로부터 방출되는 광의 색 순도를 높일 수 있다. 따라서 표시 품질이 높은 표시 장치를 실현할 수 있다. 한편, 상술한 바와 같이, 착색층(349)을 제공하지 않는 구성으로 함으로써, 착색층(349)을 제공하는 경우보다 표시 장치의 광 추출 효율을 높일 수 있다.

[0704] 본 실시형태에서 설명하는 복수의 구성예는 적절히 조합할 수 있다. 또한 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0705] (실시형태 4)

[0706] 본 실시형태에서는 본 발명의 일 형태의 전자 기기에 대하여 설명한다.

[0707] 본 실시형태의 전자 기기는 표시부에 본 발명의 일 형태의 표시 장치를 가진다. 전자 기기로서는, 예를 들어 텔레비전 장치, 데스크톱형 또는 노트북형 퍼스널 컴퓨터, 컴퓨터용 등의 모니터, 디지털 사이니지, 파칭코기 등의 대형 게임기 등 비교적 큰 화면을 가지는 전자 기기 외에, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 음향 재생 장치 등이 있다.

[0708] 특히 본 발명의 일 형태의 표시 장치는 정세도를 높일 수 있기 때문에, 비교적 작은 표시부를 가지는 전자 기기에 적합하게 사용할 수 있다. 이러한 전자 기기로서는 예를 들어 손목시계형 및 팔찌형 정보 단말기(웨어러블 기기), 그리고 헤드 마운트 디스플레이 등의 VR용 기기, 안경형 AR용 기기, 및 MR용 기기 등 머리에 장착할 수 있는 웨어러블 기기 등이 있다.

[0709] 본 발명의 일 형태의 표시 장치는 HD(화소수 1280 X 720), FHD(화소수 1920 X 1080), WQHD(화소수 2560 X 1440),

WQXGA(화소수 2560X1600), 4K(화소수 3840X2160), 또는 8K(화소수 7680X4320) 등으로 해상도가 매우 높은 것이 바람직하다. 특히 4K, 8K, 또는 이들 이상의 해상도로 하는 것이 바람직하다. 또한 본 발명의 일 형태의 표시 장치에서의 화소 밀도(정세도)는 100ppi 이상이 바람직하고, 300ppi 이상이 더 바람직하고, 500ppi 이상이 더 바람직하고, 1000ppi 이상이 더 바람직하고, 2000ppi 이상이 더 바람직하고, 3000ppi 이상이 더 바람직하고, 5000ppi 이상이 더 바람직하고, 7000ppi 이상이 더 바람직하다. 이와 같이 높은 해상도 및 높은 정세도 중 한쪽 또는 양쪽을 가지는 표시 장치를 사용함으로써, 임장감 및 깊이감 등을 더 높일 수 있다. 또한 본 발명의 일 형태의 표시 장치의 화면 비율(종횡비)은 특별히 한정되지 않는다. 예를 들어 표시 장치는 1:1(정사각형), 4:3, 16:9, 및 16:10 등 다양한 화면 비율에 대응할 수 있다.

[0710] 본 실시형태의 전자 기기는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 검지, 검출, 또는 측정하는 기능을 포함하는 것)를 가져도 좋다.

[0711] 본 실시형태의 전자 기기는 다양한 기능을 가진다. 예를 들어 다양한 정보(정지 화상, 동영상, 및 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능, 무선 통신 기능, 기록 매체에 저장된 프로그램 또는 데이터를 판독하여 처리하는 기능 등을 가질 수 있다. 또한 전자 기기의 기능은 이들에 한정되지 않고, 다양한 기능을 가질 수 있다. 전자 기기는 복수의 표시부를 가져도 좋다. 또한 전자 기기는 예를 들어 카메라가 제공되고, 정지 화상 또는 동영상을 촬영하고 기록 매체(외부 기록 매체 또는 카메라에 내장된 기록 매체)에 저장하는 기능, 및 촬영한 화상을 표시부에 표시하는 기능 등을 가져도 좋다.

[0712] 도 92의 (A) 내지 (D)를 사용하여, 머리에 장착할 수 있는 웨어러블 기기의 일례에 대하여 설명한다. 이들 웨어러블 기기는 AR의 콘텐츠를 표시하는 기능, VR의 콘텐츠를 표시하는 기능, SR의 콘텐츠를 표시하는 기능, MR의 콘텐츠를 표시하는 기능 중 적어도 하나를 가진다. 전자 기기가 AR, VR, SR, 및 MR 등의 적어도 하나의 콘텐츠를 표시하는 기능을 가짐으로써, 사용자의 몰입감을 높일 수 있다.

[0713] 도 92의 (A)에 나타낸 전자 기기(700A) 및 도 92의 (B)에 나타낸 전자 기기(700B)는 각각 한 쌍의 표시 패널(751)과, 한 쌍의 하우징(721)과, 통신부(도시하지 않았음)와, 한 쌍의 장착부(723)와, 제어부(도시하지 않았음)와, 촬상부(도시하지 않았음)와, 한 쌍의 광학 부재(753)와, 프레임(757)과, 한 쌍의 코 받침(758)을 가진다.

[0714] 표시 패널(751)에는 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 따라서 정세도가 매우 높은 표시가 가능한 전자 기기로 할 수 있다.

[0715] 전자 기기(700A) 및 전자 기기(700B)는 각각 광학 부재(753)의 표시 영역(756)에, 표시 패널(751)에 표시한 화상을 투영할 수 있다. 광학 부재(753)는 광 투과성을 가지기 때문에, 사용자는 광학 부재(753)를 통하여 눈으로 확인되는 투과 이미지에 겹쳐, 표시 영역에 표시된 화상을 볼 수 있다. 따라서 전자 기기(700A) 및 전자 기기(700B)는 각각 AR 표시가 가능한 전자 기기이다.

[0716] 전자 기기(700A) 및 전자 기기(700B)에는 촬상부로서 앞쪽 방향을 촬상할 수 있는 카메라가 제공되어도 좋다. 또한 전자 기기(700A) 및 전자 기기(700B)는 각각 자이로 센서 등의 가속도 센서를 가짐으로써, 사용자의 머리의 방향을 검지하고, 그 방향에 따른 화상을 표시 영역(756)에 표시할 수도 있다.

[0717] 통신부는 무선 통신기를 가지고, 상기 무선 통신기에 의하여 예를 들어 영상 신호를 공급할 수 있다. 또한 무선 통신기 대신 또는 무선 통신기에 더하여 영상 신호 및 전원 전위가 공급되는 케이블을 접속 가능한 커넥터를 가져도 좋다.

[0718] 전자 기기(700A) 및 전자 기기(700B)에는 배터리가 제공되어 있기 때문에, 무선 및 유선 중 한쪽 또는 양쪽으로 충전할 수 있다.

[0719] 하우징(721)에는 터치 센서 모듈이 제공되어도 좋다. 터치 센서 모듈은 하우징(721)의 외측 면이 터치되는 것을 검출하는 기능을 가진다. 터치 센서 모듈에 의하여 사용자의 탭 조작 또는 슬라이드 조작 등을 검출하여, 다양한 처리를 실행할 수 있다. 예를 들어 탭 조작에 의하여 동영상의 일시 정지 또는 재개 등의 처리를 실행할 수 있고, 슬라이드 조작에 의하여 빨리 감기 또는 빨리 되감기의 처리를 실행할 수 있다. 또한 2개의 하우징(721) 각각에 터치 센서 모듈을 제공함으로써, 조작의 폭을 넓힐 수 있다.

[0720] 터치 센서 모듈에는 다양한 터치 센서를 적용할 수 있다. 예를 들어 정전 용량 방식, 저항막 방식, 적외선 방

식, 전자기 유도 방식, 표면 탄성파 방식, 또는 광학 방식 등 다양한 방식을 채용할 수 있다. 특히 정전 용량 방식 또는 광학 방식의 센서를 터치 센서 모듈에 적용하는 것이 바람직하다.

[0721] 광학 방식의 터치 센서를 사용하는 경우에는, 수광 소자로서 광전 변환 소자(광전 변환 디바이스라고도 함)를 사용할 수 있다. 광전 변환 소자의 활성층에는 무기 반도체 및 유기 반도체 중 한쪽 또는 양쪽을 사용할 수 있다.

[0722] 도 92의 (C)에 나타낸 전자 기기(800A) 및 도 92의 (D)에 나타낸 전자 기기(800B)는 각각 한 쌍의 표시부(820)와, 하우징(821)과, 통신부(822)와, 한 쌍의 장착부(823)와, 제어부(824)와, 한 쌍의 촬상부(825)와, 한 쌍의 렌즈(832)를 가진다.

[0723] 표시부(820)에는 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 따라서 정세도가 매우 높은 표시가 가능한 전자 기기로 할 수 있다. 이에 의하여, 사용자는 높은 몰입감을 느낄 수 있다.

[0724] 표시부(820)는 하우징(821)의 내부의 렌즈(832)를 통하여 눈으로 확인할 수 있는 위치에 제공된다. 또한 한 쌍의 표시부(820)에 서로 다른 화상을 표시함으로써, 시차를 사용한 3차원 표시를 할 수도 있다.

[0725] 전자 기기(800A) 및 전자 기기(800B)는 각각 VR용 전자 기기라고 할 수 있다. 전자 기기(800A) 또는 전자 기기(800B)를 장착한 사용자는 렌즈(832)를 통하여 표시부(820)에 표시되는 화상을 볼 수 있다.

[0726] 전자 기기(800A) 및 전자 기기(800B)는 각각 렌즈(832) 및 표시부(820)가 사용자의 눈의 위치에 따라 최적으로 배치되도록 이들의 좌우의 위치를 조정 가능한 기구를 가지는 것이 바람직하다. 또한 렌즈(832)와 표시부(820) 사이의 거리를 변경함으로써, 초점을 조정하는 기구를 가지는 것이 바람직하다.

[0727] 장착부(823)에 의하여 사용자는 전자 기기(800A) 또는 전자 기기(800B)를 머리에 장착할 수 있다. 또한 예를 들어 도 92의 (C)에서는 안경다리(템플이라고도 함)와 같은 형상을 가지는 예를 나타내었지만, 이에 한정되지 않는다. 장착부(823)는 사용자가 장착할 수 있으면 좋고, 예를 들어 헬멧형 또는 밴드형이어도 좋다.

[0728] 촬상부(825)는 외부의 정보를 취득하는 기능을 가진다. 촬상부(825)가 취득한 데이터는 표시부(820)에 출력할 수 있다. 촬상부(825)에는 이미지 센서를 사용할 수 있다. 또한 망원 및 광각 등 복수의 화각에 대응할 수 있도록 복수의 카메라를 제공하여도 좋다.

[0729] 또한 여기서는 촬상부(825)가 제공되는 예를 나타내었지만, 대상물과의 거리를 측정할 수 있는 측거 센서(이하, 검지부라고도 부름)가 제공되면 좋다. 즉 촬상부(825)는 검지부의 일 형태이다. 검지부로서는 예를 들어 이미지 센서 또는 라이다(LIDAR: Light Detection and Ranging) 등의 거리 화상 센서를 사용할 수 있다. 카메라에 의하여 얻어진 화상과, 거리 화상 센서에 의하여 얻어진 화상을 사용함으로써, 더 많은 정보를 취득할 수 있어, 더 정밀도가 높은 제스처 조작이 가능해진다.

[0730] 전자 기기(800A)는 골전도 이어폰으로서 기능하는 진동 기구를 가져도 좋다. 예를 들어 표시부(820), 하우징(821), 및 장착부(823) 중 어느 하나 또는 복수에 상기 진동 기구를 가지는 구성을 적용할 수 있다. 이에 의하여, 헤드폰, 이어폰, 또는 스피커 등의 음향 기기가 별도로 필요하지 않아, 전자 기기(800A)를 장착하기만 하면 영상과 음성을 즐길 수 있다.

[0731] 전자 기기(800A) 및 전자 기기(800B)는 각각 입력 단자를 가져도 좋다. 입력 단자에는 예를 들어 영상 출력 기기로부터의 영상 신호 및 전자 기기 내에 제공되는 배터리를 충전하기 위한 전력 등을 공급하는 케이블을 접속할 수 있다.

[0732] 본 발명의 일 형태의 전자 기기는 이어폰(750)과 무선 통신을 하는 기능을 가져도 좋다. 이어폰(750)은 통신부(도시하지 않았음)를 가지고, 무선 통신 기능을 가진다. 이어폰(750)은 무선 통신 기능에 의하여 전자 기기로부터 정보(예를 들어 음성 데이터)를 수신할 수 있다. 예를 들어 도 92의 (A)에 나타낸 전자 기기(700A)는 무선 통신 기능에 의하여 이어폰(750)에 정보를 송신하는 기능을 가진다. 또한 예를 들어 도 92의 (C)에 나타낸 전자 기기(800A)는 무선 통신 기능에 의하여 이어폰(750)에 정보를 송신하는 기능을 가진다.

[0733] 전자 기기가 이어폰부를 가져도 좋다. 도 92의 (B)에 나타낸 전자 기기(700B)는 이어폰부(727)를 가진다. 예를 들어 이어폰부(727)는 제어부에 유선으로 접속될 수 있다. 이어폰부(727)와 제어부를 접속하는 배선의 일부는 하우징(721) 또는 장착부(723)의 내부에 배치되어도 좋다.

[0734] 마찬가지로, 도 92의 (D)에 나타낸 전자 기기(800B)는 이어폰부(827)를 가진다. 예를 들어 이어폰부(827)는 제어부(824)에 유선으로 접속될 수 있다. 이어폰부(827)와 제어부(824)를 접속하는 배선의 일부는 하우징(821)

또는 장착부(823)의 내부에 배치되어도 좋다. 또한 이어폰부(827)와 장착부(823)가 자석을 가져도 좋다. 이에 의하여, 이어폰부(827)를 장착부(823)에 자기력으로 고정할 수 있어, 수납이 용이해지기 때문에 바람직하다.

[0735] 또한 전자 기기는 이어폰 또는 헤드폰 등을 접속할 수 있는 음성 출력 단자를 가져도 좋다. 또한 전자 기기는 음성 입력 단자 및 음성 입력 기구 중 한쪽 또는 양쪽을 가져도 좋다. 음성 입력 기구로서는 예를 들어 마이크로폰 등의 집음 장치를 사용할 수 있다. 전자 기기가 음성 입력 기구를 가짐으로써, 전자 기기에 소위 헤드셋으로서의 기능을 부여하여도 좋다.

[0736] 상술한 바와 같이, 본 발명의 일 형태의 전자 기기로서는, 안경형(전자 기기(700A) 및 전자 기기(700B) 등) 및 고글형(전자 기기(800A) 및 전자 기기(800B) 등) 모두 적합하다.

[0737] 본 발명의 일 형태의 전자 기기는 유선 또는 무선으로 이어폰에 정보를 송신할 수 있다.

[0738] 도 93의 (A)에 나타낸 전자 기기(6500)는 스마트폰으로서 사용할 수 있는 휴대 정보 단말기이다.

[0739] 전자 기기(6500)는 하우징(6501), 표시부(6502), 전원 버튼(6503), 버튼(6504), 스피커(6505), 마이크로폰(6506), 카메라(6507), 및 광원(6508) 등을 가진다. 표시부(6502)는 터치 패널 기능을 가진다.

[0740] 표시부(6502)에는 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0741] 도 93의 (B)는 하우징(6501)의 마이크로폰(6506) 측의 단부를 포함한 단면 개략도이다.

[0742] 하우징(6501)의 표시면 측에는 광 투과성을 가지는 보호 부재(6510)가 제공되고, 하우징(6501)과 보호 부재(6510)로 둘러싸인 공간 내에 표시 패널(6511), 광학 부재(6512), 터치 센서 패널(6513), 인쇄 기판(6517), 및 배터리(6518) 등이 배치되어 있다.

[0743] 보호 부재(6510)에는 표시 패널(6511), 광학 부재(6512), 및 터치 센서 패널(6513)이 접착층(도시하지 않았음)에 의하여 고정되어 있다.

[0744] 표시부(6502)보다 외측의 영역에서 표시 패널(6511)의 일부가 접혀 있고, 이 접힌 부분에 FPC(6515)가 접속된다. FPC(6515)에는 IC(6516)가 실장되어 있다. FPC(6515)는 인쇄 기판(6517)에 제공된 단자에 접속된다.

[0745] 표시 패널(6511)에는 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 그러므로 매우 가벼운 전자 기기를 실현할 수 있다. 또한 표시 패널(6511)이 매우 얇기 때문에, 전자 기기의 두께를 억제하면서 대용량 배터리(6518)를 탑재할 수도 있다. 또한 표시 패널(6511)의 일부를 접어 화소부의 이면 측에 FPC(6515)와의 접속부를 배치함으로써, 슬림 베젤의 전자 기기를 실현할 수 있다.

[0746] 도 93의 (C)에 텔레비전 장치의 일례를 나타내었다. 텔레비전 장치(7100)에서는 하우징(7101)에 표시부(7000)가 포함되어 있다. 여기서는 스탠드(7103)에 의하여 하우징(7101)을 지지한 구성을 나타내었다.

[0747] 표시부(7000)에는 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0748] 도 93의 (C)에 나타낸 텔레비전 장치(7100)의 조작은 하우징(7101)이 가지는 조작 스위치 및 별체의 리모트 컨트롤러(7111)에 의하여 수행할 수 있다. 또는 표시부(7000)에 터치 센서를 포함하여도 좋고, 손가락 등으로 표시부(7000)를 터치함으로써 텔레비전 장치(7100)를 조작하여도 좋다. 리모트 컨트롤러(7111)는 상기 리모트 컨트롤러(7111)로부터 출력되는 정보를 표시하는 표시부를 가져도 좋다. 리모트 컨트롤러(7111)가 가지는 조작키 또는 터치 패널에 의하여 채널 및 음량을 조작할 수 있고, 표시부(7000)에 표시되는 영상을 조작할 수 있다.

[0749] 또한 텔레비전 장치(7100)는 수신기 및 모뎀 등을 포함한다. 수신기에 의하여 일반적인 텔레비전 방송을 수신할 수 있다. 또한 모뎀을 통하여 유선 또는 무선으로 통신 네트워크에 접속함으로써, 한 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 사이, 또는 수신자끼리 등)의 정보 통신을 수행할 수도 있다.

[0750] 도 93의 (D)에 노트북형 퍼스널 컴퓨터의 일례를 나타내었다. 노트북형 퍼스널 컴퓨터(7200)는 하우징(7211), 키보드(7212), 포인팅 디바이스(7213), 및 외부 접속 포트(7214) 등을 가진다. 하우징(7211)에 표시부(7000)가 포함되어 있다.

[0751] 표시부(7000)에는 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0752] 도 93의 (E) 및 (F)에 디지털 사이니지의 일례를 나타내었다.

[0753] 도 93의 (E)에 나타낸 디지털 사이니지(7300)는 하우징(7301), 표시부(7000), 및 스피커(7303) 등을 가진다.

또한 LED 램프, 조작 키(전원 스위치 또는 조작 스위치를 포함함), 접속 단자, 각종 센서, 마이크로폰 등을 가질 수 있다.

[0754] 도 93의 (F)는 원기둥 모양의 기둥(7401)에 장착된 디지털 사이니지(7400)를 나타낸 것이다. 디지털 사이니지(7400)는 기둥(7401)의 곡면을 따라 제공된 표시부(7000)를 가진다.

[0755] 도 93의 (E) 및 (F)에서는 표시부(7000)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0756] 표시부(7000)가 넓을수록 한번에 제공할 수 있는 정보량을 늘릴 수 있다. 또한 표시부(7000)가 넓을수록 사람의 눈에 띄기 쉽기 때문에, 예를 들어 광고의 홍보 효과를 높일 수 있다.

[0757] 표시부(7000)에 터치 패널을 적용함으로써, 표시부(7000)에 화상 또는 동영상을 표시할 뿐만 아니라, 사용자가 직관적으로 조작할 수도 있어 바람직하다. 또한 노선 정보 또는 교통 정보 등의 정보를 제공하기 위한 용도로 사용하는 경우에는, 직관적인 조작에 의하여 사용성을 높일 수 있다.

[0758] 도 93의 (E) 및 (F)에 나타낸 바와 같이, 디지털 사이니지(7300) 또는 디지털 사이니지(7400)는 사용자가 소유하는 스마트폰 등의 정보 단말기(7311) 또는 정보 단말기(7411)와 무선 통신에 의하여 연계 가능한 것이 바람직하다. 예를 들어 표시부(7000)에 표시되는 광고의 정보를 정보 단말기(7311) 또는 정보 단말기(7411)의 화면에 표시할 수 있다. 또한 정보 단말기(7311) 또는 정보 단말기(7411)를 조작함으로써, 표시부(7000)의 표시를 전환할 수 있다.

[0759] 디지털 사이니지(7300) 또는 디지털 사이니지(7400)에 정보 단말기(7311) 또는 정보 단말기(7411)의 화면을 조작 수단(컨트롤러)으로서 사용한 게임을 실행시킬 수도 있다. 이에 의하여, 불특정 다수의 사용자가 동시에 게임에 참가하여 즐길 수 있다.

[0760] 도 94의 (A) 내지 (G)에 나타낸 전자 기기는 하우징(9000), 표시부(9001), 스피커(9003), 조작 키(9005)(전원 스위치 또는 조작 스위치를 포함함), 접속 단자(9006), 센서(9007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 검지, 검출, 또는 측정하는 기능을 가지는 것), 마이크로폰(9008) 등을 가진다. 표시부(9001)에는 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0761] 도 94의 (A) 내지 (G)에 나타낸 전자 기기의 자세한 사항에 대하여 이하에서 설명한다.

[0762] 도 94의 (A)는 휴대 정보 단말기(9101)를 나타낸 사시도이다. 휴대 정보 단말기(9101)는 예를 들어 스마트폰으로서 사용할 수 있다. 또한 휴대 정보 단말기(9101)에는 스피커(9003), 접속 단자(9006), 및 센서(9007) 등을 제공하여도 좋다. 또한 휴대 정보 단말기(9101)는 문자 및 화상 정보를 그 복수의 면에 표시할 수 있다. 도 94의 (A)에는 3개의 아이콘(9050)을 표시한 예를 나타내었다. 또한 파선의 직사각형으로 나타낸 정보(9051)를 표시부(9001)의 다른 면에 표시할 수도 있다. 정보(9051)의 일례로서는 전자 메일, SNS, 또는 전화 등의 착신의 알림, 전자 메일 또는 SNS 등의 제목, 송신자명, 일시, 시각, 배터리의 잔량, 및 전파 강도 등이 있다. 또는 정보(9051)가 표시되는 위치에는 아이콘(9050) 등을 표시하여도 좋다.

[0763] 도 94의 (B)는 휴대 정보 단말기(9102)를 나타낸 사시도이다. 휴대 정보 단말기(9102)는 표시부(9001)의 3면 이상에 정보를 표시하는 기능을 가진다. 여기서는 정보(9052), 정보(9053), 정보(9054)가 각각 다른 면에 표시되어 있는 예를 나타내었다. 예를 들어 사용자는 옷의 가슴 포켓에 휴대 정보 단말기(9102)를 수납한 상태에서, 휴대 정보 단말기(9102) 위쪽에서 볼 수 있는 위치에 표시된 정보(9053)를 확인할 수도 있다. 사용자는 휴대 정보 단말기(9102)를 포켓에서 꺼내지 않고 표시를 확인하고, 예를 들어 전화를 받을지 여부를 판단할 수 있다.

[0764] 도 94의 (C)는 태블릿 단말기(9103)를 나타낸 사시도이다. 태블릿 단말기(9103)는 일례로서 이동 전화, 전자 메일, 문장 열람 및 작성, 음악 재생, 인터넷 통신, 컴퓨터 게임 등의 각종 애플리케이션을 실행할 수 있다. 태블릿 단말기(9103)는 하우징(9000)의 정면에 표시부(9001), 카메라(9002), 마이크로폰(9008), 스피커(9003)를 가지고, 하우징(9000)의 왼쪽 측면에는 조작용 버튼으로서 조작 키(9005)를 가지고, 바닥면에는 접속 단자(9006)를 가진다.

[0765] 도 94의 (D)는 손목시계형 휴대 정보 단말기(9200)를 나타낸 사시도이다. 휴대 정보 단말기(9200)는 예를 들어 스마트워치(등록 상표)로서 사용할 수 있다. 또한 표시부(9001)는 그 표시면이 만곡되어 제공되고, 만곡된 표시면을 따라 표시를 할 수 있다. 또한 휴대 정보 단말기(9200)가 예를 들어 무선 통신이 가능한 헤드셋과 상호 통신함으로써, 핸즈프리로 통화를 할 수도 있다. 또한 휴대 정보 단말기(9200)는 접속 단자(9006)에 의하여 다

른 정보 단말기와 상호로 데이터를 주고받거나 충전을 할 수도 있다. 또한 충전 동작은 무선 급전에 의하여 수행하여도 좋다.

[0766] 도 94의 (E) 내지 (G)는 접을 수 있는 휴대 정보 단말기(9201)를 나타낸 사시도이다. 또한 도 94의 (E)는 펼친 상태의 휴대 정보 단말기(9201)를 나타낸 사시도이고, 도 94의 (G)는 접은 상태의 휴대 정보 단말기(9201)를 나타낸 사시도이고, 도 94의 (F)는 도 94의 (E) 및 (G)에 나타낸 상태 중 한쪽으로부터 다른 쪽으로 변화되는 도중의 상태의 휴대 정보 단말기(9201)를 나타낸 사시도이다. 휴대 정보 단말기(9201)는 접은 상태에서는 휴대성이 뛰어나고, 펼친 상태에서는 이음매가 없고 넓은 표시 영역을 가지므로 표시의 일람성(一覽性)이 뛰어나다. 휴대 정보 단말기(9201)의 표시부(9001)는 힌지(9055)에 의하여 연결된 3개의 하우징(9000)으로 지지되어 있다. 예를 들어 표시부(9001)는 곡률 반경 0.1㎜ 이상 150㎜ 이하로 구부릴 수 있다.

[0767] 본 실시형태에서 설명하는 복수의 구성예는 적절히 조합할 수 있다. 또한 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

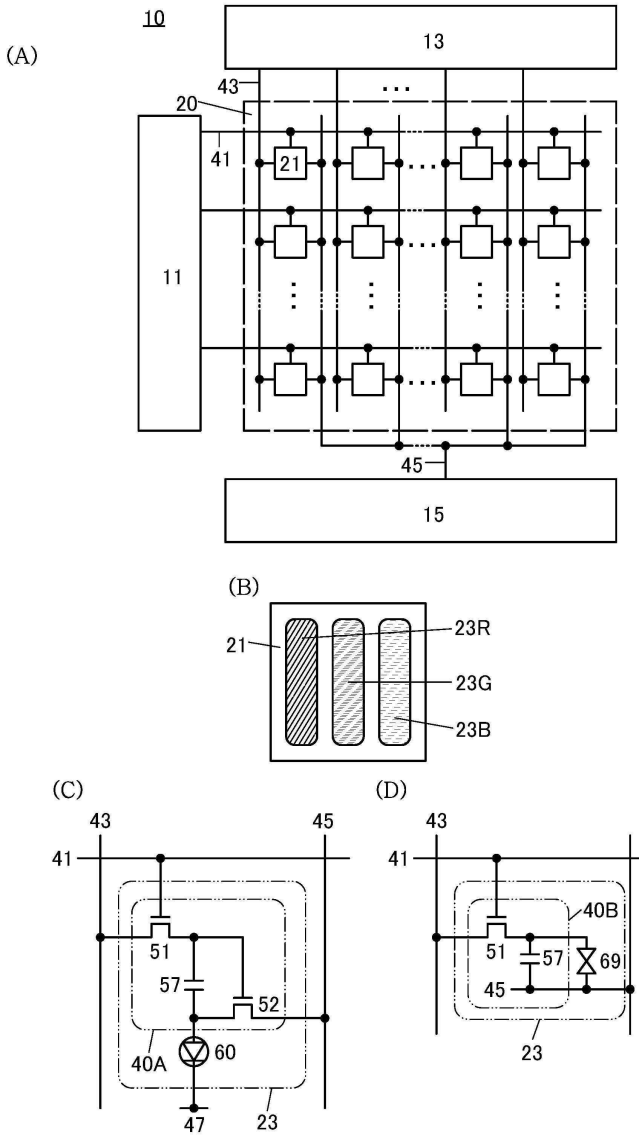
부호의 설명

[0768] 10A: 표시 장치, 10B: 표시 장치, 10C: 표시 장치, 10D: 표시 장치, 10E: 표시 장치, 10F: 표시 장치, 10: 표시 장치, 11: 주사선 구동 회로, 13: 신호선 구동 회로, 15: 전원 회로, 17: 기준 전위 생성 회로, 20: 표시부, 21a: 화소, 21b: 화소, 21: 화소, 23a: 부화소, 23B: 부화소, 23b: 부화소, 23c: 부화소, 23d: 부화소, 23e: 부화소, 23G: 부화소, 23R: 부화소, 23: 부화소, 40A: 화소 회로, 40B: 화소 회로, 40C: 화소 회로, 40D: 화소 회로, 40E: 화소 회로, 40F: 화소 회로, 41a: 배선, 41b: 배선, 41c: 배선, 41d: 배선, 41e: 배선, 41f: 배선, 41g: 배선, 41: 배선, 43a: 배선, 43b: 배선, 43: 배선, 45: 배선, 47: 배선, 48: 배선, 49: 배선, 50: 트랜지스터, 51: 트랜지스터, 52: 트랜지스터, 53: 트랜지스터, 54: 트랜지스터, 57: 용량 소자, 58: 용량 소자, 60B: 발광 소자, 60G: 발광 소자, 60R: 발광 소자, 60: 발광 소자, 61: 트랜지스터, 62: 트랜지스터, 63: 트랜지스터, 64: 트랜지스터, 65: 트랜지스터, 66: 트랜지스터, 67: 용량 소자, 68: 용량 소자, 69: 액정 소자, 101: 기판, 103a: 절연층, 103b: 절연층, 103: 절연층, 105: 절연층, 111a: 도전층, 111b: 도전층, 111c: 도전층, 111: 도전층, 112A: 도전층, 112a: 도전층, 112B: 도전층, 112b: 도전층, 112c: 도전층, 112f: 도전막, 112: 도전층, 113_1: 반도체층, 113_2: 반도체층, 113a: 반도체층, 113b: 반도체층, 113c: 반도체층, 113f: 반도체막, 113: 반도체층, 115a: 도전층, 115b: 도전층, 115c: 도전층, 115: 도전층, 119: 도전층, 121_1: 개구, 121_2: 개구, 121a: 개구, 121b: 개구, 121c: 개구, 121: 개구, 123_1: 개구, 123_2: 개구, 123a: 개구, 123b: 개구, 123c: 개구, 123: 개구, 125a: 개구, 125b: 개구, 125c: 개구, 125d: 개구, 125: 개구, 127a: 개구, 127b: 개구, 127: 개구, 129: 개구, 131: 도전층, 135: 도전층, 137: 도전층, 140: 접속부, 142: 접착층, 152: 기판, 161a: 테이퍼부, 161b: 테이퍼부, 164: 회로, 165: 배선, 166: 도전층, 172: FPC, 173: IC, 201: 트랜지스터, 204: 접속부, 205B: 트랜지스터, 205G: 트랜지스터, 205R: 트랜지스터, 205: 트랜지스터, 211: 도전층, 213i: 채널 형성 영역, 213n: 저저항 영역, 213: 반도체층, 215: 도전층, 218: 절연층, 222a: 도전층, 222b: 도전층, 235: 절연층, 237: 절연층, 242: 접속층, 308: 접속부, 309: 접속층, 311B: 화소 전극, 311G: 화소 전극, 311R: 화소 전극, 311: 화소 전극, 313B: 층, 313G: 층, 313R: 층, 313: 층, 314: 공통층, 315: 공통 전극, 317: 차광층, 318B: 마스크층, 318G: 마스크층, 318R: 마스크층, 318: 마스크층, 323: 도전층, 324B: 도전층, 324G: 도전층, 324p: 도전층, 324R: 도전층, 324: 도전층, 325: 절연층, 326B: 도전층, 326G: 도전층, 326p: 도전층, 326R: 도전층, 326: 도전층, 327: 절연층, 328: 층, 329B: 도전층, 329G: 도전층, 329p: 도전층, 329R: 도전층, 329: 도전층, 330: 기판, 331: 보호층, 341: 절연층, 342: 배선, 343: 액정층, 344: 도전층, 345: 절연층, 347: 스페이서, 349B: 착색층, 349G: 착색층, 349R: 착색층, 349: 착색층, 350: FPC, 353: 절연층, 380: 검지 소자, 381: 전극, 382: 전극, 383: 전극, 384: 전극, 387: 검지부, 395: 절연층, 396: 접착층, 400: 기억 장치, 410: 기억부, 411: 워드선 구동 회로, 413: 비트선 구동 회로, 415: 전원 회로, 420A: 메모리 셀, 420B: 메모리 셀, 420C: 메모리 셀, 420D: 메모리 셀, 420E: 메모리 셀, 420: 메모리 셀, 700A: 전자 기기, 700B: 전자 기기, 721: 하우징, 723: 장착부, 727: 이어폰부, 750: 이어폰, 751: 표시 패널, 753: 광학 부재, 756: 표시 영역, 757: 프레임, 758: 코 받침, 800A: 전자 기기, 800B: 전자 기기, 820: 표시부, 821: 하우징, 822: 통신부, 823: 장착부, 824: 제어부, 825: 촬상부, 827: 이어폰부, 832: 렌즈, 6500: 전자 기기, 6501: 하우징, 6502: 표시부, 6503: 전원 버튼, 6504: 버튼, 6505: 스피커, 6506: 마이크로폰, 6507: 카메라, 6508: 광원, 6510: 보호 부재, 6511: 표시 패널, 6512: 광학 부재, 6513: 터치 센서 패널, 6515: FPC, 6516: IC, 6517: 인쇄 기판, 6518: 배터리, 7000: 표시부, 7100: 텔레비전 장치, 7101: 하우징, 7103: 스탠드, 7111: 리모트 컨트롤러, 7200: 노트북형 퍼스널 컴퓨터, 7211: 하우징, 7212: 키보드, 7213: 포인팅 디바이스, 7214: 외부 접속 포트, 7300: 디지털 사이니지, 7301: 하우징, 7303: 스피커, 7311: 정보 단말기, 7400: 디지털 사이

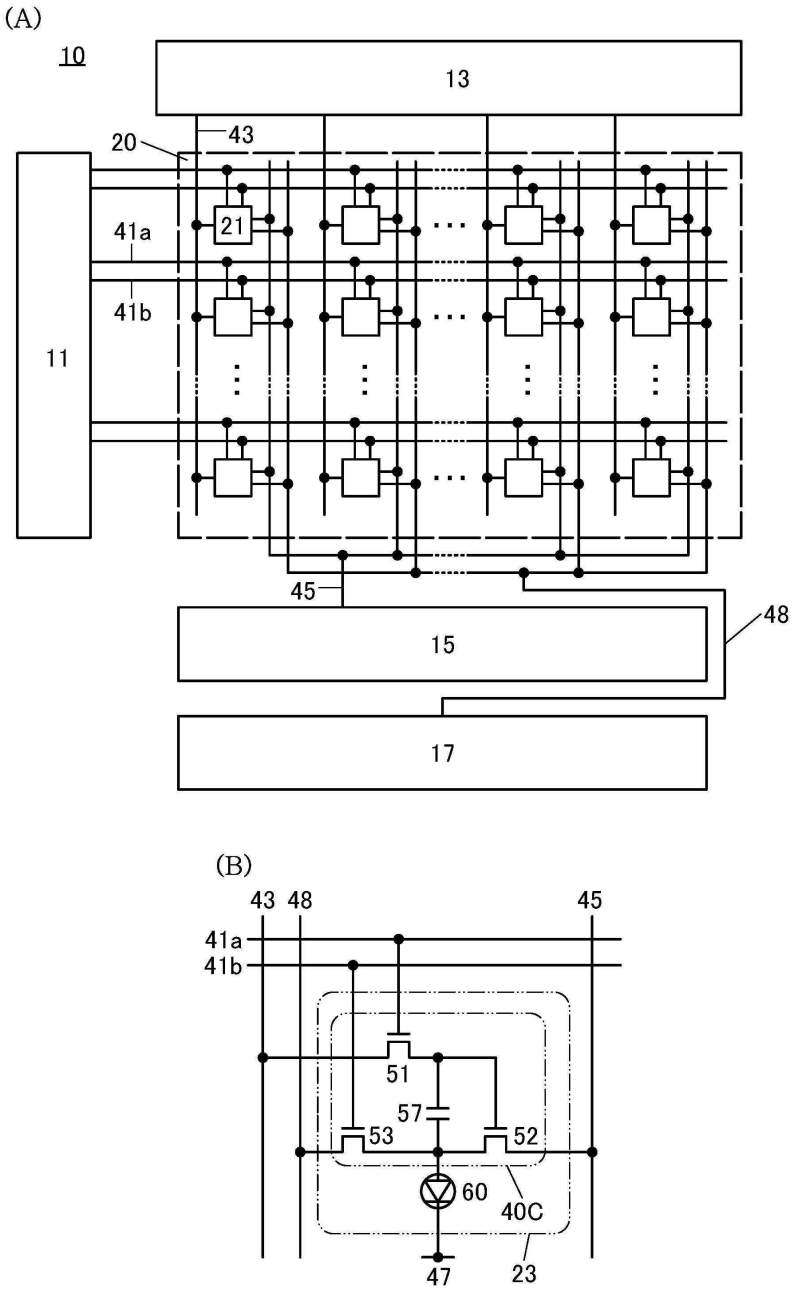
니지, 7401: 기둥, 7411: 정보 단말기, 9000: 하우징, 9001: 표시부, 9002: 카메라, 9003: 스피커, 9005: 조작 키, 9006: 접속 단자, 9007: 센서, 9008: 마이크로폰, 9050: 아이콘, 9051: 정보, 9052: 정보, 9053: 정보, 9054: 정보, 9055: 힌지, 9101: 휴대 정보 단말기, 9102: 휴대 정보 단말기, 9103: 태블릿 단말기, 9200: 휴대 정보 단말기, 9201: 휴대 정보 단말기

도면

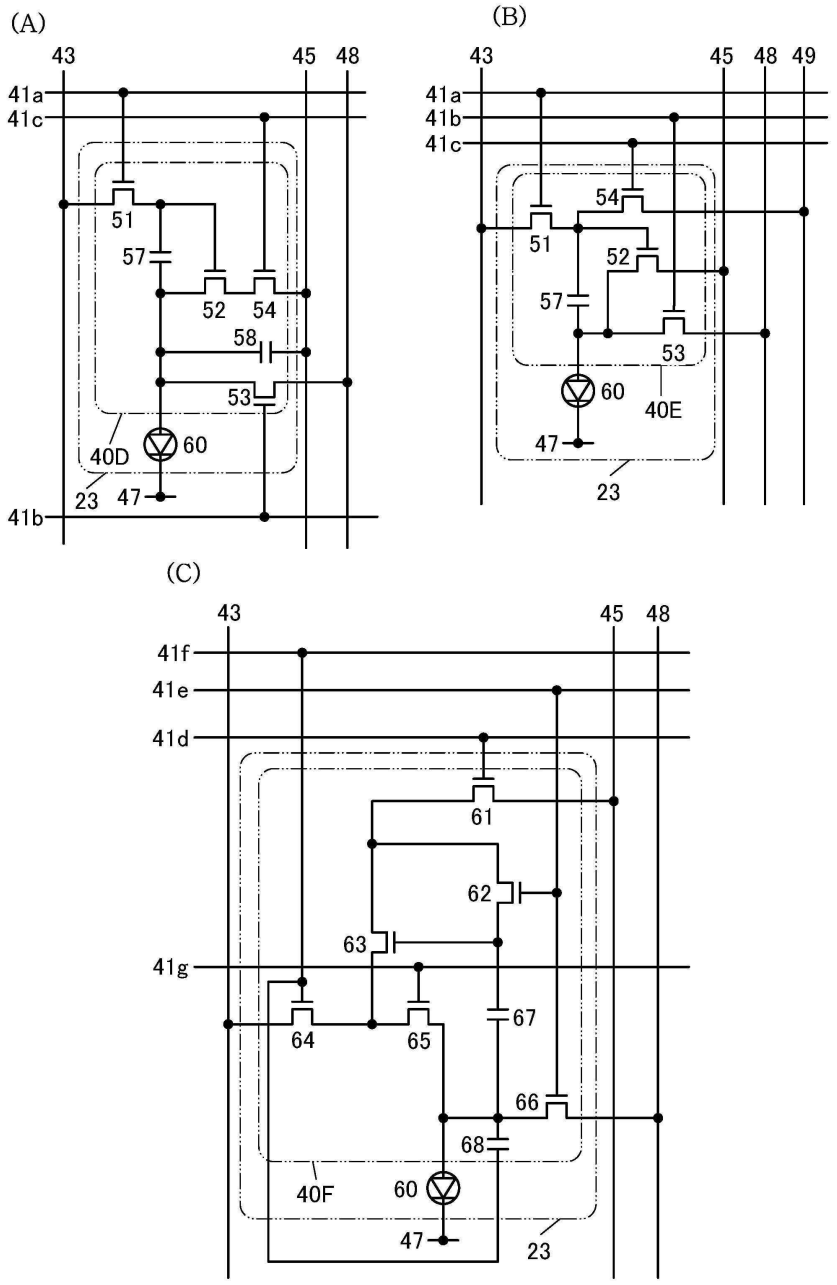
도면1



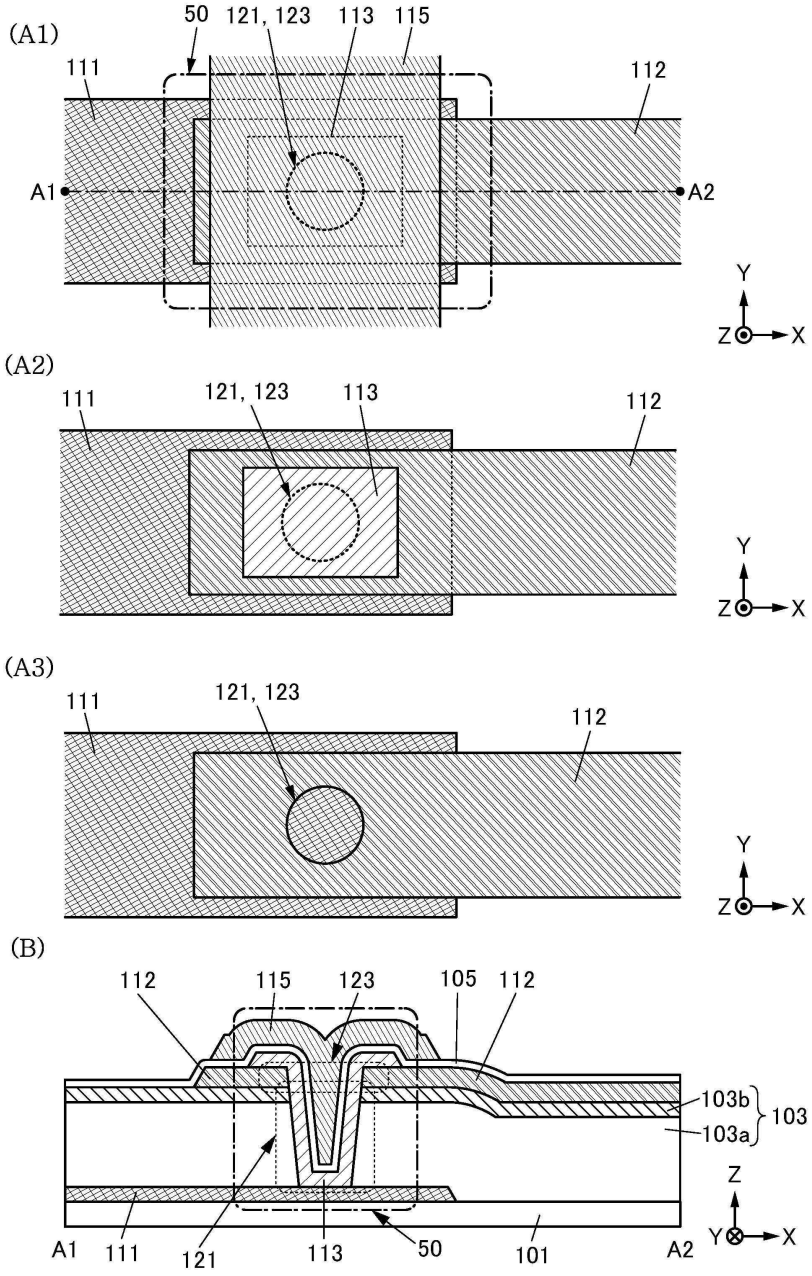
도면2


(A)
10
13
20
43
41a
41b
21
11
45
48
15
17
(B)
43
48
45
41a
41b
51
57
53
52
60
40C
47
23

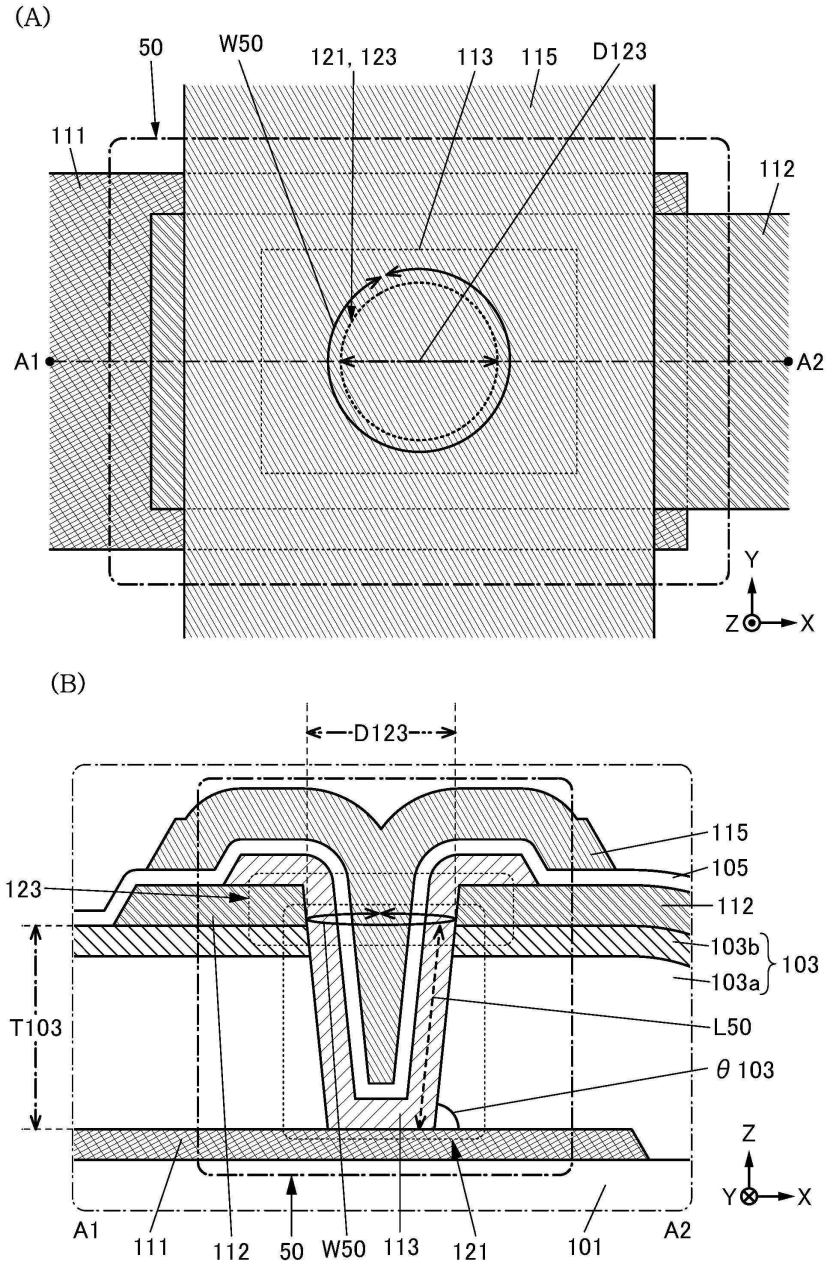
도면3


(A)
43
45
48
41a
41c
51
57
52
54
58
53
40D
60
23
47
41b
(B)
43
45
48
49
41a
41b
41c
54
51
52
57
53
60
40E
47
23
(C)
43
45
48
41f
41e
41d
61
62
63
41g
64
65
67
66
68
40F
60
47
23

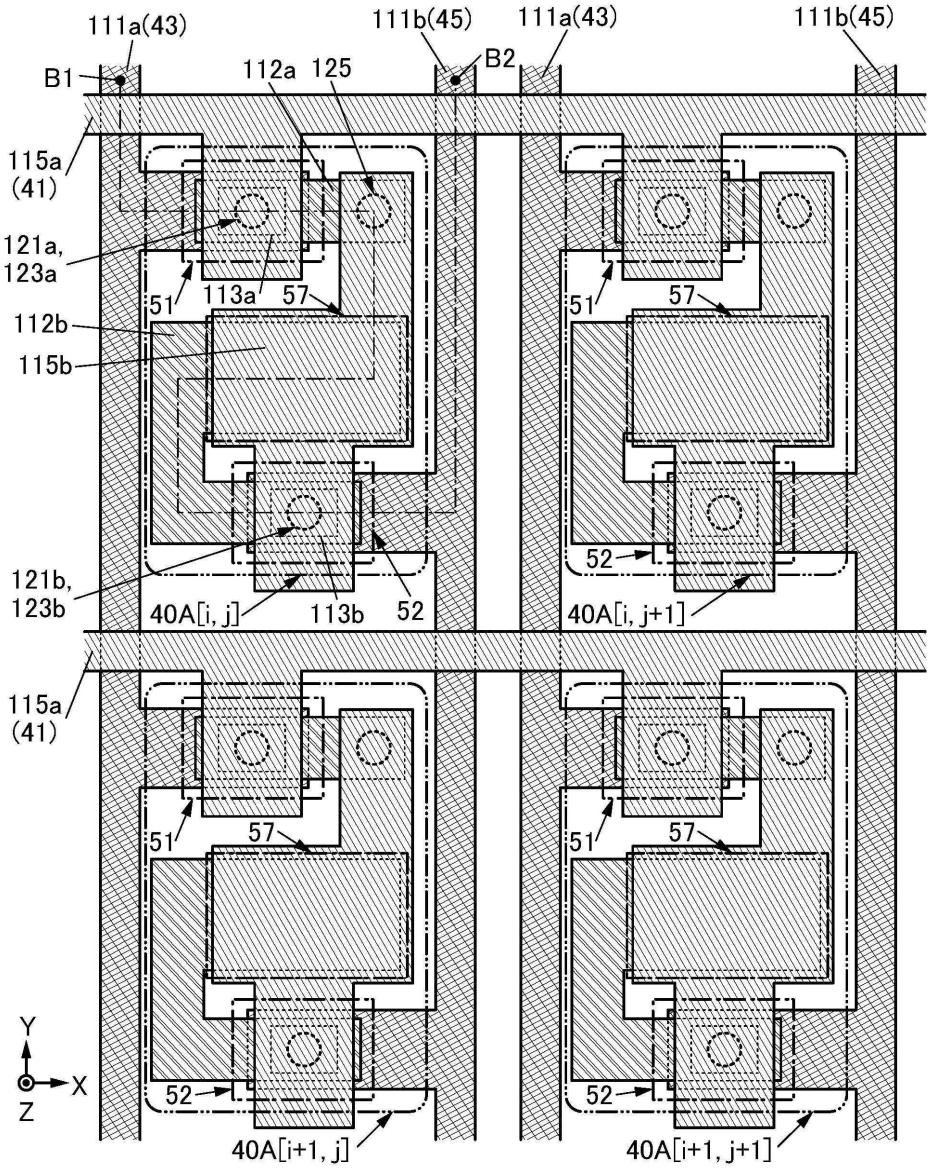
도면4


(A1)
50
121, 123
113
115
111
112
A1
A2
Y
Z
X
(A2)
111
121, 123
113
112
Y
Z
X
(A3)
111
121, 123
112
Y
Z
X
(B)
112
115
123
105
112
103b
103a
103
Z
Y
X
A1
111
121
113
50
101
A2

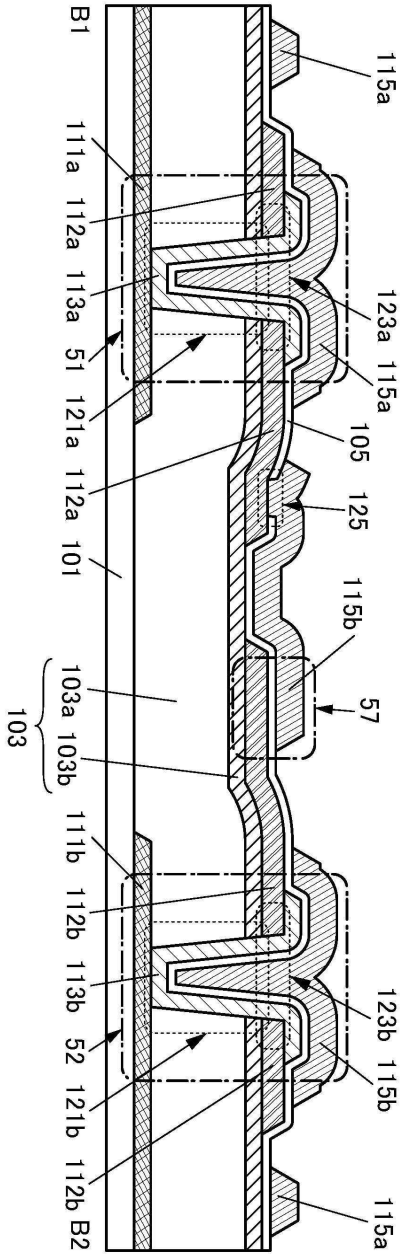
도면5


(A)
50
W50
121, 123
113
115
D123
111
112
A1
A2
Y
Z
X
(B)
D123
115
105
112
123
103b
103
103a
T103
L50
θ 103
Z
Y
X
A1
111
112
50
W50
113
121
101
A2

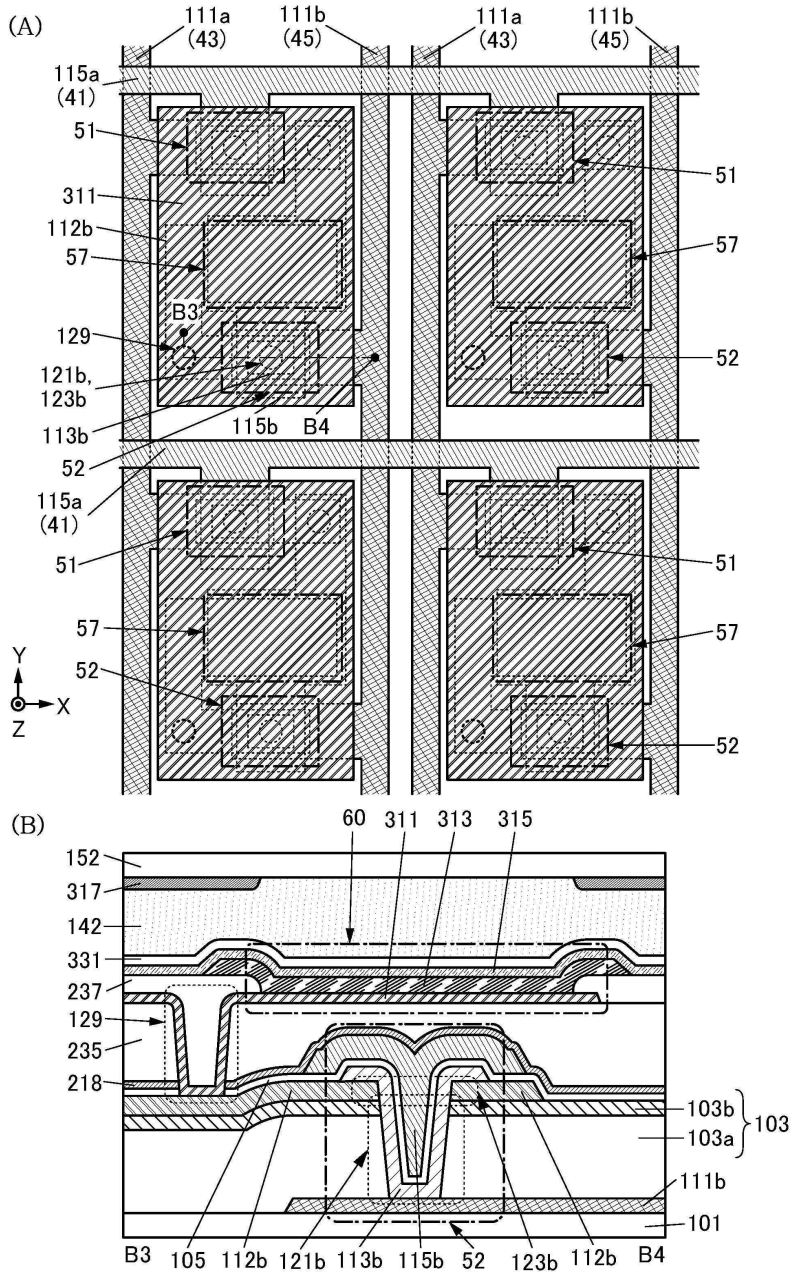
도면6


111a(43)
111b(45)
111a(43)
111b(45)
B1
B2
112a
125
115a
(41)
121a,
123a
51
113a
57
112b
115b
121b,
123b
40A[i, j]
113b
52
40A[i, j+1]
115a
(41)
40A[i+1, j]
40A[i+1, j+1]
Y
X
Z

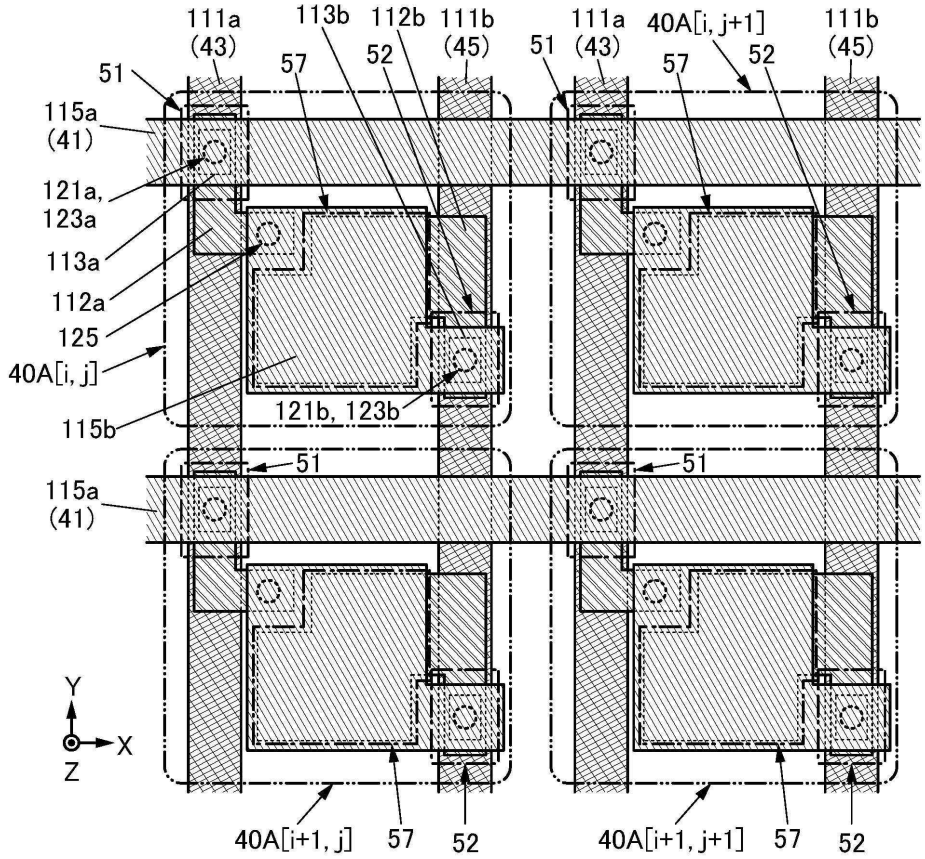
도면7


B1
115a
111a
112a
113a
51
121a
112a
101
103
103a
103b
111b
112b
113b
52
121b
112b
B2
123a
115a
105
125
115b
57
123b
115b
115a

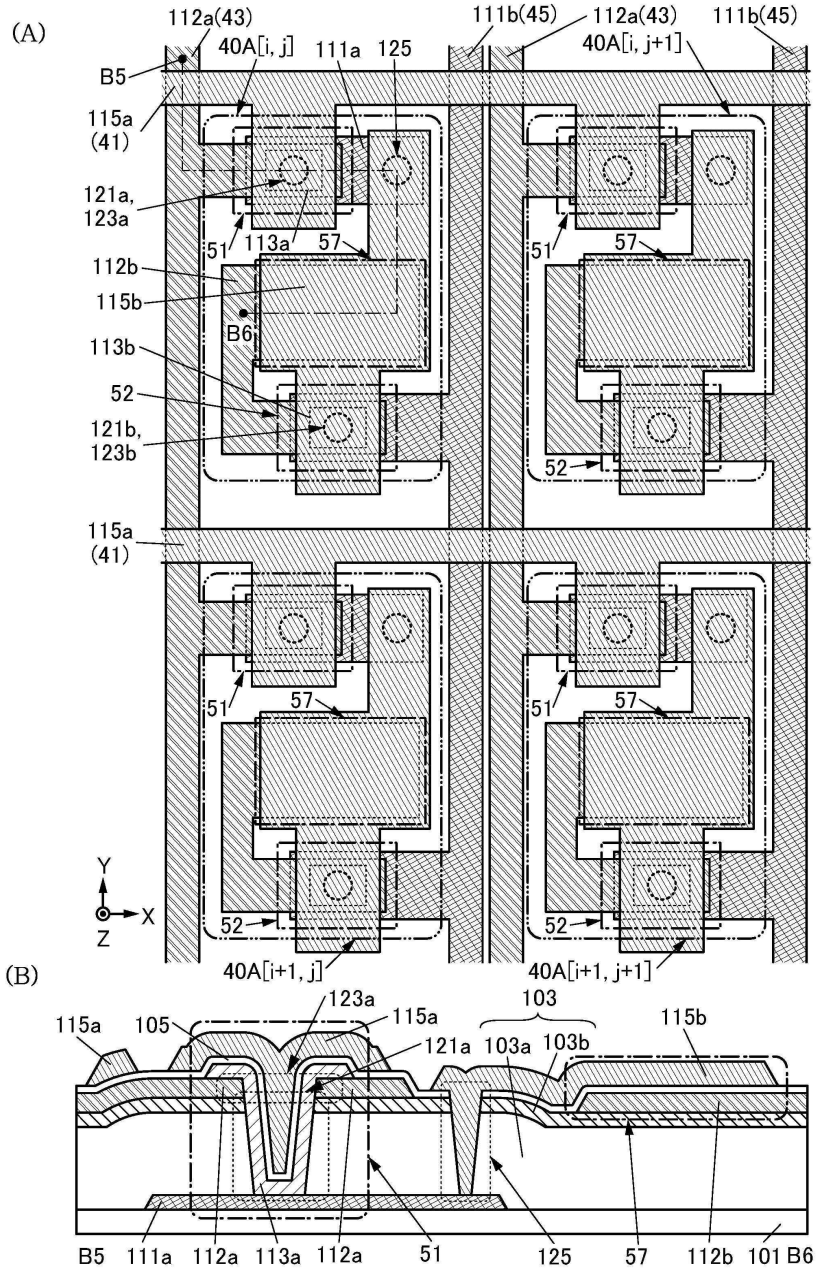
도면8


(A)
111a
(43)
111b
(45)
111a
(43)
111b
(45)
115a
(41)
51
311
112b
57
B3
129
121b,
123b
113b
52
115b
B4
115a
(41)
51
57
52
51
57
52
51
57
52
Y
X
Z
(B)
60
311
313
315
152
317
142
331
237
129
235
218
103b
103a
103
111b
101
B3
105
112b
121b
113b
115b
52
123b
112b
B4

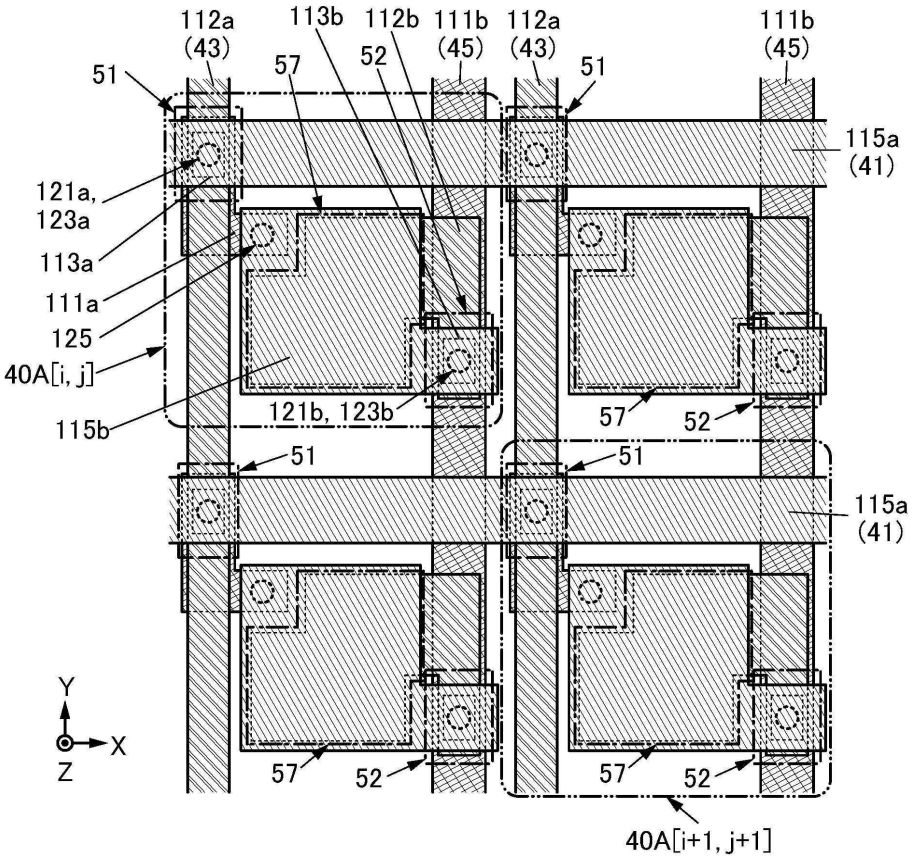
도면9


111a
(43)
113b
112b
111b
(45)
111a
(43)
40A[i, j+1]
111b
(45)
51
57
52
51
57
52
115a
(41)
121a,
123a
113a
112a
125
40A[i, j]
115b
121b, 123b
51
51
115a
(41)
Y
X
Z
40A[i+1, j]
57
52
40A[i+1, j+1]
57
52

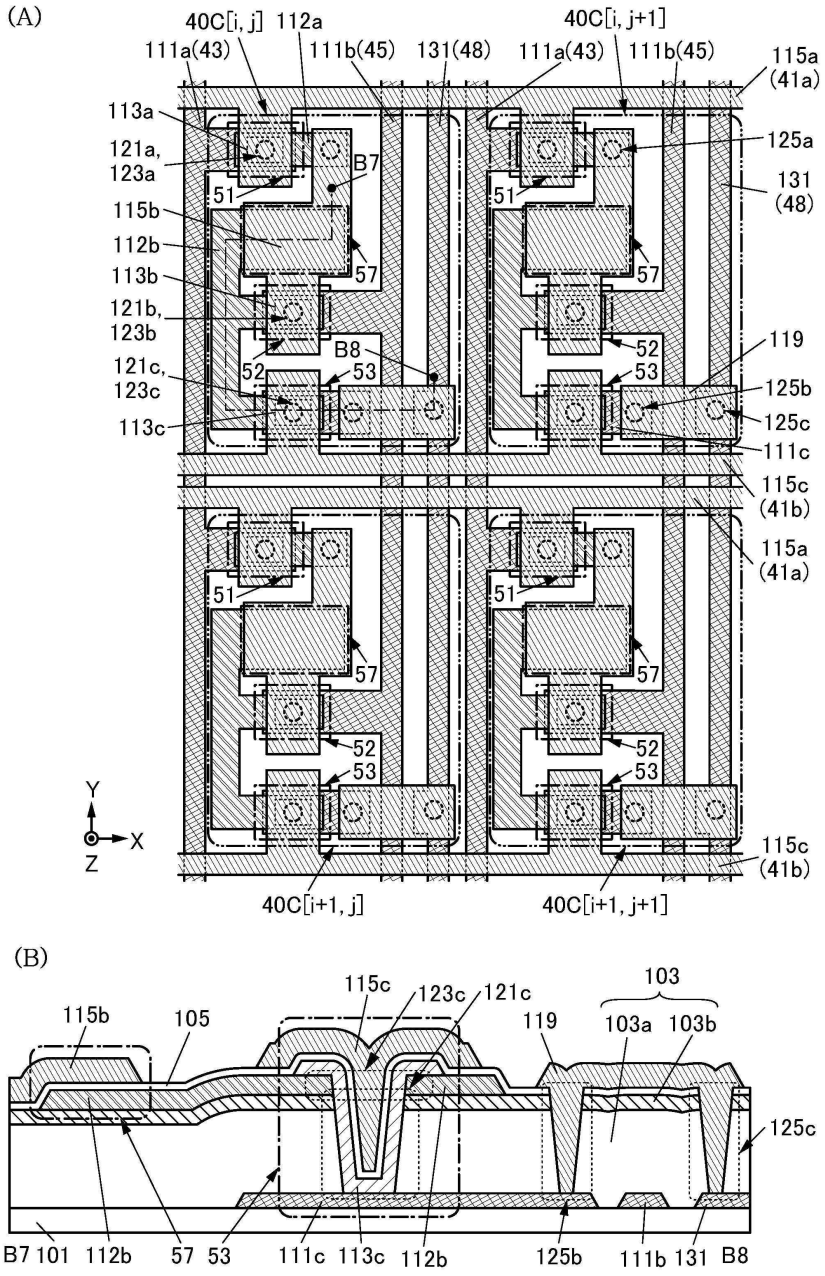
도면10


(A)
112a(43)
40A[i, j]
111a
125
111b(45)
112a(43)
40A[i, j+1]
111b(45)
B5
115a
(41)
121a,
123a
51
113a
57
112b
115b
B6
113b
52
121b,
123b
Y
X
Z
40A[i+1, j]
40A[i+1, j+1]
(B)
115a
105
123a
115a
121a
103
103a
103b
115b
B5
111a
112a
113a
112a
51
125
57
112b
101
B6

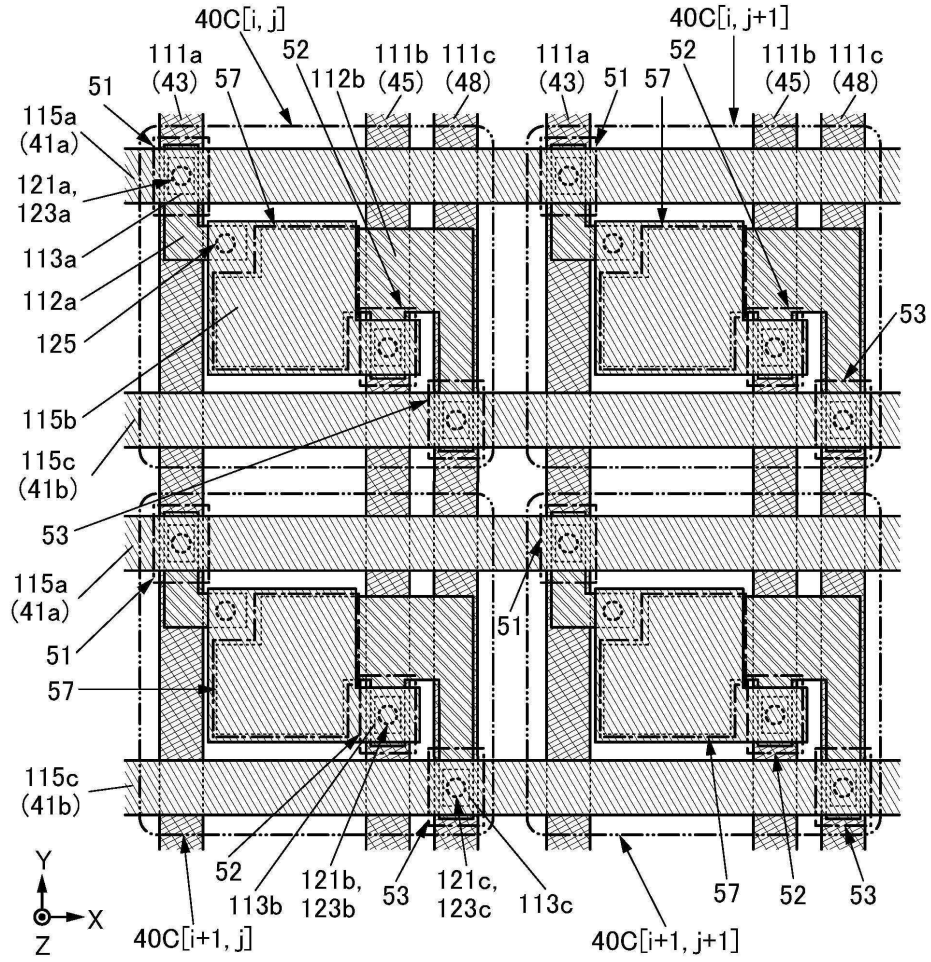
도면11


112a
(43)
113b
112b
111b
(45)
112a
(43)
111b
(45)
51
57
52
51
115a
(41)
121a,
123a
113a
111a
125
40A[i, j]
115b
121b, 123b
57
52
51
51
115a
(41)
Y
X
Z
57
52
57
52
40A[i+1, j+1]

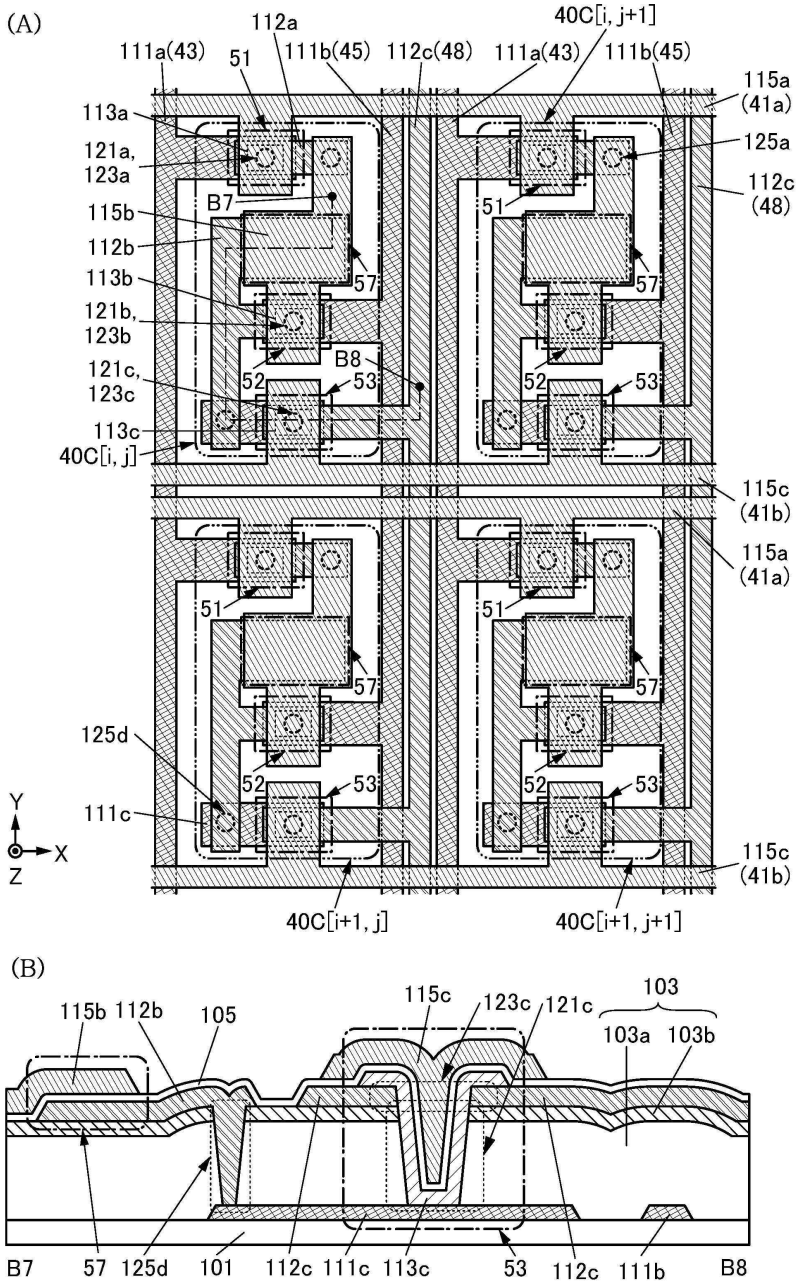
도면12


(A)
40C[i, j]
112a
111a(43)
111b(45)
131(48)
40C[i, j+1]
115a
(41a)
113a
121a,
123a
125a
B7
51
131
(48)
115b
112b
57
113b
121b,
123b
119
B8
52
53
121c,
123c
125b
125c
113c
111c
115c
(41b)
Y
X
Z
40C[i+1, j]
40C[i+1, j+1]
(B)
115c
123c
121c
103
115b
105
119
103a
103b
125c
B7
101
112b
57
53
111c
113c
125b
111b
131
B8

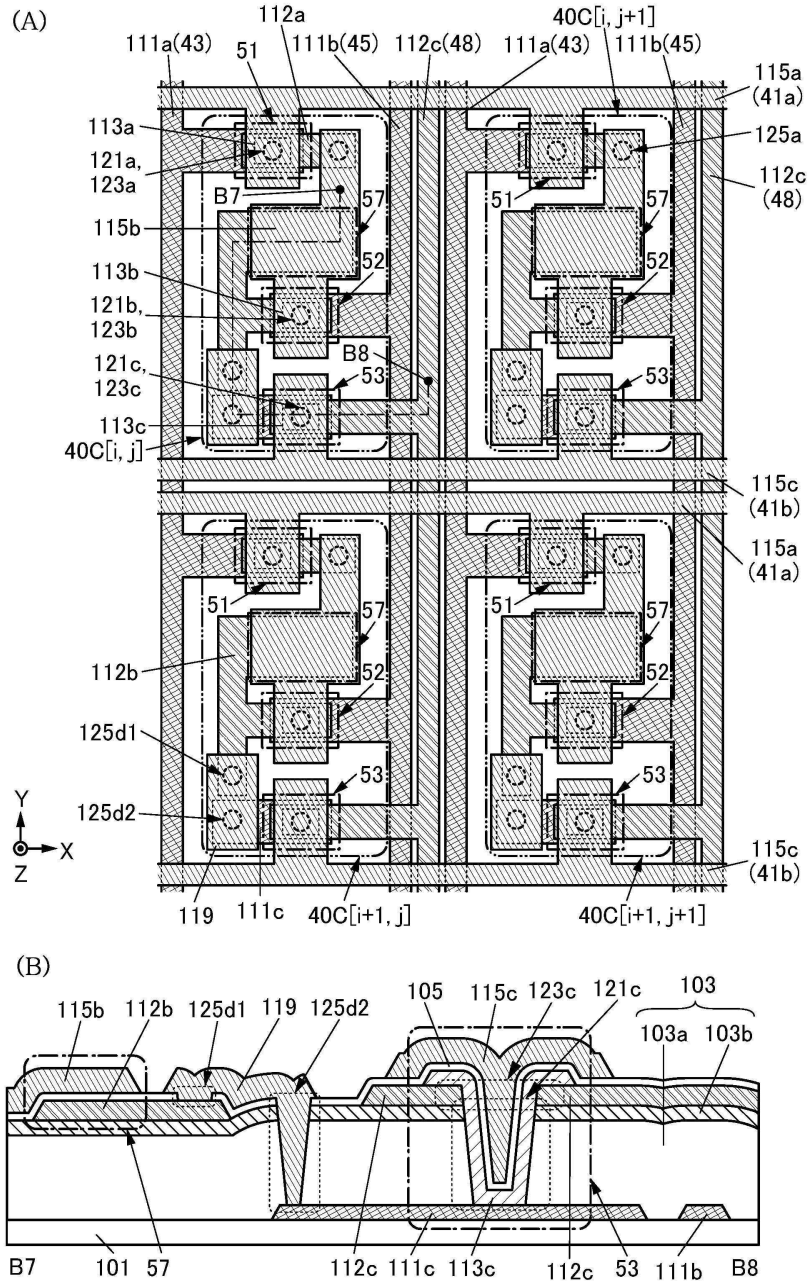
도면13


40C[i, j]
40C[i, j+1]
111a (43)
52
111b (45)
111c (48)
51
57
112b
115a (41a)
121a, 123a
113a
112a
125
115b
115c (41b)
53
51
57
40C[i+1, j]
40C[i+1, j+1]
113b
121b, 123b
121c, 123c
113c
Y
X
Z

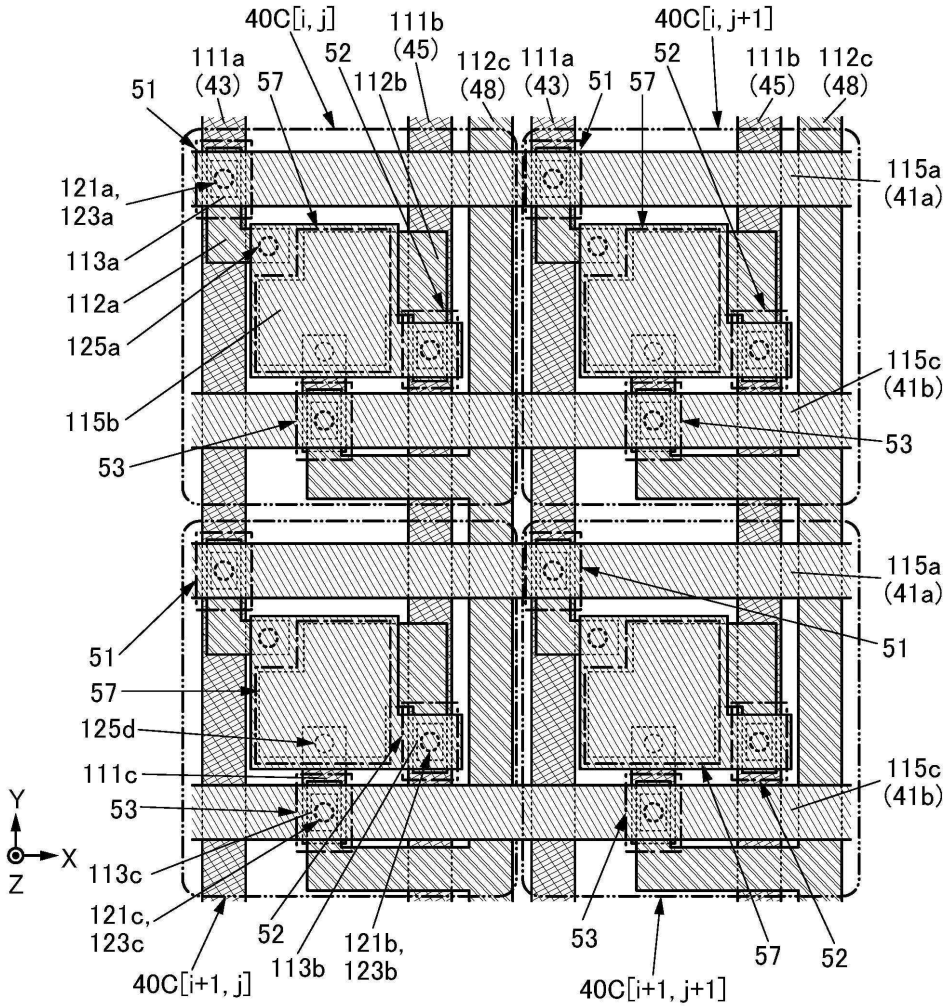
도면14


(A)
112a
40C[i, j+1]
111a(43)
51
111b(45)
112c(48)
111a(43)
111b(45)
115a
(41a)
113a
125a
121a,
123a
112c
(48)
B7
115b
112b
113b
121b,
123b
B8
121c,
123c
52
53
113c
40C[i, j]
115c
(41b)
115a
(41a)
125d
111c
Y
X
Z
40C[i+1, j]
40C[i+1, j+1]
115c
(41b)
(B)
115b
112b
105
115c
123c
121c
103
103a
103b
B7
57
125d
101
112c
111c
113c
53
112c
111b
B8

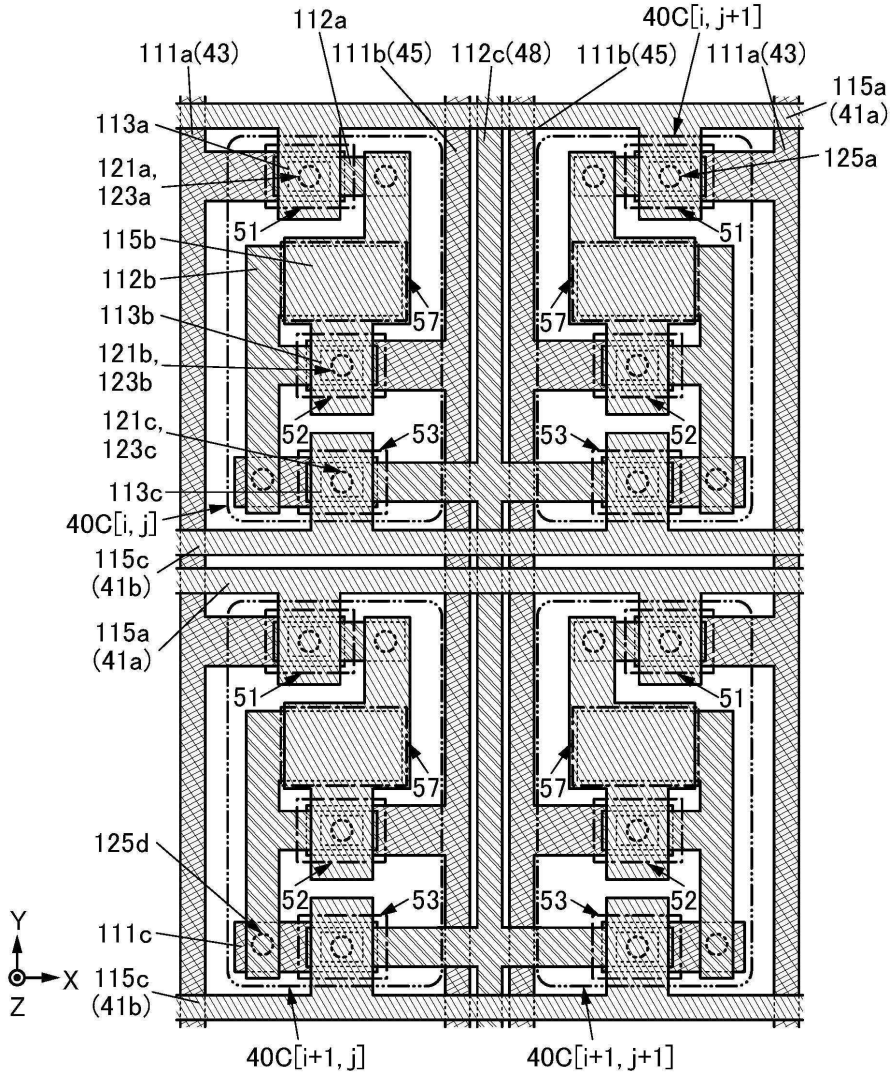
도면15


(A)
112a
111a(43)
51
111b(45)
112c(48)
40C[i, j+1]
111a(43)
111b(45)
115a
(41a)
125a
112c
(48)
113a
121a,
123a
B7
57
115b
52
113b
121b,
123b
B8
53
121c,
123c
113c
40C[i, j]
115c
(41b)
115a
(41a)
112b
125d1
125d2
Y
X
Z
119
111c
40C[i+1, j]
40C[i+1, j+1]
(B)
115b
112b
125d1
119
125d2
105
115c
123c
121c
103
103a
103b
B7
101
57
112c
111c
113c
112c
53
111b
B8

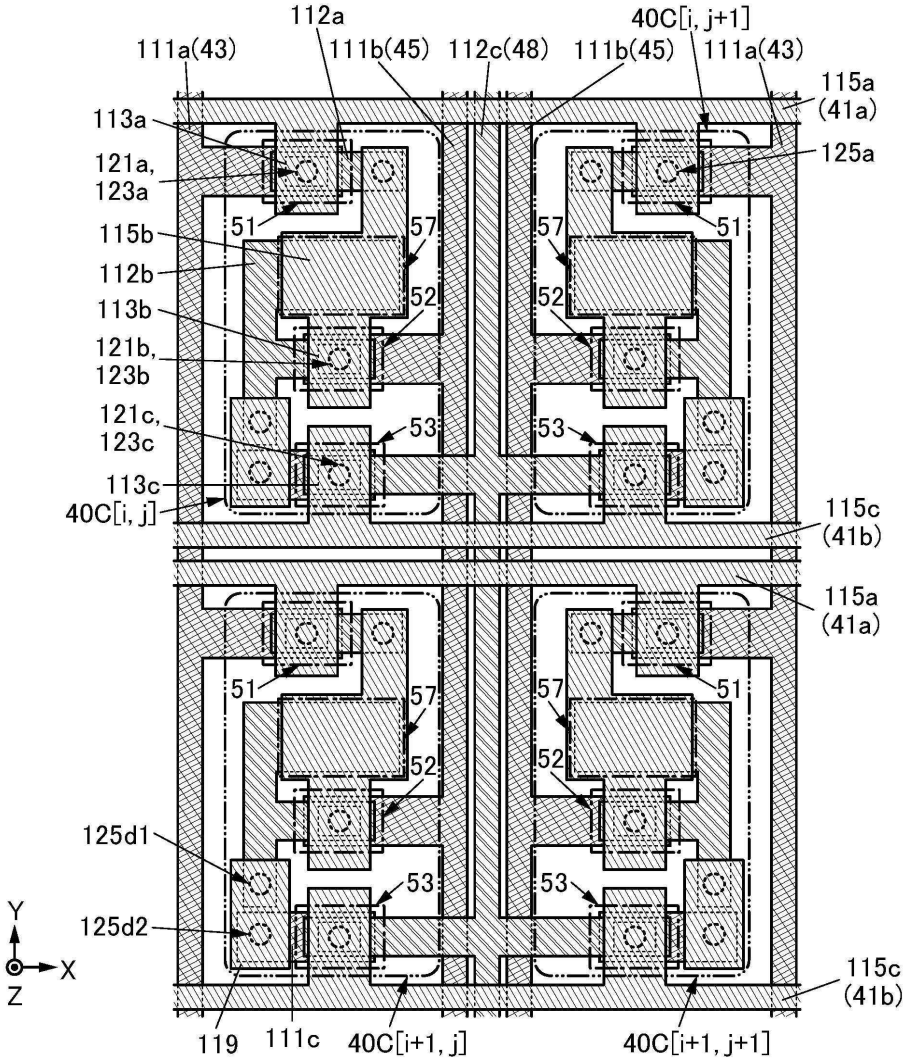
도면16


40C[i, j]
111b
(45)
52
111a
(43)
57
112b
112c
(48)
111a
(43)
51
57
40C[i, j+1]
52
111b
(45)
112c
(48)
51
121a,
123a
113a
112a
125a
115b
53
115a
(41a)
115c
(41b)
53
115a
(41a)
51
51
57
125d
111c
53
113c
121c,
123c
40C[i+1, j]
52
113b
121b,
123b
53
40C[i+1, j+1]
57
52
115c
(41b)
Y
X
Z

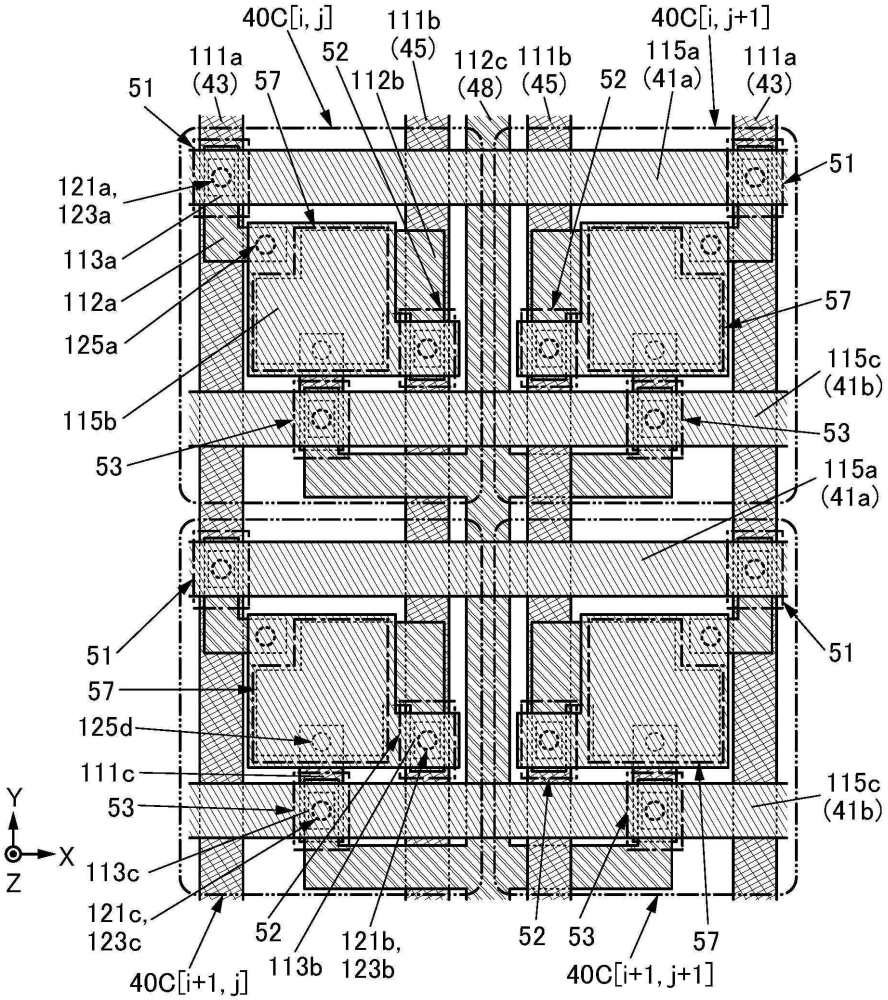
도면17


112a
40C[i, j+1]
111a(43)
111b(45)
112c(48)
111b(45)
111a(43)
115a
(41a)
113a
125a
121a,
123a
51
51
115b
112b
113b
57
57
121b,
123b
121c,
123c
52
53
53
52
113c
40C[i, j]
115c
(41b)
115a
(41a)
51
51
57
57
125d
52
53
53
52
111c
115c
(41b)
Y
X
Z
40C[i+1, j]
40C[i+1, j+1]

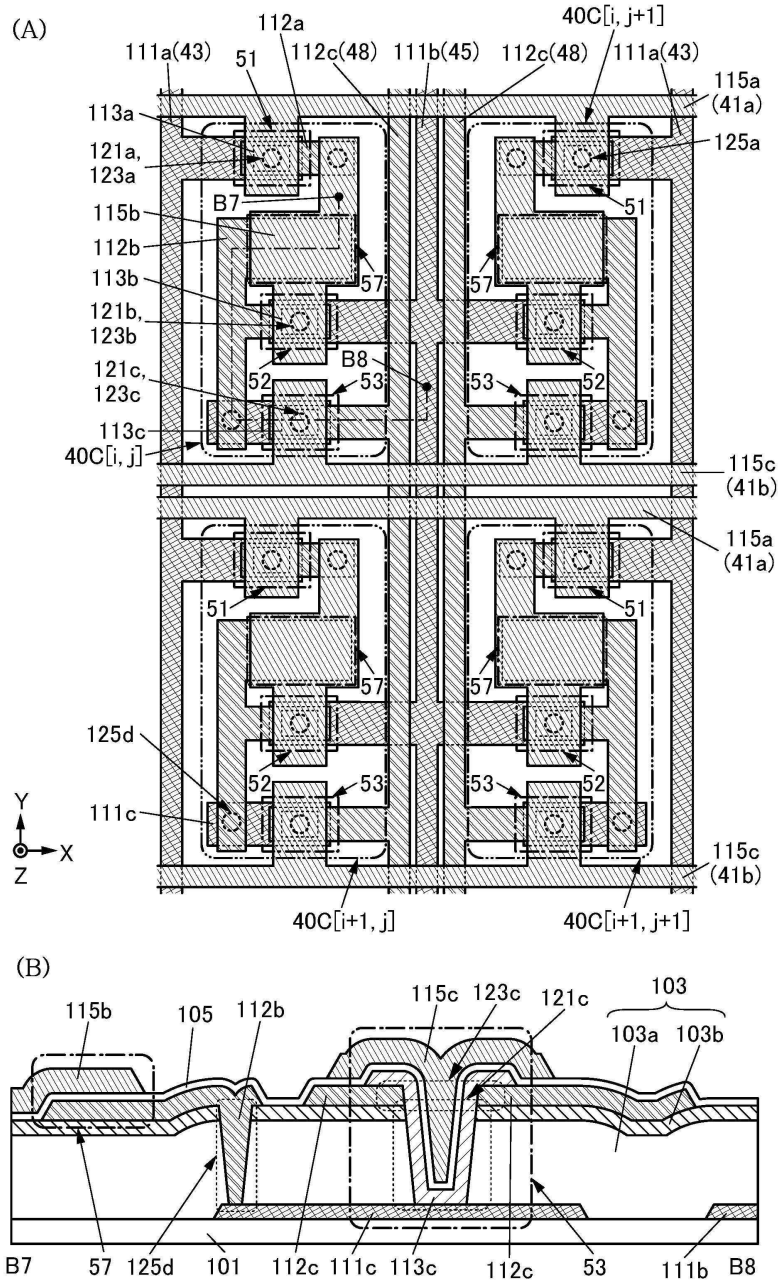
도면18


112a
40C[i, j+1]
111a(43)
111b(45)
112c(48)
111b(45)
111a(43)
115a
(41a)
113a
125a
121a,
123a
51
57
57
51
115b
112b
52
52
113b
121b,
123b
121c,
123c
53
53
113c
40C[i, j]
115c
(41b)
115a
(41a)
51
57
57
51
52
52
125d1
53
53
125d2
Y
X
Z
119
111c
40C[i+1, j]
40C[i+1, j+1]
115c
(41b)

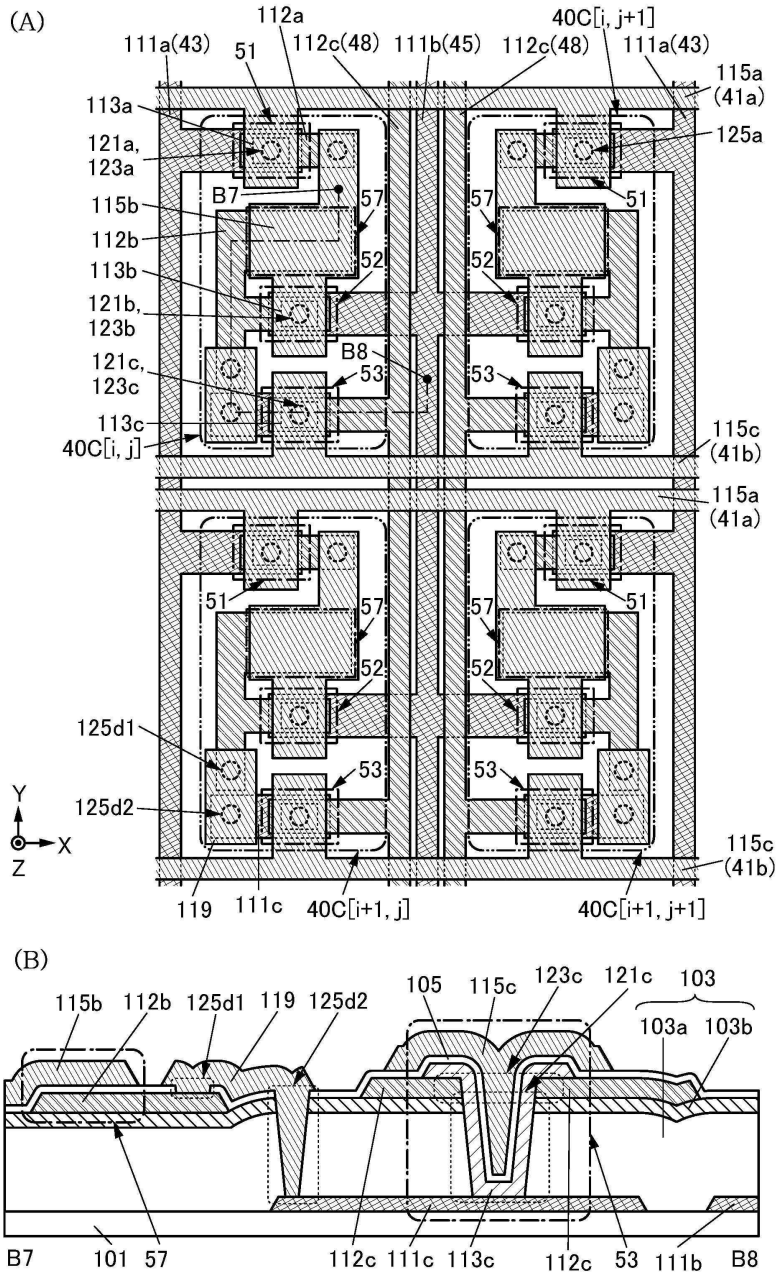
도면19


40C[i, j]
111b
(45)
40C[i, j+1]
111a
(43)
52
112c
(48)
111b
(45)
115a
(41a)
111a
(43)
57
112b
52
51
51
121a,
123a
113a
112a
125a
57
115c
(41b)
115b
53
53
115a
(41a)
51
51
57
125d
111c
115c
(41b)
53
Y
X
Z
113c
121c,
123c
52
113b
121b,
123b
52
53
57
40C[i+1, j]
40C[i+1, j+1]

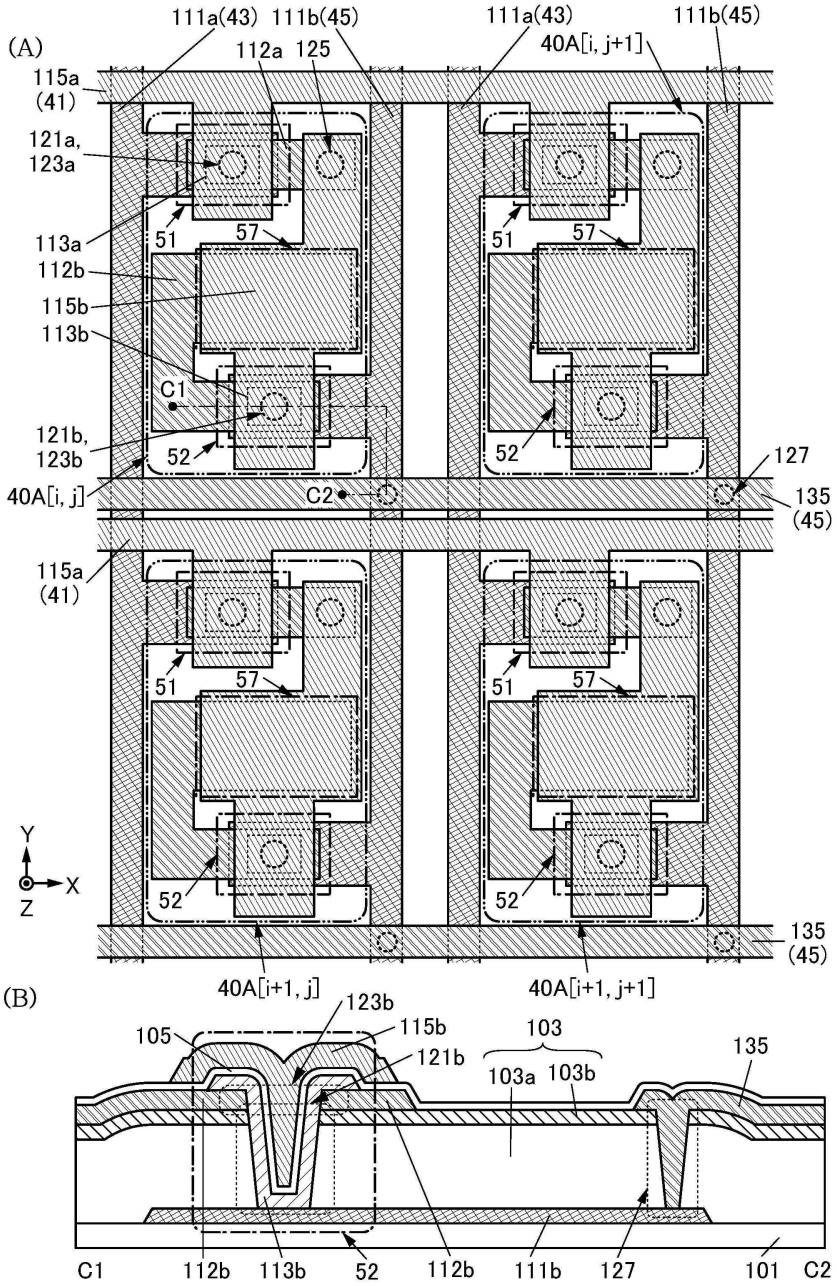
도면20


(A)
112a
40C[i, j+1]
111a(43)
51
112c(48)
111b(45)
112c(48)
111a(43)
115a
(41a)
113a
125a
121a,
123a
B7
51
115b
112b
57
57
113b
121b,
123b
B8
121c,
123c
52
53
53
52
113c
40C[i, j]
115c
(41b)
115a
(41a)
51
51
57
57
125d
52
53
53
52
111c
Y
X
Z
115c
(41b)
40C[i+1, j]
40C[i+1, j+1]
(B)
115b
105
112b
115c
123c
121c
103
103a
103b
B7
57
125d
101
112c
111c
113c
112c
53
111b
B8

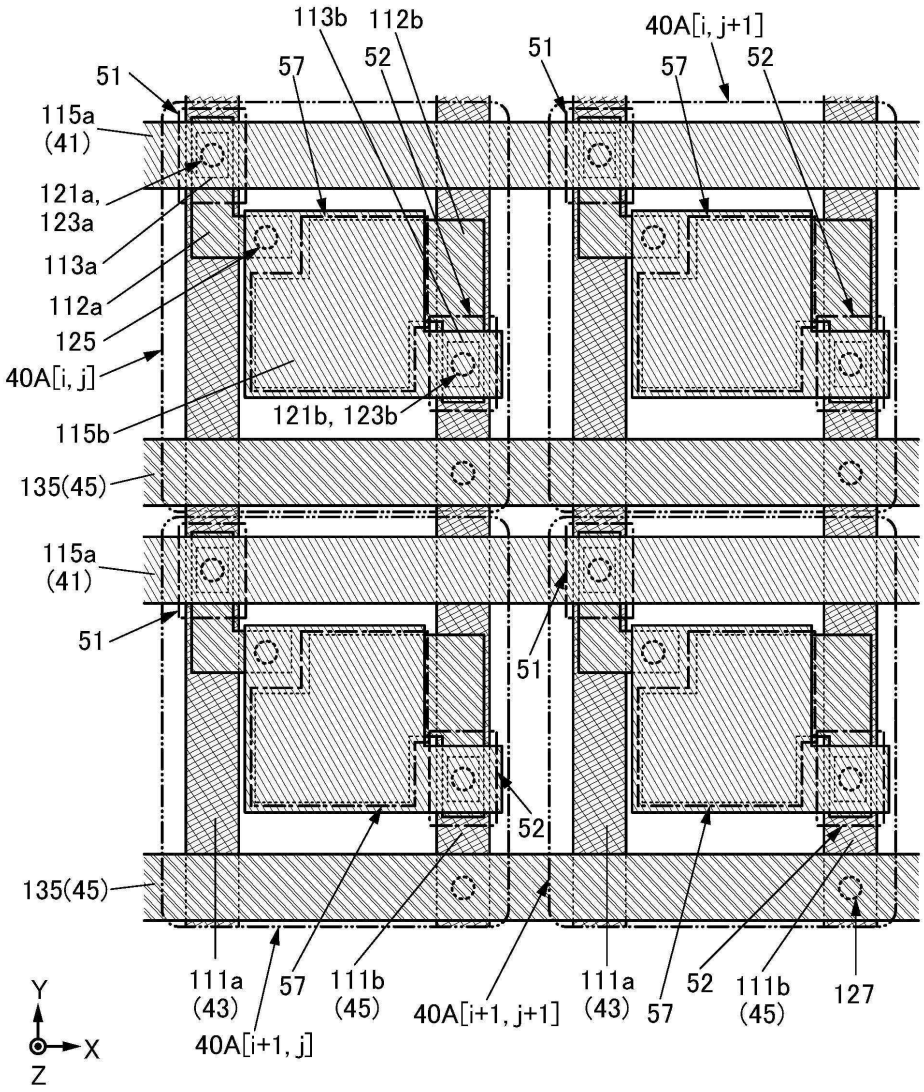
도면21


(A)
112a
111a(43)
51
112c(48)
111b(45)
40C[i, j+1]
112c(48)
111a(43)
115a
(41a)
113a
125a
121a,
123a
B7
57
57
51
115b
112b
52
52
113b
121b,
123b
B8
53
53
121c,
123c
113c
40C[i, j]
115c
(41b)
115a
(41a)
51
57
57
51
52
52
125d1
53
53
125d2
Y
X
Z
115c
(41b)
119
111c
40C[i+1, j]
40C[i+1, j+1]
(B)
115b
112b
125d1
119
125d2
105
115c
123c
121c
103
103a
103b
B7
101
57
112c
111c
113c
112c
53
111b
B8

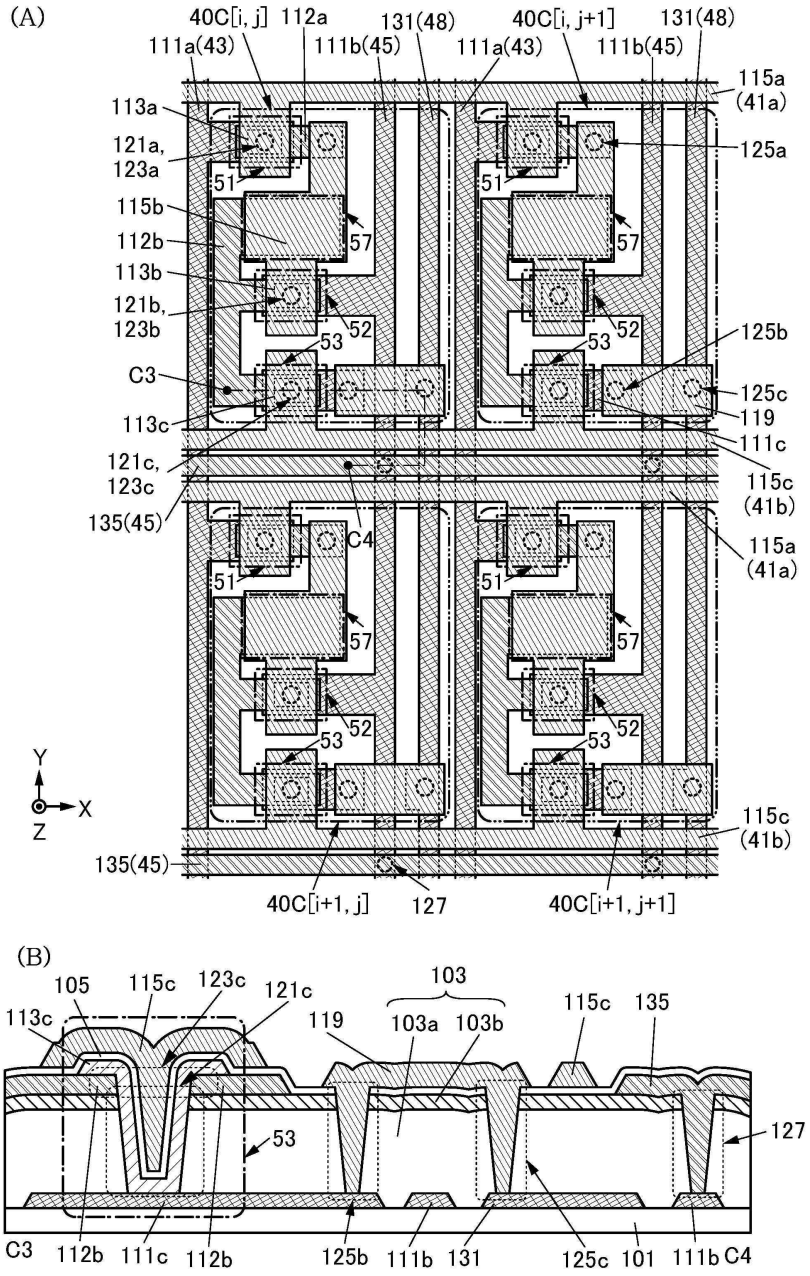
도면22


(A)
111a(43)
111b(45)
112a
125
111a(43)
40A[i, j+1]
111b(45)
115a
(41)
121a,
123a
113a
112b
115b
113b
C1
121b,
123b
40A[i, j]
51
57
52
C2
127
135
(45)
Y
X
Z
40A[i+1, j]
40A[i+1, j+1]
(B)
105
123b
115b
121b
103
103a
103b
135
C1
112b
113b
52
112b
111b
127
101
C2

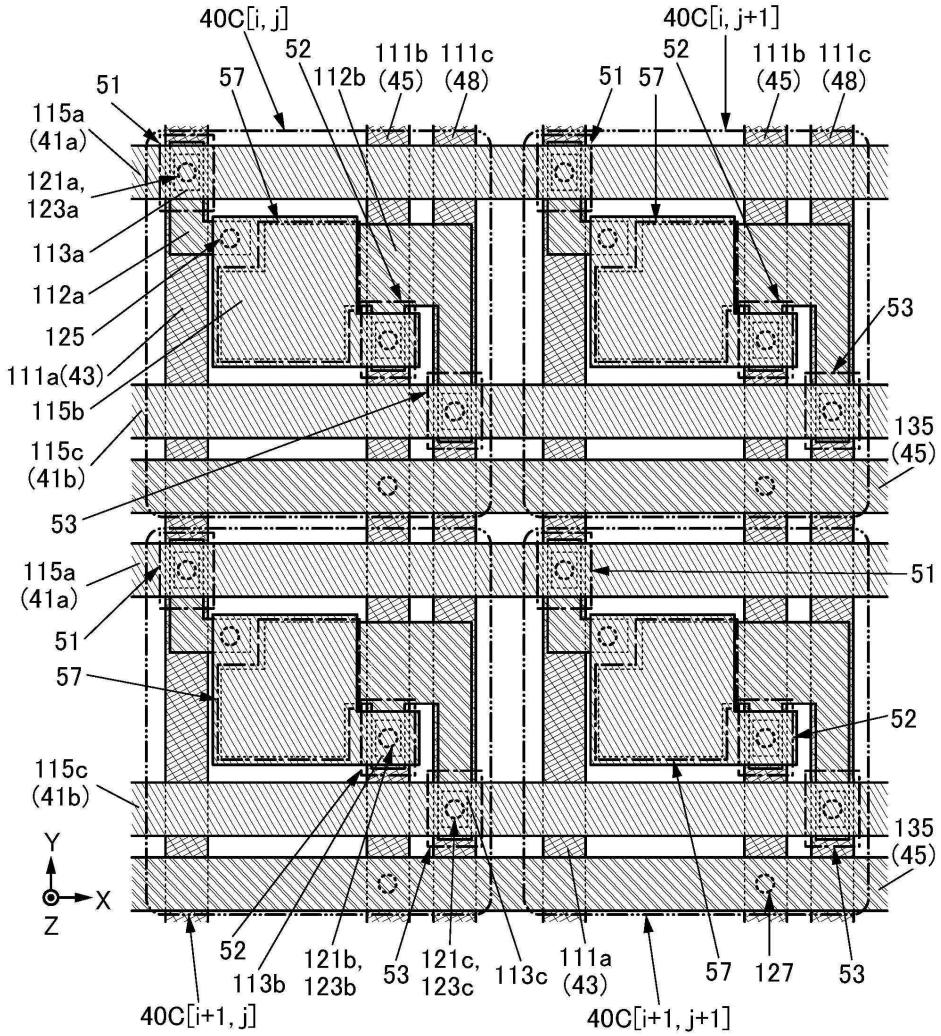
도면23


113b
112b
40A[i, j+1]
51
57
52
51
57
52
51
115a
(41)
121a,
123a
113a
112a
125
40A[i, j]
115b
121b, 123b
135(45)
115a
(41)
51
51
52
135(45)
111a
(43)
57
111b
(45)
40A[i+1, j]
40A[i+1, j+1]
111a
(43)
57
52
111b
(45)
127
Y
X
Z

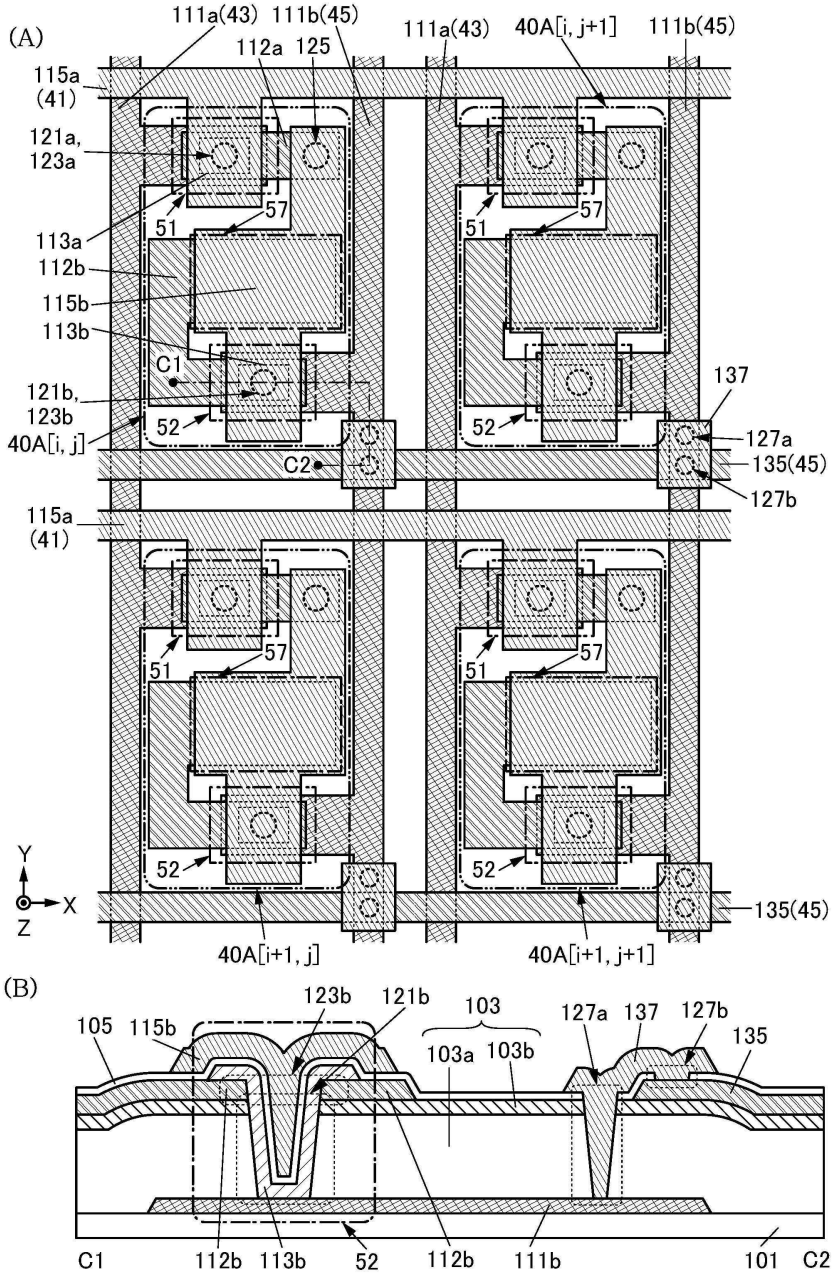
도면24


(A)
40C[i, j]
112a
131(48)
40C[i, j+1]
131(48)
111a(43)
111b(45)
111a(43)
111b(45)
115a
(41a)
113a
121a,
123a
125a
51
57
115b
112b
113b
121b,
123b
52
53
125b
C3
125c
119
113c
111c
121c,
123c
115c
(41b)
135(45)
C4
115a
(41a)
Y
X
Z
115c
(41b)
135(45)
127
40C[i+1, j]
40C[i+1, j+1]
(B)
105
115c
123c
121c
103
113c
119
103a
103b
115c
135
53
127
C3
112b
111c
112b
125b
111b
131
125c
101
111b
C4

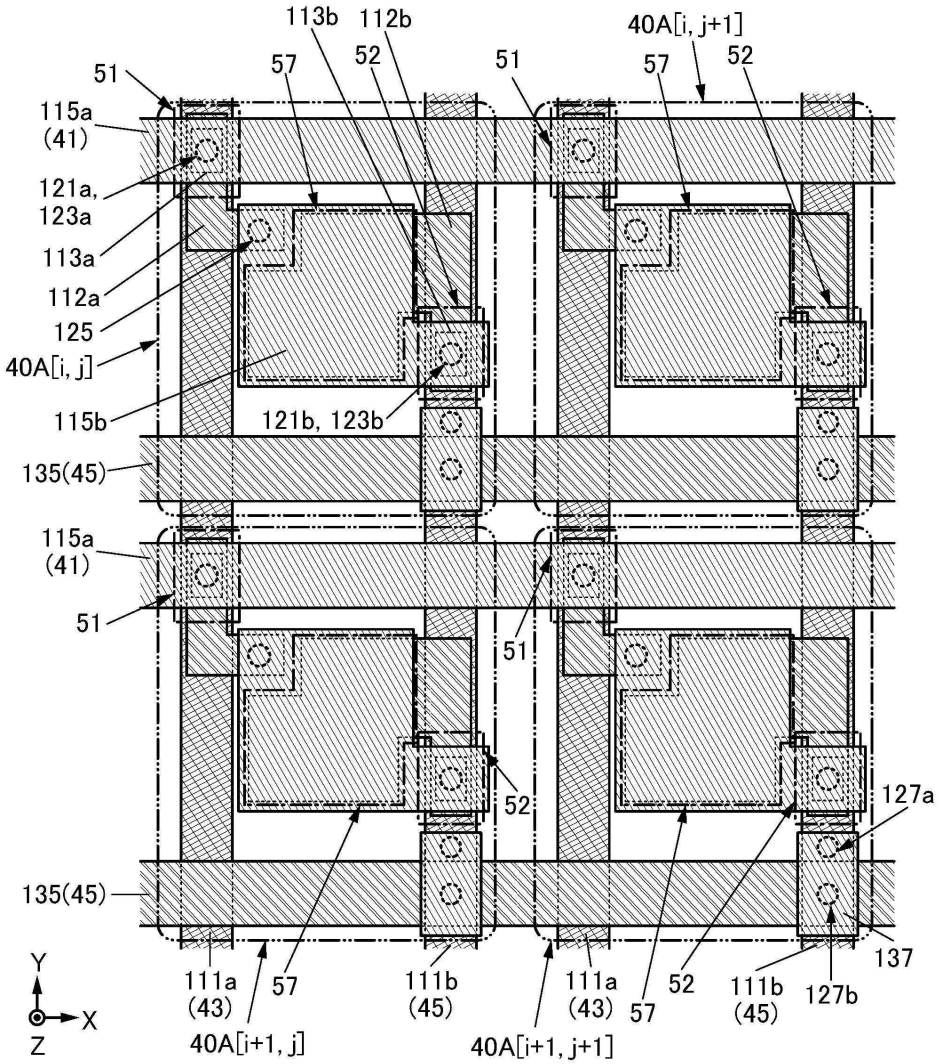
도면25


40C[i, j]
40C[i, j+1]
52
57
112b
111b (45)
111c (48)
51
115a (41a)
121a, 123a
113a
112a
125
111a(43)
115b
115c (41b)
53
135 (45)
Y
X
Z
113b
121b, 123b
121c, 123c
113c
111a (43)
127
40C[i+1, j]
40C[i+1, j+1]

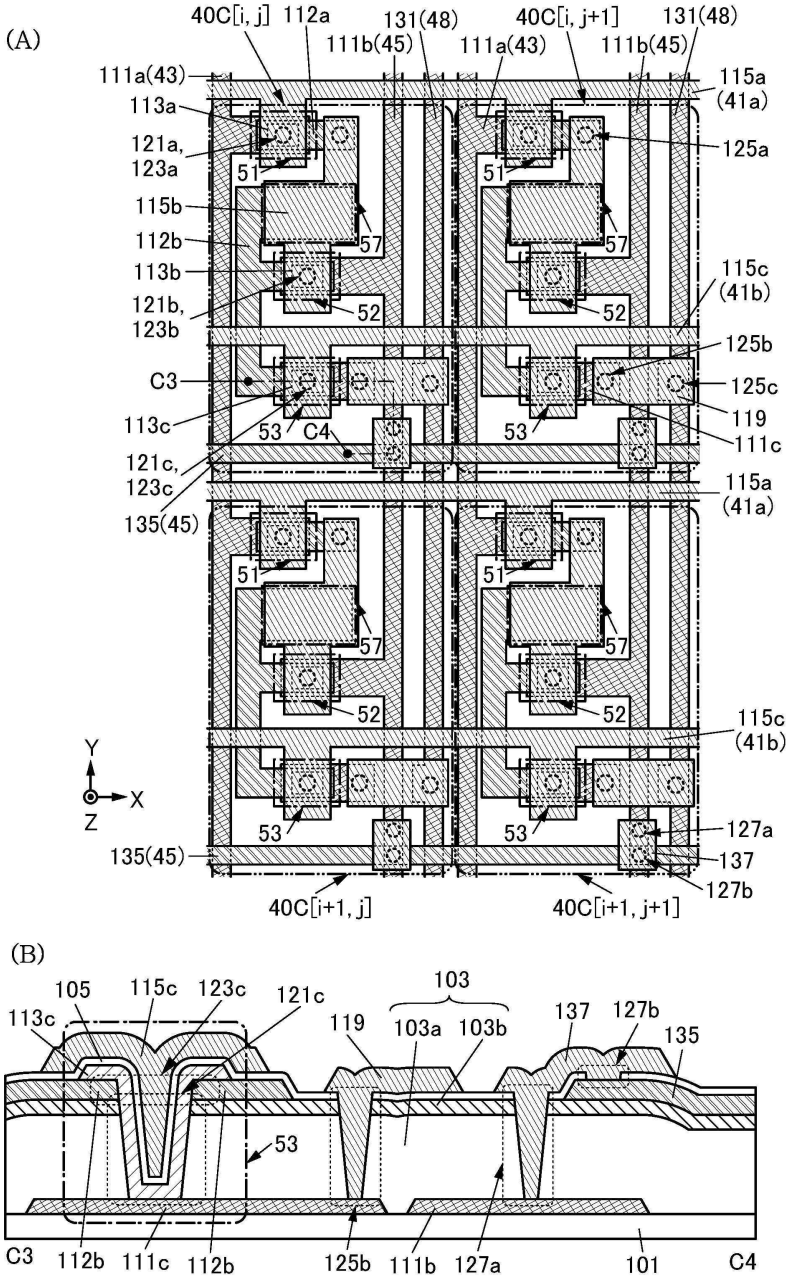
도면26


(A)
111a(43)
111b(45)
112a
125
111a(43)
40A[i, j+1]
111b(45)
115a
(41)
121a,
123a
57
51
113a
112b
115b
113b
C1
121b,
123b
40A[i, j]
52
C2
137
127a
135(45)
127b
115a
(41)
Y
X
Z
40A[i+1, j]
40A[i+1, j+1]
135(45)
(B)
123b
121b
103
105
115b
103a
103b
127a
137
127b
135
C1
112b
113b
52
112b
111b
101
C2

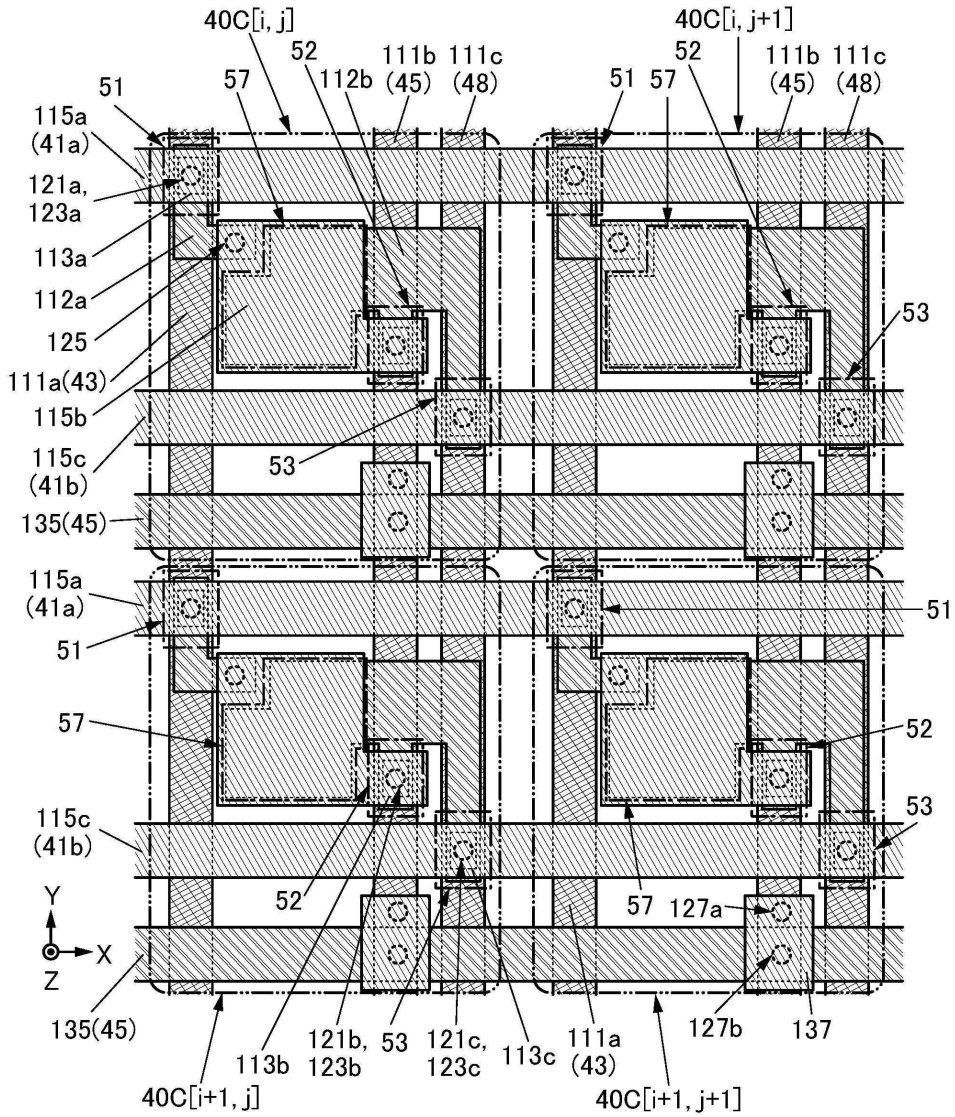
도면27


113b
112b
40A[i, j+1]
51
57
52
51
57
52
115a
(41)
121a,
123a
113a
112a
125
40A[i, j]
115b
121b, 123b
135(45)
115a
(41)
51
51
52
127a
135(45)
137
Y
X
Z
111a
(43)
57
111b
(45)
111a
(43)
57
52
111b
(45)
127b
40A[i+1, j]
40A[i+1, j+1]

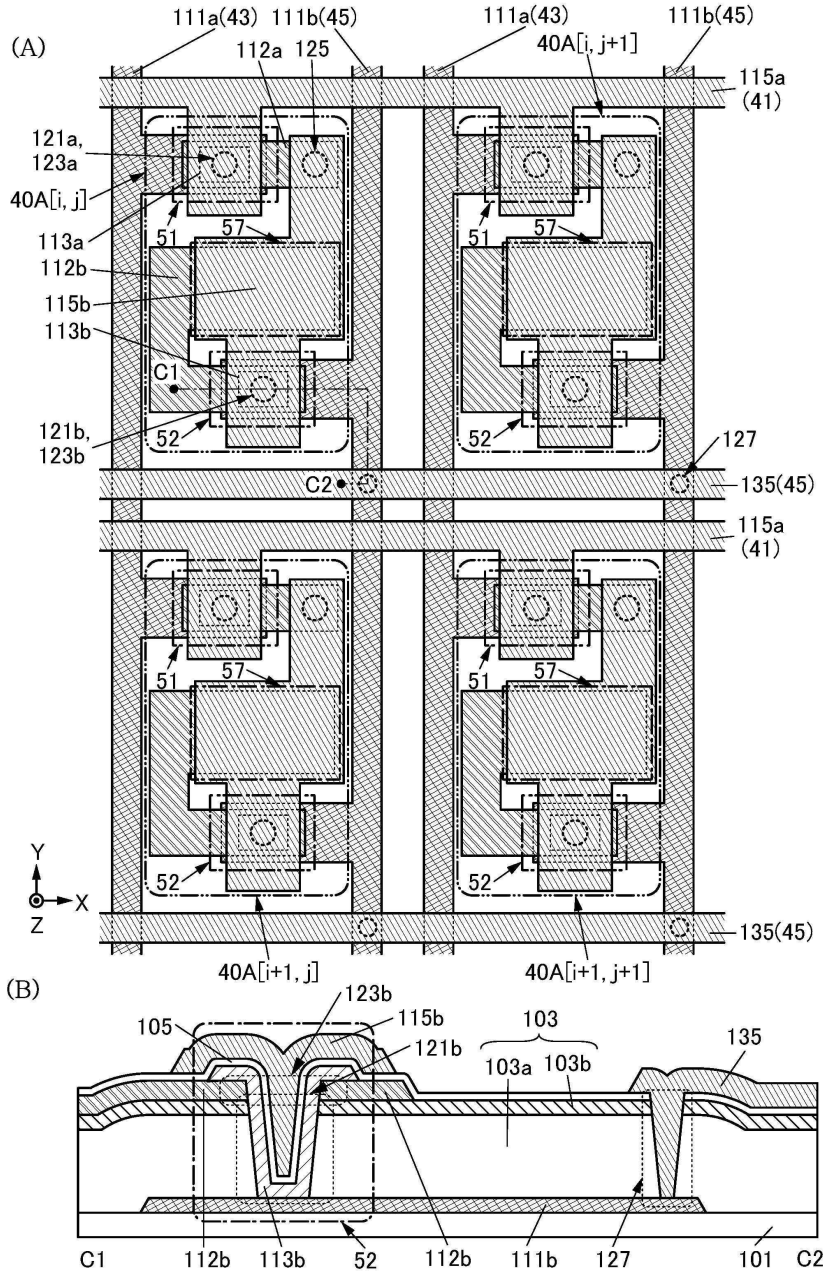
도면28


(A)
40C[i, j]
112a
131(48)
111b(45)
111a(43)
40C[i, j+1]
131(48)
111b(45)
111a(43)
115a
(41a)
113a
121a,
123a
125a
51
57
115b
112b
113b
121b,
123b
52
115c
(41b)
125b
C3
125c
113c
53
C4
119
111c
121c,
123c
115a
(41a)
135(45)
115c
(41b)
Y
X
Z
127a
137
127b
40C[i+1, j]
40C[i+1, j+1]
(B)
105
115c
123c
121c
113c
103
119
103a
103b
137
127b
135
53
C3
112b
111c
112b
125b
111b
127a
101
C4

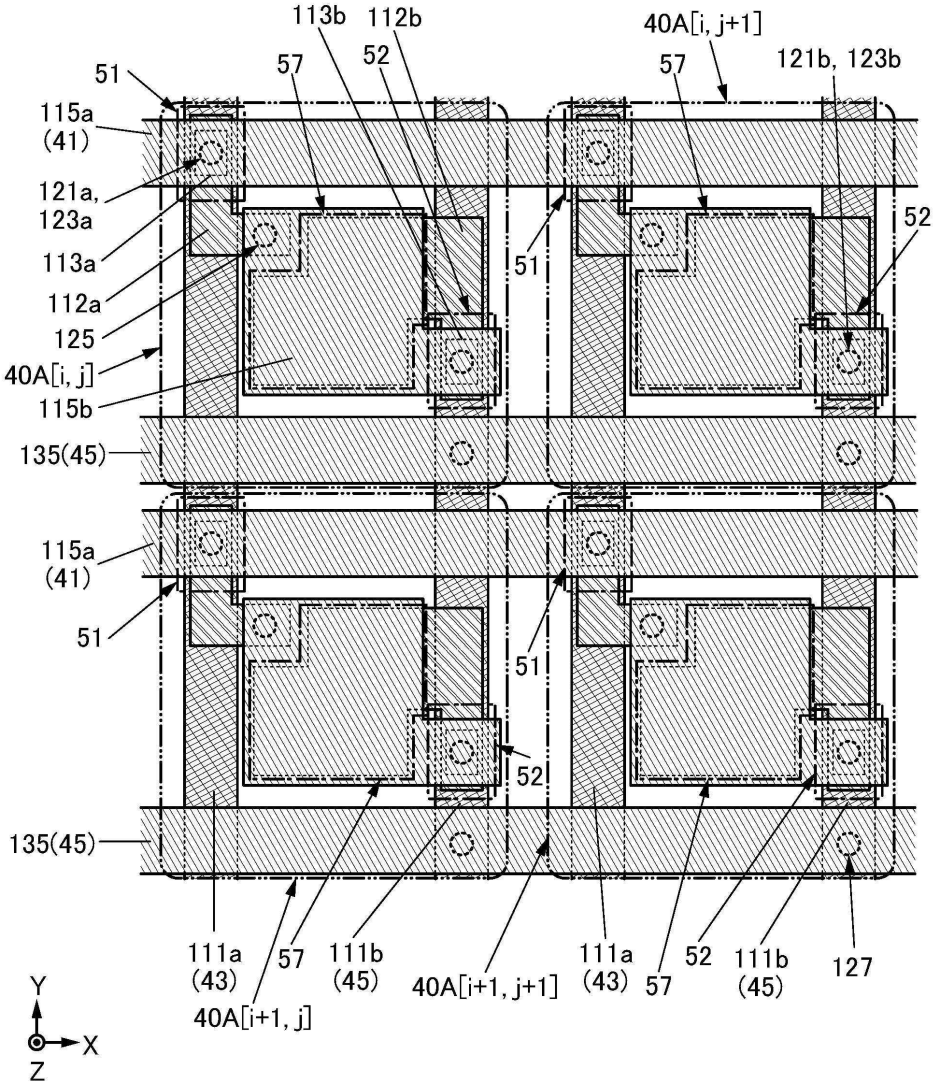
도면29


40C[i, j]
40C[i, j+1]
52
111b (45)
111c (48)
112b
57
51
115a (41a)
121a, 123a
113a
112a
125
111a(43)
115b
115c (41b)
135(45)
53
127a
127b
137
121b, 123b
121c, 123c
113b
113c
111a (43)
40C[i+1, j]
40C[i+1, j+1]
Y
X
Z

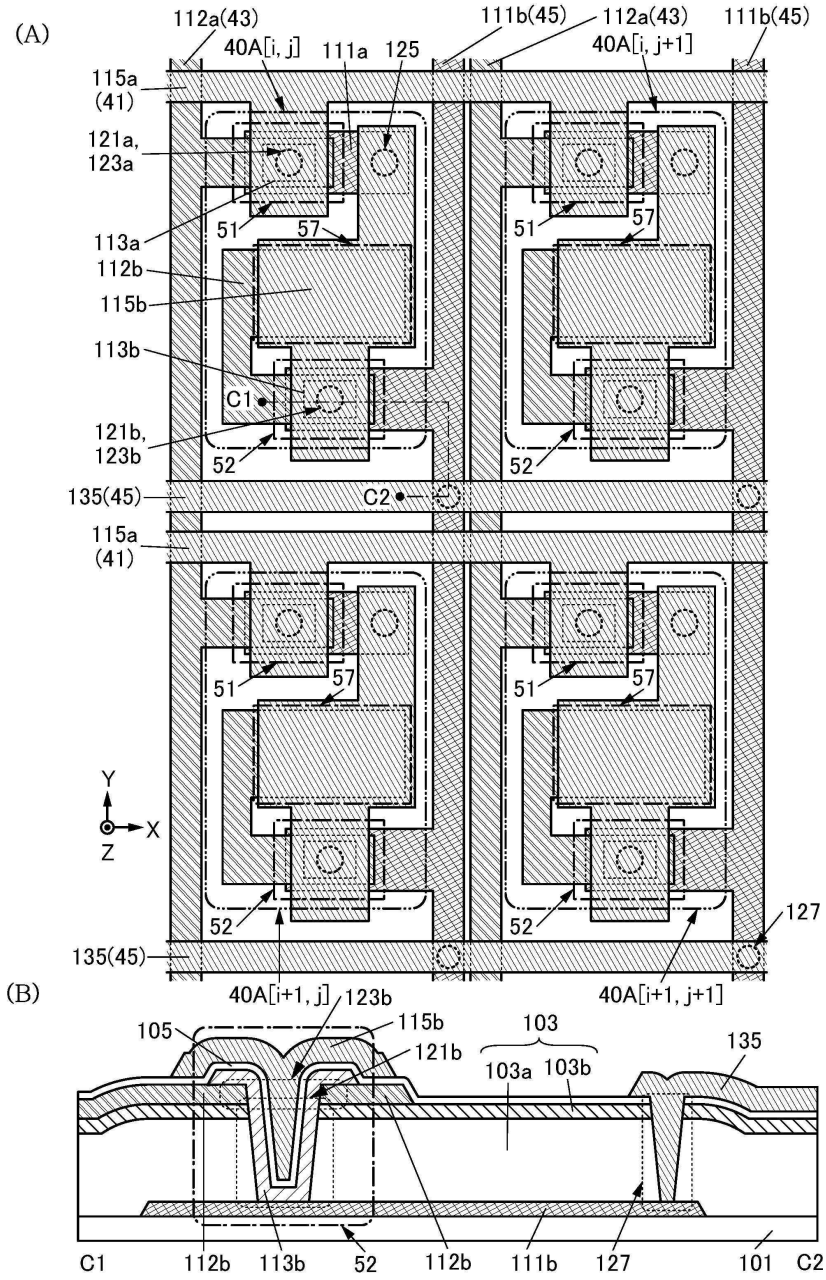
도면30


(A)
111a(43)
111b(45)
112a
125
111a(43)
40A[i, j+1]
111b(45)
115a
(41)
121a,
123a
40A[i, j]
113a
112b
115b
113b
C1
121b,
123b
51
57
52
C2
127
135(45)
Y
X
Z
40A[i+1, j]
40A[i+1, j+1]
(B)
123b
115b
121b
105
103
103a
103b
135
C1
112b
113b
52
112b
111b
127
101
C2

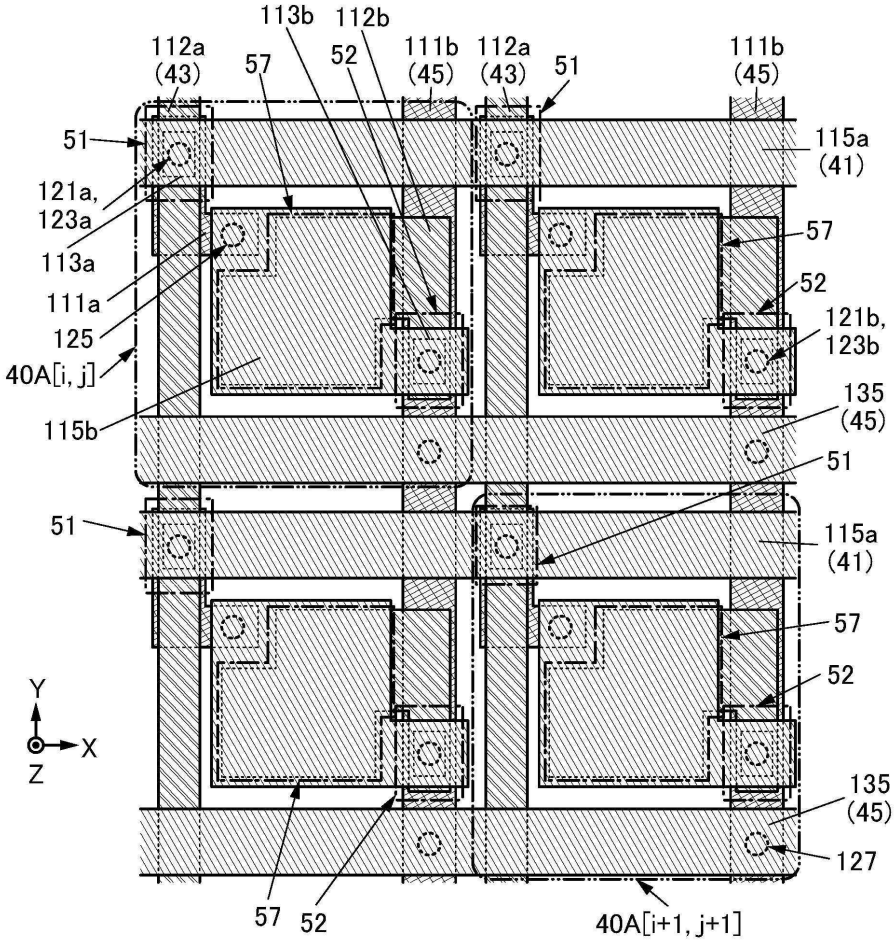
도면31


113b
112b
52
57
40A[i, j+1]
57
121b, 123b
51
115a
(41)
121a,
123a
113a
112a
125
40A[i, j]
115b
135(45)
51
52
115a
(41)
51
51
52
135(45)
111a
(43)
57
111b
(45)
40A[i+1, j]
40A[i+1, j+1]
111a
(43)
57
52
111b
(45)
127
Y
X
Z

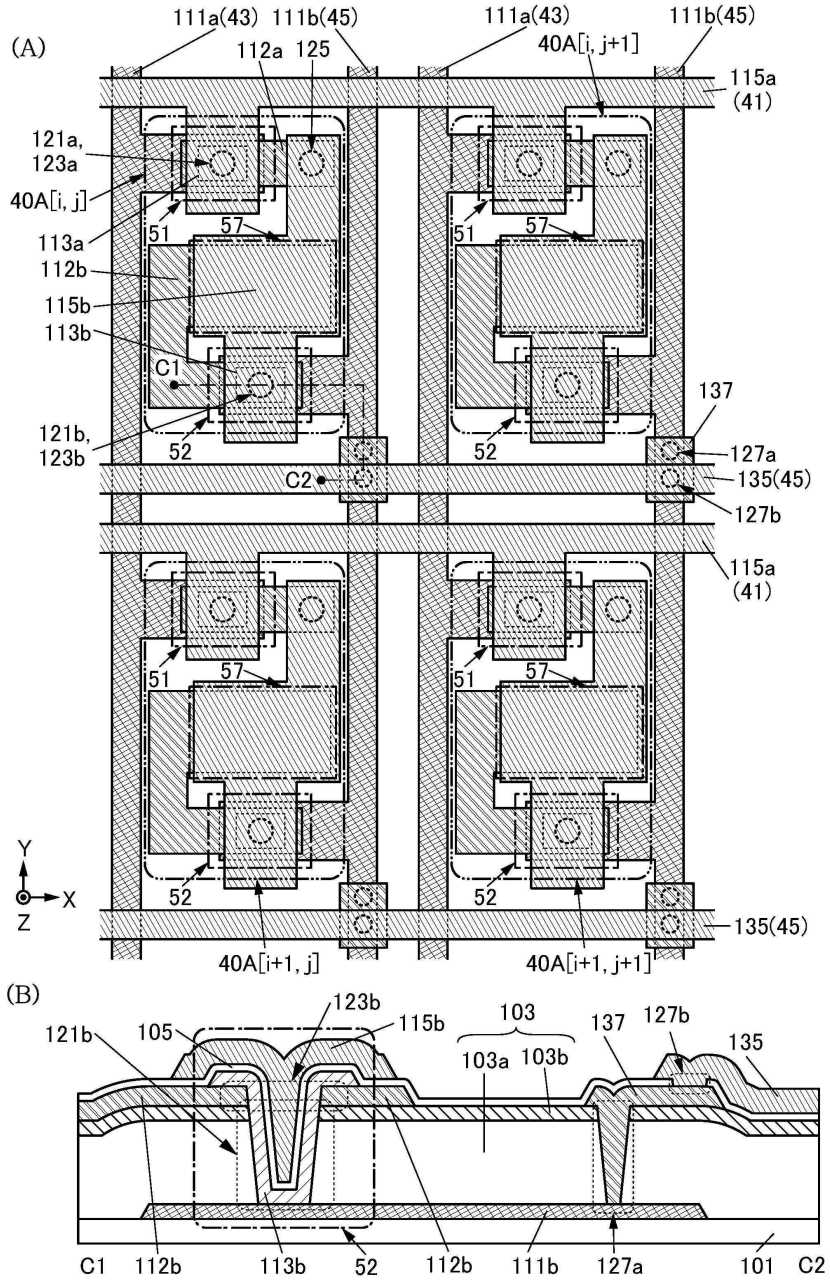
도면32


(A)
112a(43)
40A[i, j]
111a
125
111b(45)
112a(43)
40A[i, j+1]
111b(45)
115a
(41)
121a,
123a
113a
112b
115b
113b
C1
121b,
123b
52
51
57
135(45)
C2
Y
X
Z
127
40A[i+1, j]
40A[i+1, j+1]
(B)
105
123b
115b
121b
103
103a
103b
135
C1
112b
113b
52
112b
111b
127
101
C2

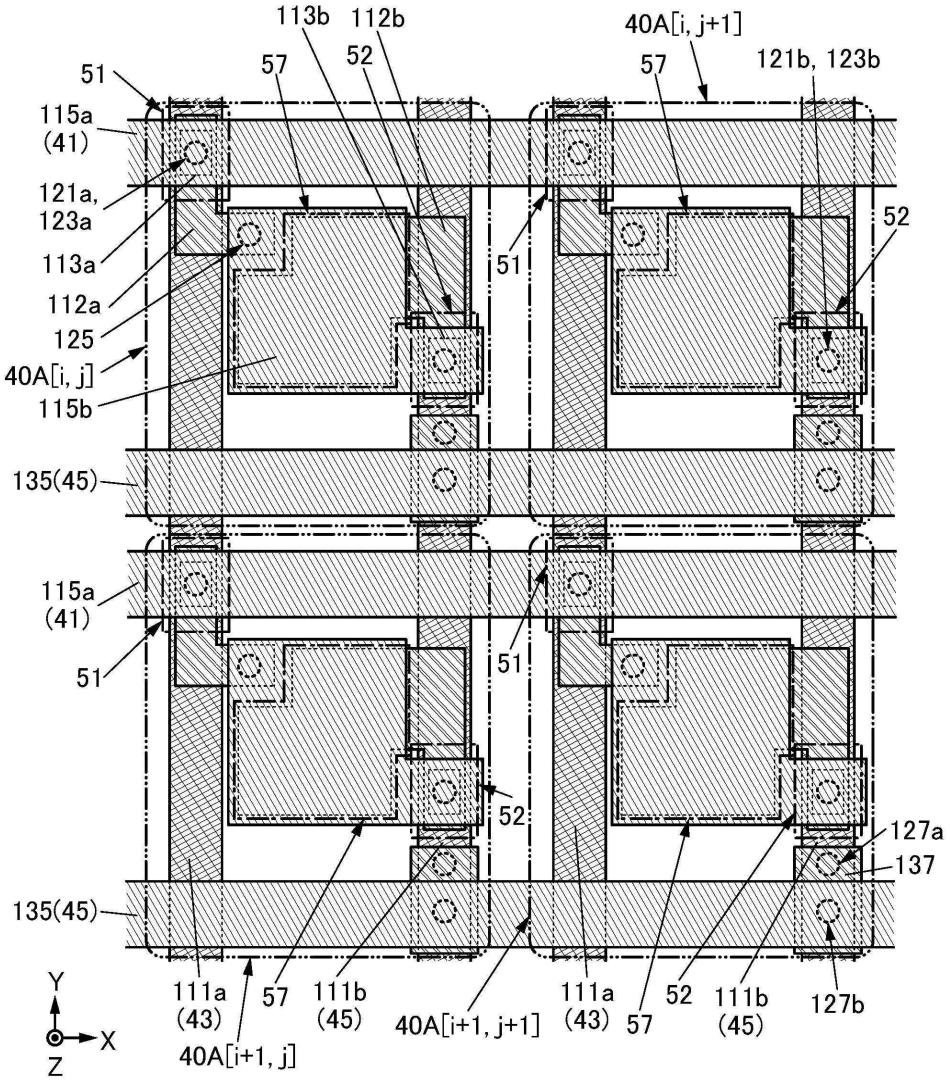
도면33


113b
112b
112a
(43)
57
52
111b
(45)
112a
(43)
51
111b
(45)
51
115a
(41)
121a,
123a
113a
111a
125
40A[i, j]
115b
57
52
121b,
123b
135
(45)
51
51
115a
(41)
57
52
135
(45)
127
Y
X
Z
57
52
40A[i+1, j+1]

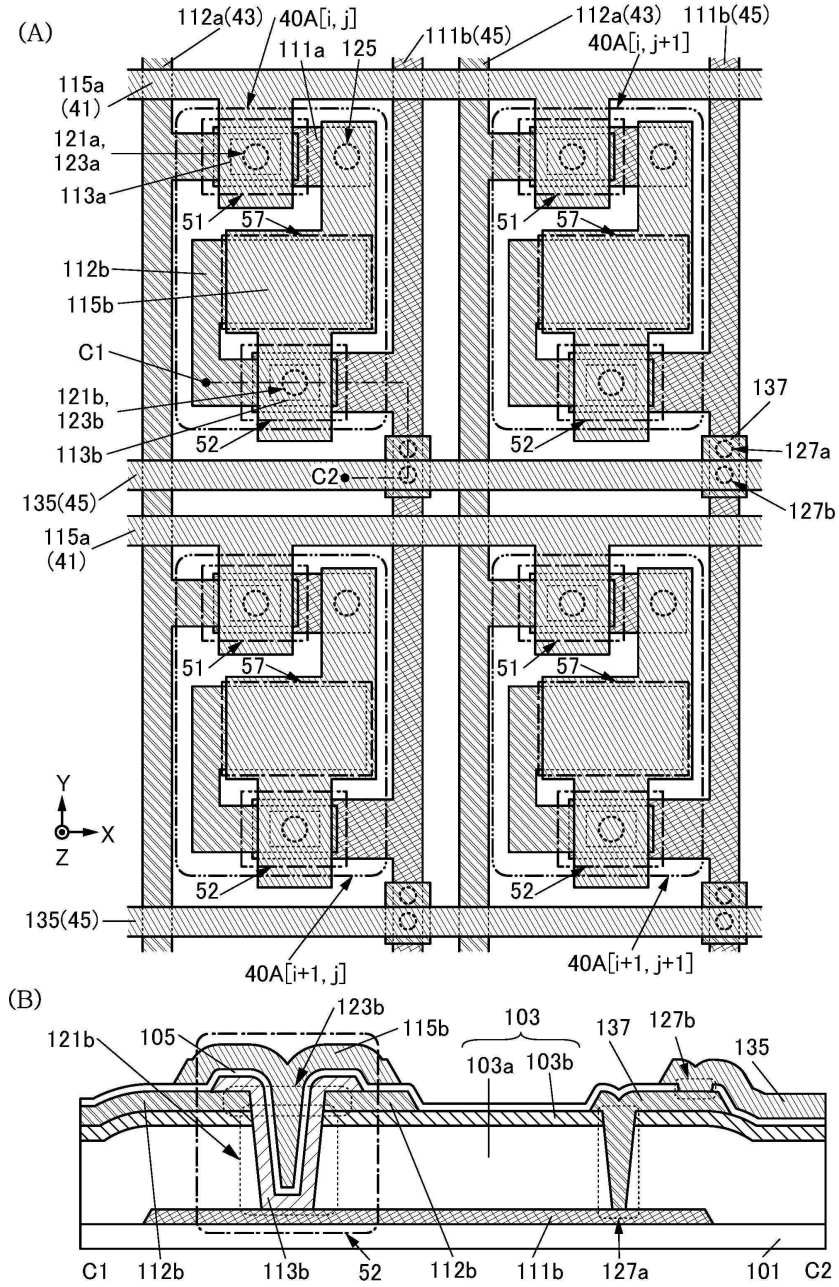
도면34


(A)
111a(43)
111b(45)
112a
125
111a(43)
40A[i, j+1]
111b(45)
115a
(41)
121a,
123a
40A[i, j]
113a
112b
115b
113b
C1
121b,
123b
51
57
52
C2
137
127a
135(45)
127b
115a
(41)
Y
X
Z
40A[i+1, j]
40A[i+1, j+1]
(B)
121b
105
123b
115b
103
103a
103b
137
127b
135
C1
112b
113b
52
112b
111b
127a
101
C2

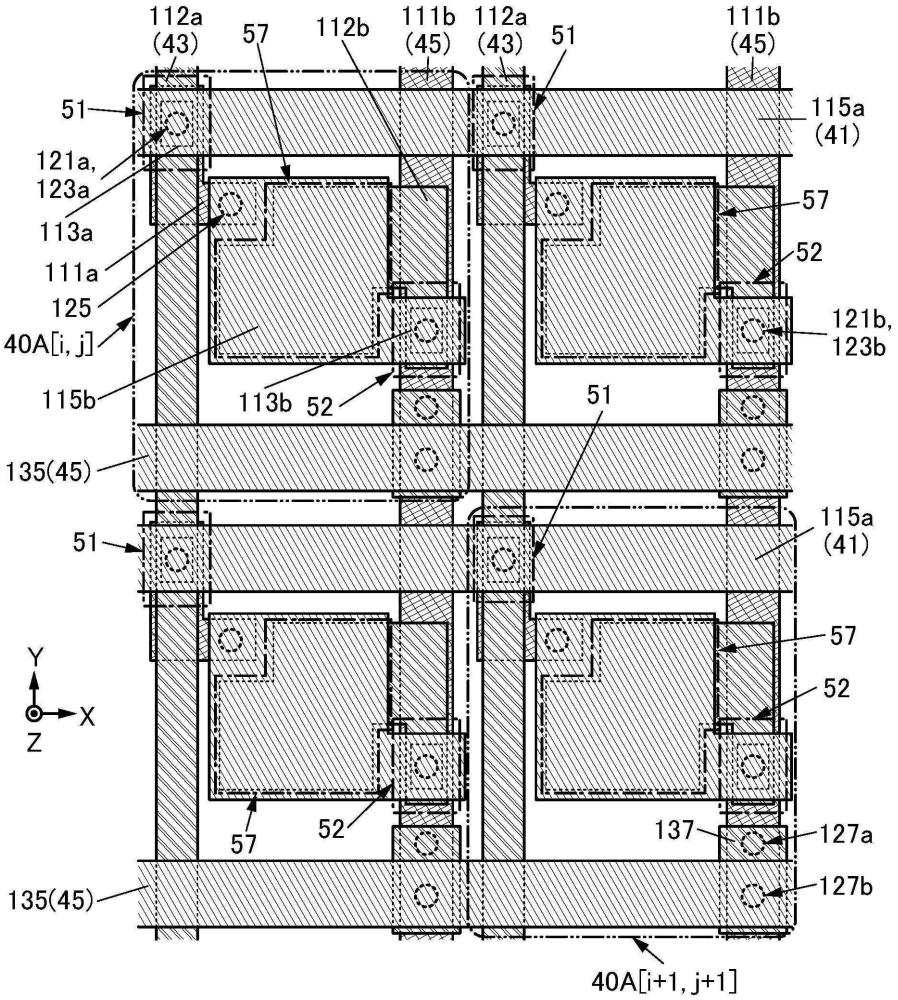
도면35


113b
112b
52
57
40A[i, j+1]
57
121b, 123b
51
115a
(41)
121a,
123a
113a
112a
125
40A[i, j]
115b
51
52
135(45)
115a
(41)
51
51
52
127a
137
135(45)
111a
(43)
57
111b
(45)
40A[i+1, j]
40A[i+1, j+1]
111a
(43)
57
52
111b
(45)
127b
Y
X
Z

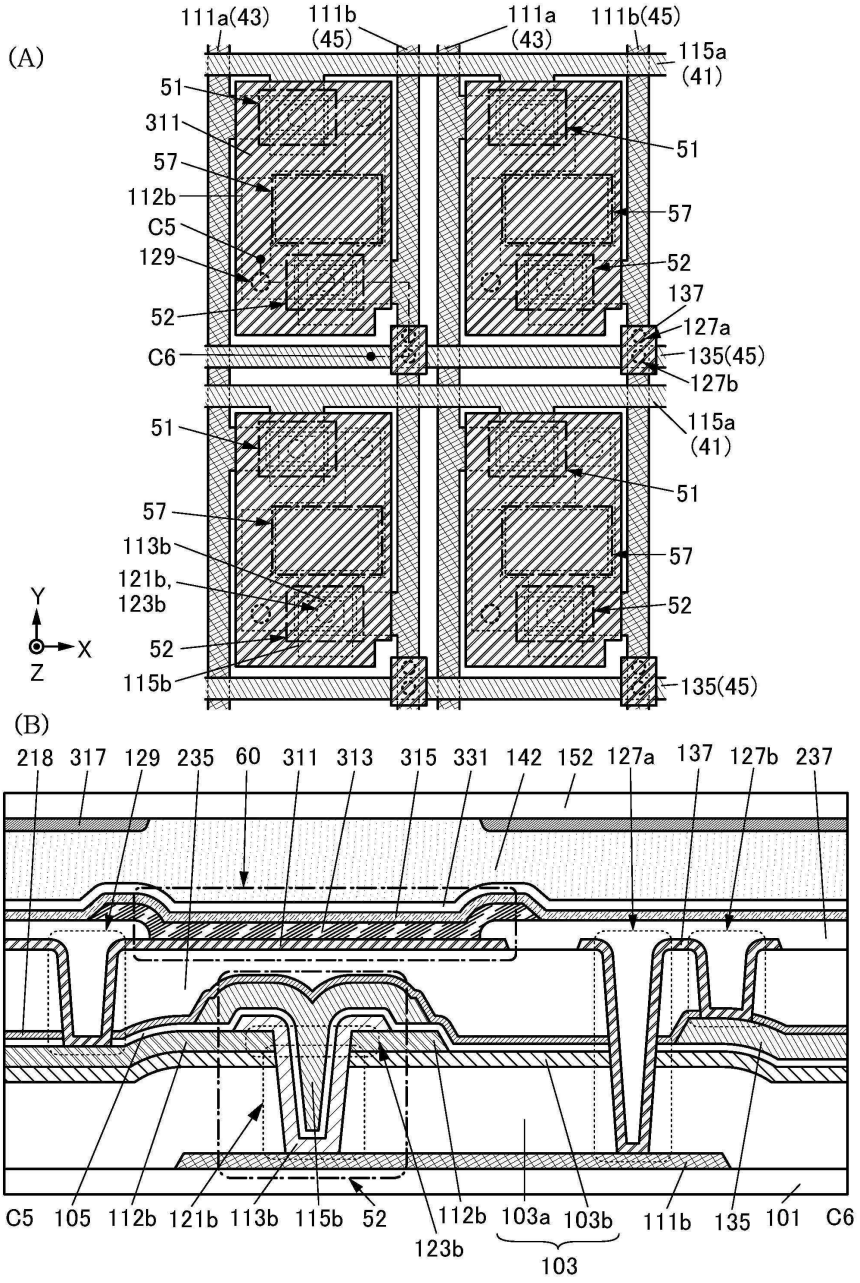
도면36


(A)
112a(43)
40A[i, j]
111a
125
111b(45)
112a(43)
40A[i, j+1]
111b(45)
115a
(41)
121a,
123a
113a
51
57
112b
115b
C1
121b,
123b
113b
52
C2
135(45)
115a
(41)
137
127a
127b
Y
X
Z
40A[i+1, j]
40A[i+1, j+1]
(B)
121b
105
123b
115b
103
103a
103b
137
127b
135
C1
112b
113b
52
112b
111b
127a
101
C2

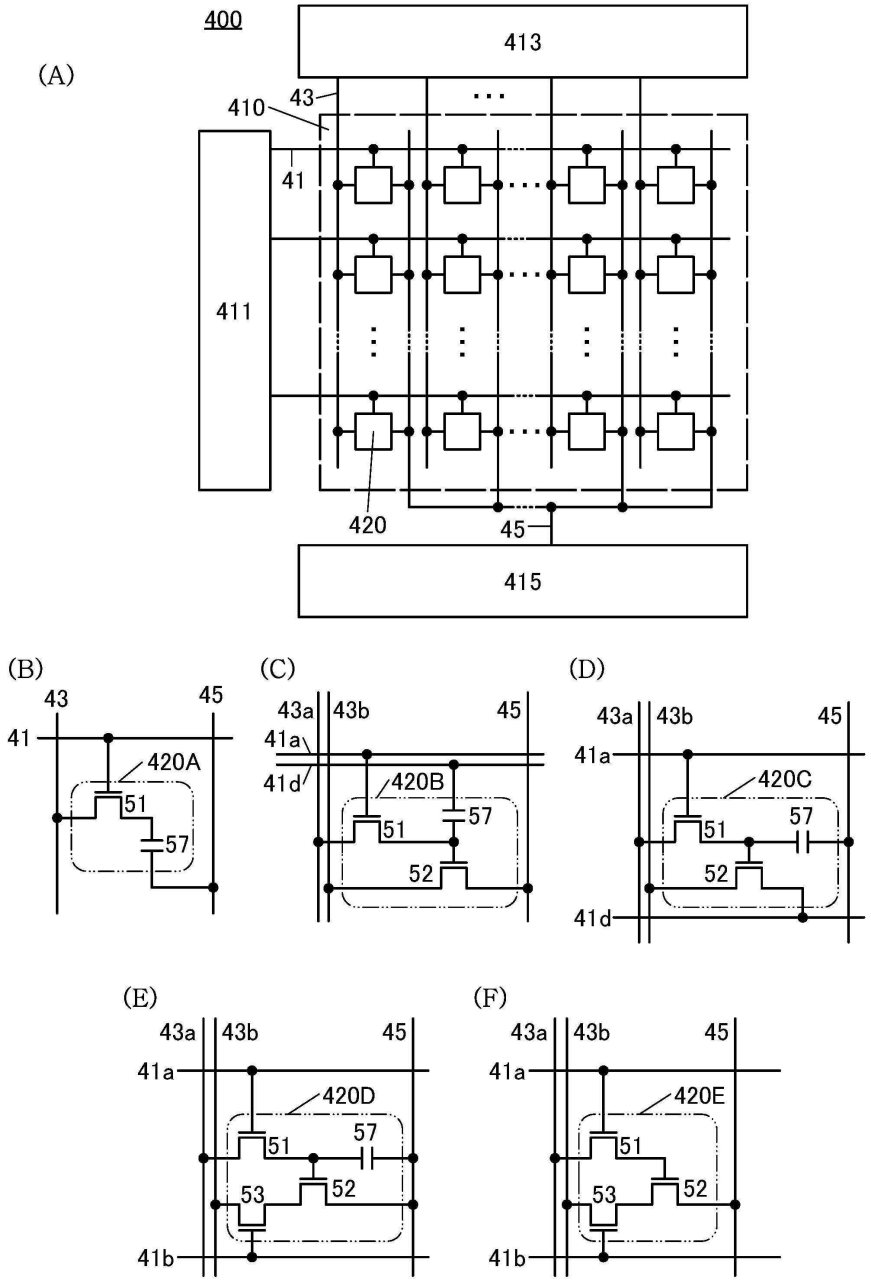
도면37


112a
(43)
57
112b
111b
(45)
112a
(43)
51
111b
(45)
51
115a
(41)
121a,
123a
113a
111a
125
40A[i, j]
115b
113b
52
57
52
121b,
123b
51
135(45)
51
115a
(41)
Y
X
Z
57
52
57
52
137
127a
127b
135(45)
40A[i+1, j+1]

도면38

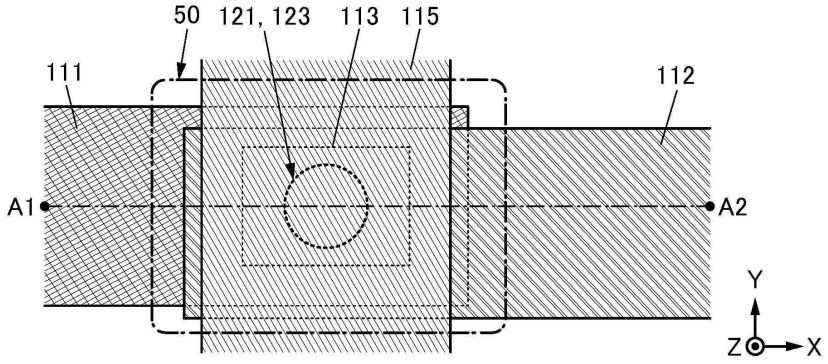

(A)
111a(43)
111b (45)
111a (43)
111b(45)
115a (41)
51
311
57
112b
C5
129
52
C6
137
127a
135(45)
127b
115a (41)
113b
121b, 123b
115b
Y
X
Z
(B)
218
317
129
235
60
311
313
315
331
142
152
127a
137
127b
237
C5
105
112b
121b
113b
115b
52
123b
103a
103b
103
111b
135
101
C6

도면39

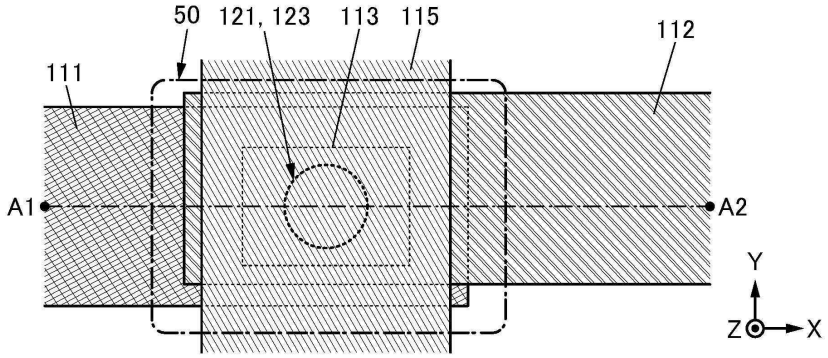

(A)
400
413
410
43
41
411
420
45
415
(B)
43
45
41
420A
51
57
(C)
43a
43b
45
41a
41d
420B
51
57
52
(D)
43a
43b
45
41a
420C
51
57
52
41d
(E)
43a
43b
45
41a
420D
51
57
53
52
41b
(F)
43a
43b
45
41a
420E
51
53
52
41b

도면40

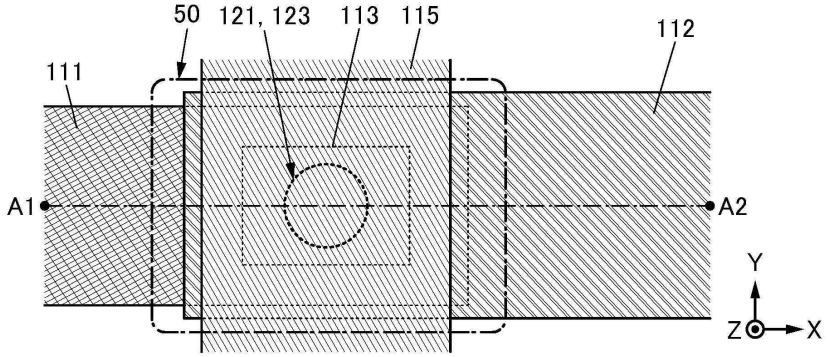
(A)


50
121, 123
113
115
111
112
A1
A2
Y
Z
X

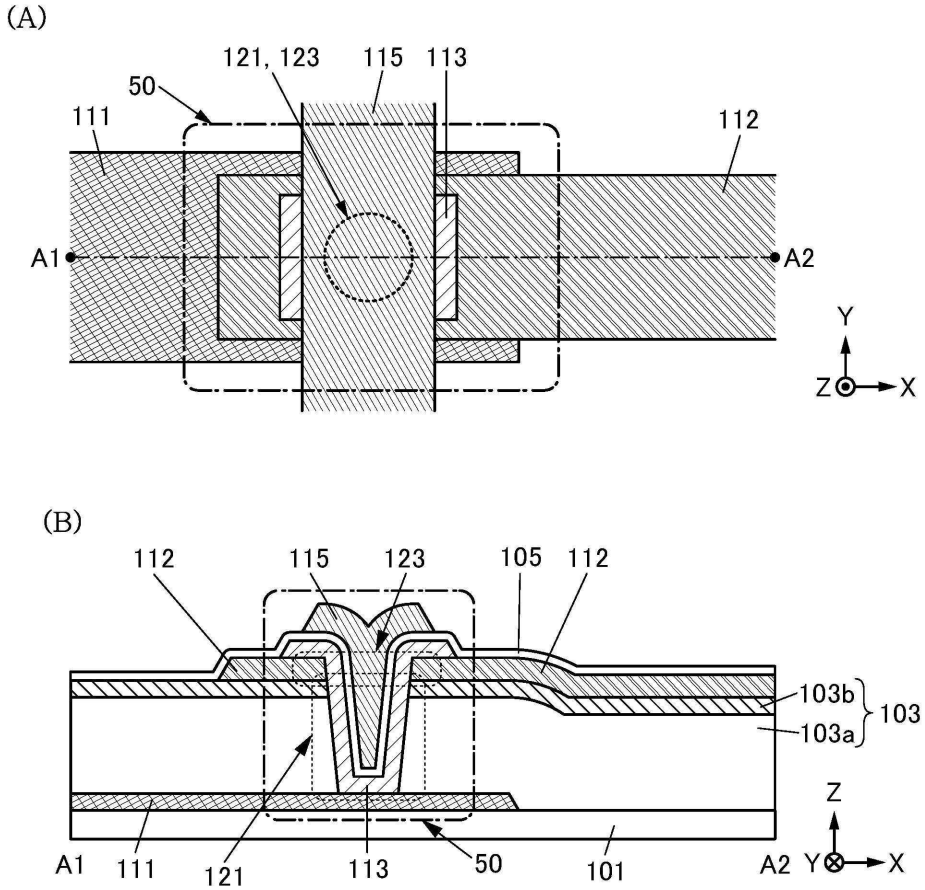
(B)


50
121, 123
113
115
111
112
A1
A2
Y
Z
X

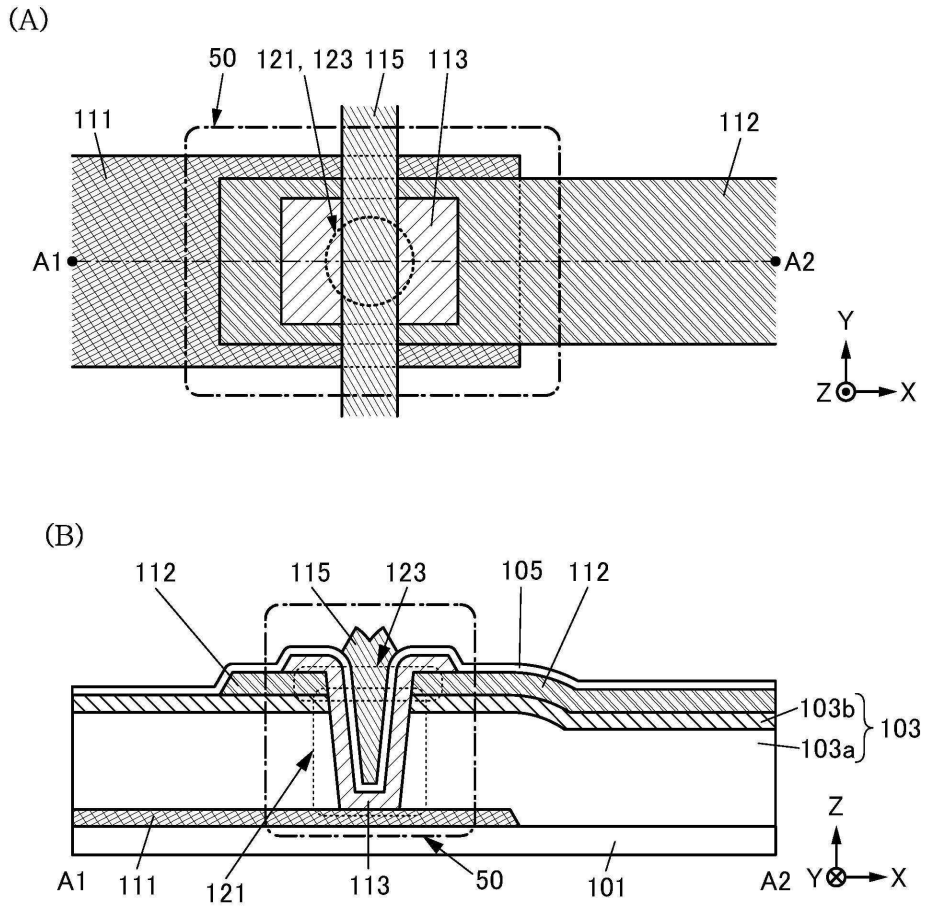
(C)


50
121, 123
113
115
111
112
A1
A2
Y
Z
X

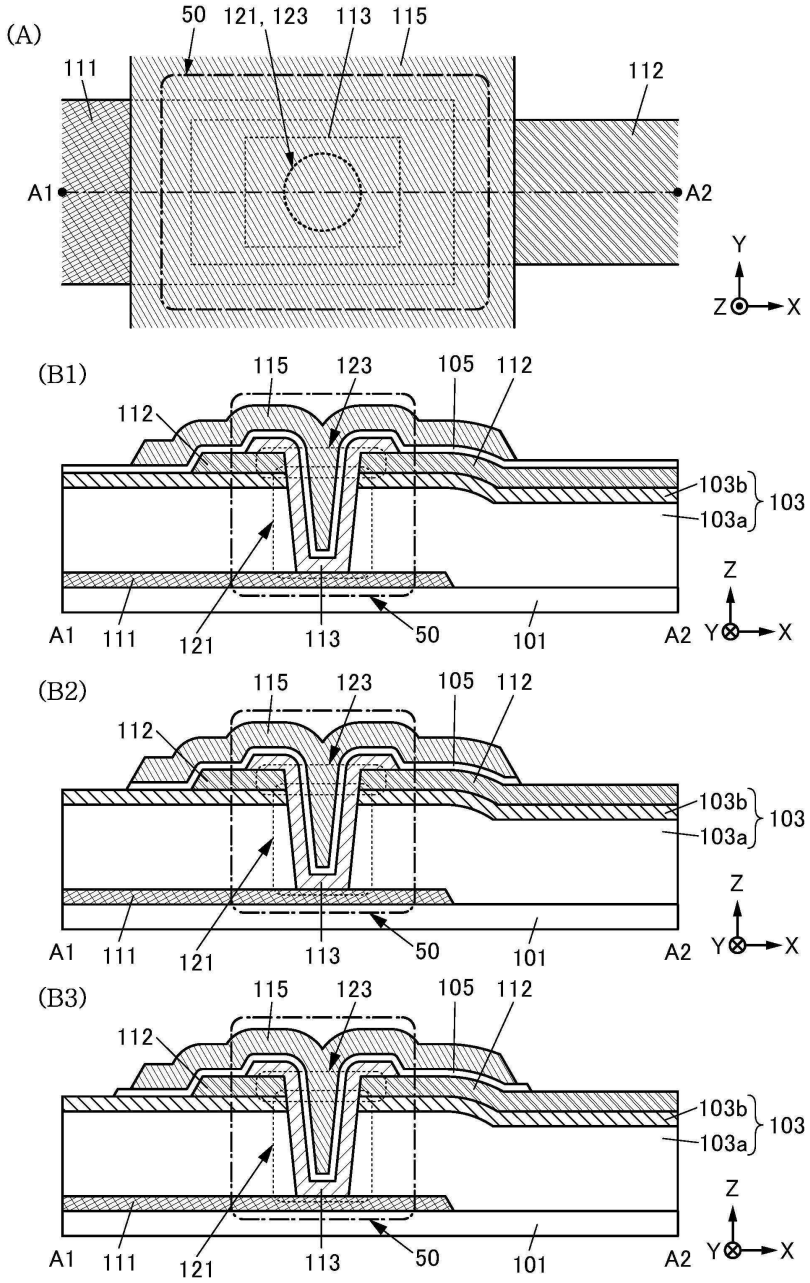
도면41


(A)
121, 123
115
113
50
111
112
A1
A2
Y
Z
X
(B)
112
115
123
105
112
103b
103a
103
Z
A1
111
121
113
50
101
A2
Y
X

도면42

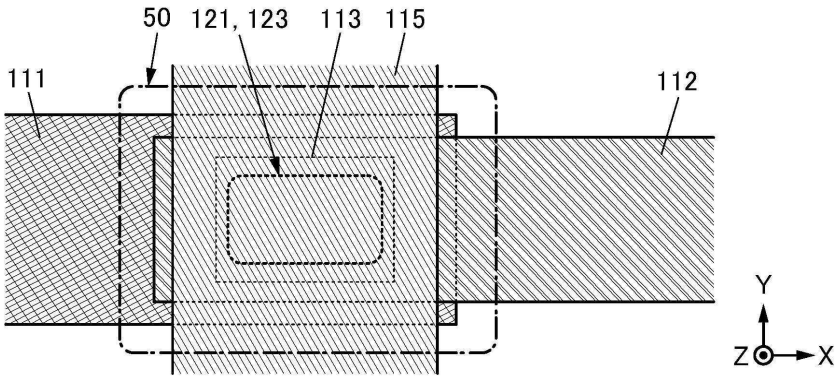

(A)
50
121, 123
115
113
111
112
A1
A2
Y
Z
X
(B)
112
115
123
105
112
103b
103a
103
A1
111
121
113
50
101
A2
Z
Y
X

도면43

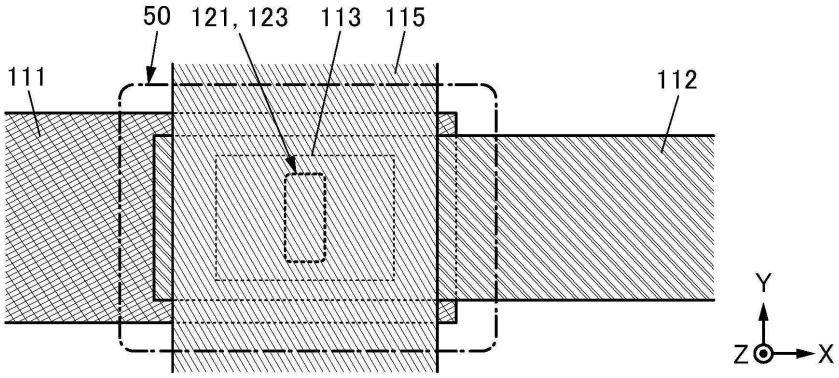

(A)
50
121, 123
113
115
111
112
A1
A2
Y
Z
X
(B1)
115
123
105
112
112
103b
103a
103
A1
111
121
113
50
101
A2
Z
Y
X
(B2)
115
123
105
112
112
103b
103a
103
A1
111
121
113
50
101
A2
Z
Y
X
(B3)
115
123
105
112
112
103b
103a
103
A1
111
121
113
50
101
A2
Z
Y
X

도면44

(A)

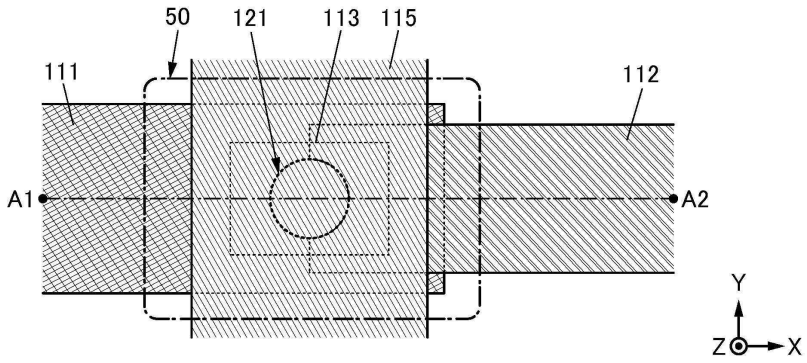


(B)

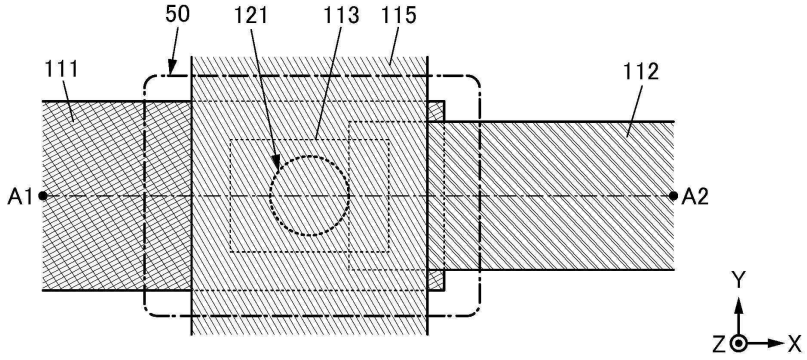


도면45

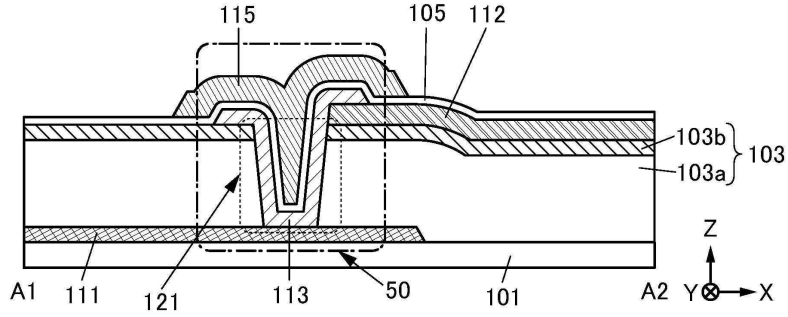
(A1)


50
121
113
115
111
112
A1
A2
Y
Z
X

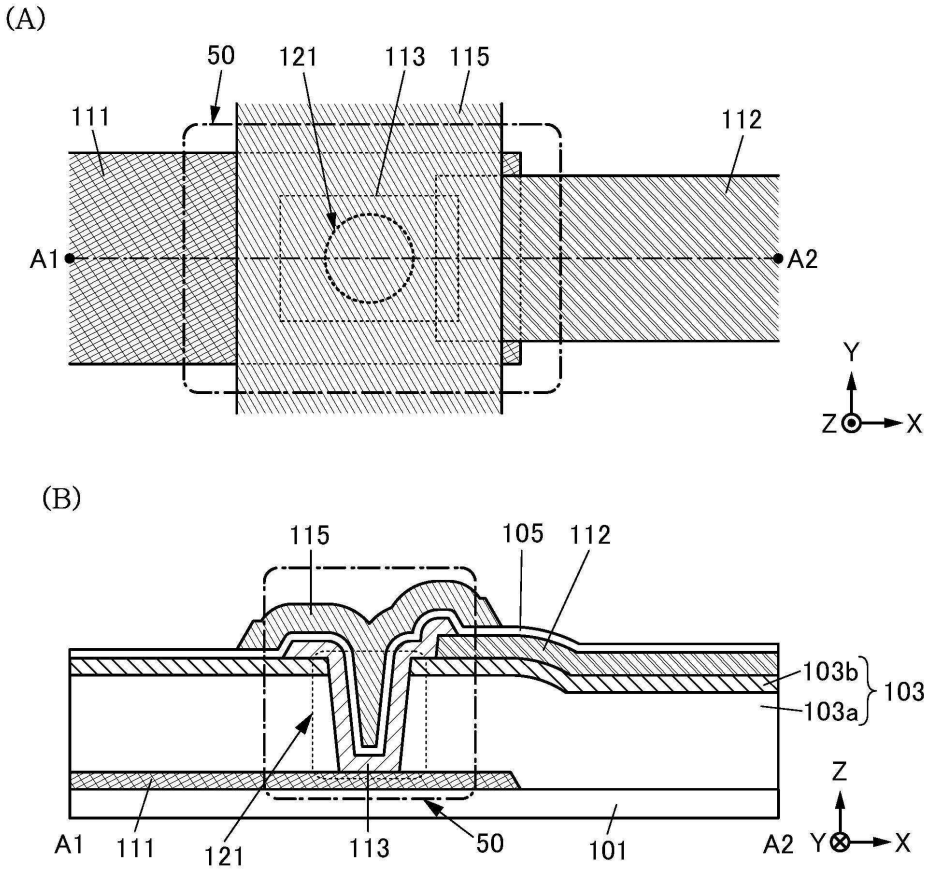
(A2)


50
121
113
115
111
112
A1
A2
Y
Z
X

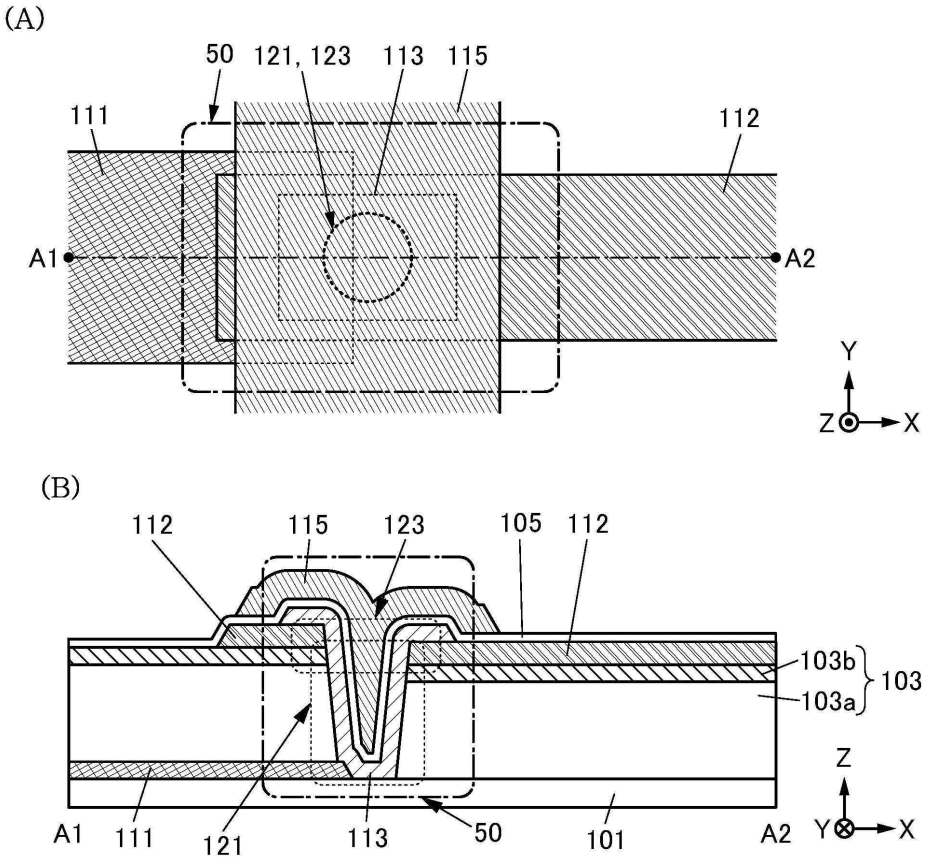
(B)


115
105
112
103b
103a
103
Z
A1
111
121
113
50
101
A2
Y
X

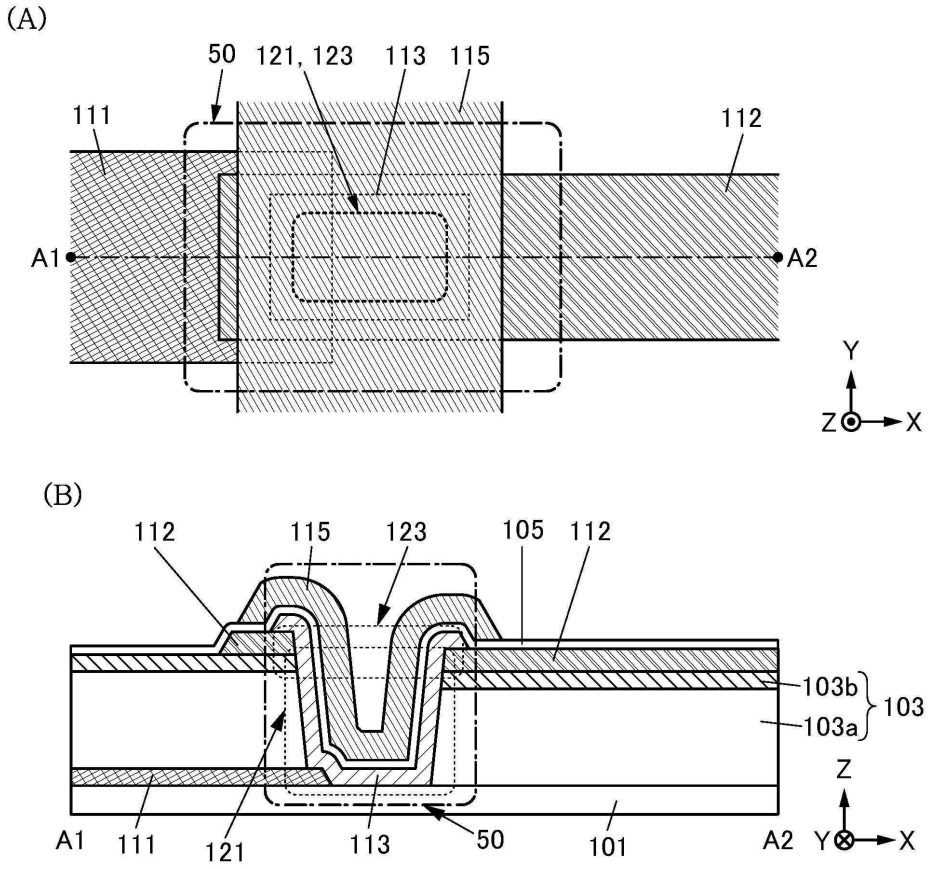
도면46


(A)
50
121
113
115
111
112
A1
A2
Y
Z
X
(B)
115
105
112
103b
103a
103
Z
A1
111
121
113
50
101
A2
Y
X

도면47

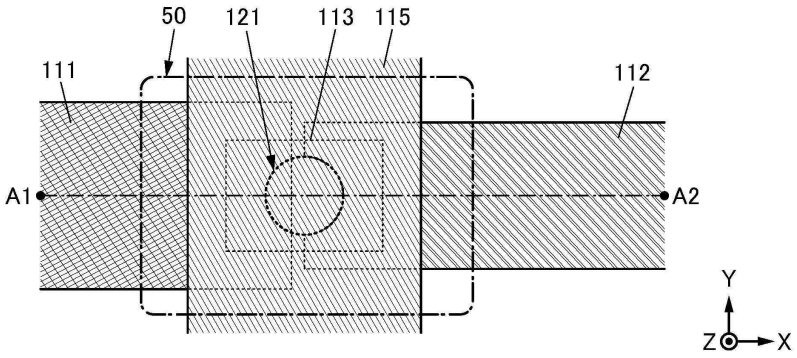

(A)
50
121, 123
113
115
111
112
A1
A2
Y
Z
X
(B)
112
115
123
105
112
103b
103a
103
Z
A1
111
121
113
50
101
A2
Y
X

도면48

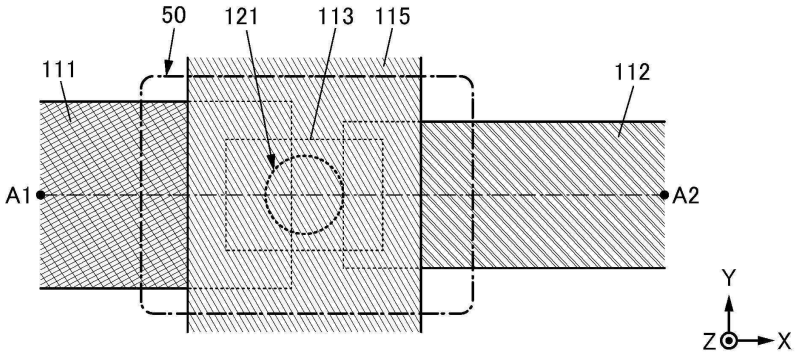

(A)
50
121, 123
113
115
111
112
A1
A2
Y
Z
X
(B)
112
115
123
105
112
103b
103a
103
Z
A1
111
121
113
50
101
A2
Y
X

도면49

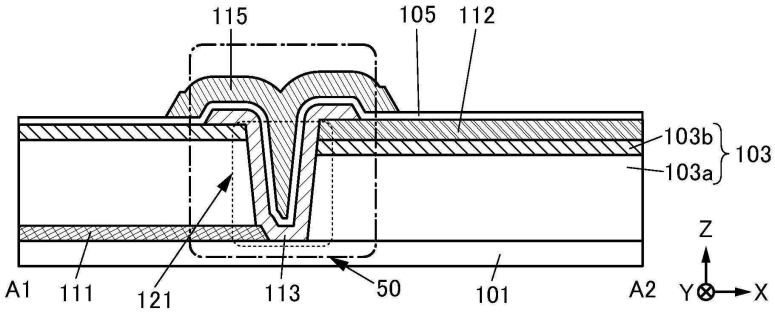
(A1)


50
121
113
115
111
112
A1
A2
Y
Z
X

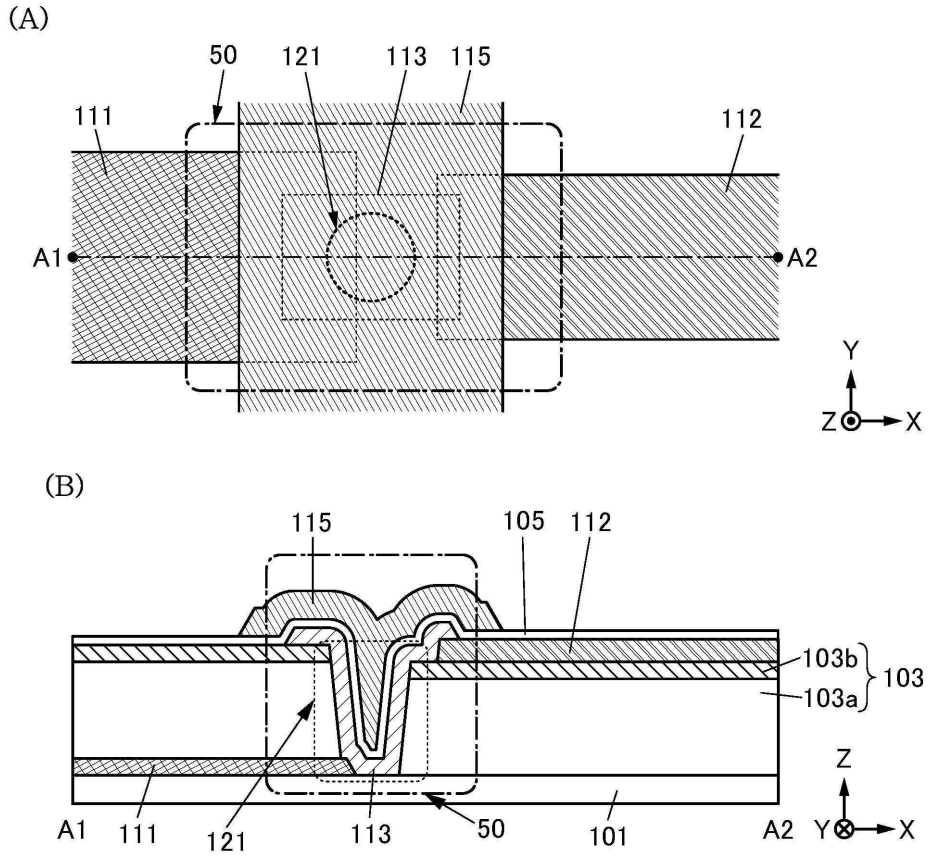
(A2)


50
121
113
115
111
112
A1
A2
Y
Z
X

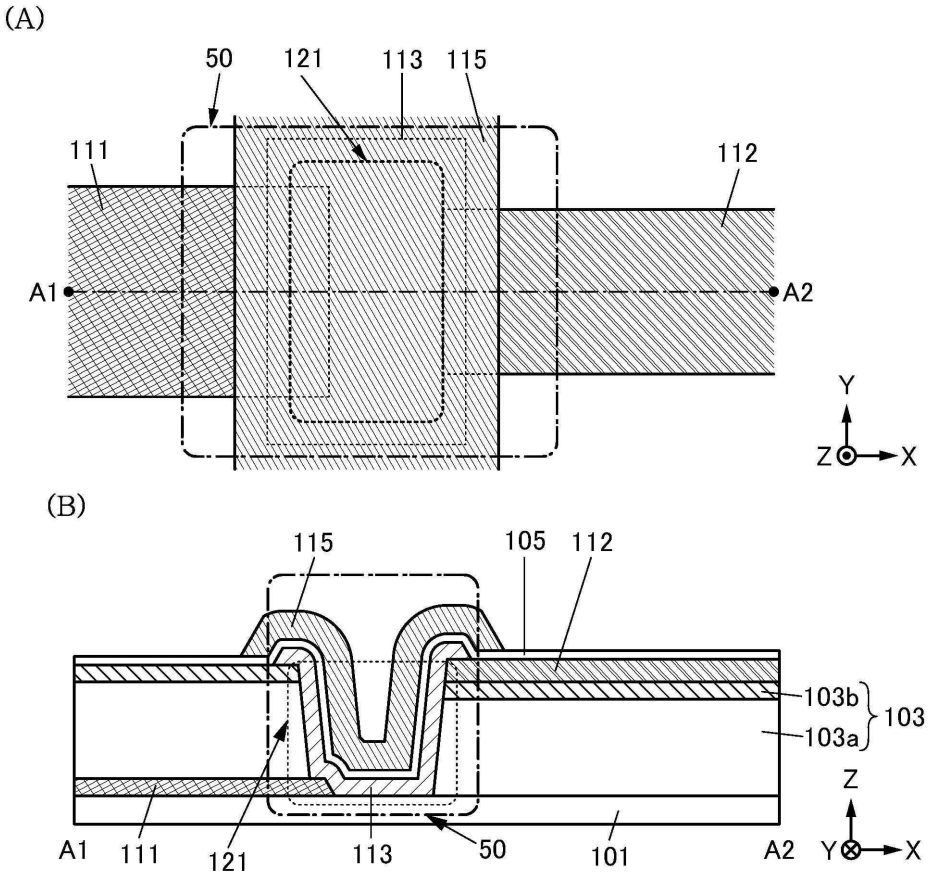
(B)


115
105
112
103b
103a
103
Z
A1
111
121
113
50
101
A2
Y
X

도면50

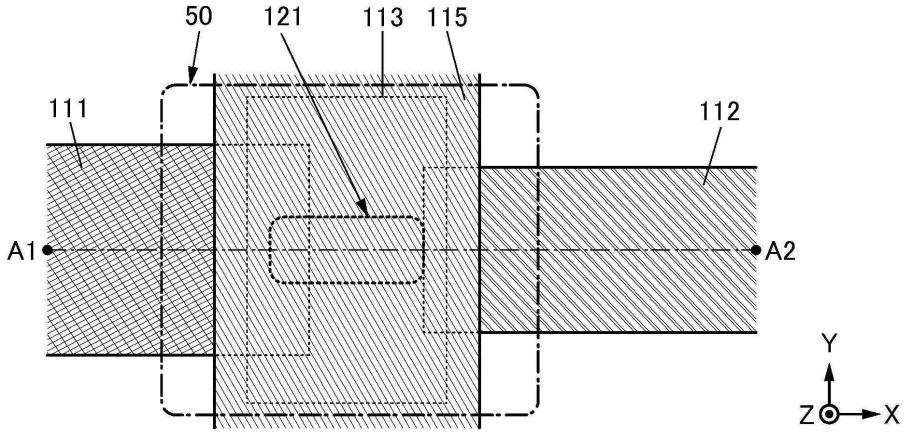

(A)
50
121
113
115
111
112
A1
A2
Y
Z
X
(B)
115
105
112
103b
103a
103
Z
A1
111
121
113
50
101
A2
Y
X

도면51

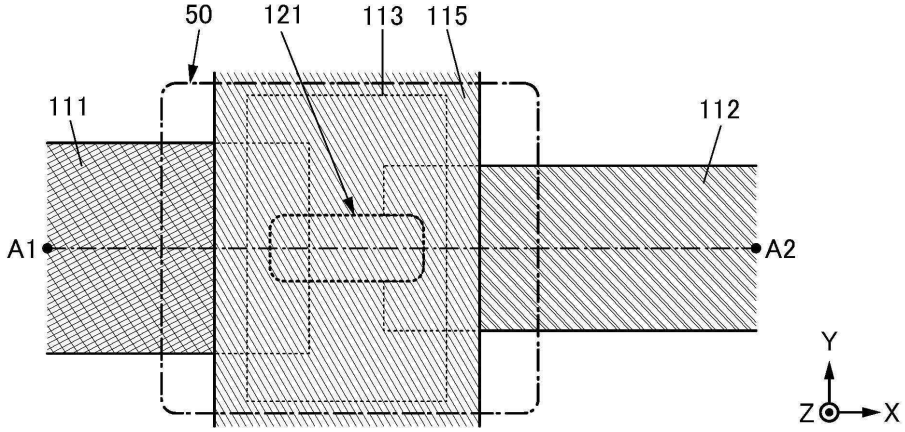

(A)
50
121
113
115
111
112
A1
A2
Y
Z
X
(B)
115
105
112
103b
103a
103
Z
A1
111
121
113
50
101
A2
Y
X

도면52

(A)

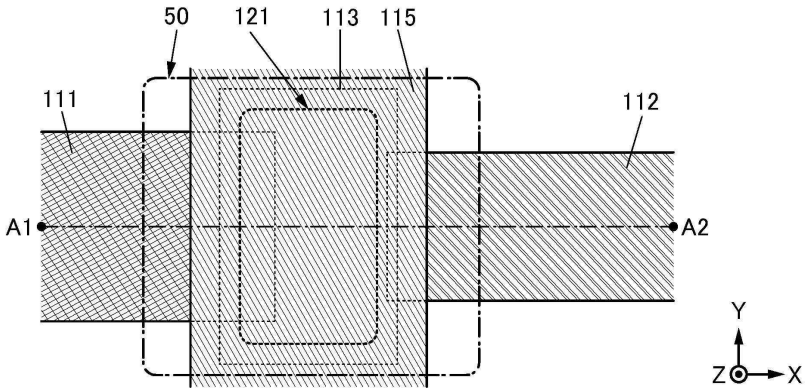


(B)

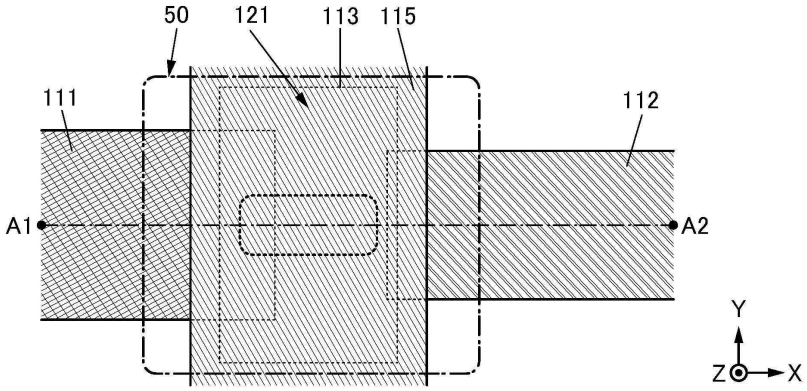


도면53

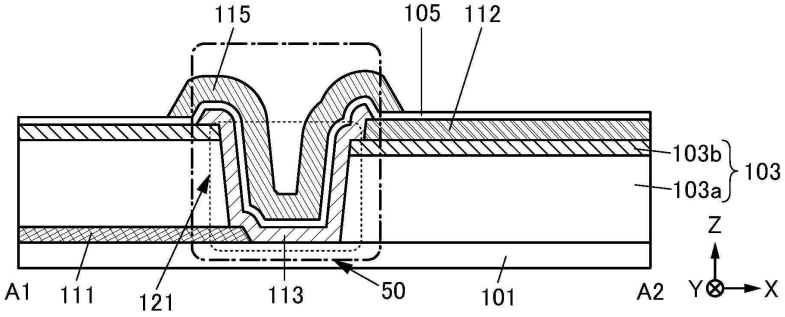
(A1)


50
121
113
115
111
112
A1
A2
Y
Z
X

(A2)

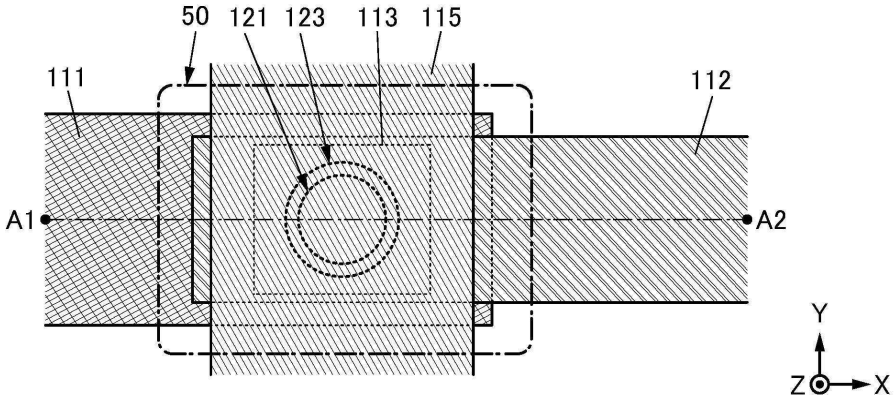

50
121
113
115
111
112
A1
A2
Y
Z
X

(B)

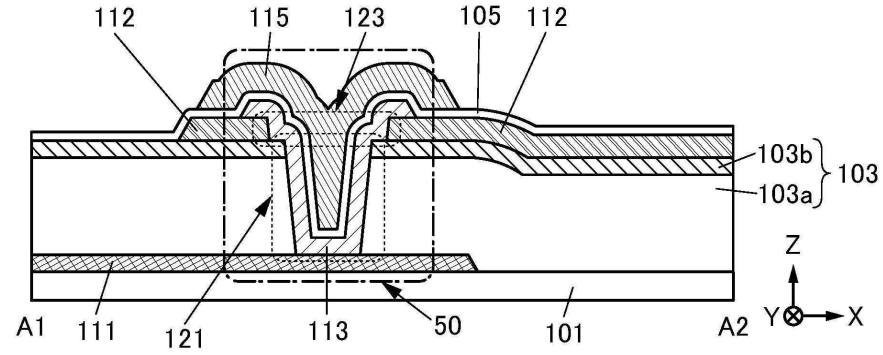

115
105
112
103b
103a
103
Z
A1
111
121
113
50
101
A2
Y
X

도면54

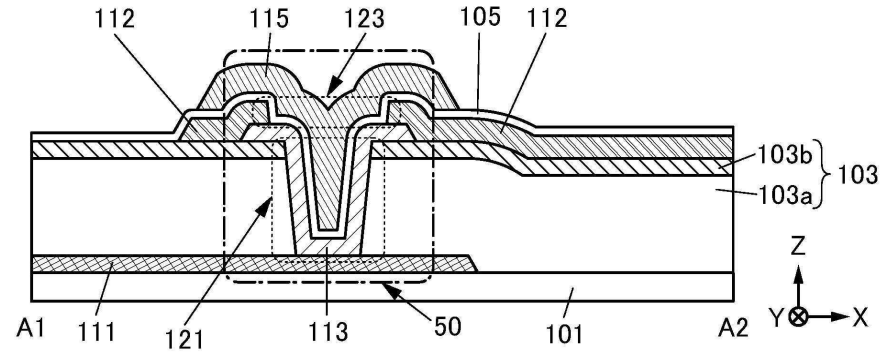
(A)


50
121
123
113
115
111
112
A1
A2
Y
Z
X

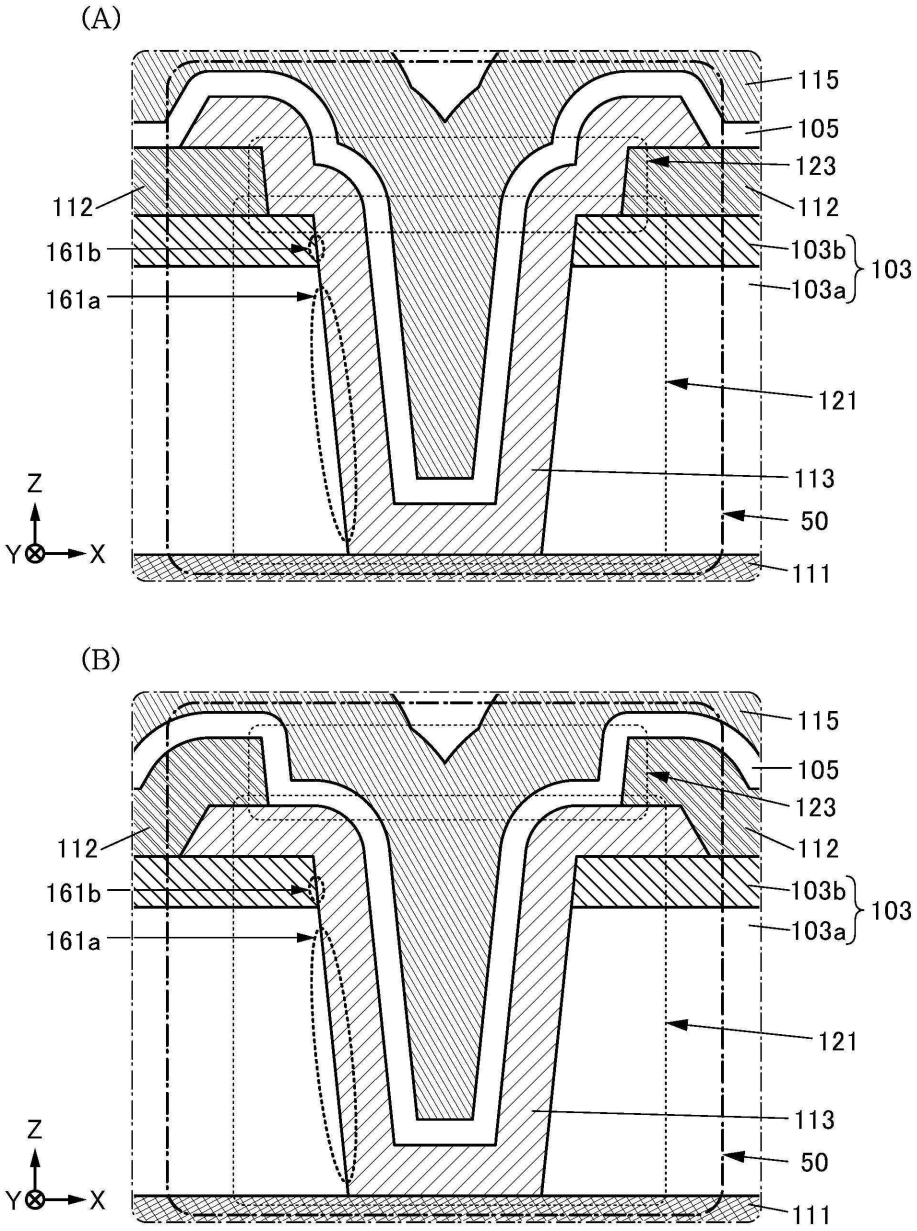
(B1)


112
115
123
105
112
103b
103a
103
A1
111
121
113
50
101
A2
Z
Y
X

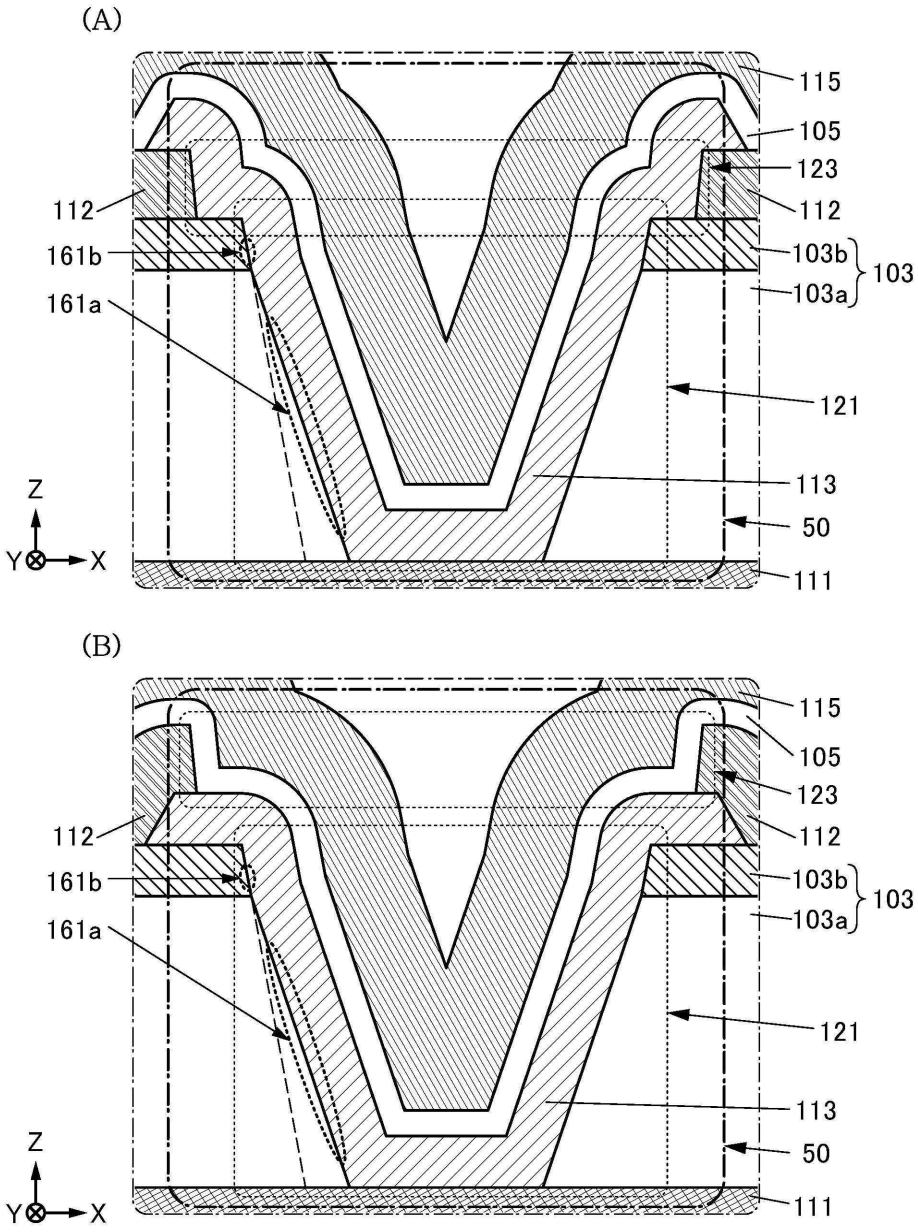
(B2)


112
115
123
105
112
103b
103a
103
A1
111
121
113
50
101
A2
Z
Y
X

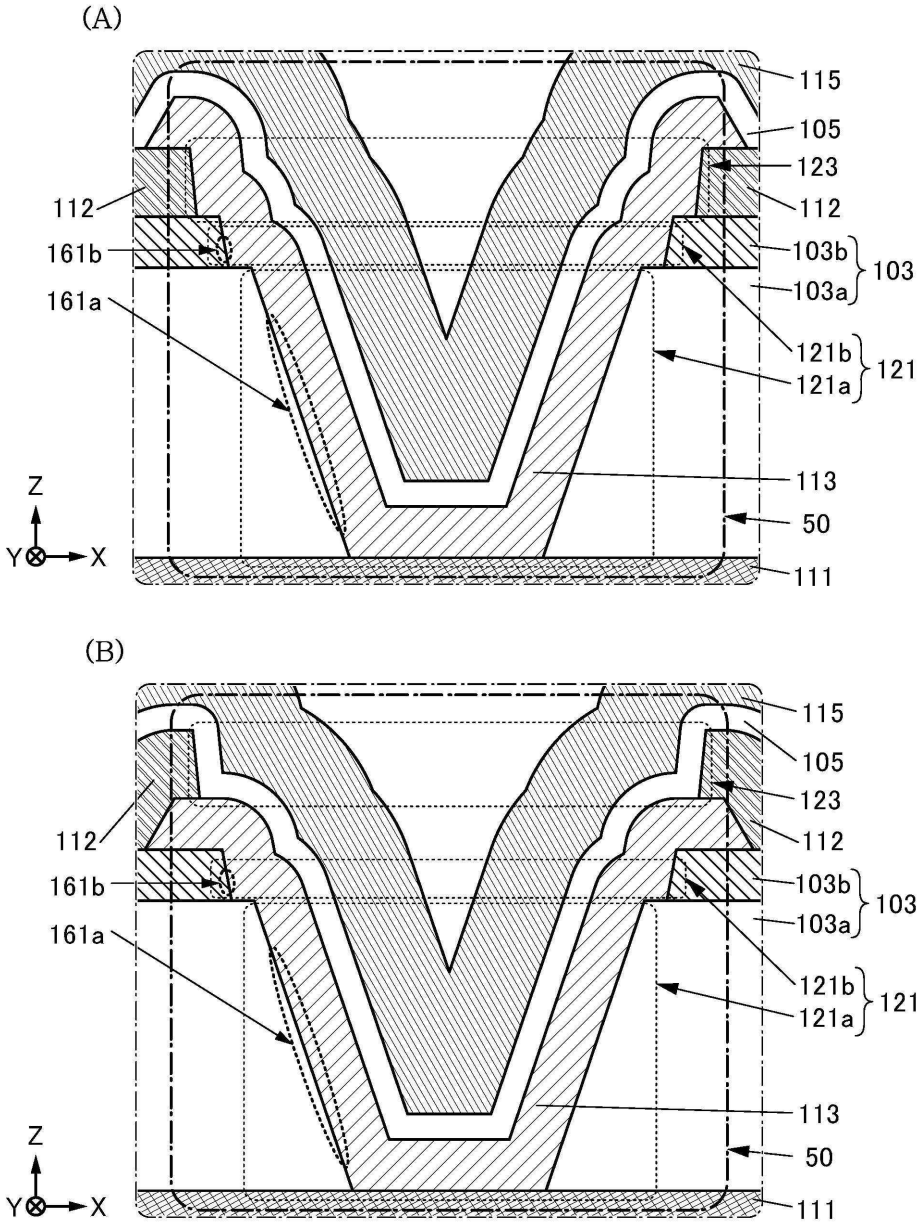
도면55


(A)
115
105
123
112
112
103b
103
161b
103a
161a
121
113
Z
50
Y
X
111
(B)
115
105
123
112
112
103b
103
161b
103a
161a
121
113
Z
50
Y
X
111

도면56

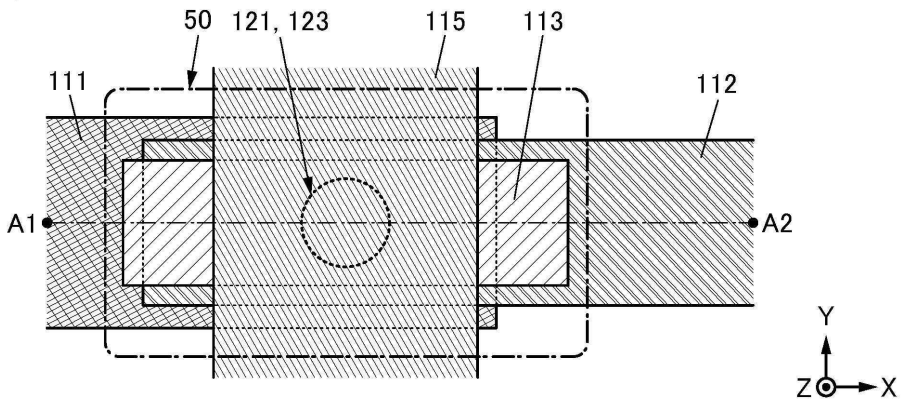

(A)
115
105
123
112
112
161b
103b
103
103a
161a
121
113
Z
50
Y
X
111
(B)
115
105
123
112
112
161b
103b
103
103a
161a
121
113
Z
50
Y
X
111

도면57

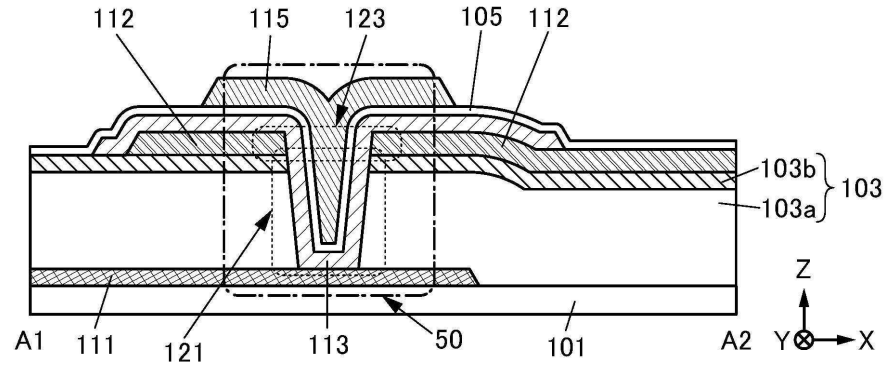

(A)
115
105
123
112
112
161b
103b
103
103a
161a
121b
121
121a
113
Z
50
Y
X
111
(B)
115
105
123
112
112
161b
103b
103
103a
161a
121b
121
121a
113
Z
50
Y
X
111

도면58

(A)

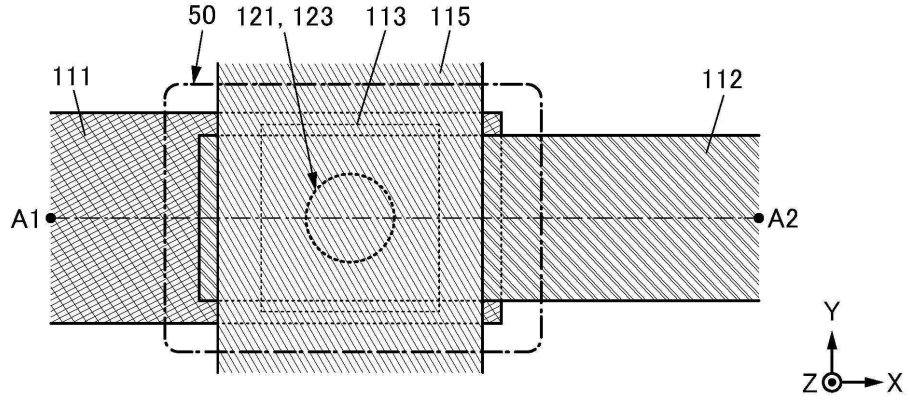

50
121, 123
115
113
111
112
A1
A2
Y
Z
X

(B)

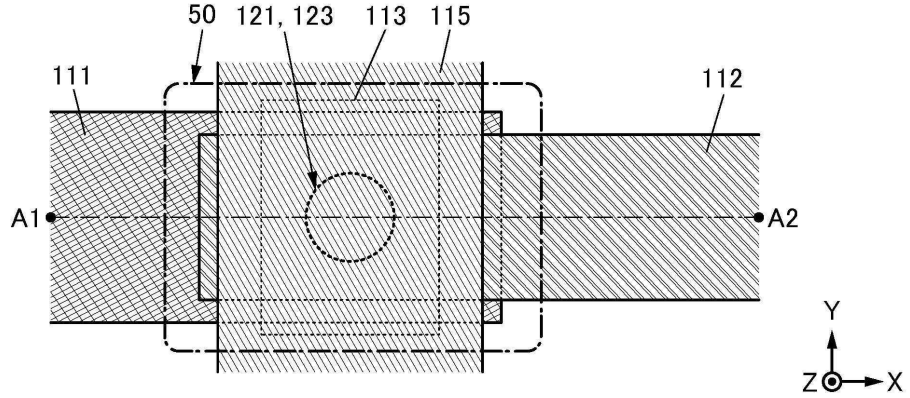

112
115
123
105
112
103b
103a
103
Z
A1
111
121
113
50
101
A2
Y
X

도면59

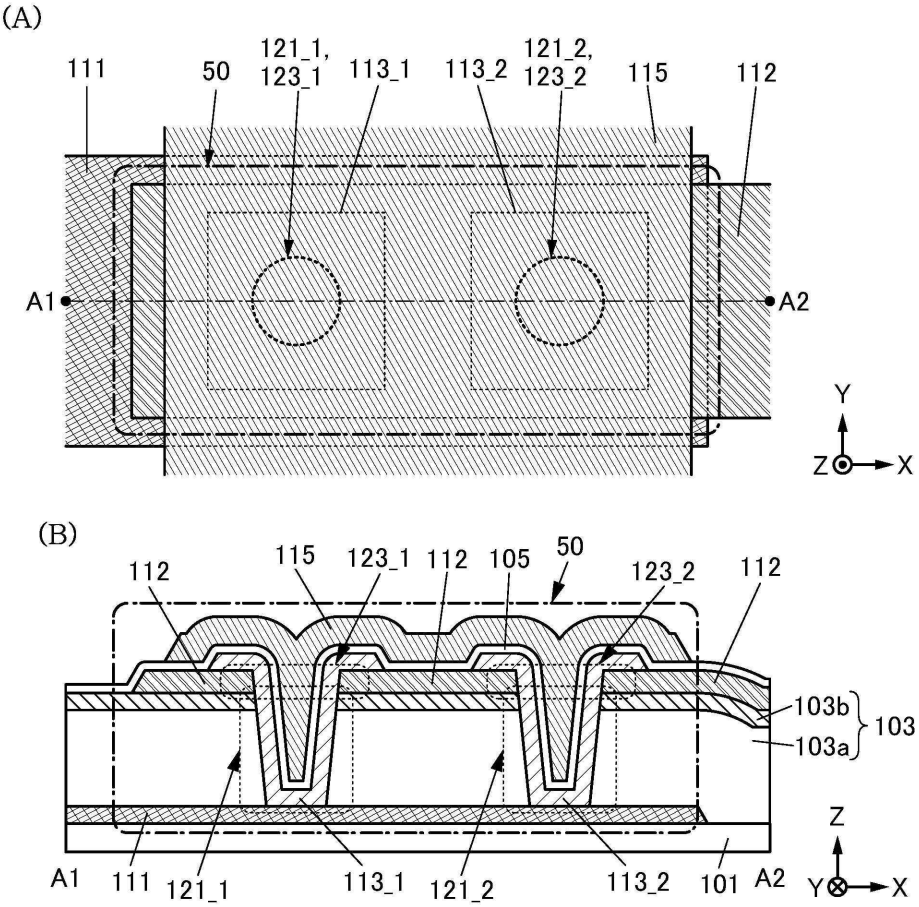
(A)


50
121, 123
113
115
111
112
A1
A2
Y
Z
X

(B)

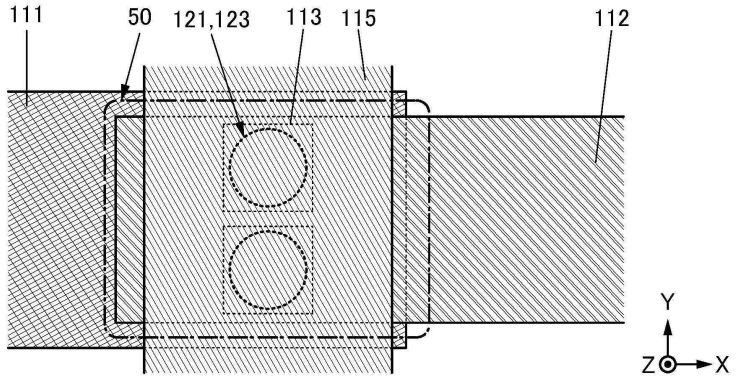

50
121, 123
113
115
111
112
A1
A2
Y
Z
X

도면60

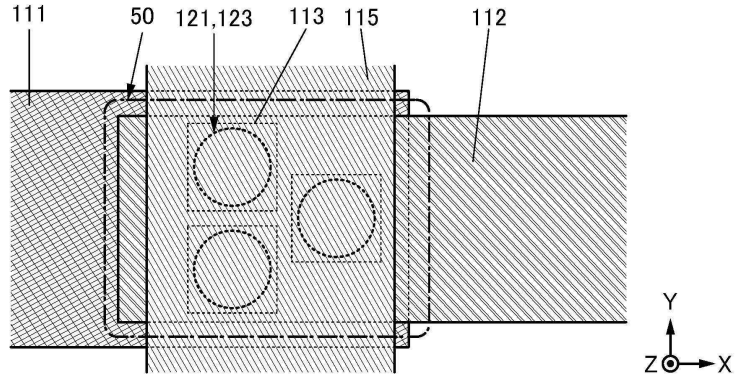

(A)
111
50
121_1,
123_1
113_1
113_2
121_2,
123_2
115
112
A1
A2
Y
Z
X
(B)
112
115
123_1
112
105
50
123_2
112
103b
103a
103
A1
111
121_1
113_1
121_2
113_2
101
A2
Z
Y
X

도면61

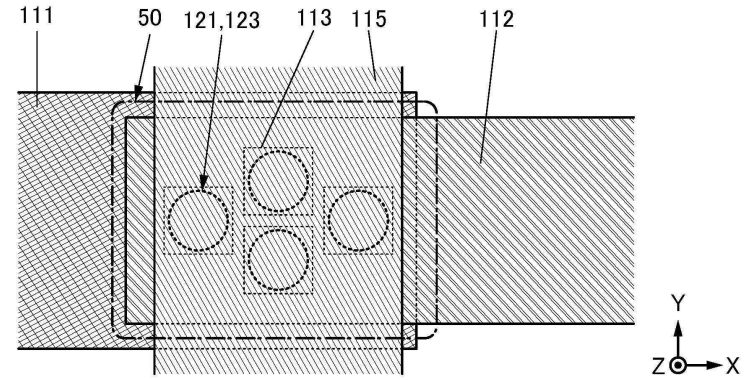
(A)


111
50
121,123
113
115
112
Y
Z
X

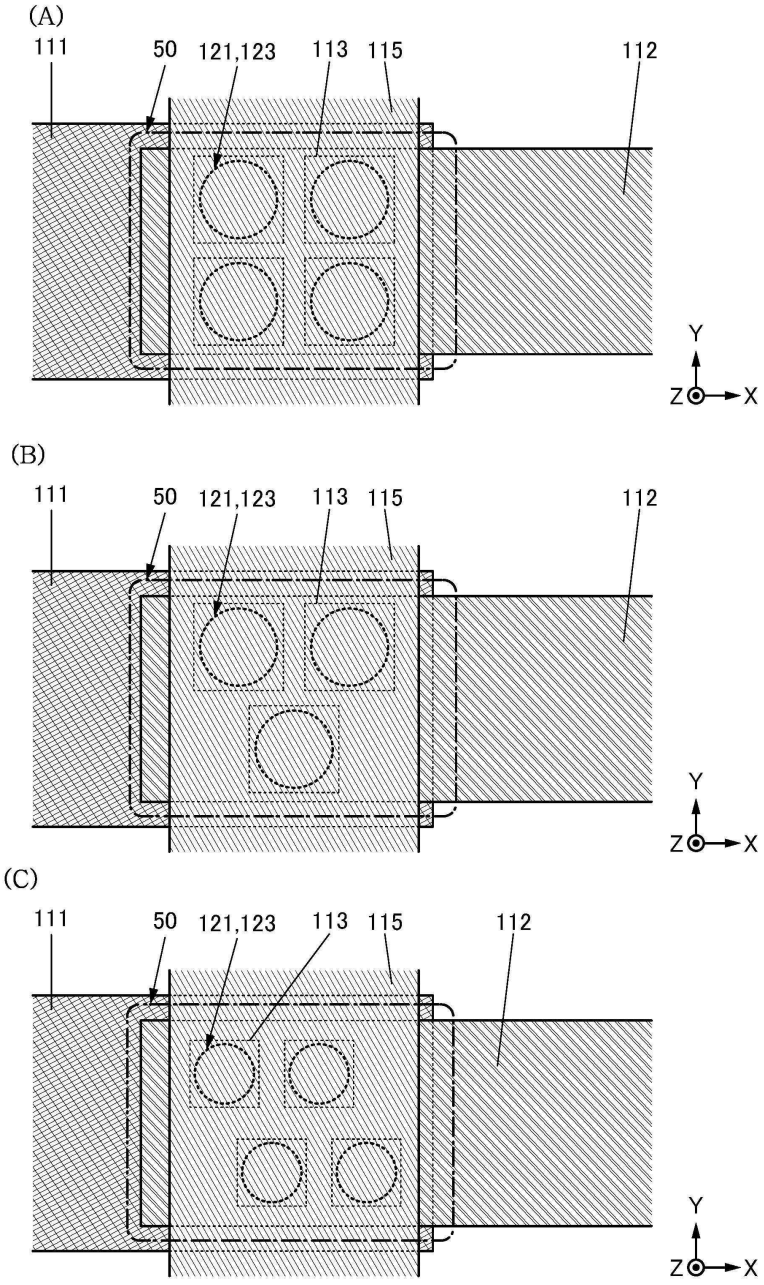
(B)


111
50
121,123
113
115
112
Y
Z
X

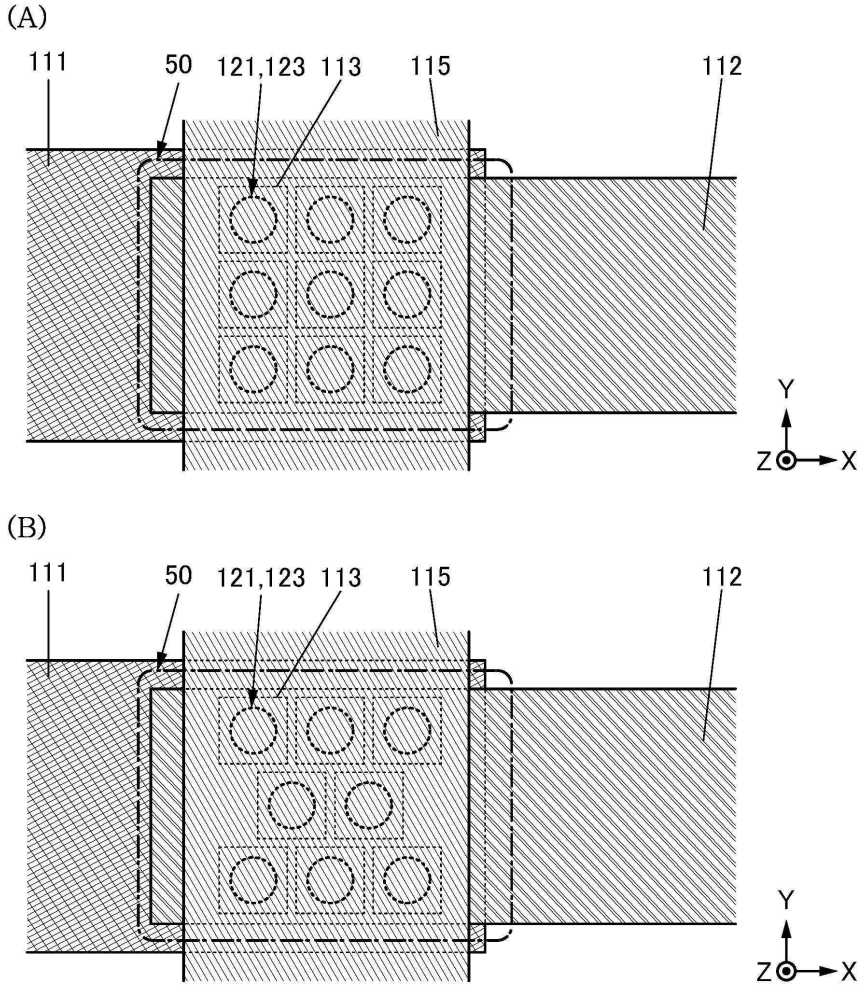
(C)


111
50
121,123
113
115
112
Y
Z
X

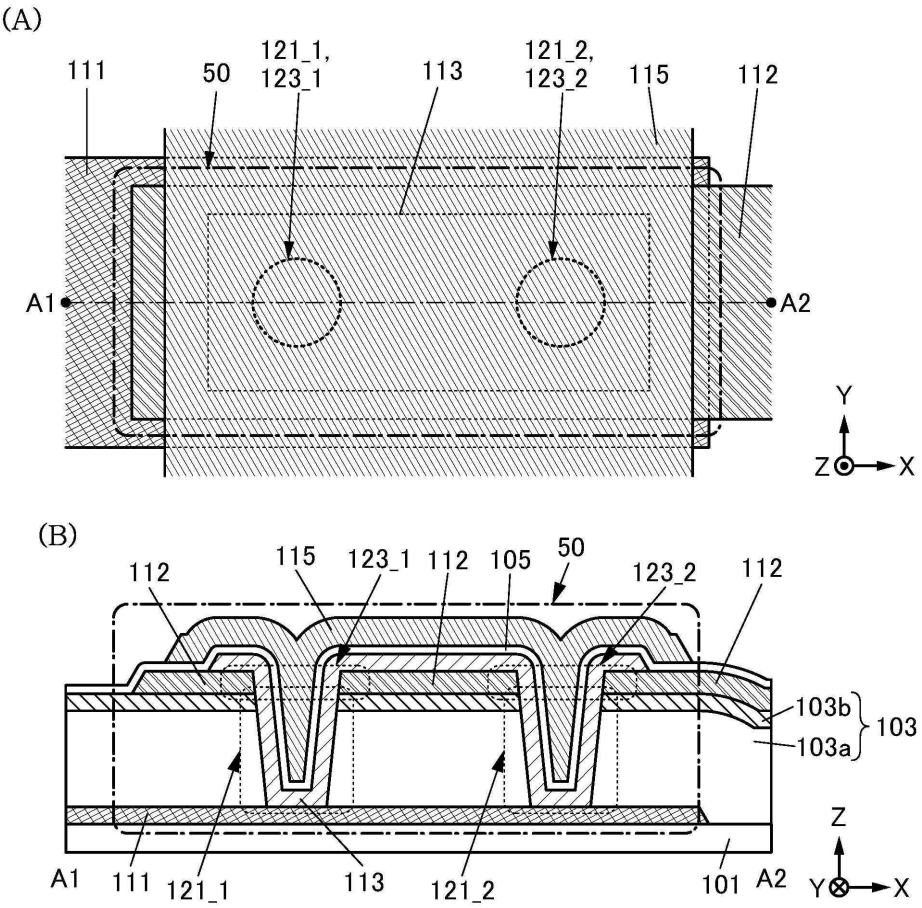
도면62


(A)
111
50
121,123
113
115
112
Y
Z
X
(B)
111
50
121,123
113
115
112
Y
Z
X
(C)
111
50
121,123
113
115
112
Y
Z
X

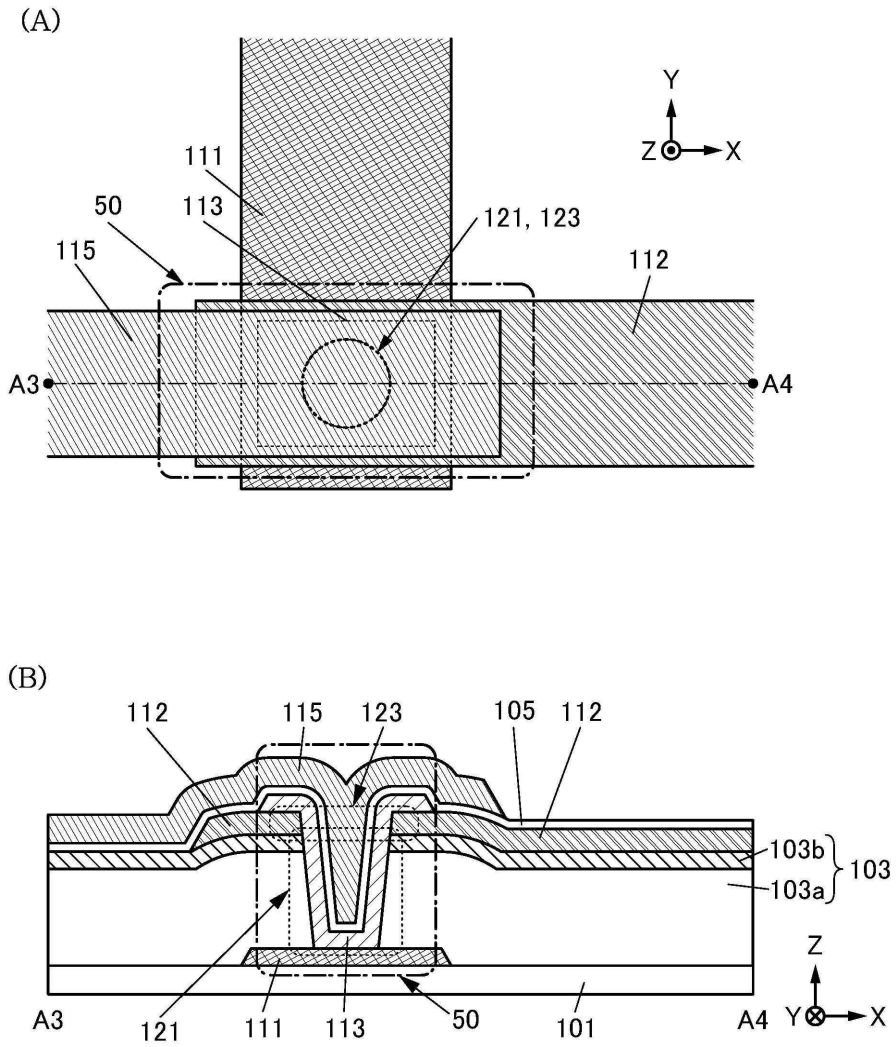
도면63



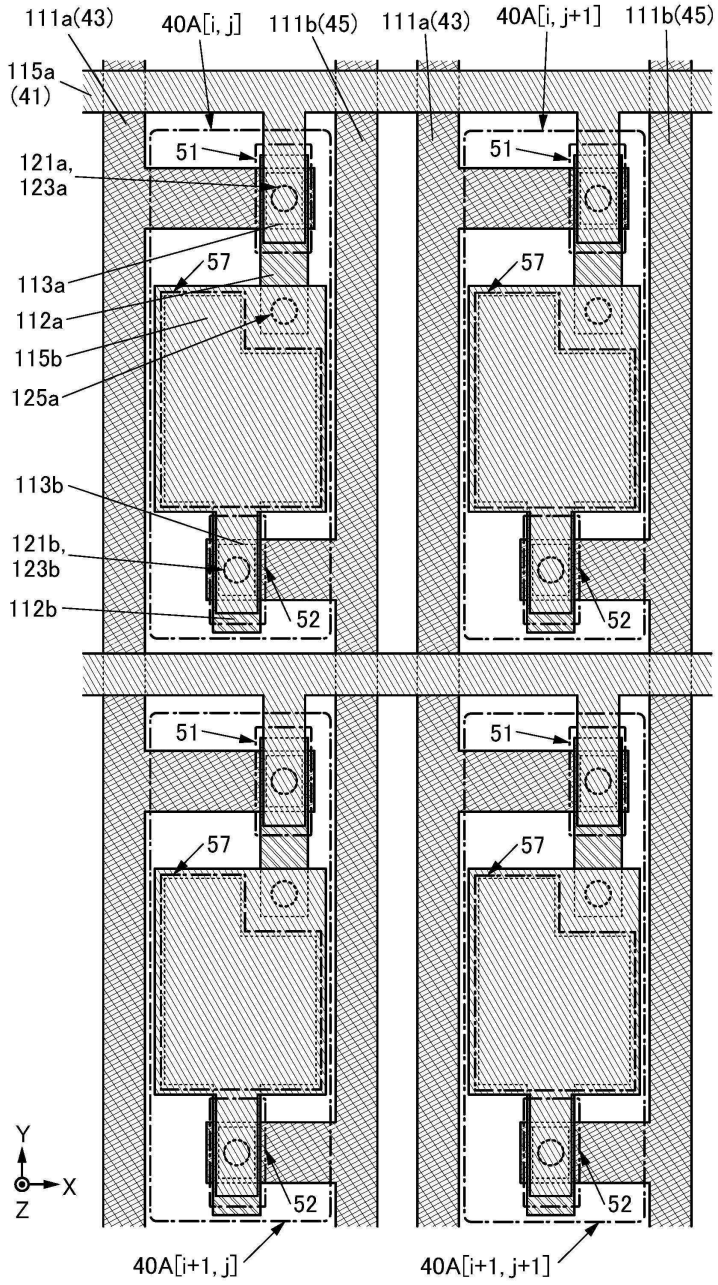
도면64


(A)
111
50
121_1,
123_1
113
121_2,
123_2
115
112
A1
A2
Y
Z
X
(B)
112
115
123_1
112
105
50
123_2
112
103b
103a
103
A1
111
121_1
113
121_2
101
A2
Z
Y
X

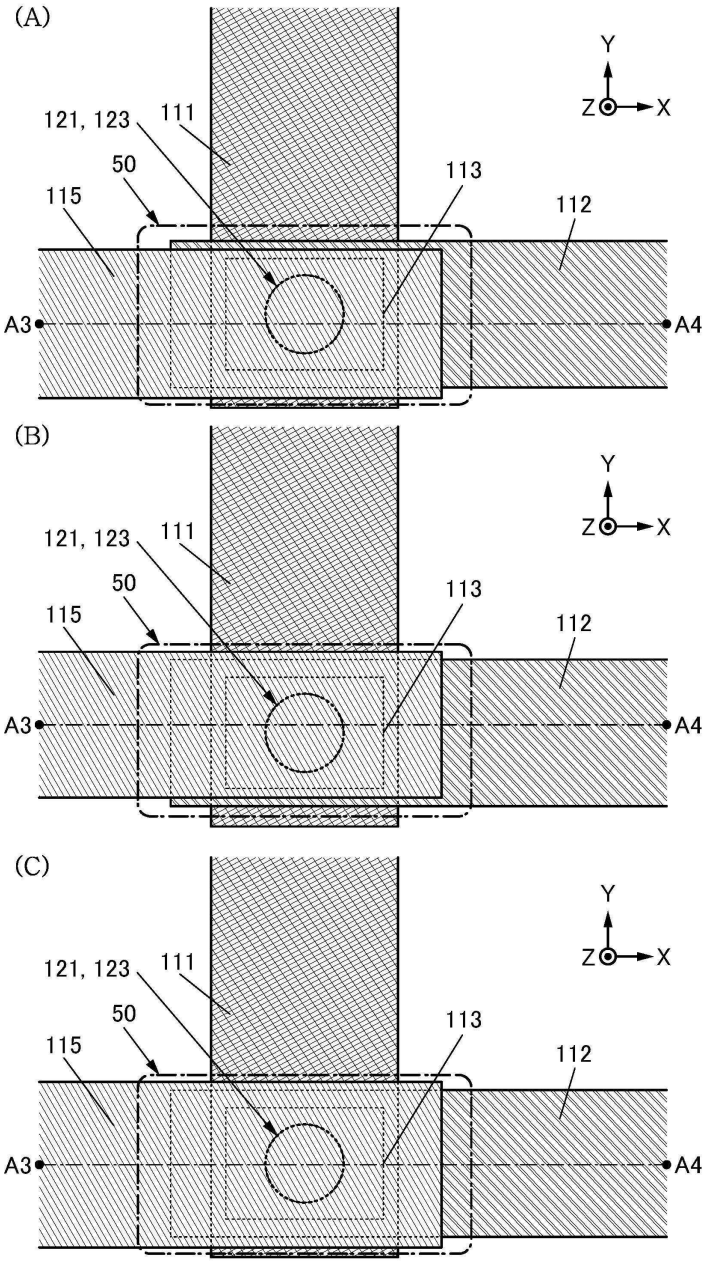
도면65


(A)
Y
Z
X
111
50
113
121, 123
115
112
A3
A4
(B)
112
115
123
105
112
103b
103
103a
Z
A3
121
111
113
50
101
A4
Y
X

도면66

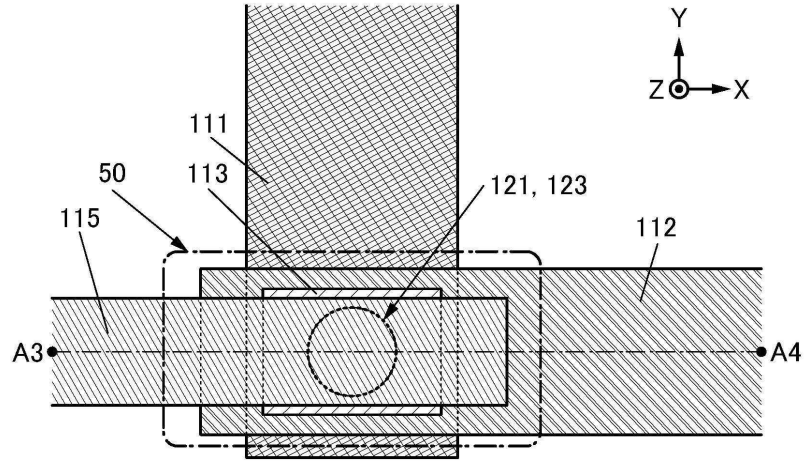

111a(43)
40A[i, j]
111b(45)
111a(43)
40A[i, j+1]
111b(45)
115a
(41)
121a,
123a
113a
112a
115b
125a
113b
121b,
123b
112b
51
57
52
Y
X
Z
40A[i+1, j]
40A[i+1, j+1]

도면67

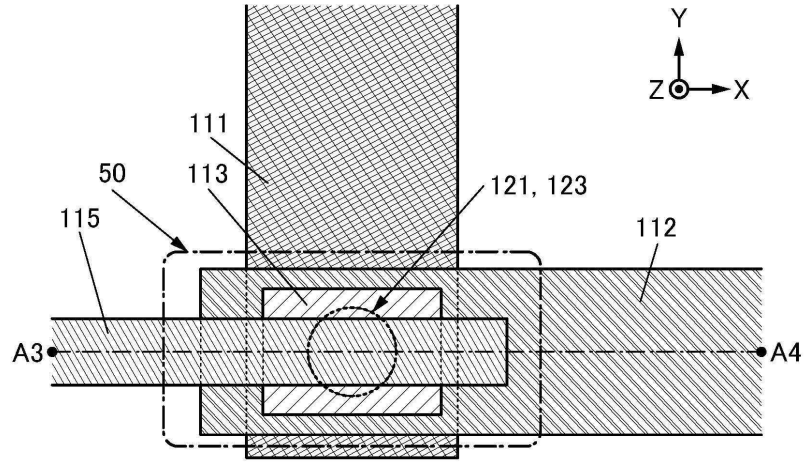

(A)
Y
Z
X
121, 123
111
50
115
113
112
A3
A4
(B)
Y
Z
X
121, 123
111
50
115
113
112
A3
A4
(C)
Y
Z
X
121, 123
111
50
115
113
112
A3
A4

도면68

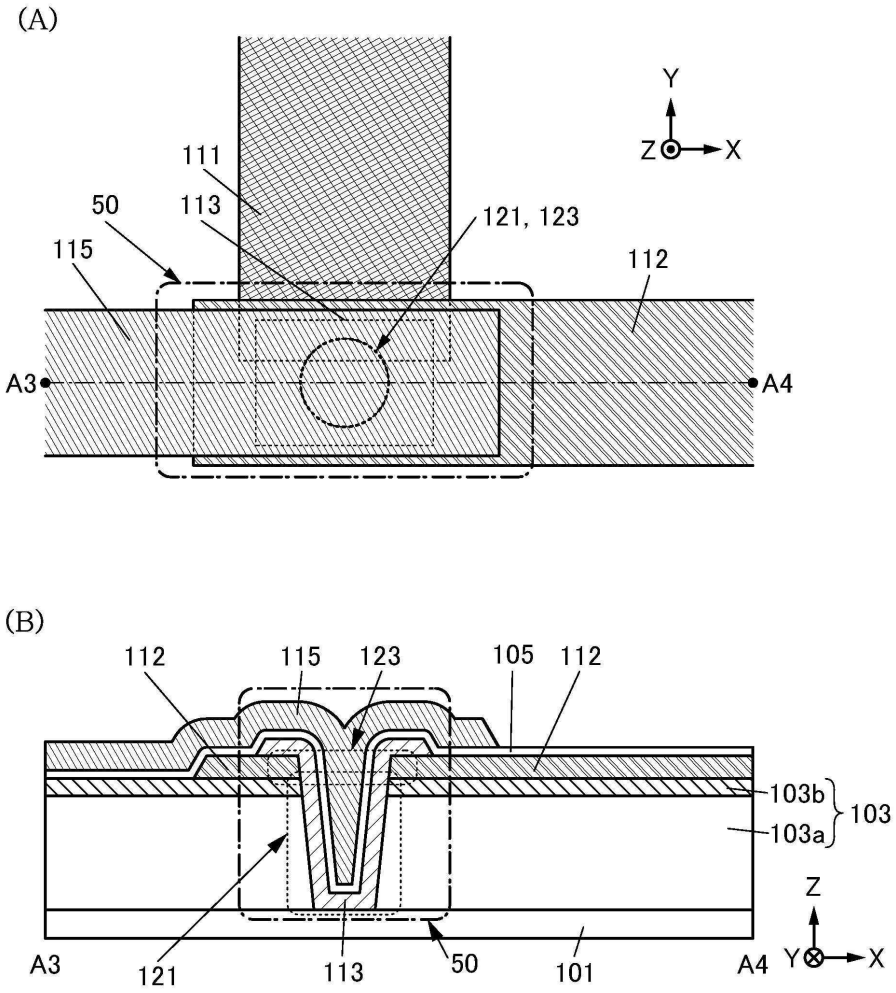
(A)


Y
Z
X
111
50
113
121, 123
115
112
A3
A4

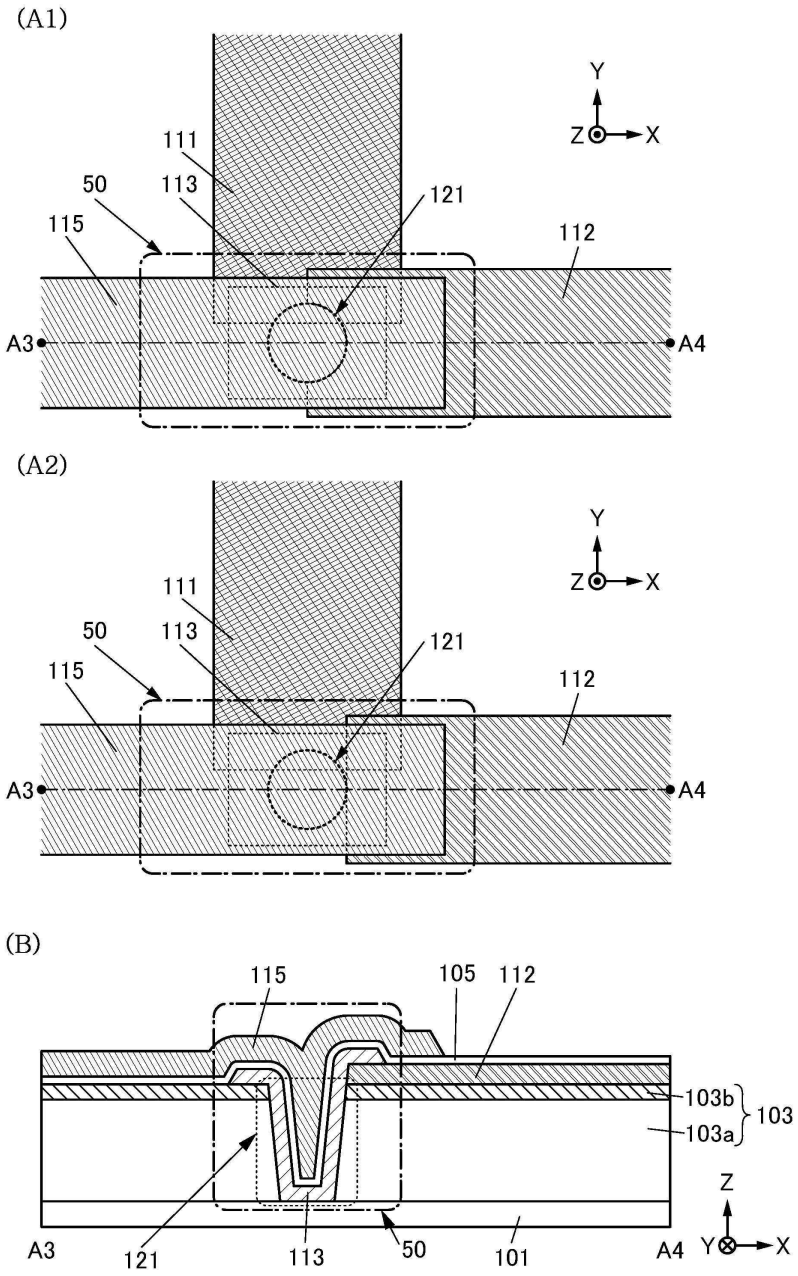
(B)


Y
Z
X
111
50
113
121, 123
115
112
A3
A4

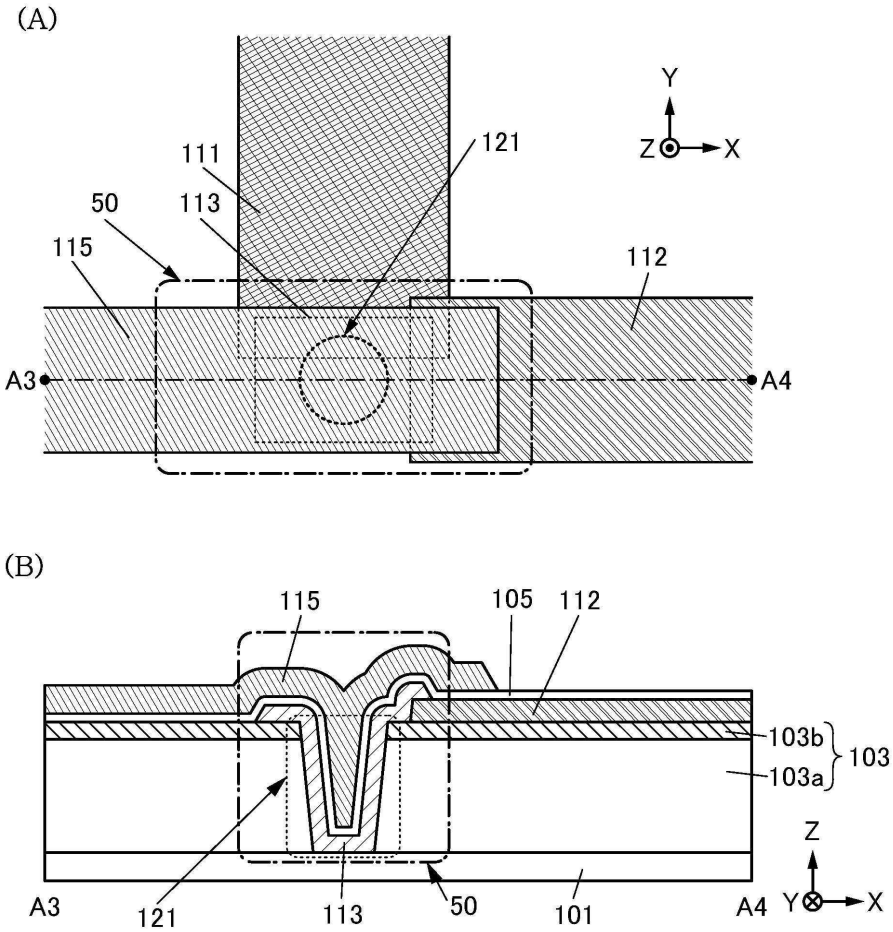
도면69


(A)
Y
Z
X
111
50
113
121, 123
115
112
A3
A4
(B)
112
115
123
105
112
103b
103
103a
Z
Y
X
A3
121
113
50
101
A4

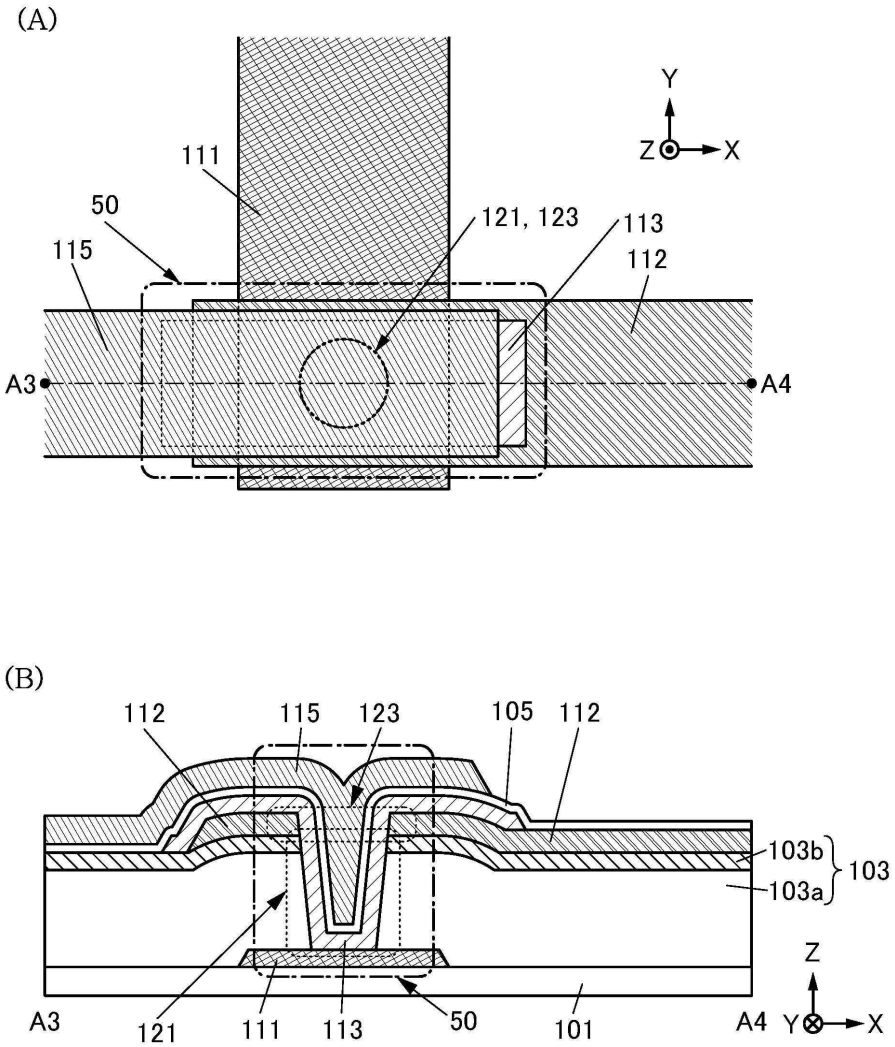
도면70


(A1)
Y
Z
X
111
50
113
121
115
112
A3
A4
(A2)
Y
Z
X
111
50
113
121
115
112
A3
A4
(B)
115
105
112
103b
103a
103
Z
Y
X
A3
121
113
50
101
A4

도면71

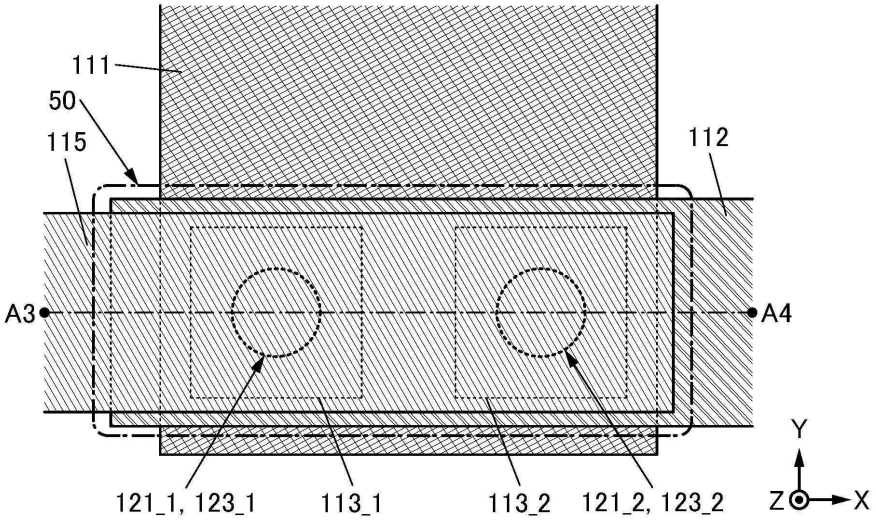

(A)
Y
Z
X
111
121
50
113
115
112
A3
A4
(B)
115
105
112
103b
103
103a
Z
A3
121
113
50
101
A4
Y
X

도면72

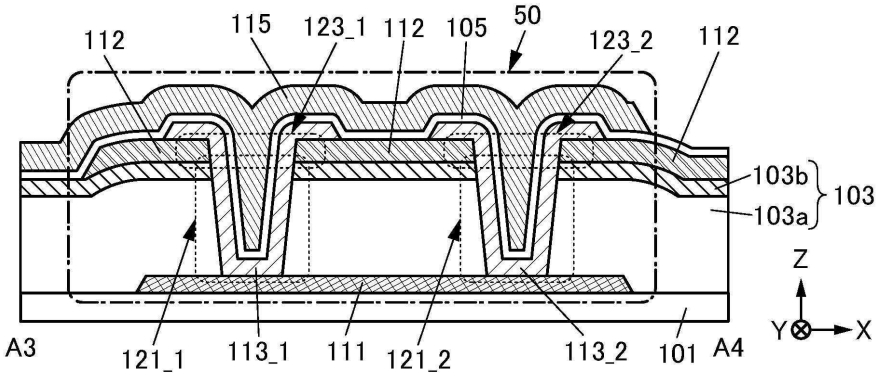

(A)
Y
Z
X
111
50
115
121, 123
113
112
A3
A4
(B)
112
115
123
105
112
103b
103a
103
Z
Y
X
A3
121
111
113
50
101
A4

도면73

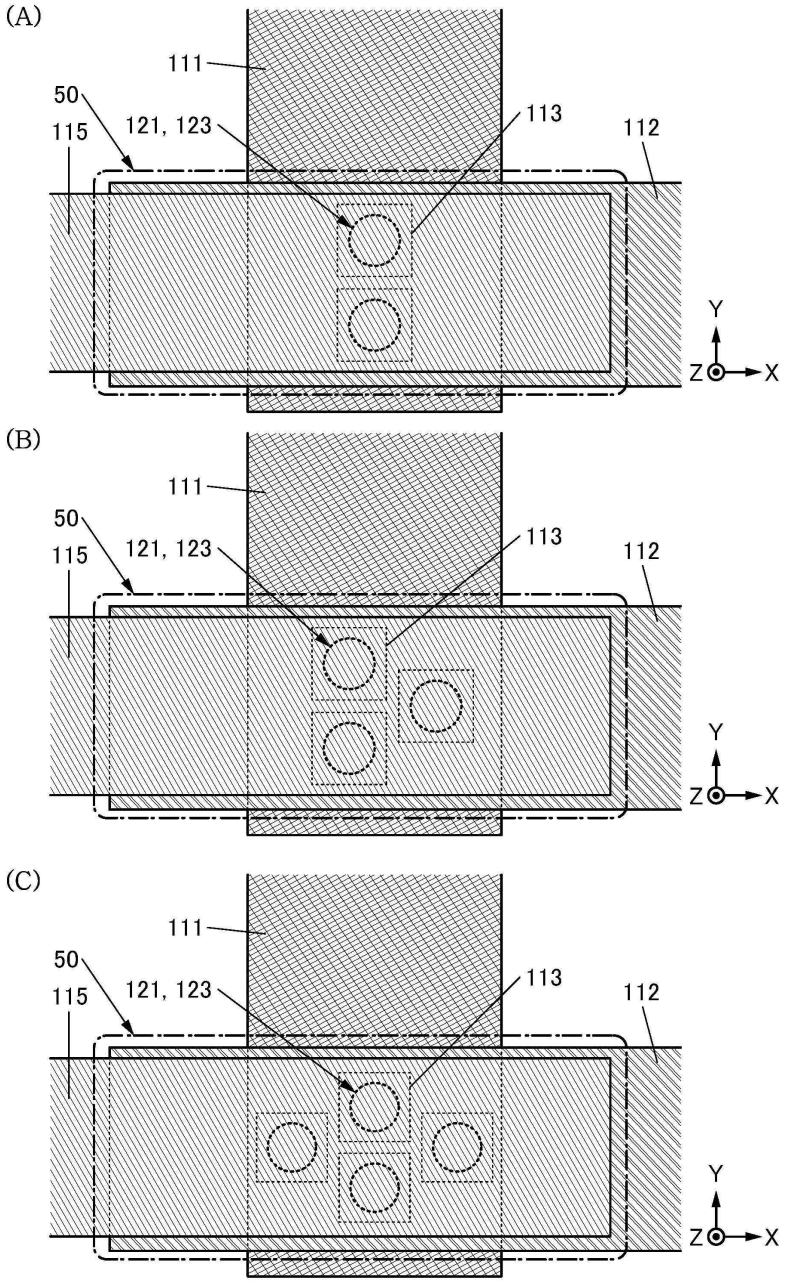
(A)


111
50
115
112
A3
A4
121_1, 123_1
113_1
113_2
121_2, 123_2
Y
Z
X

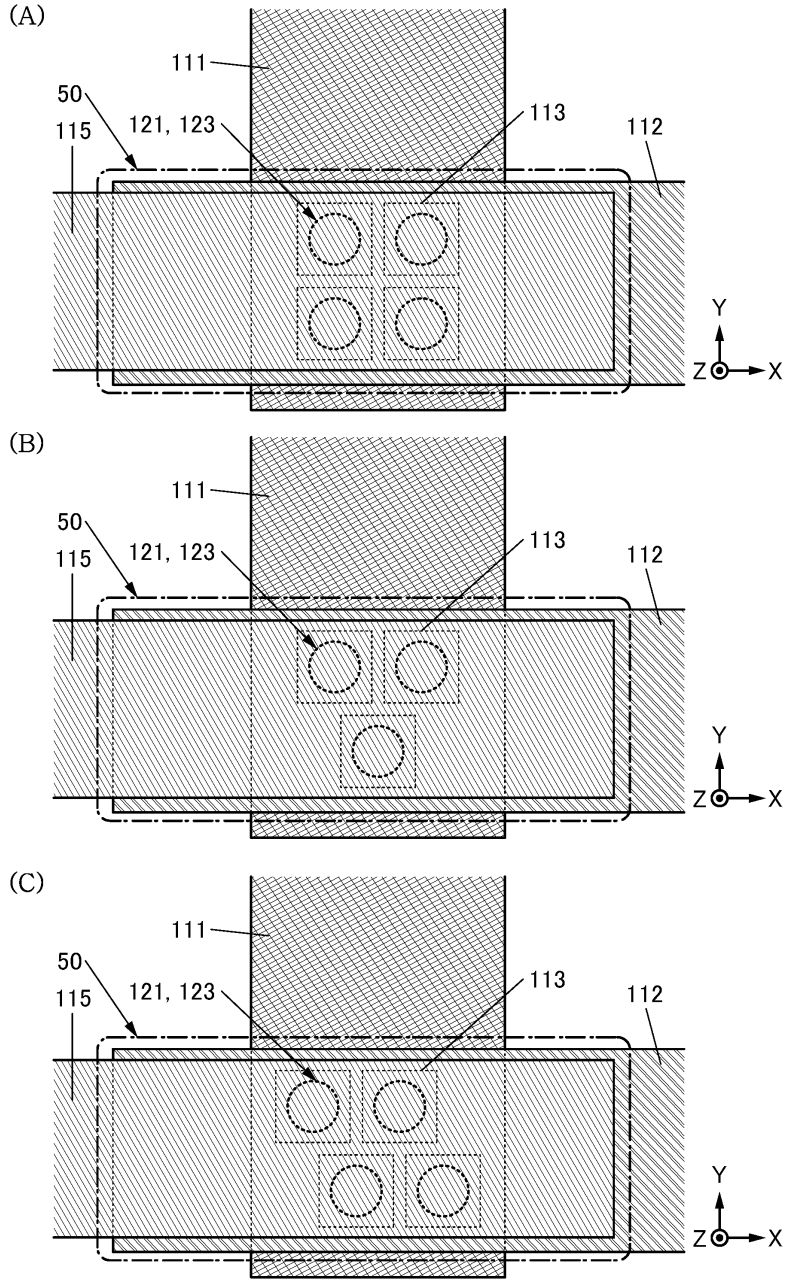
(B)


112
115
123_1
112
105
50
123_2
112
103b
103a
103
Z
Y
X
A3
121_1
113_1
111
121_2
113_2
101
A4

도면74

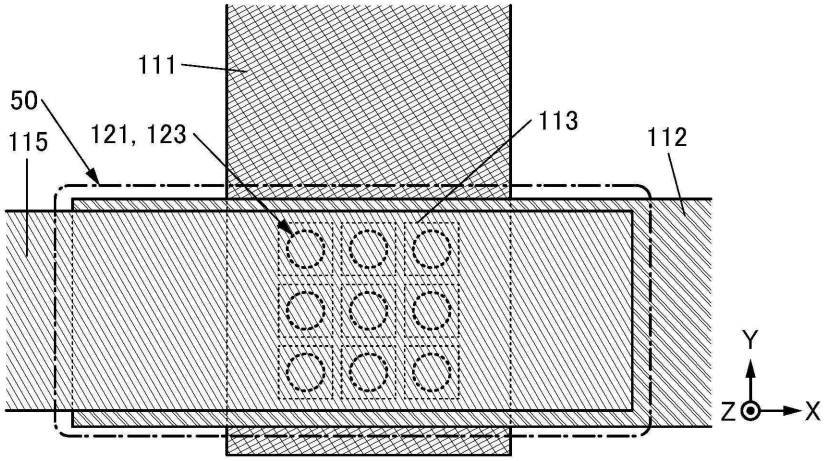

(A)
111
50
115
121, 123
113
112
Y
Z
X
(B)
111
50
115
121, 123
113
112
Y
Z
X
(C)
111
50
115
121, 123
113
112
Y
Z
X

도면75

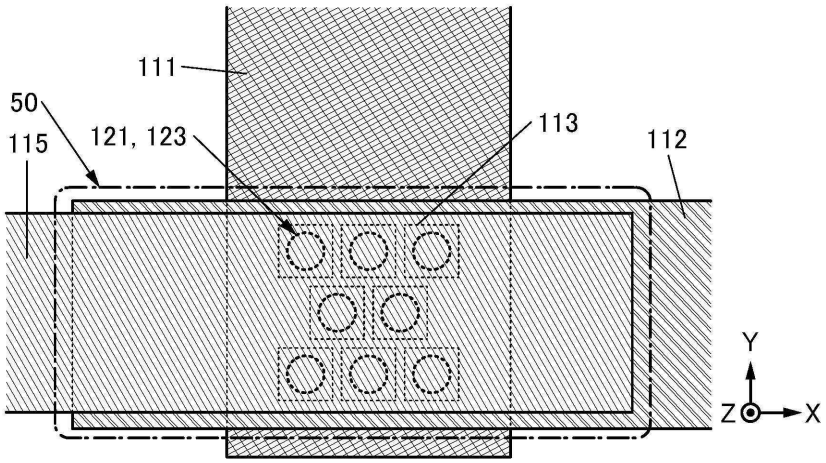

(A)
111
50
115
121, 123
113
112
Y
Z
X
(B)
111
50
115
121, 123
113
112
Y
Z
X
(C)
111
50
115
121, 123
113
112
Y
Z
X

도면76

(A)

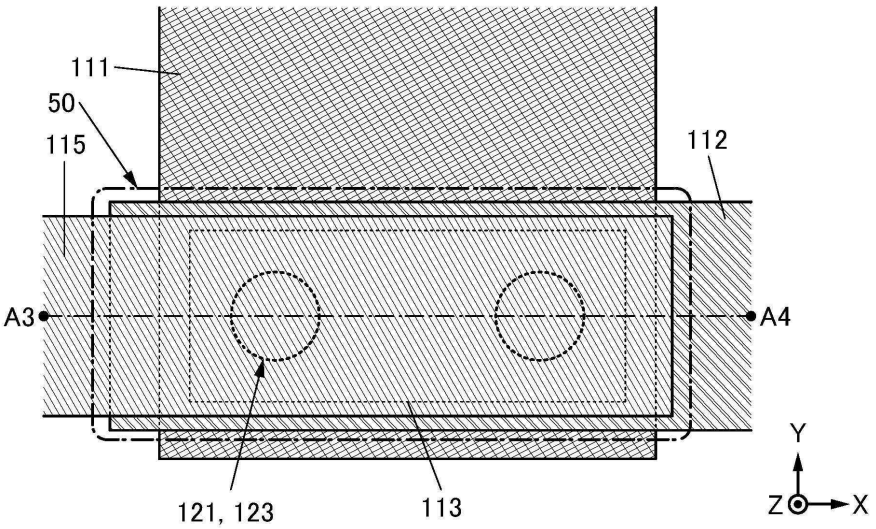


(B)

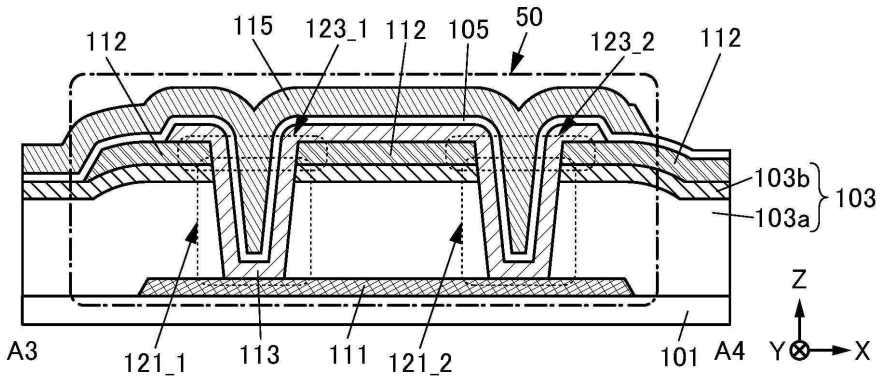


도면77

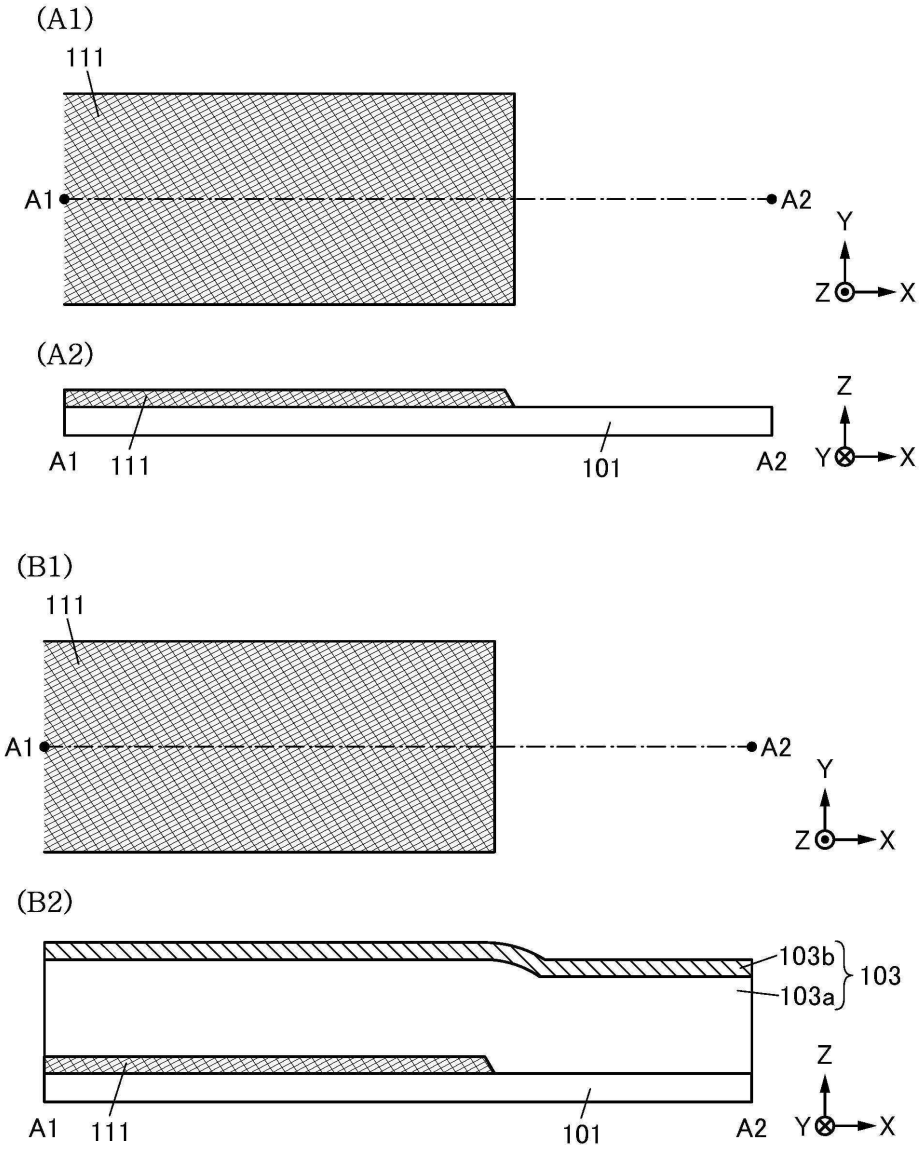
(A)


111
50
115
112
A3
A4
121, 123
113
Y
Z
X

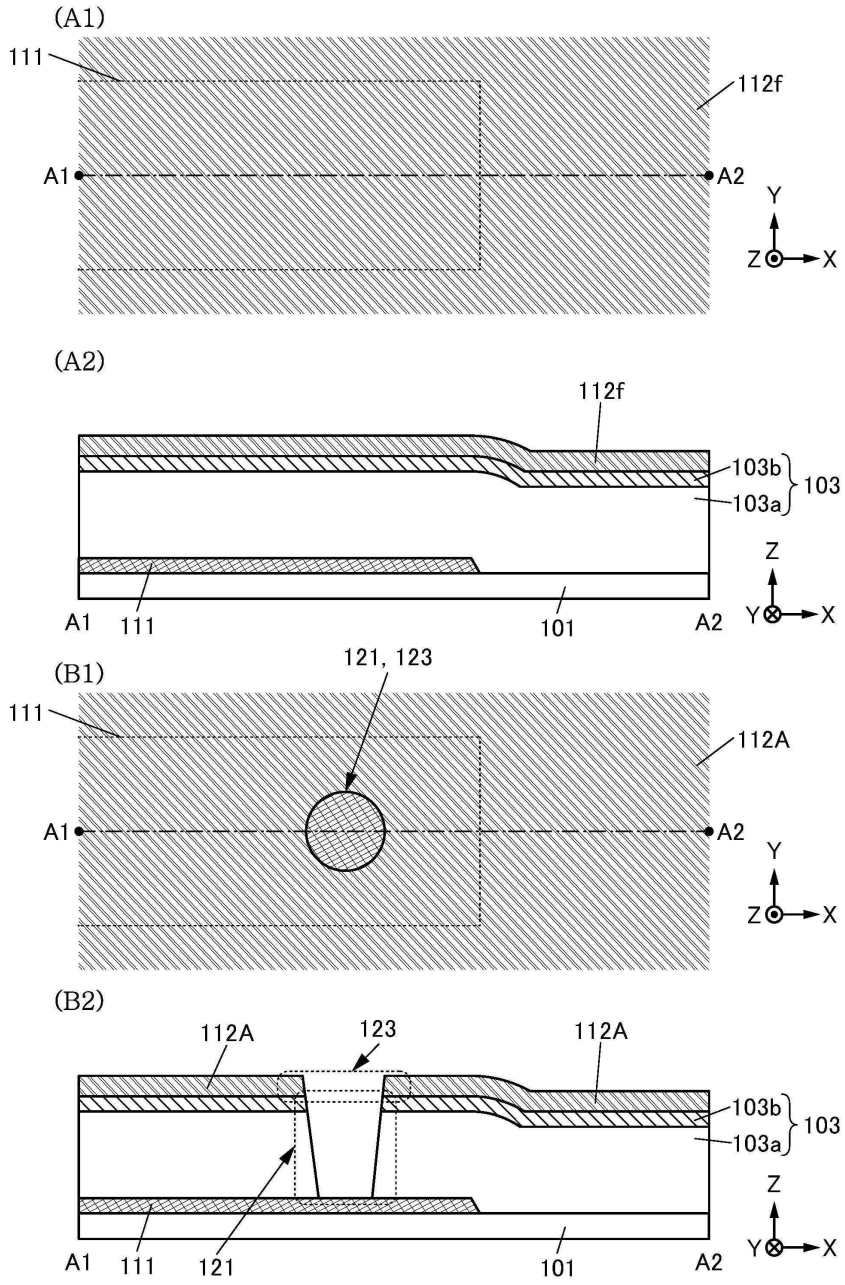
(B)


112
115
123_1
112
105
50
123_2
112
103b
103a
103
A3
121_1
113
111
121_2
101
A4
Z
Y
X

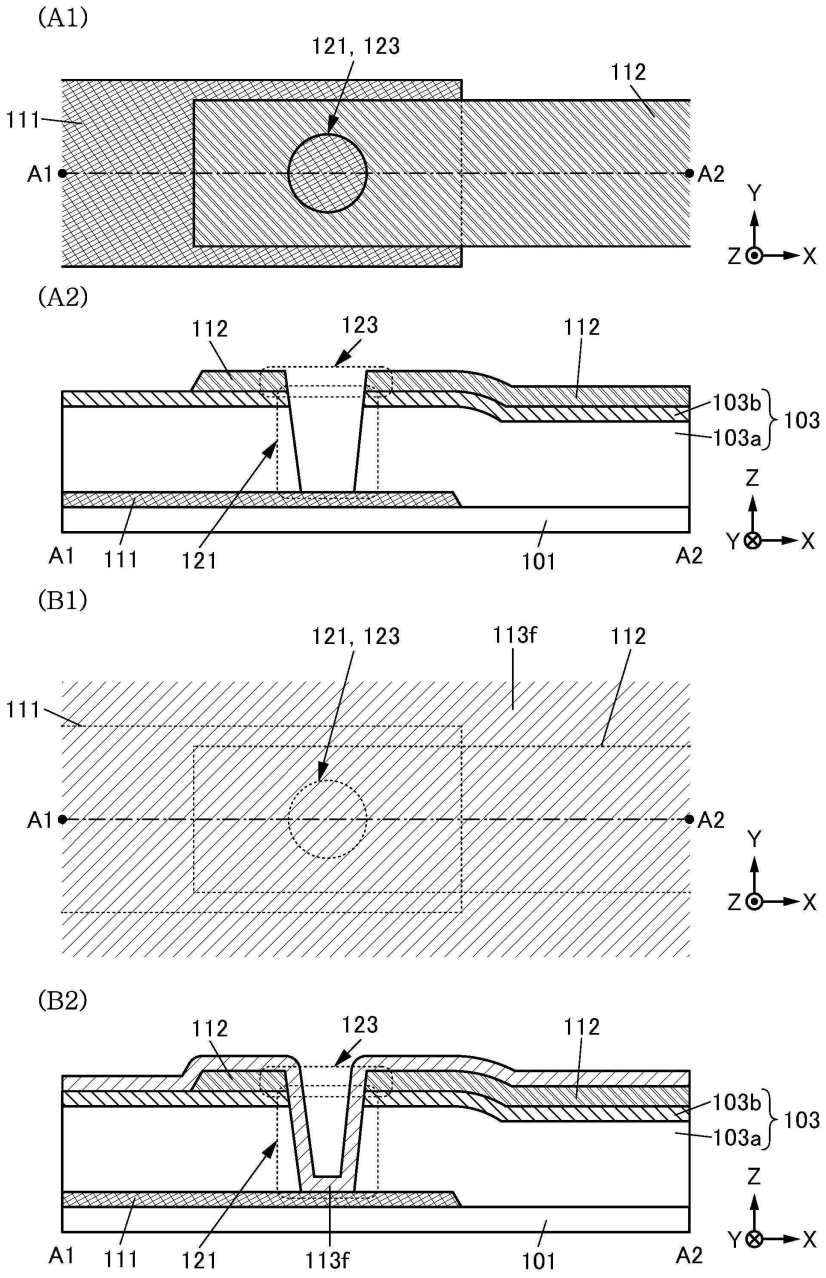
도면78


(A1)
111
A1
A2
Y
Z
X
(A2)
A1
111
101
A2
Z
Y
X
(B1)
111
A1
A2
Y
Z
X
(B2)
103b
103a
103
A1
111
101
A2
Z
Y
X

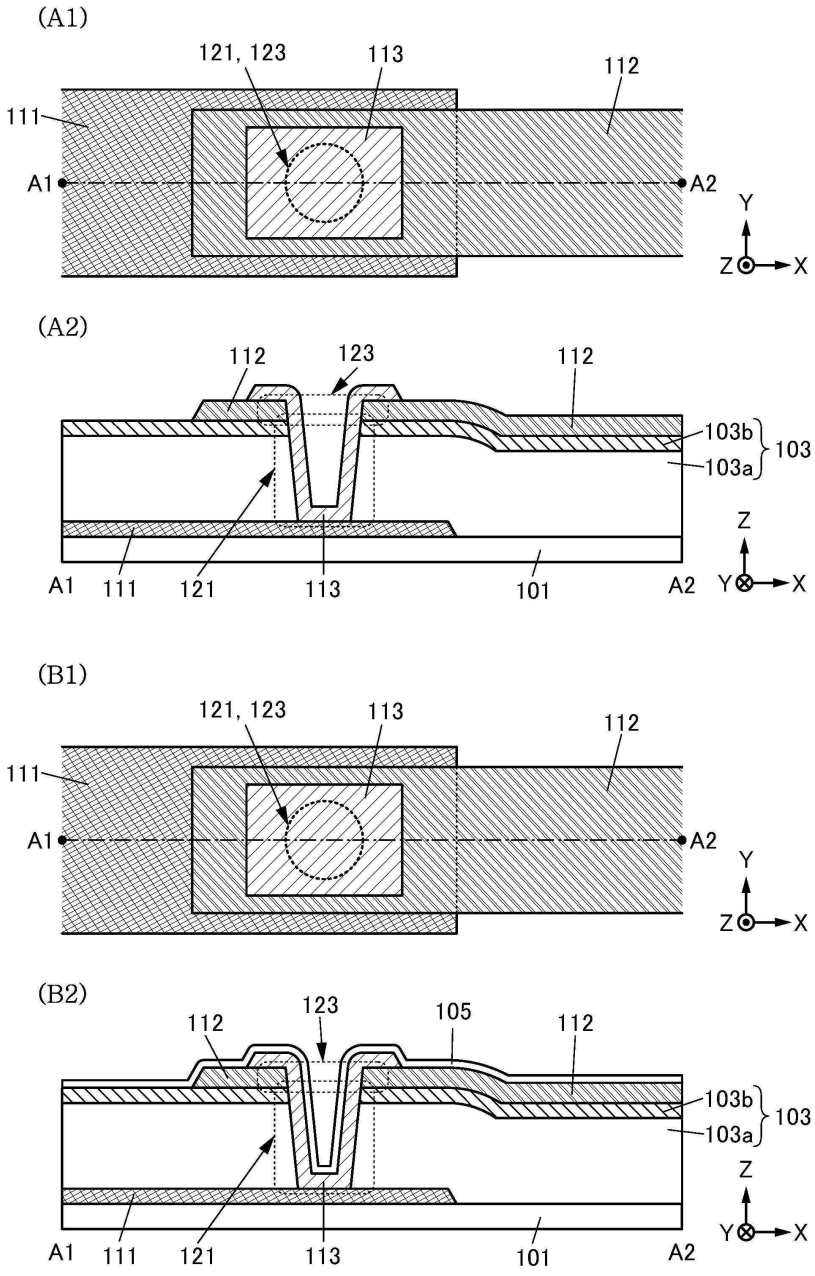
도면79


(A1)
111
112f
A1
A2
Y
Z
X
(A2)
112f
103b
103
103a
Z
A1
111
101
A2
Y
X
(B1)
121, 123
111
112A
A1
A2
Y
Z
X
(B2)
112A
123
112A
103b
103
103a
Z
A1
111
121
101
A2
Y
X

도면80

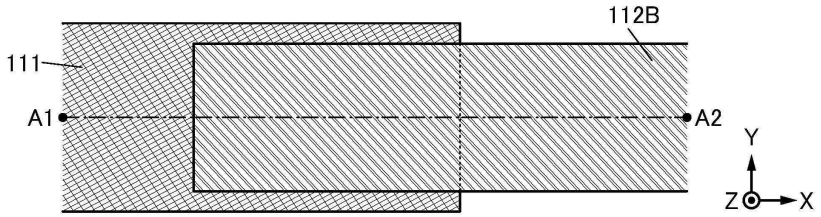

(A1)
121, 123
112
111
A1
A2
Y
Z
X
(A2)
112
123
112
103b
103a
103
A1
111
121
101
A2
Z
Y
X
(B1)
121, 123
113f
112
111
A1
A2
Y
Z
X
(B2)
112
123
112
103b
103a
103
A1
111
121
113f
101
A2
Z
Y
X

도면81

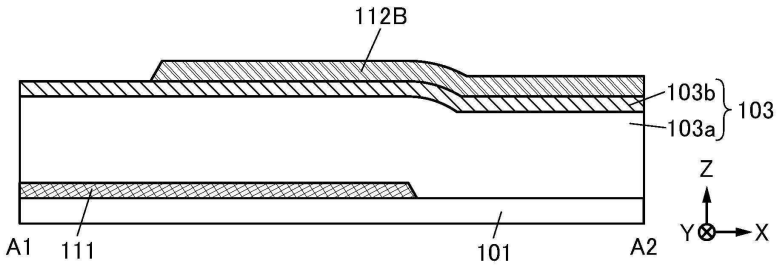

(A1)
121, 123
113
112
111
A1
A2
Y
Z
X
(A2)
112
123
112
103b
103a
103
A1
111
121
113
101
A2
Z
Y
X
(B1)
121, 123
113
112
111
A1
A2
Y
Z
X
(B2)
112
123
105
112
103b
103a
103
Z
Y
X
A1
111
121
113
101
A2

도면82

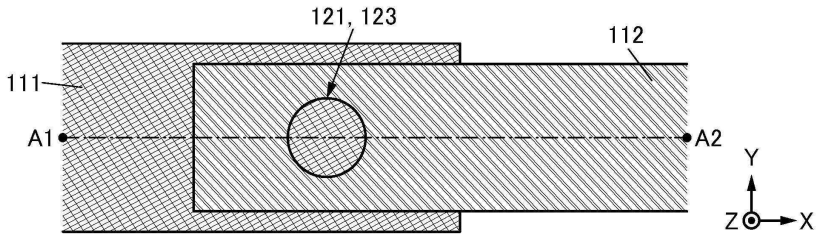
(A1)



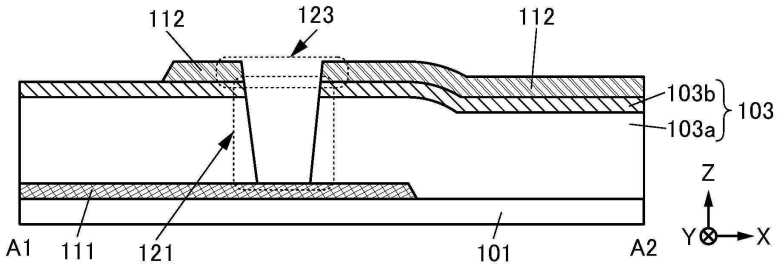
(A2)



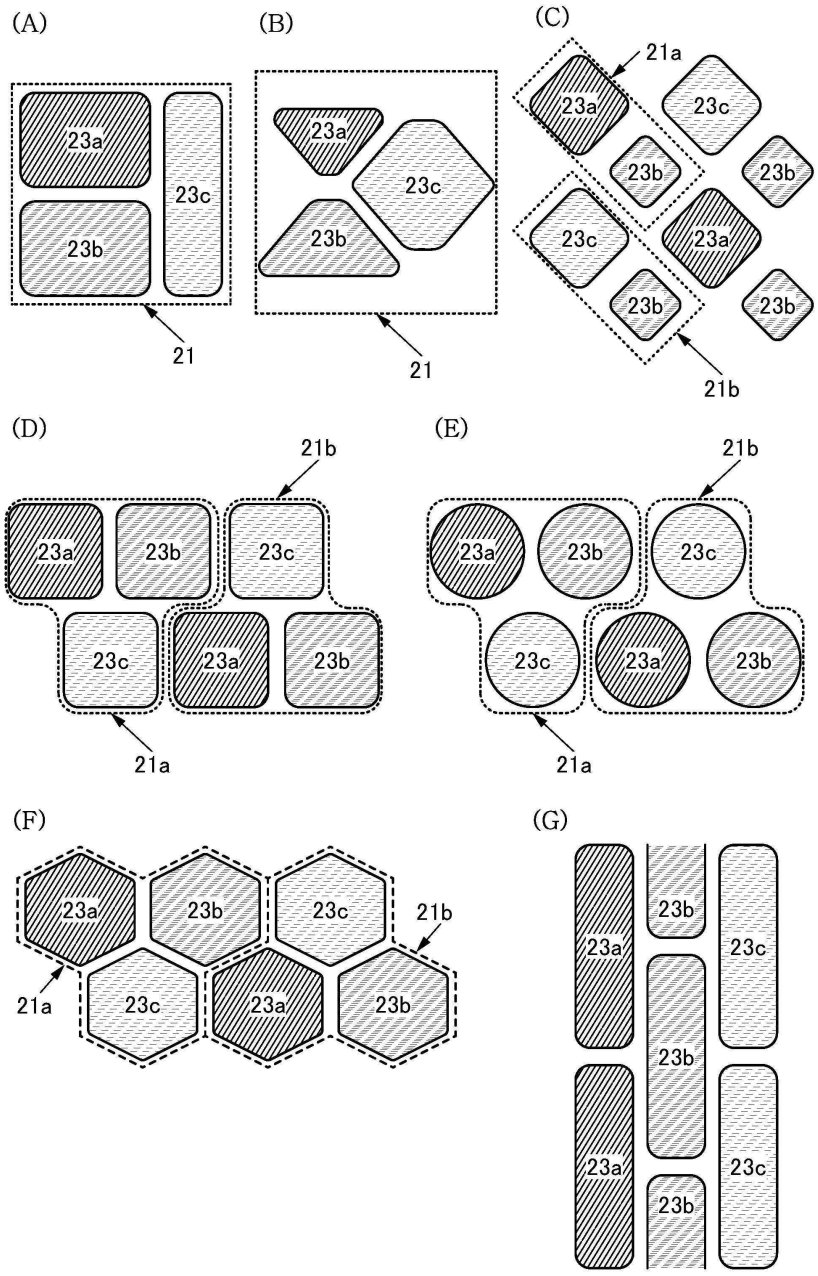
(B1)



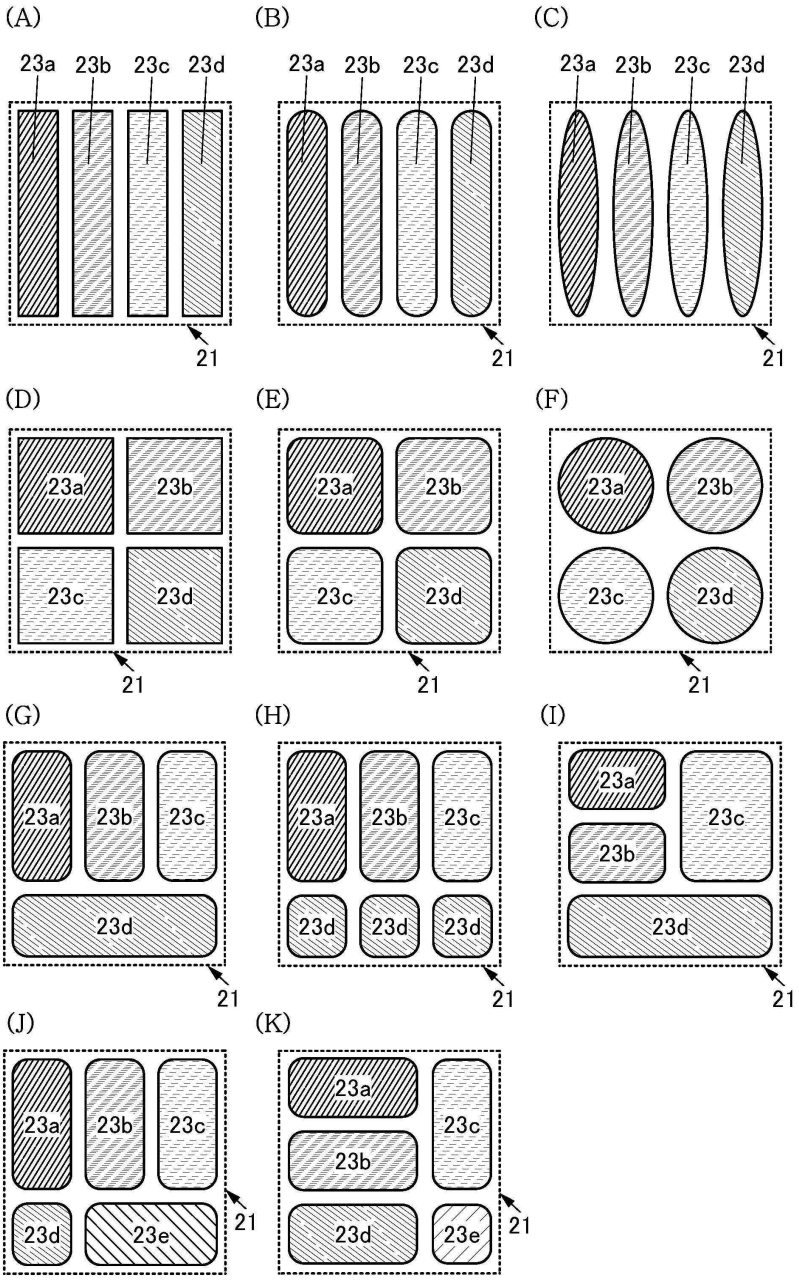
(B2)



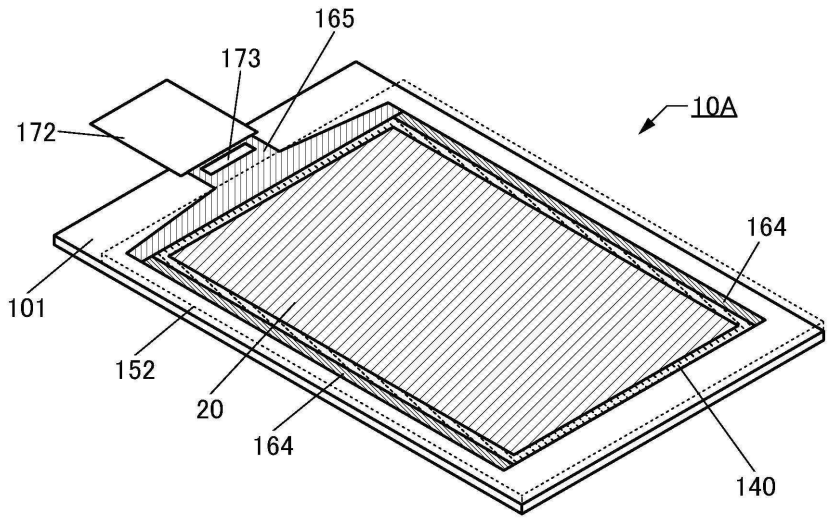
도면83


(A)
23a
23c
23b
21
(B)
23a
23c
23b
21
(C)
21a
23a
23c
23b
23b
23c
23a
23b
23b
21b
(D)
21b
23a
23b
23c
23c
23a
23b
21a
(E)
21b
23a
23b
23c
23c
23a
23b
21a
(F)
23a
23b
23c
21b
21a
23c
23a
23b
(G)
23a
23b
23c
23b
23a
23c
23b

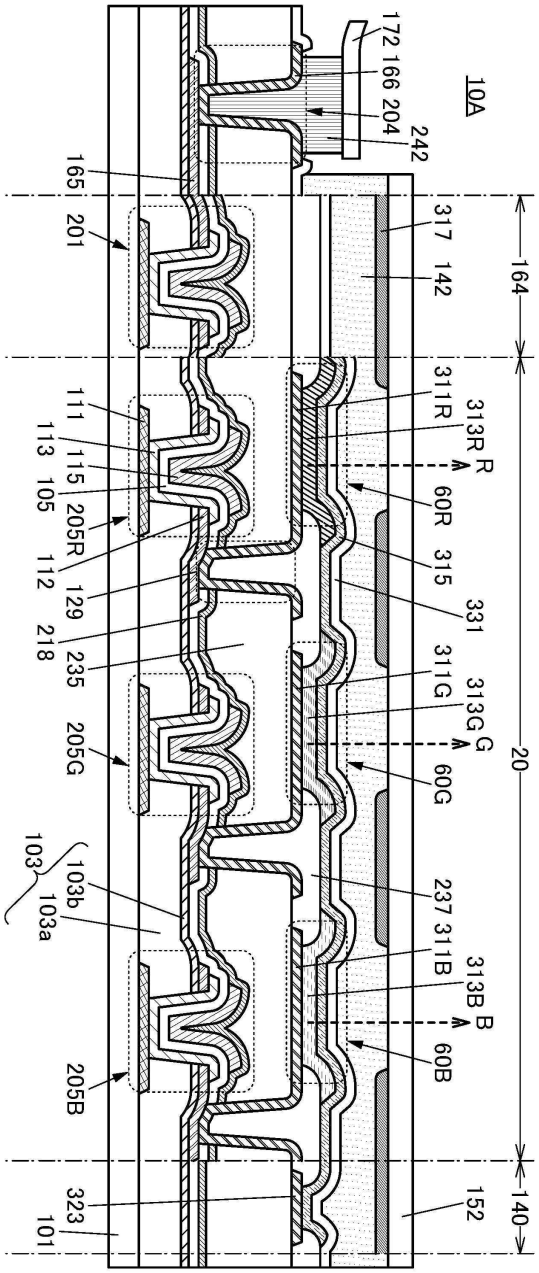
도면84


(A)
23a
23b
23c
23d
21
(B)
23a
23b
23c
23d
21
(C)
23a
23b
23c
23d
21
(D)
23a
23b
23c
23d
21
(E)
23a
23b
23c
23d
21
(F)
23a
23b
23c
23d
21
(G)
23a
23b
23c
23d
21
(H)
23a
23b
23c
23d
23d
23d
21
(I)
23a
23b
23c
23d
21
(J)
23a
23b
23c
23d
23e
21
(K)
23a
23b
23c
23d
23e
21

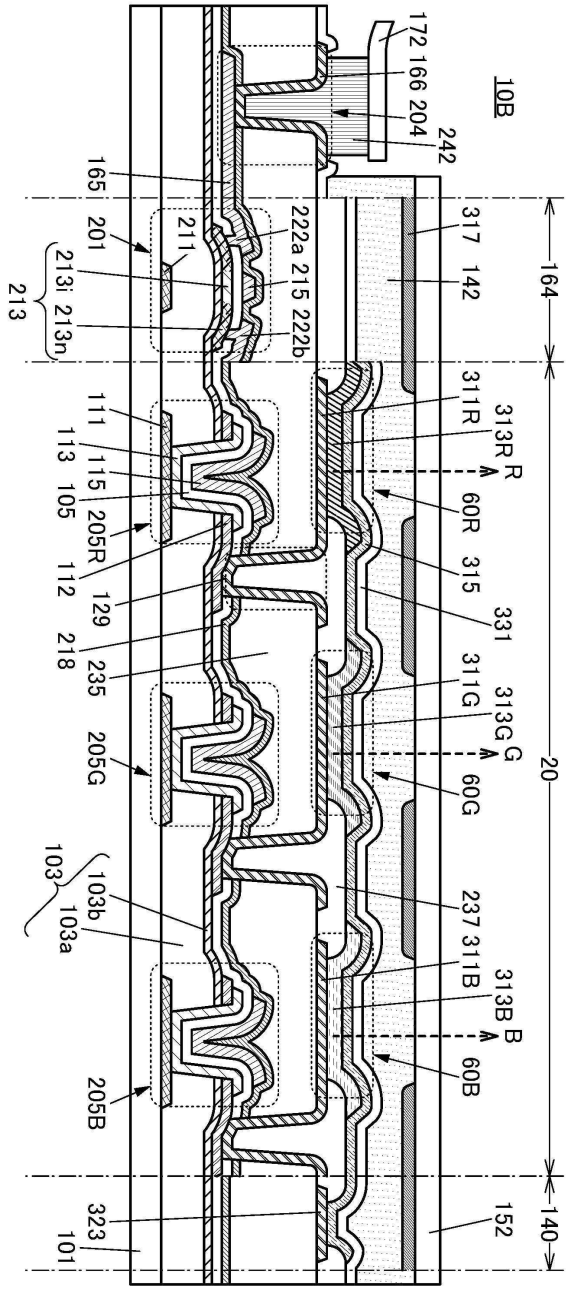
도면85



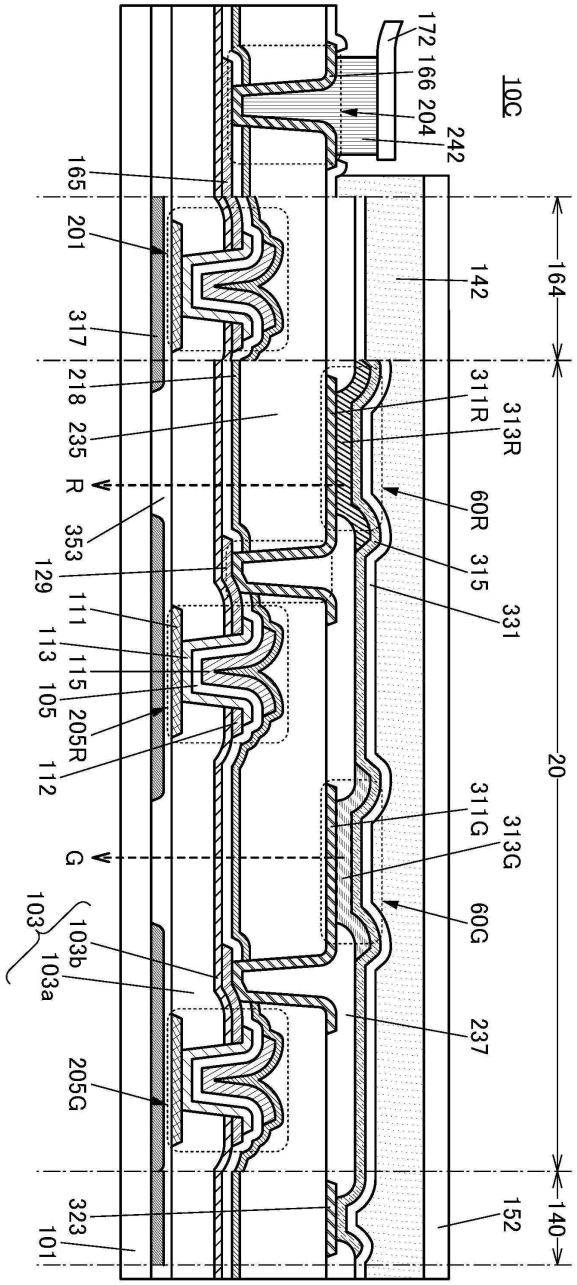
도면86


10A
172
166
204
242
165
201
317
142
164
311R
313R
R
60R
315
331
311G
313G
G
60G
20
237
311B
313B
B
60B
152
140
323
101
111
113
115
105
205R
112
129
218
235
205G
103
103b
103a
205B

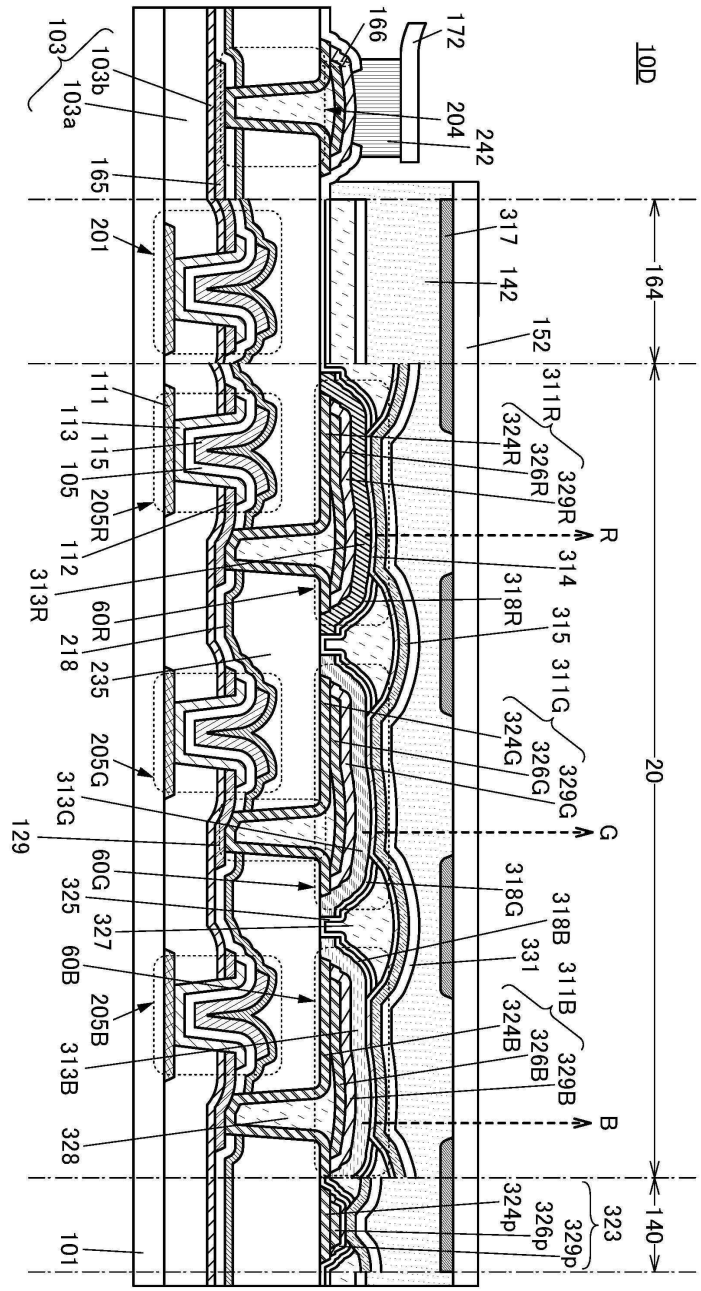
도면87


10B
172 166 204
242
165
201
211
222a 215 222b
213
213i 213n
317 142
164
311R
313R R
60R
315
331
111
113 115
105 205R
112 129
218 235
205G
311G
313G G
60G
20
103
103b
103a
237 311B
313B B
60B
205B
323
101
152
140

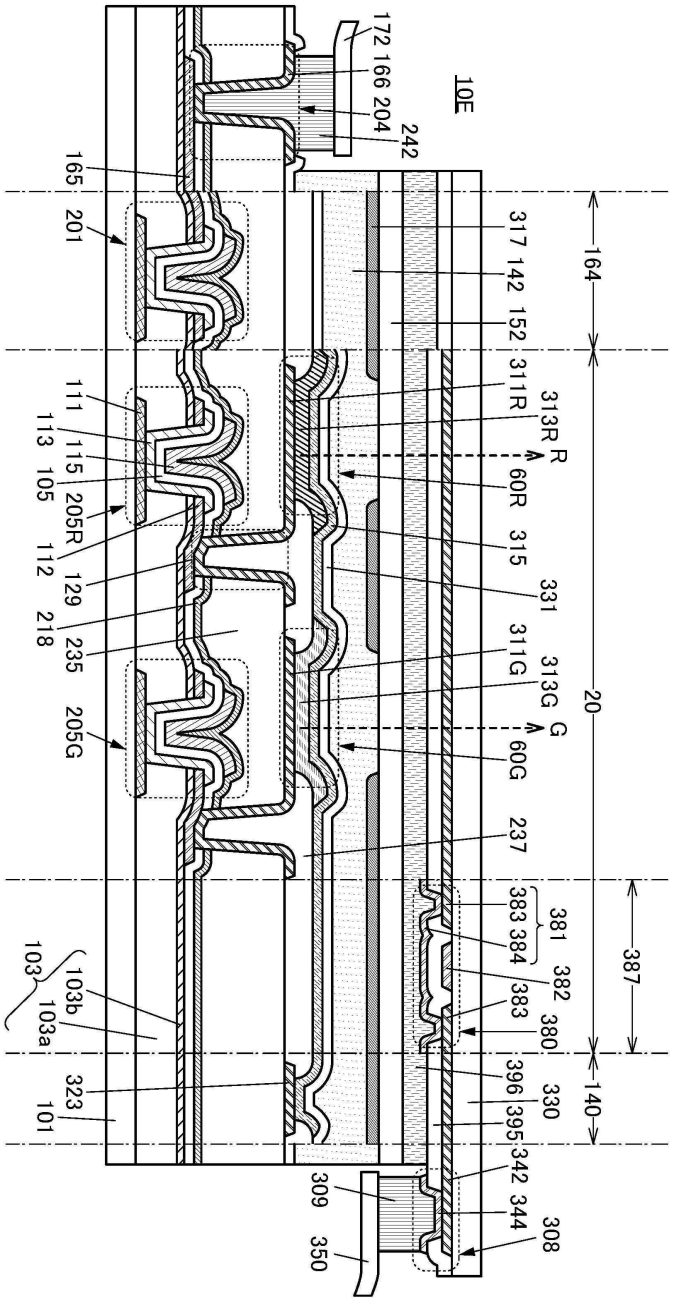
도면88


10C
172 166 204
242
165
201
317
218
235
R
353
129
111
113
115
105
205R
112
G
103
103b
103a
205G
323
101
142
311R
313R
60R
315
331
311G
313G
60G
237
152
164
20
140

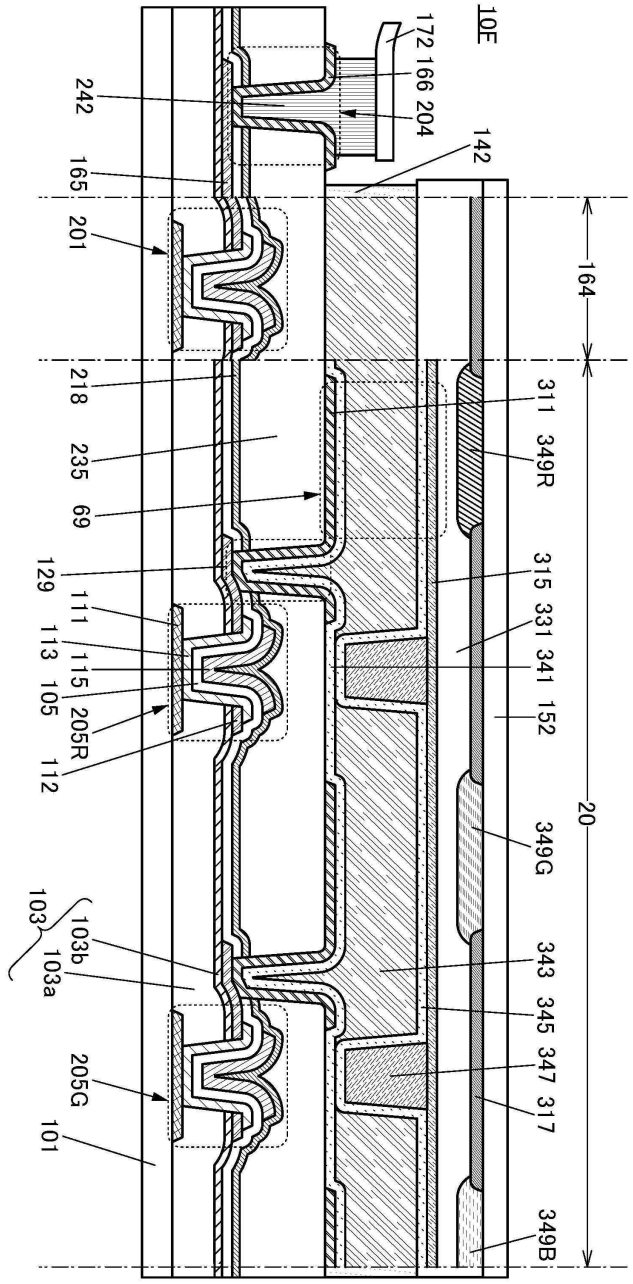
도면89


10D
103
103b
103a
165
201
111
113
115
105
205R
112
313R
60R
218
235
205G
313G
129
60G
325
327
60B
205B
313B
328
101
166
172
204
242
317
142
152
311R
324R
326R
329R
R
314
318R
315
311G
324G
326G
329G
G
318G
318B
331
311B
324B
326B
329B
B
324p
326p
329p
323
164
20
140

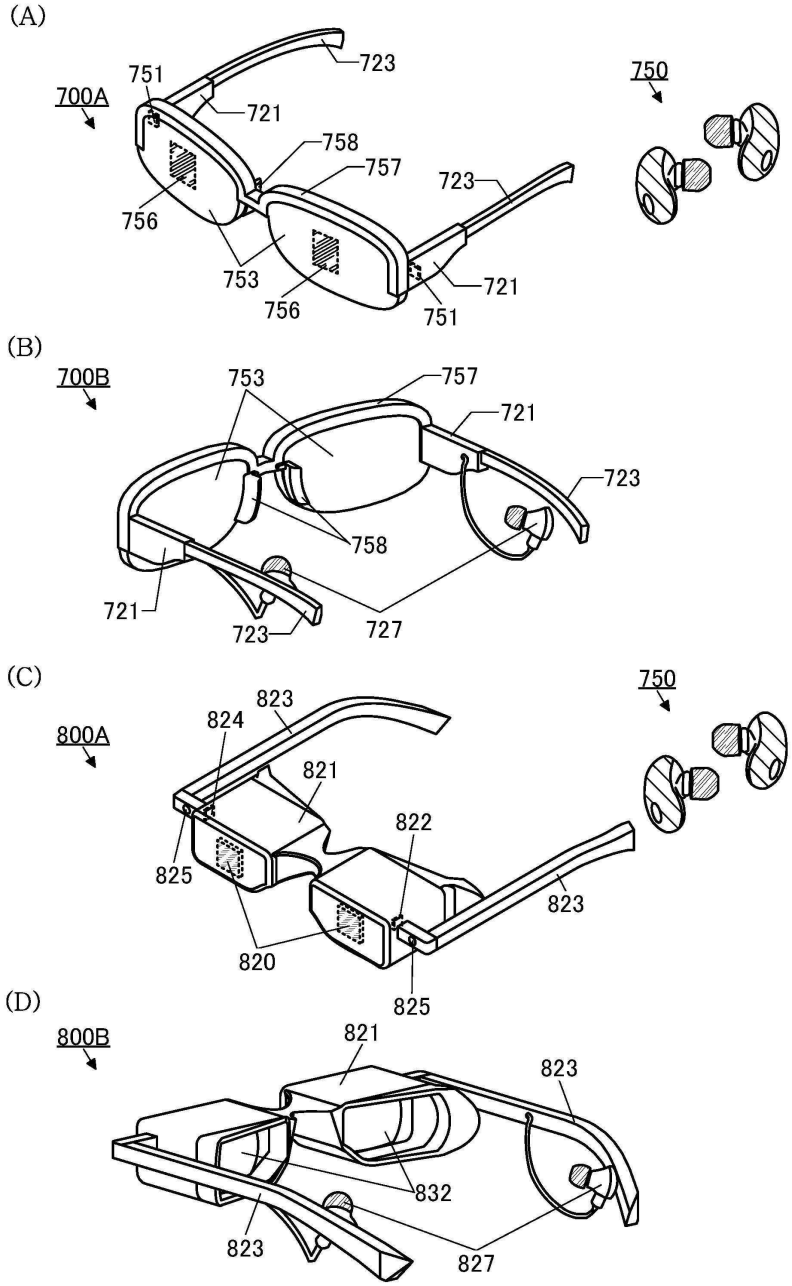
도면90


10E
172 166 204
242
165
201
317 142 152
164
311R
313R R
111
113 115
105
205R
112
129
218
235
60R
315
331
311G
313G G
205G
60G
237
20
383 384
381
382
383
380
387
103
103b
103a
323
101
396
395
330
140
342 344
309
350
308

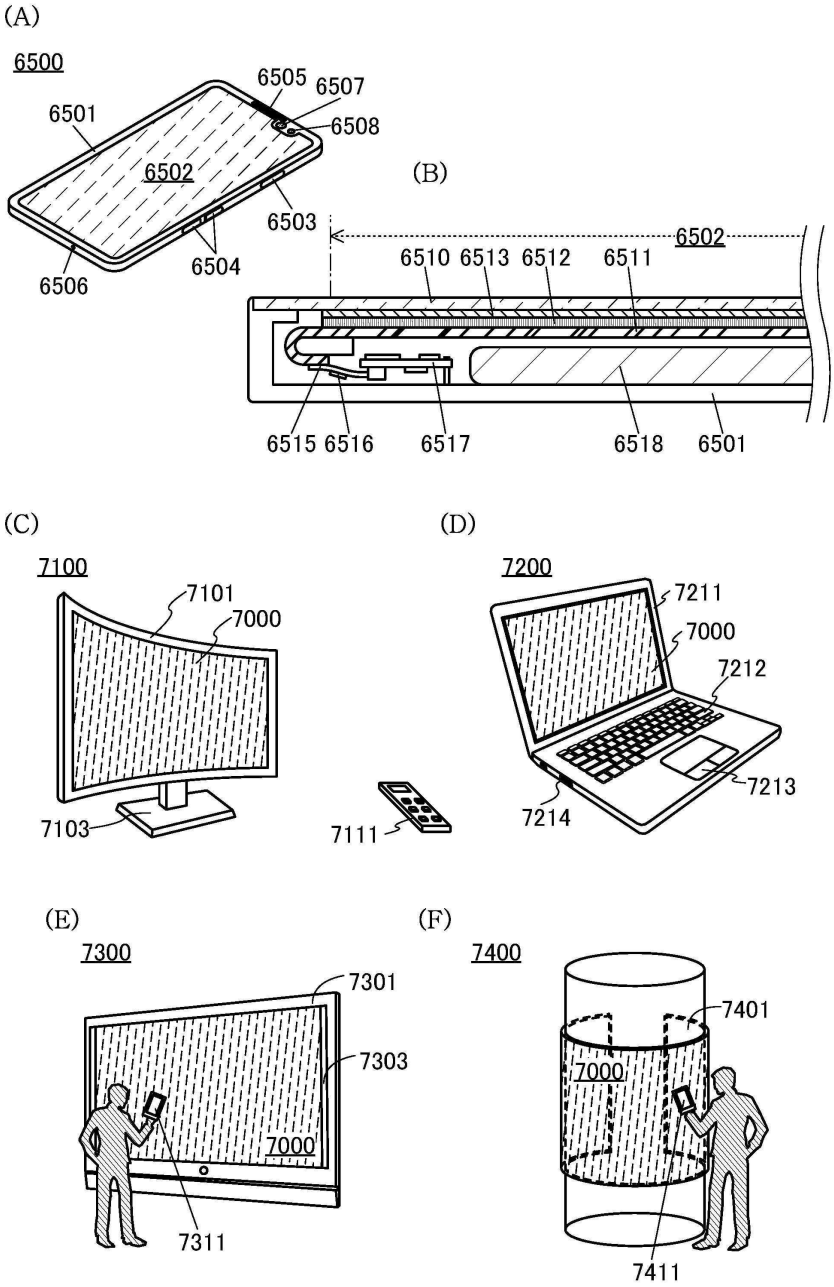
도면91


10E
172 166 204
242
142
165
201
164
218
311
349R
235
69
315
331
341
152
129
111
113
115
105
205R
112
20
349G
103
103b
103a
343
345
347
317
205G
101
349B

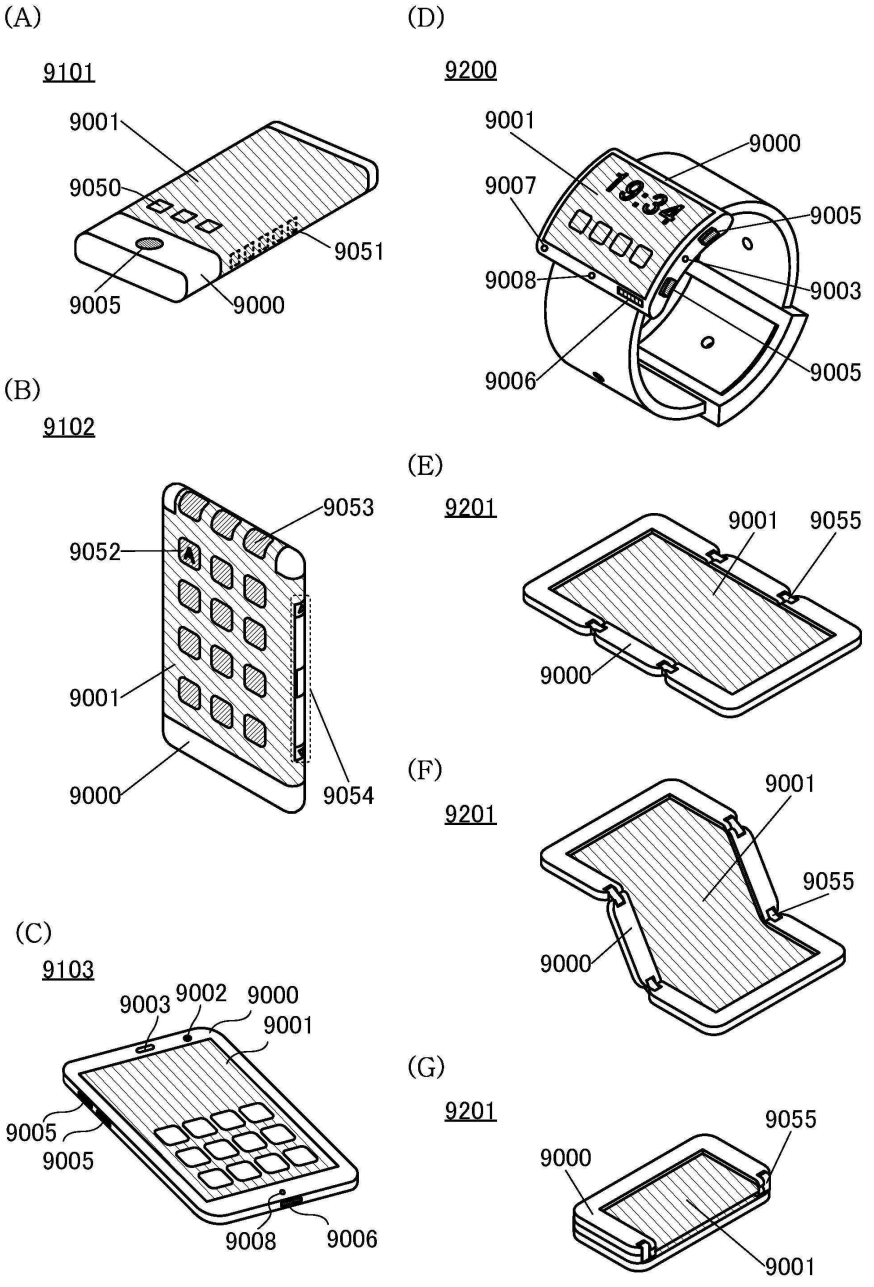
도면92


(A)
700A
751
723
721
758
757
723
750
756
753
756
751
721
(B)
700B
753
757
721
723
758
721
723
727
(C)
800A
823
824
821
822
825
823
820
825
750
(D)
800B
821
823
832
823
827

도면93


(A)
6500
6501
6505
6507
6508
6502
6503
6504
6506
(B)
6502
6510 6513 6512 6511
6515 6516
6517
6518
6501
(C)
7100
7101
7000
7103
7111
(D)
7200
7211
7000
7212
7213
7214
(E)
7300
7301
7303
7000
7311
(F)
7400
7401
7000
7411

도면94


(A)
9101
9001
9050
9051
9005
9000
(B)
9102
9053
9052
9001
9000
9054
(C)
9103
9003
9002
9000
9001
9005
9005
9008
9006
(D)
9200
9001
9000
9007
19:34
9005
9008
9003
9006
9005
(E)
9201
9001
9055
9000
(F)
9201
9001
9055
9000
(G)
9201
9055
9000
9001