(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3765127号
(P3765127)
(45)発行日　平成18年4月12日(2006.4.12)　(24)登録日　平成18年2月3日(2006.2.3)

(51)Int.Cl.		F I		
H03K 19/0185	(2006.01)	H03K	19/00	101B
H03K 19/096	(2006.01)	H03K	19/096	A
H03K 19/20	(2006.01)	H03K	19/20	

請求項の数 3　(全 9 頁)

(21)出願番号　特願平8-212892
(22)出願日　平成8年8月12日(1996.8.12)
(65)公開番号　特開平10-56373
(43)公開日　平成10年2月24日(1998.2.24)
審査請求日　平成15年3月19日(2003.3.19)

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100094053
弁理士　佐藤　隆久
(72)発明者　曽根田　光生
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　石井　研一

(56)参考文献　特開昭６２－０１３１２１（ＪＰ，Ａ）
特開昭５９－０３９１２４（ＪＰ，Ａ）
特開平０１－２７８１２２（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】論理回路

(57)【特許請求の範囲】
【請求項１】
入力信号レベルに応じて、第１または第２の電源レベルの信号を出力する論理回路であって、
しきい値電圧が標準値より低く設定された複数のトランジスタのゲート電極がそれぞれ異なる入力信号端子に接続され、これらの入力信号レベルに応じて、出力ノードと上記第２の電源を導通または非導通状態に保持する論理演算部と、
上記第１の電源と上記論理演算部の出力ノードとの間に接続され、当該出力ノードと上記第２の電源との導通状態に応じて、出力端子を所定のレベルに保持する出力部と、を有し、
上記出力部は上記第１の電源と上記論理演算部の出力ノードとの間にインバータ接続された第１導電型の絶縁ゲート型電界効果トランジスタおよび第２導電型の絶縁ゲート型電界効果トランジスタにより構成され、当該インバータの入力端子がクロック信号の入力端子に接続され、当該インバータの出力端子から論理演算結果が出力される
論理回路。
【請求項２】
上記クロック信号が第１のレベルに保持されているとき、上記インバータの出力端子が上記第１の電源レベルにプリチャージされ、上記クロック信号が第２のレベルに保持されているとき、上記インバータの出力端子が上記論理演算部の演算結果に応じて、第１の電源レベルまたは第２の電源レベルに保持される

請求項１記載の論理回路。
【請求項３】
上記出力部の出力端子の信号レベルを保持するレベル保持回路を有する
請求項１または２記載の論理回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、標準しきい値ＭＯＳトランジスタおよび低しきい値ＭＯＳトランジスタにより構成された論理回路に関するものである。
【０００２】
【従来の技術】
一般的なダイナミック型論理回路は、例えば、図４に示すように、インバータ接続されたｐＭＯＳトランジスタＭｐおよびｎＭＯＳトランジスタＭｎにより構成された出力部と、ｎＭＯＳトランジスタＮａ，Ｎｂ，Ｎｃ，ＮｄおよびＮｅにより構成された論理演算部とにより構成されている。
【０００３】
図４に示すように、インバータを構成するｐＭＯＳトランジスタＭｐおよびｎＭＯＳトランジスタＭｎのゲートがクロック信号φの入力端子に共通に接続され、インバータの出力端子となるノード$ＮＤ_1$が論理回路の出力端子に接続されている。
ｐＭＯＳトランジスタＭｐの一方の拡散層が電源電圧$Ｖ_{CC}$の供給線に接続され、他方の拡散層がノード$ＮＤ_1$に接続され、ｎＭＯＳトランジスタＭｎの一方の拡散層がノード$ＮＤ_1$に接続され、他方の拡散層がノード$ＮＤ_2$に接続されている。
【０００４】
ノード$ＮＤ_2$と接地線との間に、ｎＭＯＳトランジスタＮａ，Ｎｂ，Ｎｃ，Ｎｄが直列に接続され、さらに、これら直列接続されたｎＭＯＳトランジスタと並列に、ｎＭＯＳトランジスタＮｅが接続されている。即ち、ｎＭＯＳトランジスタＮｅの一方の拡散層がノード$ＮＤ_2$に接続され、他方の拡散層が接地されている。
また、ｎＭＯＳトランジスタＮａ，Ｎｂ，Ｎｃ，ＮｄおよびＮｅのゲートがそれぞれ信号Ａ，Ｂ，Ｃ，ＤおよびＥの入力端子に接続されている。
【０００５】
このように構成された論理回路において、クロック信号φがローレベル、例えば、接地電位ＧＮＤに保持されているとき、インバータを構成するｐＭＯＳトランジスタＭｐが導通状態に保持され、ノード$ＮＤ_1$が電源電圧$Ｖ_{CC}$レベルにプリチャージされる。
【０００６】
クロック信号φがハイレベル、例えば、電源電圧$Ｖ_{CC}$レベルに保持されているとき、出力端子のレベルが論理演算部の演算結果に応じて設定される。
図４に示す論理回路においては、入力信号Ａ，Ｂ，Ｃ，ＤおよびＥに対して、次式に示す演算処理が行われる。
【数１】

$$X = \overline{A \cdot B \cdot C \cdot D + E} \qquad \cdots (1)$$

【０００７】
ここで、ハイレベルを論理“１”とし、ローレベルを論理“０”とする。クロック信号φがハイレベルに保持されているとき、ノード$ＮＤ_2$が演算結果Ｘに応じたレベルに設定される。
例えば、入力信号Ａ，Ｂ，Ｃ，ＤおよびＥのレベルに応じて、演算結果Ｘが“１”となる場合、ノード$ＮＤ_2$と接地線が非導通状態に設定される。クロック信号φがハイレベルに

保持されているとき、ｐＭＯＳトランジスタＭｐが非導通状態に保持され、ｎＭＯＳトランジスタＭｎが導通状態に保持されるので、プリチャージされたノード$ＮＤ_1$がハイレベルに保持され、出力信号Ｓがハイレベルとなる。

【０００８】

一方、入力信号Ａ，Ｂ，Ｃ，ＤおよびＥのレベルに応じて、演算結果が“０”となる場合、ノード$ＮＤ_2$と接地線が導通状態となり、クロック信号φがハイレベルに保持されているとき、ｐＭＯＳトランジスタＭｐが非導通状態に保持され、ｎＭＯＳトランジスタＭｎが導通状態に保持されるので、プリチャージされたノード$ＮＤ_1$がディスチャージされ、出力信号Ｓがローレベルに設定される。

【０００９】

このように、入力信号Ａ，Ｂ，Ｃ，ＤおよびＥのレベルに応じて、これらの信号の論理演算の結果を示す信号Ｓが出力される。

【００１０】

【発明が解決しようとする課題】

ところで、上述した従来の論理回路においては、複雑な論理演算を行うとき、論理演算部が多段となり、高速化が困難である。これを解決するために、論理演算部を構成するｎＭＯＳトランジスタＮａ，Ｎｂ，Ｎｃ，ＮｄおよびＮｅのトランジスタサイズ、例えば、チャンネル幅Ｗを大きく設定し、さらにインバータを構成するｐＭＯＳトランジスタＭｐおよびｎＭＯＳトランジスタＭｎのチャンネル幅Ｗも大きく設定することにより高速化を図るが、論理回路の消費電力の増大を招き、さらにチップサイズを増大させるという問題がある。

【００１１】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、チップサイズの増大を回避でき、低消費電力化、高速化を図れる論理回路を提供することにある。

【００１２】

【課題を解決するための手段】

上記目的を達成するため、本発明は、入力信号レベルに応じて、第１または第２の電源レベルの信号を出力する論理回路であって、しきい値電圧が標準値より低く設定された複数のトランジスタのゲート電極がそれぞれ異なる入力信号端子に接続され、これらの入力信号レベルに応じて、出力ノードと上記第２の電源を導通または非導通状態に保持する論理演算部と、上記第１の電源と上記論理演算部の出力ノードとの間に接続され、当該出力ノードと上記第２の電源との導通状態に応じて、出力端子を所定のレベルに保持する出力部とを有する。

【００１３】

また、本発明では、上記出力部は上記第１の電源と上記論理演算部の出力ノードとの間にインバータ接続された第１導電型の絶縁ゲート型電界効果トランジスタおよび第２導電型の絶縁ゲート型電界効果トランジスタにより構成され、当該インバータの入力端子がクロック信号の入力端子に接続され、当該インバータの出力端子から論理演算結果が出力される。

【００１５】

また、本発明では、上記クロック信号が第１のレベルに保持されているとき、上記インバータの出力端子が上記第１の電源レベルにプリチャージされ、上記クロック信号が第２のレベルに保持されているとき、上記インバータの出力端子が上記論理演算部の演算結果に応じて、第１の電源レベルに保持されるか、または第２の電源レベルにディスチャージされる。

さらに、上記出力部の出力端子の信号レベルを保持するレベル保持回路を有する

【００１６】

本発明によれば、標準しきい値ＣＭＯＳ回路で形成された出力部と低しきい値トランジスタで形成された論理演算部とにより論理回路が構成される。

論理演算部は出力ノードと第２の電源との間に、演算論理に応じて、直列または並列に接

続された複数のトランジスタにより構成されている。これらのトランジスタのしきい値電圧が標準値より低く設定されている。

【００１７】

論理演算部を構成する各トランジスタのゲートに入力された信号のレベルに応じて、論理演算部の出力ノードと第２の電源が導通または非導通状態に設定される。即ち、入力信号の論理演算の結果に応じて、論理演算部の出力ノードと第２の電源との導通状態が制御される。

【００１８】

出力部は、例えば、インバータで構成され、このインバータを構成するトランジスタのしきい値電圧が標準値に設定されている。インバータに入力されたクロック信号が第１のレベル、例えば、第２の電源レベルに保持されているとき、出力部の出力端子が第１の電源レベルにプリチャージされ、クロック信号が第２のレベル、例えば、第１の電源レベルに保持されているとき、論理演算部の演算結果に応じて、出力部の出力端子が第１の電源レベルまたは第２の電源レベルに保持される。

これにより、論理回路のチップサイズの増大を回避でき、低しきい値電圧トランジスタにおけるリーク電流による消費電力化の増加を防止でき、論理演算の高速化を図れる。

【００１９】

【発明の実施の形態】

第１実施形態

図１は本発明に係る論理回路の第１の実施形態を示す回路図である。

図示のように、本実施形態の論理回路は、標準しきい値ＣＭＯＳ出力部１０および低しきい値ｎＭＯＳ論理演算部２０により構成されている。

【００２０】

図１に示すように、標準しきい値ＣＭＯＳ出力部１０はｐＭＯＳトランジスタＭｐとｎＭＯＳトランジスタＭｎとにより構成されている。ｐＭＯＳトランジスタＭｐの一方の拡散層が電源電圧V_{CC}の供給線に接続され、他方の拡散層がノードND_1に接続されている。ｎＭＯＳトランジスタＭｎの一方の拡散層がノードND_1に接続され、他方の拡散層がノードND_2に接続されている。

ｐＭＯＳトランジスタＭｐのゲートとｎＭＯＳトランジスタＭｎのゲートがクロック信号φの入力端子に共通に接続され、ノードND_1から論理回路の演算結果を示す信号Ｓが出力される。

【００２１】

低しきい値ｎＭＯＳ論理演算部２０はｎＭＯＳトランジスタＭａ，Ｍｂ，Ｍｃ，ＭｄおよびＭｅにより構成されている。なお、これらのｎＭＯＳトランジスタのしきい値電圧V_{THN}は標準値より低く設定されている。

【００２２】

ノードND_2と接地線との間に、ｎＭＯＳトランジスタＭａ，Ｍｂ，Ｍｃ，Ｍｄが直列に接続され、さらに、これら直列接続されたｎＭＯＳトランジスタと並列に、ｎＭＯＳトランジスタＭｅが接続されている。即ち、ｎＭＯＳトランジスタＭｅの一方の拡散層がノードND_2に接続され、他方の拡散層が接地されている。

また、ｎＭＯＳトランジスタＭａ，Ｍｂ，Ｍｃ，ＭｄおよびＭｅのゲートがそれぞれ信号Ａ，Ｂ，Ｃ，ＤおよびＥの入力端子に接続されている。

【００２３】

図２はクロック信号φおよび出力信号Ｓの波形を示す波形図である。以下、図２を参照しつつ、上述した構成を有する論理回路の動作について説明する。

クロック信号φがローレベルに保持されているとき、図１に示すように、インバータを構成するｎＭＯＳトランジスタＭｎが非導通状態に保持され、ｐＭＯＳトランジスタＭｐが導通状態に保持されているので、ノードND_1が電源電圧V_{CC}レベルまでチャージされ、出力信号Ｓが電源電圧V_{CC}レベルに保持される。

【００２４】

低しきい値ｎＭＯＳ論理演算部２０において、ｎＭＯＳトランジスタＭａ，Ｍｂ，Ｍｃ，ＭｄおよびＭｅのゲートに入力された入力信号Ａ，Ｂ，Ｃ，ＤおよびＥのレベルに応じて、これらのｎＭＯＳトランジスタの導通状態が制御される。例えば、ゲートにハイレベルの信号が入力されたｎＭＯＳトランジスタが導通状態に設定され、ゲートにローレベルの信号が入力されたｎＭＯＳトランジスタが非導通状態に設定される。

【００２５】

ｎＭＯＳトランジスタＭａ，Ｍｂ，Ｍｃ，ＭｄおよびＭｅの接続状態により論理演算の結果が決定される。本実施形態においては、図示の論理演算部２０により、式（１）に示す演算結果Ｘが得られる。演算結果Ｘに応じて、ノード$ＮＤ_2$と接地線との接続状態が決定される。

例えば、入力信号Ａ，Ｂ，Ｃ，ＤおよびＥのレベルに応じて、演算結果Ｘが“１”の場合、ノード$ＮＤ_2$と接地線が非導通状態に設定され、演算結果Ｘが“０”の場合、ノード$ＮＤ_2$と接地線が導通状態に設定されている。

【００２６】

次いで、クロック信号φがローレベルからハイレベルに切り換えられた後、インバータを構成するｐＭＯＳトランジスタＭｐが非導通状態に切り換えられ、ｎＭＯＳトランジスタＭｎが導通状態に切り換えられる。これにより、インバータの出力端子、即ちノード$ＮＤ_1$のレベルが低しきい値ｎＭＯＳ論理演算部２０の演算結果Ｘに応じて設定される。

【００２７】

例えば、論理演算部２０の演算結果Ｘが“１”となり、論理演算部２０のノード$ＮＤ_2$と接地線が非導通状態に設定された場合、ノード$ＮＤ_1$が電源電圧$Ｖ_{CC}$レベルに保持されたままで、即ち、ハイレベルの信号Ｓが出力される。

一方、論理演算部２０の演算結果Ｘが“０”となり、論理演算部２０のノード$ＮＤ_2$と接地線が導通状態に設定された場合、ノード$ＮＤ_1$がディスチャージされ、ローレベルの信号Ｓが出力される。

【００２８】

上述したように、出力信号Ｓが次式により求められる。

【数２】

$$S = (\overline{A \cdot B \cdot C \cdot D + E}) \cdot \phi + \overline{\phi} \qquad \cdots (2)$$

【００２９】

以上説明したように、クロック信号φがローレベルに保持されたとき、インバータの出力ノード$ＮＤ_1$がプリチャージされ、出力信号Ｓがハイレベルに保持される。そして、クロック信号φがハイレベルに切り換えられた後、論理演算部２０の演算結果Ｘに応じて、出力信号Ｓのレベルが設定される。

【００３０】

論理演算部２０を構成する各ｎＭＯＳトランジスタＭａ，Ｍｂ，Ｍｃ，ＭｄおよびＭｅのしきい値電圧$Ｖ_{THN}$が標準値より低く設定されているので、高速動作が実現できる。

一方、標準しきい値ＣＭＯＳ出力部１０を構成するｐＭＯＳトランジスタＭｐおよびｎＭＯＳトランジスタＭｎのしきい値電圧が標準値に設定されているので、低しきい値ｎＭＯＳトランジスタによるサブスレッショルドリーク電流の発生が防止できる。

これにより、高速な論理演算を実現でき、かつ、リーク電力による消費電力の増加を防止できる。さらに、論理演算部２０を構成するトランジスタのサイズを大きく形成する必要がなく、チップサイズの増加を回避できる。

【００３１】

以上説明したように、本実施形態によれば、標準しきい値ＣＭＯＳ出力部１０および低しきい値ｎＭＯＳ論理演算部２０により論理回路を構成し、クロック信号φがローレベルに保持されているとき、出力ノード$ＮＤ_1$を電源電圧$Ｖ_{CC}$レベルにプリチャージし、クロッ

ク信号φがローレベルからハイレベルに切り換えられた後、低しきい値ｎＭＯＳ論理演算部２０の演算結果Ｘに応じて、演算結果Ｘが“１”のとき、出力ノード$ＮＤ_1$をハイレベルに保持し、演算結果が“０”のとき、出力ノード$ＮＤ_1$をディスチャージし、ローレベルに保持するので、高速な論理演算を実現でき、かつ、サブスレッショルドリーク電流による消費電力の増加を防止でき、論理回路のチップサイズの増加を回避できる。

【００３２】

第２実施形態

図３は本発明に係る論理回路の第２の実施形態を示す回路図である。

図３に示すように、本第２の実施形態は標準しきい値ＣＭＯＳ出力部１０、低しきい値ｎＭＯＳ論理演算部２０およびバスホルダー３０とにより構成されている。

【００３３】

標準しきい値ＣＭＯＳ出力部１０および低しきい値ｎＭＯＳ論理演算部２０は図１に示す第１の実施形態と同様な構成を有するので、ここで、これらの構成部分について説明を省略する。

【００３４】

本実施形態は信号Ｓの出力端子にバスホルダー３０が接続されたことで図１に示す第１の実施形態と異なる。以下、バスホルダー３０の動作についてのみ説明し、第１の実施形態と同様な部分については、説明を省略する。

【００３５】

バスホルダー３０は、例えば、図３に示すように、直列に接続された二つのインバータ$ＩＮＶ_1$，$ＩＮＶ_2$により構成されている。

インバータ$ＩＮＶ_1$の入力端子が信号Ｓの出力端子に接続され、インバータ$ＩＮＶ_1$の出力端子がインバータ$ＩＮＶ_2$の入力端子に接続され、インバータ$ＩＮＶ_2$の出力端子が信号Ｓの出力端子に接続されている。

【００３６】

このように構成されたバスホルダー３０により、論理回路により出力された信号Ｓのレベルが保持され、信号Ｓの出力期間において、安定性の向上を図れる。例えば、標準しきい値ＣＭＯＳ出力部１０において、出力時、即ちクロック信号φがハイレベルに保持されているとき、ｐＭＯＳトランジスタＭｐが非導通状態、ｎＭＯＳトランジスタＭｎが導通状態に設定され、低しきい値ｎＭＯＳ論理演算部２０の漂遊容量（Stray Capacitor ）の問題が解決できる。

【００３７】

以上説明したように、本実施形態によれば、標準しきい値ＣＭＯＳ出力部１０および低しきい値ｎＭＯＳ論理演算部２０により構成された論理回路の出力端子にバスホルダー３０を接続することにより、論理演算の高速化および低消費電力化を図れ、さらに信号Ｓの出力期間の安定性の向上を実現できる。

【００３８】

【発明の効果】

以上説明したように、本発明の論理回路によれば、チップサイズの増大を回避でき、低消費電力化および論理演算の高速化を図れる。さらに、出力信号の安定性の向上を図れる利点がある。

【図面の簡単な説明】

【図１】本発明に係る論理回路の第１の実施形態を示す回路図である。

【図２】図１に示す論理回路のタイミングチャートである。

【図３】本発明に係る論理回路の第２の実施形態を示す回路図である。

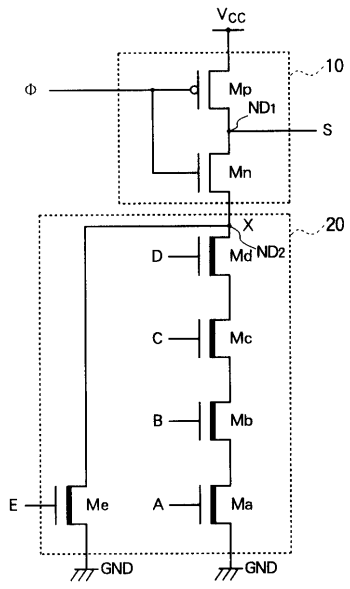
【図４】従来の論理回路の一例を示す回路図である。

【符号の説明】

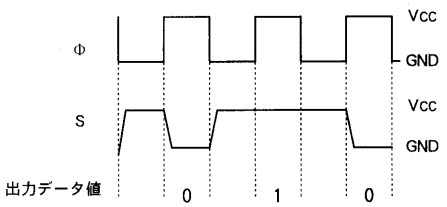
１０…標準しきい値ＣＭＯＳ出力部、２０…低しきい値ｎＭＯＳ論理演算部、３０…バスホルダー、Ｍｐ…ｐＭＯＳトランジスタ、Ｍｎ…ｎＭＯＳトランジスタ、Ｍａ，Ｍｂ，Ｍｃ，Ｍｄ，Ｍｅ…低しきい値電圧ｎＭＯＳトランジスタ、$Ｖ_{CC}$…電源電圧、ＧＮＤ…接地

電位。

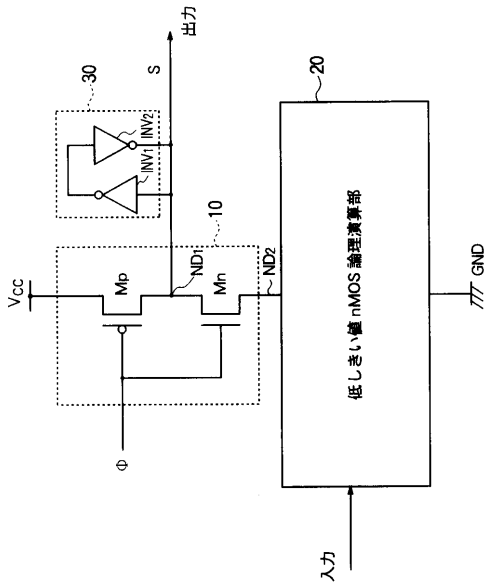
【図１】


Vcc
10
Φ
Mp
ND1
S
Mn
20
X
D
Md
ND2
C
Mc
B
Mb
E
Me
A
Ma
GND
GND

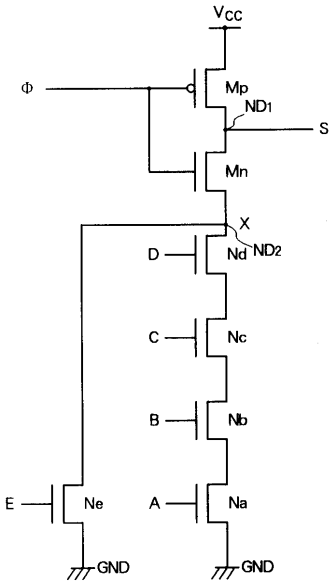
【図２】


Φ
Vcc
GND
S
Vcc
GND
出力データ値
0
1
0

【図３】


出力
S
30
INV2
INV1
10
20
Vcc
Mp
ND1
Mn
ND2
低しきい値 nMOS 論理演算部
GND
Φ
入力

【図４】


Vcc
Φ
Mp
ND1
S
Mn
X
D
Nd
ND2
C
Nc
B
Nb
E
Ne
A
Na
GND
GND

フロントページの続き

(58)調査した分野(Int.Cl., ＤＢ名)

H03K 19/0185
H03K 19/096
H03K 19/20