

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年1月28日(28.01.2016)



(10) 国際公開番号
WO 2016/013471 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/423 (2006.01)
H01L 21/28 (2006.01) H01L 29/49 (2006.01)
H01L 29/12 (2006.01) H01L 29/78 (2006.01)
H01L 29/417 (2006.01)
- (21) 国際出願番号: PCT/JP2015/070336
- (22) 国際出願日: 2015年7月15日(15.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-150256 2014年7月23日(23.07.2014) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 木下 明将(KINOSHITA, Akimasa); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 星 保幸(HOSHI, Yasuyuki); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 原田 祐一(HARADA, Yuichi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 酒井 善行(SAKAI, Yoshiyuki); 〒2109530 神奈川県川崎市

川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 岩谷 将伸(IWAYA, Masanobu); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 呂 民雅(Ryo, Mina); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング5階 酒井総合特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

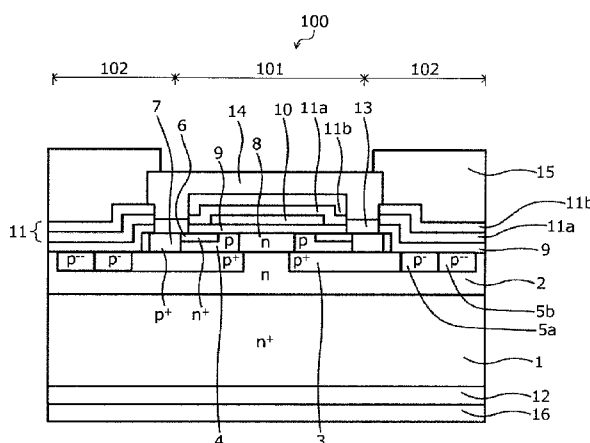
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置及び半導体装置の製造方法

[図1]



(57) Abstract: This semiconductor device (100) comprises, on an n-type semiconductor substrate (1) formed of silicon carbide, an n-type semiconductor layer (2), a p-type base region (4), an n-type source region (6), a p-type contact region (7), a gate insulating film (9), a gate electrode (10) and a source electrode (13). This semiconductor device (100) comprises, on the back surface of the semiconductor substrate (1), a drain electrode (12). An interlayer insulating film (11) is provided on the surface of the gate electrode (10). The interlayer insulating film (11) has a plurality of layers, and at least one of the plurality of layers is formed of a silicon nitride film (11b). Consequently, deterioration in the characteristics of the semiconductor device can be suppressed. In addition, increase of the number of steps during the manufacturing process can be suppressed.

(57) 要約:

[続葉有]

WO 2016/013471 A1



ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー 添付公開書類:

ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, — 国際調査報告 (条約第 21 条(3))
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

半導体装置 (100) は、炭化珪素でできた n 型の半導体基板 (1) 上に、n 型の半導体層 (2)、p 型のベース領域 (4)、n 型のソース領域 (6)、p 型のコンタクト領域 (7)、ゲート絶縁膜 (9)、ゲート電極 (10) 及びソース電極 (13) を有する。半導体装置 (100) は、半導体基板 (1) の裏面にドレイン電極 (12) を有する。ゲート電極 (10) の表面上には、層間絶縁膜 (11) が設けられている。層間絶縁膜 (11) は、複数の層を有し、その複数の層のうちの少なくとも 1 層が窒化珪素膜 (11b) でできている。このようにすることで半導体装置の特性の劣化を抑えることができる。また、製造時の工程数の増加を抑えることができる。

明 細 書

発明の名称：半導体装置及び半導体装置の製造方法

技術分野

[0001] この発明は、半導体装置及び半導体装置の製造方法に関する。

背景技術

[0002] 従来、炭化珪素 (SiC) を用いた MOSFET (Metal Oxide Semiconductor Field-Effect Transistor) では、高温ゲートバイアス (HTGB: High Temperature Gate Bias) 試験が行われる。高温ゲートバイアス試験では、高温環境下でゲート・ソース間に長時間、電圧が印加される。この高温ゲートバイアス試験において、ゲート・ソース間のしきい値電圧 (V_{th}) が低下することが知られている。

[0003] しきい値電圧の低下は、外部からの不純物の拡散によって起こる。しきい値電圧の低下を抑える方法として、MOSFETの表面に不純物の拡散を防ぐ例えばチタン (Ti) 系の金属を形成することが開示されている (例えば、特許文献1 参照)。また、不純物の拡散を防ぐために酸化珪素 (SiO_2) 膜より拡散係数が小さい物質である窒化珪素 (SiN) 膜の利用が考えられる (例えば、非特許文献1、2 参照)。

先行技術文献

特許文献

[0004] 特許文献1：特開2012-129503号公報

非特許文献

[0005] 非特許文献1：W. G. Perkins, 外1名, "Diffusion and Permeation of He, Ne, Ar, Kr, and D₂ through Silicon Oxide Thin Films", J. Chem. Phys., vol. 54, no. 4, p. 1683-1694, (1971)

非特許文献2: W. M. Arnoldbik, 外4名, "Dynamic behavior of hydrogen in silicon nitride and oxynitride films made by low-pressure chemical vapor deposition", Phys. Rev. B, vol. 48, no. 8, p. 5444-5456, (1993)

発明の概要

発明が解決しようとする課題

[0006] しかしながら、チタン系の金属でMOS構造上にバリアメタルを形成する場合、MOSの表面構造が複雑であるため、バリアメタルの一部が欠損し、その影響でしきい値電圧が低下するおそれがある。また、電極パッドがアルミニウム（Al）でできている場合、バリアメタルであるチタン系の金属とアルミニウムとではエッチングの方法が異なるため、製造時の工程数が増えるという問題点がある。また、窒化珪素膜を用いる場合、窒化珪素膜の硬度が高いため、MOSのような複雑な表面構造を形成するのには適さない。

[0007] この発明は、上述した従来技術による問題点を解消するため、しきい値電圧の低下を抑え、半導体装置の特性が劣化するのを抑えることができる半導体装置を提供することを目的とする。また、製造時の工程数の増加を抑えることができる半導体装置及び半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0008] 上述した課題を解決し、目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。第1導電型の炭化珪素でできた半導体基板を備え、前記半導体基板の第1主面上に前記半導体基板よりも不純物濃度の低い第1導電型の半導体層が設けられている。前記半導体層の表面上に第2導電型のベース領域が設けられ、前記ベース領域の表面領域に第1導電型のソース領域が設けられている。前記ベース領域の表面領域に、前記ベース領域よりも不純物濃度の高い第2導電型のコンタクト領域が設けられ、前記ソース領

域及び前記コンタクト領域に接するソース電極を備える。前記ベース領域の、前記半導体層と前記ソース領域とに挟まれた領域の表面上にゲート絶縁膜が設けられ、前記ゲート絶縁膜の表面上にゲート電極が設けられている。前記ゲート電極の表面上には層間絶縁膜が設けられ、前記半導体基板の第2主面上にドレイン電極が設けられている。そして、前記層間絶縁膜が複数の層を有し、かつ前記複数の層のうちの少なくとも1層が窒化珪素膜でできている。

[0009] 上述した課題を解決し、目的を達成するため、この発明にかかる半導体装置は、以下の特徴を有する。第1導電型の炭化珪素でできた半導体基板を備え、前記半導体基板の第1主面上に前記半導体基板よりも不純物濃度の低い第1導電型の半導体層が設けられている。前記半導体層の表面領域の一部に第2導電型の半導体領域が設けられ、前記半導体領域の表面上に、前記半導体領域よりも不純物濃度の低い第2導電型のベース領域が設けられている。前記半導体層の表面上に前記ベース領域に接して、前記半導体基板よりも不純物濃度の低い第1導電型の炭化珪素でできたウェル領域が設けられ、前記ベース領域の表面領域に前記ウェル領域から離れて、前記ウェル領域よりも不純物濃度の高い第1導電型のソース領域が設けられている。前記ベース領域の表面上に前記ソース領域に接して、前記ベース領域よりも不純物濃度の高い第2導電型のコンタクト領域が設けられ、前記ソース領域及び前記コンタクト領域に接するソース電極を備える。前記ベース領域の、前記ウェル領域と前記ソース領域とに挟まれた領域の表面上にゲート絶縁膜が設けられ、前記ゲート絶縁膜の表面上にゲート電極が設けられている。前記ゲート電極の表面上に層間絶縁膜が設けられ、前記半導体基板の第2主面上に設けられたドレイン電極を備えている。そして、前記層間絶縁膜が複数の層を有し、かつ前記複数の層のうちの少なくとも1層が窒化珪素膜でできている。

[0010] また、前記層間絶縁膜において前記窒化珪素膜でできた層は、酸化珪素膜でできた層で挟まれていることを特徴とする。

[0011] また、前記層間絶縁膜において前記窒化珪素膜でできた層の厚さは、0.

2 μm 以上であることを特徴とする。

[0012] また、前記層間絶縁膜において前記窒化珪素膜でできた層の上の前記酸化珪素膜でできた層は、酸化珪素中にボロン及びリンが添加されたガラスでできていることを特徴とする。

[0013] また、前記層間絶縁膜において前記窒化珪素膜でできた層は、最も上の層であることを特徴とする。

[0014] また、前記層間絶縁膜において前記窒化珪素膜でできた層の厚さは、0.5 μm 以上であることを特徴とする。

[0015] また、前記半導体基板の前記第1主面の結晶学的面指数は、(000-1)面に対して、平行な面または10度以内に傾いた面であることを特徴とする。

[0016] また、前記半導体基板の前記第1主面の結晶学的面指数は、(0001)面に対して、平行な面または10度以内に傾いた面であることを特徴とする。

[0017] また、この発明にかかる半導体装置の製造方法は、第1導電型の炭化珪素でできた半導体基板と、前記半導体基板の第1主面上に設けられた、前記半導体基板よりも不純物濃度の低い第1導電型の半導体層と、前記半導体層の表面上に設けられた第2導電型のベース領域と、前記ベース領域の表面領域に設けられた第1導電型のソース領域と、前記ベース領域の表面領域に設けられた、前記ベース領域よりも不純物濃度の高い第2導電型のコンタクト領域と、前記ソース領域及び前記コンタクト領域に接するソース電極と、前記ベース領域の、前記半導体層と前記ソース領域とに挟まれた領域の表面上に設けられたゲート絶縁膜と、前記ゲート絶縁膜の表面上に設けられたゲート電極と、前記ゲート電極の表面上に設けられた層間絶縁膜と、前記半導体基板の第2主面上に設けられたドレイン電極と、を備えた半導体装置の製造方法において、次の特徴を有する。前記層間絶縁膜を複数の層で形成し、かつ前記複数の層のうちの少なくとも1層を窒化珪素膜で形成する。

[0018] また、この発明にかかる半導体装置の製造方法は、第1導電型の炭化珪素

でできた半導体基板と、前記半導体基板の第1主面上に設けられた、前記半導体基板よりも不純物濃度の低い第1導電型の半導体層と、前記半導体層の表面領域の一部に設けられた第2導電型の半導体領域と、前記半導体領域の表面上に設けられた、前記半導体領域よりも不純物濃度の低い第2導電型のベース領域と、前記半導体層の表面上に前記ベース領域に接して設けられた、前記半導体基板よりも不純物濃度の低い第1導電型の炭化珪素でできたウェル領域と、前記ベース領域の表面領域に前記ウェル領域から離れて設けられた、前記ウェル領域よりも不純物濃度の高い第1導電型のソース領域と、前記ベース領域の表面上に前記ソース領域に接して設けられた、前記ベース領域よりも不純物濃度の高い第2導電型のコンタクト領域と、前記ソース領域及び前記コンタクト領域に接するソース電極と、前記ベース領域の、前記ウェル領域と前記ソース領域とに挟まれた領域の表面上に設けられたゲート絶縁膜と、前記ゲート絶縁膜の表面上に設けられたゲート電極と、前記ゲート電極の表面上に設けられた層間絶縁膜と、前記半導体基板の第2主面上に設けられたドレイン電極と、を備えた半導体装置の製造方法において、次の特徴を有する。前記層間絶縁膜を複数の層で形成し、かつ前記複数の層のうちの少なくとも1層を窒化珪素膜で形成する。

[0019] この発明によれば、層間絶縁膜中の窒化珪素膜でできた層によって、酸化珪素膜と半導体との界面に、しきい値電圧の低下を引き起こす原因となる元素が拡散するのが防止されるため、しきい値電圧の低下が抑制される。

[0020] また、窒化珪素膜は硬度が高いため、酸化珪素膜よりもカバレッジ性が悪く、クラック等が生じやすいが、窒化珪素膜の下層に酸化珪素膜が存在することによって、カバレッジ性が改善され、クラック等の問題が発生するのを回避することができる。また、層間絶縁膜において窒化珪素膜でできた層の厚さが0.2 μm 未満である場合と比べて、しきい値電圧の変化量を小さくすることができる。

発明の効果

[0021] 本発明によれば、しきい値電圧の低下を抑え、半導体装置の特性が劣化す

るのを抑えることができる。また、製造時の工程数の増加を抑えることができる。

図面の簡単な説明

[0022] [図1]図1は、本発明の実施の形態1にかかる半導体装置の一例を示す断面図である。

[図2]図2は、本発明の実施の形態1にかかる半導体装置の製造方法の一例における製造途中の状態を示す断面図である。

[図3]図3は、図2の続きの状態を示す断面図である。

[図4]図4は、図3の続きの状態を示す断面図である。

[図5]図5は、図4の続きの状態を示す断面図である。

[図6]図6は、図5の続きの状態を示す断面図である。

[図7]図7は、本発明の実施の形態1、2にかかる半導体装置の実施例1、2と比較例とのしきい値電圧変化特性の一例を示す特性図である。

[図8]図8は、本発明の実施の形態2にかかる半導体装置の一例を示す断面図である。

発明を実施するための形態

[0023] 以下に添付図面を参照して、この発明にかかる半導体装置及び半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書及び添付図面においては、 n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n や p に付す $+$ 及び $-$ は、それぞれそれが付されていない層や領域よりも高不純物濃度及び低不純物濃度であることを意味する。また、 p に付す $-$ は、 $-$ が付された p 型の層や領域よりも不純物濃度が低いことを意味する。また、本明細書では、ミラー指数の表記において、“ $-$ ”はその直後の指数につくバーを意味しており、指数の前に“ $-$ ”を付けることで負の指数を表している。

[0024] ここでは、半導体装置が例えば1200Vの耐圧クラスのMOSFETである場合を例にして説明するが、本発明にかかる半導体装置は1200V耐圧クラスのMOSFETに限らない。なお、以下の実施の形態の説明及び添

付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0025] (実施の形態1)

・実施の形態1にかかる半導体装置の一例

図1は、本発明の実施の形態1にかかる半導体装置の一例を示す断面図である。図1に示すように、実施の形態1にかかる半導体装置100は、活性領域101及び耐圧構造部102を有する。耐圧構造部102は、活性領域101を囲むように配置されていてもよい。半導体装置100は、炭化珪素でできた n^+ 半導体基板1及び n 半導体層2を備えている。

[0026] n^+ 半導体基板1は、例えば炭化珪素に窒素原子(N)が、 $2 \times 10^{18} / \text{cm}^3$ 程度の不純物濃度でドーピングされた炭化珪素単結晶基板であってもよい。

n^+ 半導体基板1は、例えばドレイン領域となる。 n^+ 半導体基板1の第1主面は、例えば(000-1)面であってもよい。 n^+ 半導体基板1の第1主面は、例えば(000-1)面に対して、平行な面であってもよいし、あるいは10度以内の角度で傾いた面であってもよい。 n^+ 半導体基板1の第1主面は、例えば $\langle 11-20 \rangle$ 方向に4度程度のオフ角を有する(000-1)面であってもよい。本実施の形態の説明において、 n^+ 半導体基板1のおもて面は第1主面であり、裏面は第2主面であるとする。

[0027] n 半導体層2は、 n^+ 半導体基板1の第1主面上に設けられている。 n 半導体層2の不純物濃度は、 n^+ 半導体基板1よりも低い。 n 半導体層2は、例えば炭化珪素に窒素原子が $1 \times 10^{16} / \text{cm}^3$ 程度の不純物濃度でドーピングされた半導体層であってもよい。 n 半導体層2は、例えば n 型のドリフト層となる。 n 半導体層2の厚さは、例えば $10 \mu\text{m}$ 程度であってもよい。 n 半導体層2は、エピタキシャル成長法によって n^+ 半導体基板1の上に積層されてもよい。

[0028] 活性領域101の構造について説明する。活性領域101において、 n^+ 半導体基板1の第1主面側には、半導体装置100のMOS構造、すなわち素子構造が形成されている。なお、図1に示す例では、活性領域101にMO

S構造が1つだけ示されているが、複数のMOS構造が並列に設けられていてもよい。

[0029] 半導体装置100は、MOS構造として、例えばp⁺半導体領域3、pベース領域4、n⁺ソース領域6、p⁺コンタクト領域7、ソース電極13、ゲート絶縁膜9及びゲート電極10を備えている。活性領域101において、n⁺半導体基板1の第2主面側には、例えばドレイン電極12となる裏面電極、及びドレイン電極パッド16となる裏面電極パッドが設けられている。

[0030] p⁺半導体領域3は、n半導体層2の表面領域の一部に設けられている。p⁺半導体領域3は、例えばn半導体層2の表面領域の別の一部を挟むように設けられていてもよい。p⁺半導体領域3は、例えば炭化珪素にアルミニウム原子が $3 \times 10^{18} / \text{cm}^3$ 程度の不純物濃度でドーピングされた半導体領域であってもよい。p⁺半導体領域3の幅は、例えば $1.3 \mu\text{m}$ 程度であってもよい。p⁺半導体領域3の深さは、例えば $0.5 \mu\text{m}$ 程度であってもよい。隣り合うp⁺半導体領域3とp⁺半導体領域3との間の領域は、n半導体層2の領域である。隣り合うp⁺半導体領域3とp⁺半導体領域3との間の距離は、例えば $2 \mu\text{m}$ 程度であってもよい。

[0031] pベース領域4は、p⁺半導体領域3の表面上に設けられている。pベース領域4の不純物濃度は、p⁺半導体領域3よりも低い。pベース領域4は、例えば炭化珪素にアルミニウム原子が $8 \times 10^{15} / \text{cm}^3$ 程度の不純物濃度でドーピングされた半導体領域であってもよい。pベース領域4の厚さは、例えば $0.5 \mu\text{m}$ 程度であってもよい。pベース領域4は、エピタキシャル成長法によってn半導体層2の上に積層されたp半導体層をパターニングすることによって形成されてもよい。

[0032] nウェル領域8は、n半導体層2の、隣り合うp⁺半導体領域3とp⁺半導体領域3との間の領域の表面上に、設けられている。nウェル領域8は、pベース領域4に接して設けられている。nウェル領域8の不純物濃度は、n⁺半導体基板1よりも低い。nウェル領域8の不純物濃度は、例えば $2 \times 10^{16} / \text{cm}^3$ 程度であってもよい。nウェル領域8は、例えば上述したようにエピタ

キシャル成長法によってn半導体層2の上に積層されたp半導体層の一部の導電型を、リン原子のイオン注入及び熱処理によって反転させた領域であってもよい。nウェル領域8中の一部のシリコン原子(Si)は、イオン注入されたリン原子で置換されている。nウェル領域8は、例えばn半導体層2とともにn型のドリフト領域となる。nウェル領域8の深さは、例えば0.6 μm 程度であってもよい。nウェル領域8の幅は、例えば2 μm 程度であってもよい。

[0033] n⁺ソース領域6は、p⁺半導体領域3の上のpベース領域4の表面領域に設けられている。n⁺ソース領域6は、nウェル領域8から離れて設けられている。n⁺ソース領域6の不純物濃度は、nウェル領域8よりも高い。

[0034] p⁺コンタクト領域7は、pベース領域4を挟んでnウェル領域8の反対側、すなわちnウェル領域8から離れて耐压構造部102側に設けられている。p⁺コンタクト領域7は、n⁺ソース領域6に接する。p⁺コンタクト領域7は、例えば上述したようにn半導体層2の上のpベース領域4となるp半導体層を貫通して、p⁺半導体領域3に接する。p⁺コンタクト領域7の不純物濃度は、pベース領域4よりも高い。

[0035] ゲート絶縁膜9は、pベース領域4の、nウェル領域8とn⁺ソース領域6とに挟まれた領域の表面上に設けられている。ゲート絶縁膜9は、例えばnウェル領域8を挟んで隣り合う一方のpベース領域4の表面上から、nウェル領域8の表面上を経て、他方のpベース領域4の表面上まで伸びていてもよい。ゲート絶縁膜9は、例えば耐压構造部102まで伸びていてもよい。ゲート絶縁膜9は、例えば酸化膜であってもよい。ゲート絶縁膜9の厚さは、例えば100 nm程度であってもよい。

[0036] ゲート電極10は、ゲート絶縁膜9の表面上に設けられている。ゲート電極10は、例えばnウェル領域8を挟んで隣り合う一方のpベース領域4の上から、nウェル領域8の上を経て、他方のpベース領域4の上まで伸びていてもよい。ゲート電極10は、導電性の材料でできていてもよい。ゲート電極10は、例えばリン原子がドーピングされた多結晶シリコンでできてい

てもよい。ゲート電極 10 は、例えば図 1 には現れていない領域においてゲートパッドに電氣的に接続されていてもよい。

- [0037] ゲート電極 10 は、層間絶縁膜 11 によって覆われている。層間絶縁膜 11 は、耐压構造部 102 まで伸びており、ゲート電極 10 が設けられている側の全面に設けられている。層間絶縁膜 11 は、多層構造になっており、例えば下層に酸化珪素膜 11a を有し、上層に窒化珪素膜 11b を有していてもよい。酸化珪素膜 11a は、例えばノンドープの珪酸ガラス (NSG: Nondoped Silicate Glass) でできていてもよいし、リンガラス (PSG: Phospho Silicate Glass) でできていてもよい。酸化珪素膜 11a の厚さは、例えば 0.5 μm 程度であってもよい。窒化珪素膜 11b の厚さは、例えば 3 μm 以下であるのが好ましい。窒化珪素膜 11b の厚さは、例えば 0.5 μm 程度であってもよい。
- [0038] ソース電極 13 は、例えば活性領域 101 及び耐压構造部 102 に設けられた層間絶縁膜 11、並びに活性領域 101 及び耐压構造部 102 に設けられたゲート絶縁膜 9 を貫通するコンタクトホール内に設けられている。ソース電極 13 は、 n^+ ソース領域 6 及び p^+ コンタクト領域 7 に接する。ソース電極 13 は、 n^+ ソース領域 6 及び p^+ コンタクト領域 7 に電氣的に接続されている。ソース電極 13 は、層間絶縁膜 11 によって、ゲート電極 10 から絶縁されている。
- [0039] 半導体装置 100 は、ソース電極パッド 14 を有していてもよい。ソース電極パッド 14 は、ソース電極 13 及び活性部 101 における層間絶縁膜 11 を覆うように設けられている。ソース電極パッド 14 は、ソース電極 13 に接する。ソース電極パッド 14 は、ソース電極 13 に電氣的に接続されている。ソース電極パッド 14 の、層間絶縁膜 11 の上の部分の厚さは、例えば 5 μm であってもよい。ソース電極パッド 14 は、例えばアルミニウム (Al) でできていてもよい。
- [0040] ドレイン電極 12 は、 n^+ 半導体基板 1 の第 2 主面上に設けられている。ドレイン電極 12 は、導電性の膜、例えば金属膜でできていてもよい。ドレイ

ン電極 1 2 は、例えばニッケル (Ni) でできていてもよい。ドレイン電極 1 2 は、 n^+ 半導体基板 1 にオーミック接合している。

[0041] ドレイン電極パッド 1 6 は、ドレイン電極 1 2 の表面上に設けられている。ドレイン電極パッド 1 6 は、導電性の膜、例えば金属膜でできていてもよい。ドレイン電極パッド 1 6 は、例えばチタン (Ti)、ニッケル及び金 (Au) がドレイン電極 1 2 側から順に積層されてできていてもよい。ドレイン電極パッド 1 6 は、ドレイン電極 1 2 に電氣的に接続されている。

[0042] 耐圧構造部 1 0 2 の構造について説明する。半導体装置 1 0 0 は、耐圧構造部 1 0 2 において、 p^- 半導体領域 5 a、 p^- 半導体領域 5 b 及び保護膜 1 5 を有していてもよい。

[0043] p^- 半導体領域 5 a は、耐圧構造部 1 0 2 において、 n 半導体層 2 の表面領域の一部に設けられている。 p^- 半導体領域 5 a は、例えば p^+ 半導体領域 3 に接する。 p^- 半導体領域 5 a は、 p^+ 半導体領域 3 を囲むように設けられていてもよい。 p^- 半導体領域 5 a は、例えば炭化珪素にアルミニウム原子がドーピングされた半導体領域であってもよい。 p^- 半導体領域 5 a の不純物濃度は、 p^+ 半導体領域 3 の不純物濃度よりも低い。

[0044] p^- 半導体領域 5 b は、耐圧構造部 1 0 2 において、 n 半導体層 2 の表面領域の一部に設けられている。 p^- 半導体領域 5 b は、例えば p^- 半導体領域 5 a に接する。 p^- 半導体領域 5 b は、 p^- 半導体領域 5 a を囲むように設けられていてもよい。 p^- 半導体領域 5 b は、例えば炭化珪素にアルミニウム原子がドーピングされた半導体領域であってもよい。 p^- 半導体領域 5 b の不純物濃度は、 p^- 半導体領域 5 a の不純物濃度よりも低い。

[0045] このように、半導体装置 1 0 0 は、第一の p^- 型領域 5 a および第二の p^- 型領域 5 b によって、不純物濃度の異なる 2 つの p 型領域が接するように並列されたダブルゾーン JTE (Junction Termination Extension) 構造を有していてもよい。なお、ダブルゾーン JTE 構造に限らず、半導体装置 1 0 0 は、不純物濃度の異なる 3 つ以上の p 型領域が接するように並列されたマルチゾーン JTE 構造を有していてもよい。

また、半導体装置100は、例えばフィールドリミッティングリング（Field Limiting Ring）構造のように、複数のp型領域が所定間隔で配置された終端構造を有していてもよい。

[0046] 保護膜15は、ソース電極パッド14の、耐圧構造部102側の端部を覆うように設けられていてもよい。保護膜15は、パッシベーション膜となる。保護膜15は、放電防止の機能を有する。保護膜15は、例えばポリイミドでできていてもよい。

[0047] ・実施の形態1にかかる半導体装置の製造方法の一例

図2は、本発明の実施の形態1にかかる半導体装置の製造方法の一例における製造途中の状態を示す断面図である。図3は、図2の続きの状態を示す断面図である。図4は、図3の続きの状態を示す断面図である。図5は、図4の続きの状態を示す断面図である。図6は、図5の続きの状態を示す断面図である。

[0048] まず、図2に示すように、n型の炭化珪素でできたn⁺半導体基板1を用意する。そして、このn⁺半導体基板1の第1主面上に、n型の不純物、例えば窒素原子をドーピングしながら炭化珪素でできたn半導体層2を、例えば10μm程度の厚さまでエピタキシャル成長させる。ここまでの状態が図2に示されている。

[0049] 次いで、図3に示すように、n半導体層2の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを形成する。そして、イオン注入法によってp型の不純物、例えばアルミニウム原子をイオン注入する。それによって、図3に破線で示すように、n半導体層2の表面領域の一部に、例えば幅13μm程度で深さ0.5μm程度の第1のイオン注入領域21が、例えば隣り合う第1のイオン注入領域21と第1のイオン注入領域21との間の距離が2μm程度となるように、設けられる。この第1のイオン注入領域21は、例えば後述する熱処理を経ることによって、p⁺半導体領域3となる。第1のイオン注入領域21を設けるためのイオン注入時のドーズ量を、例えばp⁺半導体領域3の不純物濃度が $3 \times 10^{18} / \text{cm}^3$ 程度と

なるように設定してもよい。

[0050] 次いで、第1のイオン注入領域21を設けるためのイオン注入時に用いたマスクを除去する。そして、n半導体層2の表面上に、p型の不純物、例えばアルミニウム原子をドーピングしながら炭化珪素でできた第2の半導体層22を、例えば0.5 μm 程度の厚さまでエピタキシャル成長させる。この第2の半導体層22は、例えば後述するフォトリソグラフィ技術及びエッチング処理を経ることによって、pベース領域4となる。第2の半導体層22を設けるためのイオン注入時のドーズ量を、例えばpベース領域4の不純物濃度が $8 \times 10^{15} / \text{cm}^3$ 程度となるように設定してもよい。ここまでの状態が図3に示されている。

[0051] 次いで、図4に示すように、第2の半導体層22の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを形成する。そして、エッチング処理を行って第2の半導体層22をパターニングすることによって、pベース領域4を形成するとともに、耐圧構造部102となる領域において、第2の半導体層22を例えば0.7 μm 程度の深さで除去して、n半導体層2を露出させる。続いて、第2の半導体層22をパターニングするためのエッチング処理時に用いたマスクを除去する。

[0052] 次いで、露出したn半導体層2の表面上及びpベース領域4の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを形成する。そして、イオン注入法によってp型の不純物、例えばアルミニウム原子をイオン注入する。それによって、図4に破線で示すように、耐圧構造部102となる領域において、n半導体層2の表面領域の一部に第2のイオン注入領域23が、例えば第1のイオン注入領域21に接するように設けられる。この第2のイオン注入領域23は、例えば後述する熱処理を経ることによって、例えば上述したダブルゾーンJTE構造におけるp-半導体領域5aとなる。第2のイオン注入領域23を設けるためのイオン注入時のドーズ量を、例えば $2 \times 10^{13} / \text{cm}^2$ 程度に設定してもよい。続いて、第2のイオン注入領域23を設けるためのイオン注入時に用いたマスクを除去する。

[0053] 次いで、露出したn半導体層2の表面上及びpベース領域4の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを形成する。そして、イオン注入法によってp型の不純物、例えばアルミニウム原子をイオン注入する。それによって、図4に破線で示すように、耐压構造部102となる領域において、n半導体層2の表面領域の一部に第3のイオン注入領域24が、例えば第2のイオン注入領域23に接するように設けられる。この第3のイオン注入領域24は、例えば後述する熱処理を経ることによって、例えば上述したダブルゾーンJTE構造におけるp⁻半導体領域5bとなる。第3のイオン注入領域24を設けるためのイオン注入時のドーズ量を、例えば $1 \times 10^{13} / \text{cm}^2$ 程度に設定してもよい。続いて、第3のイオン注入領域24を設けるためのイオン注入時に用いたマスクを除去する。ここまでの状態が図4に示されている。

[0054] 次いで、図5に示すように、露出したn半導体層2の表面上及びpベース領域4の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを形成する。そして、イオン注入法によってn型の不純物、例えばリン原子をイオン注入する。それによって、図5に破線で示すように、第2の半導体層22において、隣り合う第1のイオン注入領域21と第1のイオン注入領域21とに挟まれたn半導体層2の領域の上の領域に、例えば幅 $2 \mu\text{m}$ 程度で深さ $0.6 \mu\text{m}$ 程度の第4のイオン注入領域25が設けられる。この第4のイオン注入領域25は、例えば後述する熱処理を経ることによって、例えばnウェル領域8となる。第4のイオン注入領域25を設けるためのイオン注入時のドーズ量を、例えばnウェル領域8の不純物濃度が $2 \times 10^{16} / \text{cm}^3$ 程度となるように設定してもよい。続いて、第4のイオン注入領域25を設けるためのイオン注入時に用いたマスクを除去する。

[0055] 次いで、露出したn半導体層2の表面上及びpベース領域4の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを形成する。そして、イオン注入法によってn型の不純物をイオン注入する。それによって、図5に破線で示すように、第2の半導体層22の表面領域に

において第4のイオン注入領域25から離れた領域に、第5のイオン注入領域26が設けられる。この第5のイオン注入領域26は、例えば後述する熱処理を経ることによって、例えば n^+ ソース領域6となる。第5のイオン注入領域26を設けるためのイオン注入時のドーズ量を、第4のイオン注入領域25よりも不純物濃度が高くなるように設定してもよい。続いて、第5のイオン注入領域26を設けるためのイオン注入時に用いたマスクを除去する。

[0056] 次いで、露出した n 半導体層2の表面上及び p ベース領域4の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを形成する。そして、イオン注入法によって p 型の不純物をイオン注入する。それによって、図5に破線で示すように、第2の半導体層22において、第1のイオン注入領域21の上の領域で、かつ p ベース領域4及び第5のイオン注入領域26に接する領域に、第6のイオン注入領域27が設けられる。この第6のイオン注入領域27は、例えば後述する熱処理を経ることによって、例えば p^+ コンタクト領域7となる。第6のイオン注入領域27を設けるためのイオン注入時のドーズ量を、 p ベース領域4よりも不純物濃度が高くなるように設定してもよい。続いて、第6のイオン注入領域27を設けるためのイオン注入時に用いたマスクを除去する。

[0057] なお、第2のイオン注入領域23、第3のイオン注入領域24、第4のイオン注入領域25、第5のイオン注入領域26及び第6のイオン注入領域27をそれぞれ設けるためのイオン注入の順序は、上述した順序に限らず、種々変更可能である。ここまでの状態が図5に示されている。

[0058] 次いで、図6に示すように、熱処理（アニール）を行って、例えば第1のイオン注入領域21、第2のイオン注入領域23、第3のイオン注入領域24、第4のイオン注入領域25、第5のイオン注入領域26及び第6のイオン注入領域27を活性化させる。それによって、第1のイオン注入領域21は、 p^+ 半導体領域3となる。第4のイオン注入領域25は、イオン注入されたリン原子がシリコン原子と置換して導電型が反転することによって、 n ウェル領域8となる。第5のイオン注入領域26は、 n^+ ソース領域6となる。

第6のイオン注入領域27は、 p^+ コンタクト領域7となる。第2のイオン注入領域23は、 p^- 半導体領域5aとなる。第3のイオン注入領域24は、 p^- 半導体領域5bとなる。熱処理の温度は、例えば1620℃程度であってもよい。熱処理の時間は、例えば2分程度であってもよい。なお、上述したように1回の熱処理によって各イオン注入領域をまとめて活性化させてもよいし、イオン注入を行うたびに熱処理を行って活性化させてもよい。

[0059] 次いで、 p ベース領域4、 n^+ ソース領域6、 p^+ コンタクト領域7、 n ウェル領域8、 p^- 半導体領域5a及び p^- 半導体領域5bが設けられた側の面を熱酸化して、例えばこの面全体に、例えば厚さ100nm程度のゲート絶縁膜9を設ける。この熱酸化処理は、例えば酸素雰囲気中において例えば1000℃程度の温度で熱処理を行うことによって実現されてもよい。

[0060] 次いで、ゲート絶縁膜9上に、例えばリン原子がドーピングされた多結晶シリコン層を設ける。この多結晶シリコン層をパターニングして、 p ベース領域4の、 n^+ ソース領域6と n ウェル領域8とに挟まれた領域上のゲート絶縁膜9の上に残すことによって、ゲート電極10を設ける。

[0061] 次いで、ゲート絶縁膜9及びゲート電極10を覆うように、例えばノンドーパの珪酸ガラス（NSG）またはリンガラス（PSG）を例えば0.5 μ m程度の厚さで成膜し、層間絶縁膜11の下層となる酸化珪素膜11aを設ける。続いて、酸化珪素膜11aを覆うように、窒化珪素を例えば0.5 μ m程度の厚さで成膜し、層間絶縁膜11の上層となる窒化珪素膜11bを設ける。酸化珪素膜11a及び窒化珪素膜11bによって層間絶縁膜11ができあがる。例えばプラズマCVD（Chemical Vapor Deposition）法によって窒化珪素膜11bを成膜してもよい。ここまでの状態が図6に示されている。

[0062] 次いで、図1に示すように、窒化珪素膜11b、酸化珪素膜11a及びゲート絶縁膜9をパターニングして選択的に除去することによって、コンタクトホールを形成し、 n^+ ソース領域6及び p^+ コンタクト領域7を露出させる。その後、熱処理（リフロー）を行って層間絶縁膜11を平坦化する。

- [0063] 次いで、コンタクトホール内及び層間絶縁膜 11 の上にソース電極 13 となる導電性の膜を設ける。この導電性の膜を選択的に除去して、例えばコンタクトホール内にのみソース電極 13 を残す。
- [0064] 次いで、 n^+ 半導体基板 1 の第 2 主面上に、例えばニッケルの膜でできたドレイン電極 12 を設ける。その後、例えば 970°C 程度の温度で熱処理を行って、 n^+ 半導体基板 1 とドレイン電極 12 とをオーミック接合する。
- [0065] 次いで、例えばスパッタ法によって、ソース電極 13 及び層間絶縁膜 11 を覆うように、例えばアルミニウム (Al) の膜を、層間絶縁膜 11 の上の部分の厚さが例えば $5\mu\text{m}$ 程度になるように、設ける。その後、Al の膜を選択的に除去して、ソース電極 13 及び活性領域 101 における層間絶縁膜 11 を覆うように残すことによって、ソース電極パッド 14 を形成する。
- [0066] 次いで、耐圧構造部 102 となる領域において、ソース電極パッド 14 の、耐圧構造部 102 側の端部を覆うように、例えばポリイミドでできた保護膜 15 を設ける。
- [0067] 次いで、ドレイン電極 12 の表面に、例えばチタン、ニッケル及び金を順に積層することによって、ドレイン電極パッド 16 を設ける。以上のようにして、図 1 に示す半導体装置 100 が完成する。

[0068] ・実施例 1

層間絶縁膜 11 が下層の酸化珪素膜 11a と上層の窒化珪素膜 11b とでできている半導体装置 100 を実施例 1 とする。半導体装置 100 において、層間絶縁膜 11 が酸化珪素膜のみでできている半導体装置を比較例とする。

- [0069] 実施例 1 と比較例とについて、しきい値電圧 (V_{th}) の変化量 (ΔV_{th}) を評価した。この評価においては、初期しきい値電圧値と、 200°C においてゲートーソース間に -20V の電圧を 10 分間、印加した後のしきい値電圧値との差を、 ΔV_{th} とした。 ΔV_{th} を評価した結果について説明する。図 7 は、本発明の実施の形態 1、2 にかかる半導体装置の実施例 1、2 と比較例とのしきい値電圧変化特性の一例を示す特性図である。図 7 にお

いて、縦軸はしきい値電圧 V_{th} の変化量 ΔV_{th} （単位：V）であり、横軸は窒化珪素膜の膜厚（単位： μm ）である。比較例では、窒化珪素膜の膜厚はゼロである。図7に示すように、評価の結果、比較例では、 ΔV_{th} が $-1.1V$ 以上になるが、実施例1では、 ΔV_{th} が比較例よりも改善されることを確認することができた。また、窒化珪素膜11bの厚さを $0.5\mu m$ 以上にすることによって、 ΔV_{th} が $-0.1V$ 以下に改善されることを確認することができた。

[0070] 実施の形態1によれば、層間絶縁膜11中に窒化珪素膜11bでできた層があることによって、酸化珪素膜と半導体との界面に、しきい値電圧の低下を引き起こす原因となる元素が拡散するのが防止されるため、しきい値電圧の低下が抑制される。それによって、半導体装置100の特性が劣化するのを抑えることができる。また、実施の形態1によれば、例えば高温ゲートバイアス（HTGB）試験などの信頼性試験によって信頼性が低下してしまうのを回避することができる。また、実施の形態1によれば、窒化珪素膜11bの下層に、窒化珪素膜11bよりもカバレッジ性に優れた酸化珪素膜11aが存在するため、層間絶縁膜11のカバレッジ性が改善され、クラック等の問題が発生するのを回避することができる。従って、MOS構造の層間絶縁膜としての機能を果たしつつ、しきい値電圧の変化量を改善することができる。また、実施の形態1によれば、チタン系のバリアメタルが不要であるため、ソース電極パッド14のエッチングとは別にチタン系の金属のエッチングを行わずに済み、製造時の工程数の増加を抑えることができる。

[0071] （実施の形態2）

・実施の形態2にかかる半導体装置の一例

図8は、本発明の実施の形態2にかかる半導体装置の一例を示す断面図である。図8に示すように、実施の形態2にかかる半導体装置200は、層間絶縁膜11として、下層に酸化珪素膜11aを有し、中間層に窒化珪素膜11bを有し、最上層に第2の酸化珪素膜11cを有するものである。なお、層間絶縁膜11は、4層以上の構造であってもよいが、実施の形態2では、

3層構造であるとして説明する。

[0072] 第2の酸化珪素膜11cは、例えばノンドープの珪酸ガラス（NSG）でできていてもよいし、リンガラス（PSG）でできていてもよい。第2の酸化珪素膜11cは、例えば酸化珪素中にボロン及びリンが添加されたガラス（BPSG: Boro-Phospho Silicate Glass）でできていてもよい。第2の酸化珪素膜11cがBPSGでできていれば、リフローによる最適な平坦化を実現できるという効果を奏する。

[0073] 実施の形態2にかかる半導体装置200のその他の構成については、実施の形態1にかかる半導体装置100の構成と同様であるため、重複する説明を省略する。

[0074] ・実施の形態2にかかる半導体装置の製造方法の一例

実施の形態1にかかる半導体装置100の製造方法と同様にしてゲート電極10を設け、層間絶縁膜11において下層となる酸化珪素膜11a及び中間層となる窒化珪素膜11bを設けた後、最上層となる第2の酸化珪素膜11cを設ける。それによって、酸化珪素膜11a、窒化珪素膜11b及び第2の酸化珪素膜11cによって層間絶縁膜11ができあがる。

[0075] 次いで、第2の酸化珪素膜11c、窒化珪素膜11b、酸化珪素膜11a及びゲート絶縁膜9をパターニングして選択的に除去することによって、コンタクトホールを形成し、 n^+ ソース領域6及び p^+ コンタクト領域7を露出させる。その後、熱処理（リフロー）を行って層間絶縁膜11を平坦化する。これ以降は、実施の形態1にかかる半導体装置100の製造方法と同様であるため、重複する説明を省略する。

[0076] ・実施例2

層間絶縁膜11が下層の酸化珪素膜11aと中間層の窒化珪素膜11bと最上層の第2の酸化珪素膜11cとでできている半導体装置200を実施例2とする。半導体装置200において、層間絶縁膜11が酸化珪素膜のみでできている半導体装置を比較例とする。実施の形態2における比較例は、実施の形態1における比較例と同じものである。

[0077] 実施例2と比較例とについて、しきい値電圧 (V_{th}) の変化量 (ΔV_{th}) を評価した。この評価においては、初期しきい値電圧値と、 200°C においてゲートソース間に -20V の電圧を10分間、印加した後のしきい値電圧値との差を、 ΔV_{th} とした。 ΔV_{th} を評価した結果について説明する。図7に示すように、評価の結果、実施例2では、 ΔV_{th} が比較例よりも改善されることを確認することができた。また、窒化珪素膜11bの厚さを $0.2\mu\text{m}$ 以上にすることによって、 ΔV_{th} が -0.1V 以下に改善されることを確認することができた。

[0078] 実施の形態2によれば、実施の形態1と同様に、層間絶縁膜11中に窒化珪素膜11bでできた層があることによって、しきい値電圧の低下が抑制されるため、半導体装置200の特性が劣化するのを抑えることができる。また、実施の形態2によれば、実施の形態1と同様に、信頼性試験によって信頼性が低下してしまうのを回避することができる。また、実施の形態2によれば、実施の形態1と同様に、層間絶縁膜11中に酸化珪素膜11aでできた層があるため、MOS構造の層間絶縁膜としての機能を果たしつつ、しきい値電圧の変化量を改善することができる。また、実施の形態2によれば、実施の形態1と同様に、チタン系のバリアメタルが不要であるため、製造時の工程数の増加を抑えることができる。

[0079] 以上において本発明は、上述した各実施の形態に限らず、種々変更可能である。例えば、 n^{+} 半導体基板1の第1主面の面方位などは、種々、変更可能である。例えば、 n^{+} 半導体基板1の第1主面を、 (0001) 面に平行な面、または (0001) 面に対して 10 度以内の角度で傾いた面、例えば $<11-20>$ 方向に 4 度程度のオフ角を有する (0001) 面としてもよい。例えば、各実施の形態中に記載した寸法や濃度などは一例であり、本発明はそれらの値に限定されるものではない。また、各実施の形態では第1導電型を n 型とし、第2導電型を p 型としたが、本発明は第1導電型を p 型とし、第2導電型を n 型としても同様に成り立つ。

産業上の利用可能性

[0080] 以上のように、本発明にかかる半導体装置は、例えば高耐圧半導体装置に有用であり、特に、例えば電力変換装置や種々の産業用機械などの電源装置などに使用される高耐圧半導体装置に適している。

符号の説明

- [0081]
- 1 n^+ 半導体基板
 - 2 n 半導体層
 - 3 p^+ 半導体領域
 - 4 p ベース領域
 - 5 a p^- 半導体領域
 - 5 b p^{--} 半導体領域
 - 6 n^+ ソース領域
 - 7 p^+ コンタクト領域
 - 8 n ウェル領域
 - 9 ゲート絶縁膜
 - 10 ゲート電極
 - 11 層間絶縁膜
 - 11 a 酸化珪素膜
 - 11 b 窒化珪素膜
 - 11 c 第2の酸化珪素膜
 - 12 ドレイン電極
 - 13 ソース電極
 - 14 ソース電極パッド
 - 15 保護膜
 - 16 ドレイン電極パッド
 - 21 第1のイオン注入領域
 - 22 第2の半導体層
 - 23 第2のイオン注入領域
 - 24 第3のイオン注入領域

25 第4のイオン注入領域

26 第5のイオン注入領域

27 第6のイオン注入領域

100, 200 半導体装置

請求の範囲

[請求項1]

第1導電型の炭化珪素でできた半導体基板と、
前記半導体基板の第1主面上に設けられた、前記半導体基板よりも不純物濃度の低い第1導電型の半導体層と、
前記半導体層の表面上に設けられた第2導電型のベース領域と、
前記ベース領域の表面領域に設けられた第1導電型のソース領域と、
、
前記ベース領域の表面領域に設けられた、前記ベース領域よりも不純物濃度の高い第2導電型のコンタクト領域と、
前記ソース領域及び前記コンタクト領域に接するソース電極と、
前記ベース領域の、前記半導体層と前記ソース領域とに挟まれた領域の表面上に設けられたゲート絶縁膜と、
前記ゲート絶縁膜の表面上に設けられたゲート電極と、
前記ゲート電極の表面上に設けられた層間絶縁膜と、
前記半導体基板の第2主面上に設けられたドレイン電極と、を備え、
、
前記層間絶縁膜が複数の層を有し、かつ前記複数の層のうちの少なくとも1層が窒化珪素膜でできていることを特徴とする半導体装置。

[請求項2]

第1導電型の炭化珪素でできた半導体基板と、
前記半導体基板の第1主面上に設けられた、前記半導体基板よりも不純物濃度の低い第1導電型の半導体層と、
前記半導体層の表面領域の一部に設けられた第2導電型の半導体領域と、
前記半導体領域の表面上に設けられた、前記半導体領域よりも不純物濃度の低い第2導電型のベース領域と、
前記半導体層の表面上に前記ベース領域に接して設けられた、前記半導体基板よりも不純物濃度の低い第1導電型の炭化珪素でできたウェル領域と、

前記ベース領域の表面領域に前記ウェル領域から離れて設けられた、前記ウェル領域よりも不純物濃度の高い第1導電型のソース領域と、

前記ベース領域の表面上に前記ソース領域に接して設けられた、前記ベース領域よりも不純物濃度の高い第2導電型のコンタクト領域と、

前記ソース領域及び前記コンタクト領域に接するソース電極と、前記ベース領域の、前記ウェル領域と前記ソース領域とに挟まれた領域の表面上に設けられたゲート絶縁膜と、

前記ゲート絶縁膜の表面上に設けられたゲート電極と、

前記ゲート電極の表面上に設けられた層間絶縁膜と、

前記半導体基板の第2主面上に設けられたドレイン電極と、を備え、

前記層間絶縁膜が複数の層を有し、かつ前記複数の層のうちの少なくとも1層が窒化珪素膜でできていることを特徴とする半導体装置。

[請求項3] 前記層間絶縁膜において前記窒化珪素膜でできた層は、酸化珪素膜でできた層で挟まれていることを特徴とする請求項1または2に記載の半導体装置。

[請求項4] 前記層間絶縁膜において前記窒化珪素膜でできた層の厚さは、0.2 μm 以上であることを特徴とする請求項3に記載の半導体装置。

[請求項5] 前記層間絶縁膜において前記窒化珪素膜でできた層の上の前記酸化珪素膜でできた層は、酸化珪素中にボロン及びリンが添加されたガラスでできていることを特徴とする請求項4に記載の半導体装置。

[請求項6] 前記層間絶縁膜において前記窒化珪素膜でできた層は、最も上の層であることを特徴とする請求項1または2に記載の半導体装置。

[請求項7] 前記層間絶縁膜において前記窒化珪素膜でできた層の厚さは、0.5 μm 以上であることを特徴とする請求項6に記載の半導体装置。

[請求項8] 前記半導体基板の前記第1主面の結晶学的面指数は、(000-1

）面に対して、平行な面または10度以内に傾いた面であることを特徴とする請求項1または2に記載の半導体装置。

[請求項9] 前記半導体基板の前記第1主面の結晶学的面指数は、(0001)面に対して、平行な面または10度以内に傾いた面であることを特徴とする請求項1または2に記載の半導体装置。

[請求項10] 第1導電型の炭化珪素でできた半導体基板と、前記半導体基板の第1主面上に設けられた、前記半導体基板よりも不純物濃度の低い第1導電型の半導体層と、前記半導体層の表面上に設けられた第2導電型のベース領域と、前記ベース領域の表面領域に設けられた第1導電型のソース領域と、前記ベース領域の表面領域に設けられた、前記ベース領域よりも不純物濃度の高い第2導電型のコンタクト領域と、前記ソース領域及び前記コンタクト領域に接するソース電極と、前記ベース領域の、前記半導体層と前記ソース領域とに挟まれた領域の表面上に設けられたゲート絶縁膜と、前記ゲート絶縁膜の表面上に設けられたゲート電極と、前記ゲート電極の表面上に設けられた層間絶縁膜と、前記半導体基板の第2主面上に設けられたドレイン電極と、を備えた半導体装置の製造方法において、

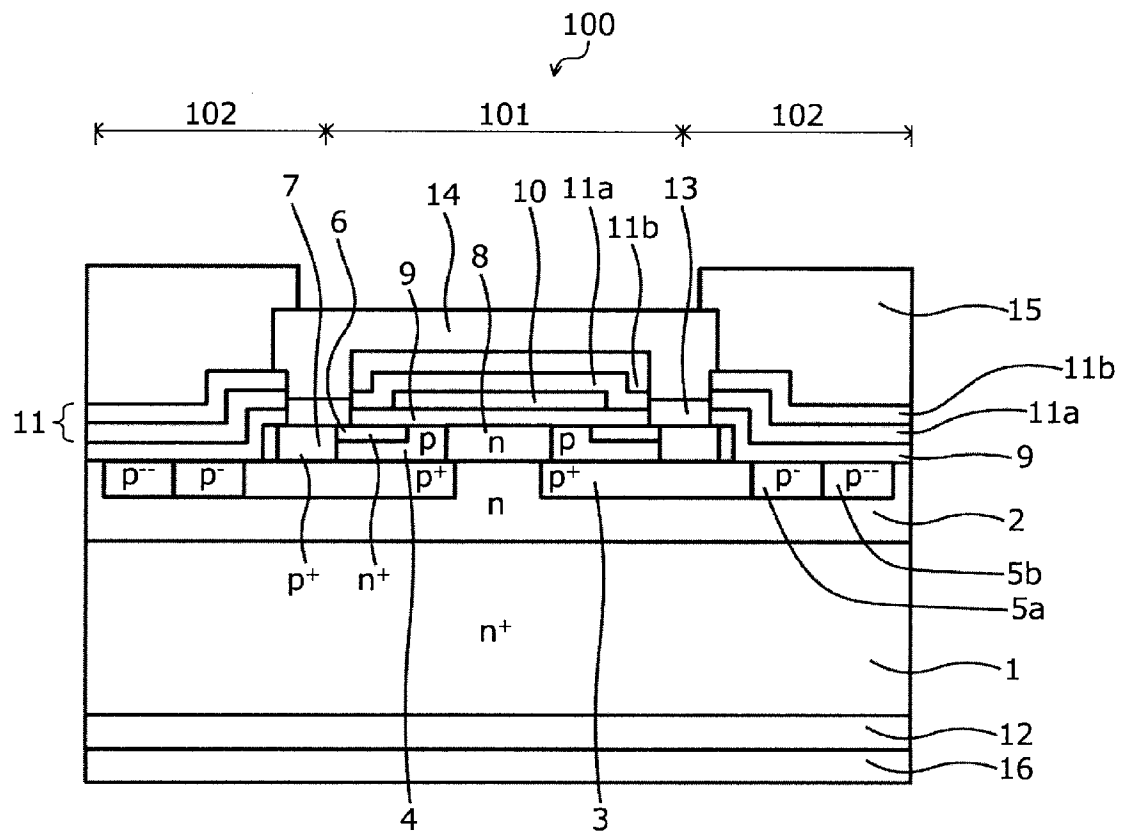
前記層間絶縁膜を複数の層で形成し、かつ前記複数の層のうちの少なくとも1層を窒化珪素膜で形成したことを特徴とする半導体装置の製造方法。

[請求項11] 第1導電型の炭化珪素でできた半導体基板と、前記半導体基板の第1主面上に設けられた、前記半導体基板よりも不純物濃度の低い第1導電型の半導体層と、前記半導体層の表面領域の一部に設けられた第2導電型の半導体領域と、前記半導体領域の表面上に設けられた、前記半導体領域よりも不純物濃度の低い第2導電型のベース領域と、前記半導体層の表面上に前記ベース領域に接して設けられた、前記半導体基板よりも不純物濃度の低い第1導電型の炭化珪素でできたウェル領域と、前記ベース領域の表面領域に前記ウェル領域から離れて設け

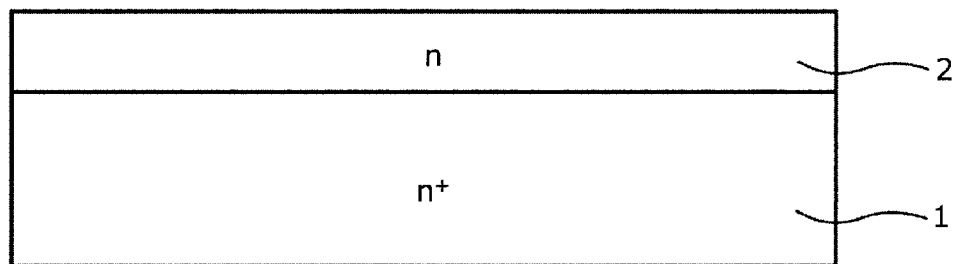
られた、前記ウェル領域よりも不純物濃度の高い第1導電型のソース領域と、前記ベース領域の表面上に前記ソース領域に接して設けられた、前記ベース領域よりも不純物濃度の高い第2導電型のコンタクト領域と、前記ソース領域及び前記コンタクト領域に接するソース電極と、前記ベース領域の、前記ウェル領域と前記ソース領域とに挟まれた領域の表面上に設けられたゲート絶縁膜と、前記ゲート絶縁膜の表面上に設けられたゲート電極と、前記ゲート電極の表面上に設けられた層間絶縁膜と、前記半導体基板の第2主面上に設けられたドレイン電極と、を備えた半導体装置の製造方法において、

前記層間絶縁膜を複数の層で形成し、かつ前記複数の層のうちの少なくとも1層を窒化珪素膜で形成したことを特徴とする半導体装置の製造方法。

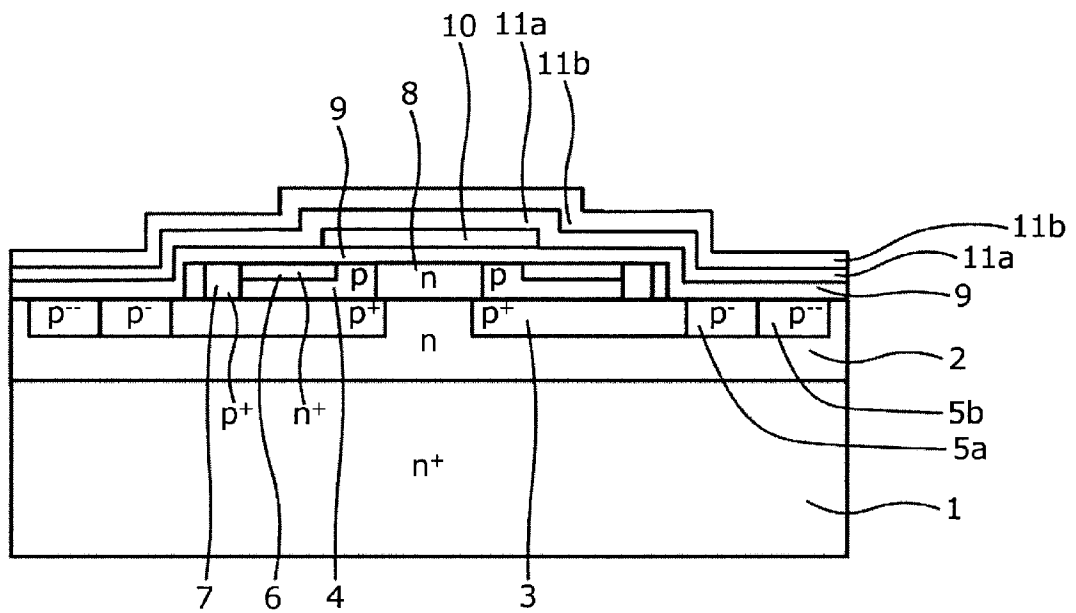
[図1]



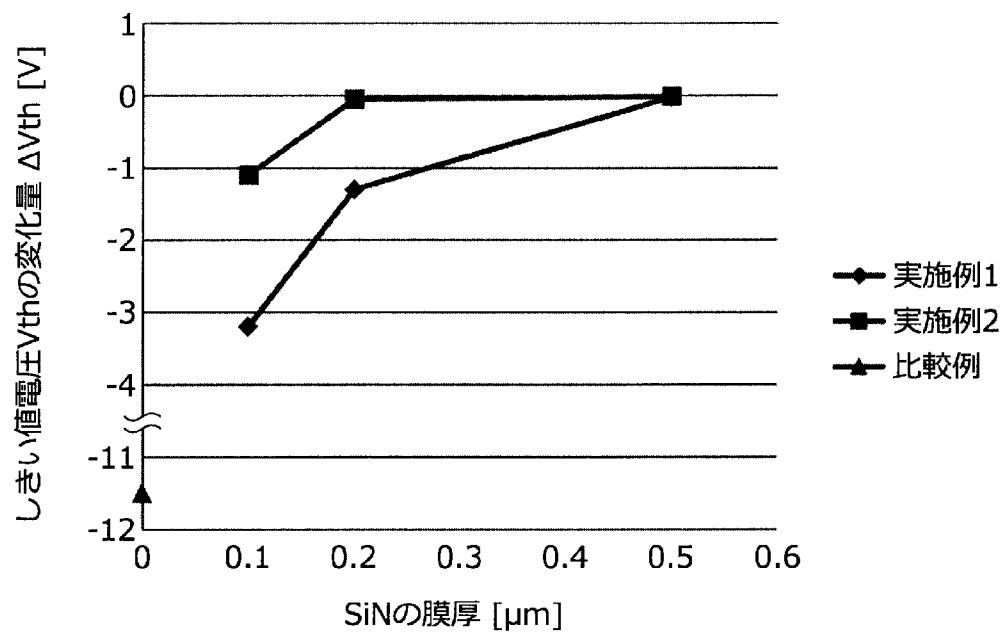
[図2]



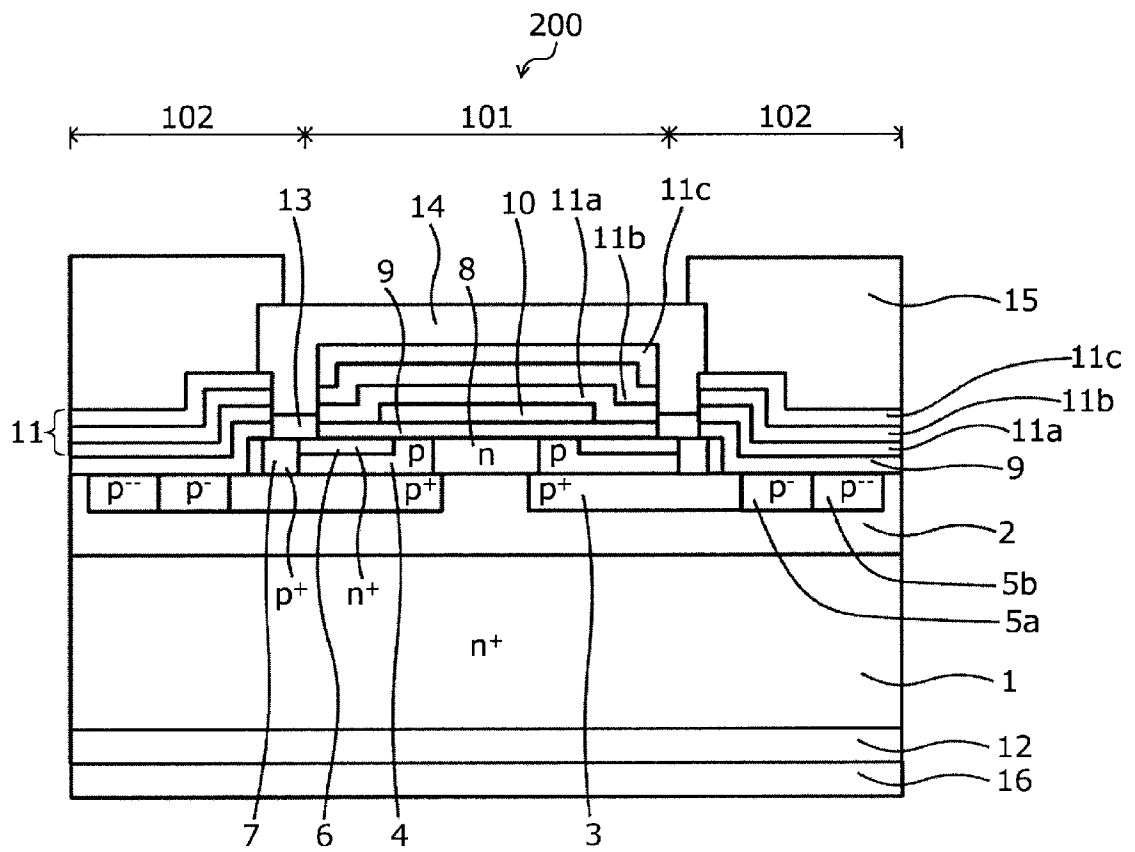
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/070336

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/28(2006.01)i, H01L29/12(2006.01)i,
H01L29/417(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i,
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/28, H01L29/12, H01L29/417, H01L29/423, H01L29/49,
H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2004/036655 A1 (National Institute of Advanced Industrial Science and Technology, Sanyo Electric Co., Ltd.), 29 April 2004 (29.04.2004), column 19, line 28 to column 22, line 22; fig. 4 to 6 & US 2006/0057796 A1 & EP 1566843 A1	1-3, 6, 8-11 4, 5, 7
Y A	JP 2008-98593 A (Ricoh Co., Ltd., Shindengen Electric Mfg. Co., Ltd.), 24 April 2008 (24.04.2008), paragraphs [0023], [0042], [0052]; fig. 1, 9 to 10 & US 2009/0114982 A1	1-3, 6, 8-11 4, 5, 7

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 September 2015 (03.09.15)

Date of mailing of the international search report
15 September 2015 (15.09.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/070336

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2000-12856 A (Sony Corp.), 14 January 2000 (14.01.2000), paragraphs [0029] to [0030]; fig. 4 & US 2001/0012653 A1 & TW 465109 B	1-3, 6, 8-11 4, 5, 7
A	JP 2002-184987 A (NEC Kansai, Ltd.), 28 June 2002 (28.06.2002), paragraphs [0010] to [0015]; fig. 1 (Family: none)	1-11

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/336(2006.01)i, H01L21/28(2006.01)i, H01L29/12(2006.01)i, H01L29/417(2006.01)i,
H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L21/28, H01L29/12, H01L29/417, H01L29/423, H01L29/49, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2004/036655 A1（独立行政法人産業技術総合研究所、三洋電機株式会社）2004.04.29, 第19欄第28行目－第22欄第22行目, 第4-6図 & US 2006/0057796 A1 & EP 1566843 A1	1-3, 6, 8-11 4, 5, 7
Y A	JP 2008-98593 A（株式会社リコー、新電元工業株式会社） 2008.04.24, 段落[0023], [0042], [0052], 図1, 図9-図10 & US 2009/0114982 A1	1-3, 6, 8-11 4, 5, 7

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 3 . 0 9 . 2 0 1 5

国際調査報告の発送日

1 5 . 0 9 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也

5 F

5 8 9 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2000-12856 A (ソニー株式会社) 2000. 01. 14, 段落[0029]-[0030], 図 4 & US 2001/0012653 A1 & TW 465109 B	1-3, 6, 8-11 4, 5, 7
A	JP 2002-184987 A (関西日本電気株式会社) 2002. 06. 28, 段落[0010]-[0015], 図 1 (ファミリーなし)	1-11