

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007 年 9 月 27 日 (27.09.2007)

PCT

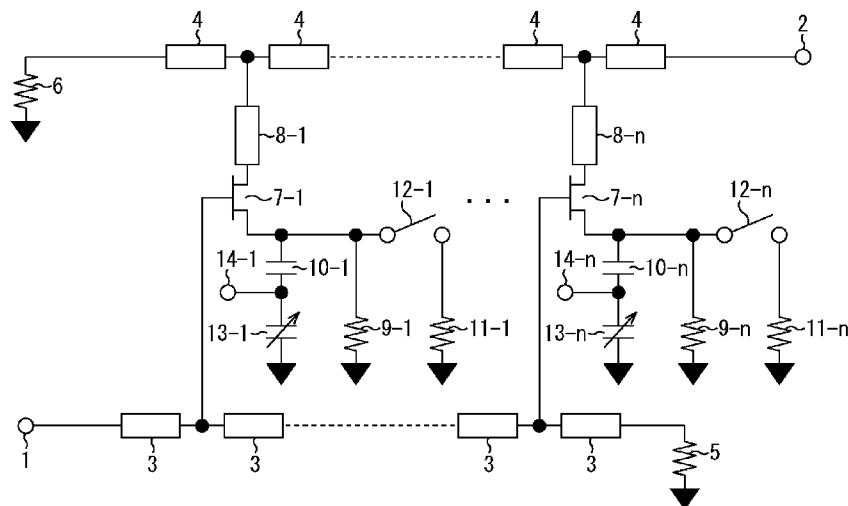
(10) 国際公開番号
WO 2007/108103 A1

- (51) 国際特許分類:
H03F 3/60 (2006.01) H03B 5/12 (2006.01)
H03F 1/56 (2006.01)
- (21) 国際出願番号: PCT/JP2006/305595
- (22) 国際出願日: 2006 年 3 月 20 日 (20.03.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 重松 寿生
- (56) 参考文献:
(SHIGEMATSU, Hisao) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 國分 孝悦 (KOKUBUN, Takayoshi); 〒1700013 東京都豊島区東池袋 1 丁目 1 7 番 8 号 池袋 T G ホームビル 5 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

/ 続葉有 /

(54) Title: ANALOG CIRCUIT

(54) 発明の名称: アナログ回路



(57) Abstract: A resistor body (9-1) and a resistor body (11-1) are connected in parallel to each other between the source and the ground of an input transistor (7-1). A switch (12-1) is provided between the resistor body (11-1) and the source. The resistor body (9-1), the resistor body (11-1), and the switch (12-1) constitute a variable resistance circuit. A capacitor (10-1) and a variable-capacitance capacitor (13-1) are connected in series to each other between the source and the ground. A control terminal (14-1) to which a voltage is applied when controlling the capacitance of the variable-capacitance capacitor (13-1) is provided between the capacitor (10-1) and the variable-capacitance capacitor (13-1). The capacitor (10-1) and the variable-capacitance capacitor (13-1) constitute a variable capacitance circuit. The variable resistance circuit and the variable capacitance circuit constitute an input capacitance changing circuit.

(57) 要約: 入力トランジスタ (7-1) のソースと接地との間には、抵抗体 (9-1) と抵抗体 (11-1) とが互いに並列に接続されている。抵抗体 (11-1) とソースとの間には、スイッチ (12-1) が設けられている。抵抗体 (9-1)、抵抗体 (11-1) 及びスイッチ (12-1) から可変抵抗回路が構成されている。更に、ソースと接地との間に、キャパシタ (10-1) と可変容量

/ 続葉有 /



WO 2007/108103 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

コンデンサ（13-1）とが互いに直列に接続されている。キャパシタ（10-1）と可変容量コンデンサ（13-1）との間には、可変容量コンデンサ（13-1）の容量を制御する際に電圧が印加される制御端子（14-1）が設けられている。キャパシタ（10-1）及び可変容量コンデンサ（13-1）から可変容量回路が構成されている。そして、可変抵抗回路及び可変容量回路から入力容量変更回路が構成されている。

明 細 書

アナログ回路

技術分野

[0001] 本発明は、トランジスタを備えたアナログ回路に関する。

背景技術

[0002] 近年、インターネットの急速な普及により高速(例えば40Gb/s)で大容量のデータを送受信できる通信システムの需要が高まっている。また、このような通信システムに用いられる増幅器として、40GHz以上の帯域を持つ高利得・広帯域増幅器が求められている。このような増幅器は、送信部フロントエンドに配置されるLN(LiNbO₃)変調器を駆動するドライバ回路、並びに受信部フロントエンドに配置されるプリアンプ及び等価増幅部等に用いられる。

[0003] また、このような用途に好適な増幅器として分布型増幅器が挙げられる。分布型増幅器には、バイポーラ接合トランジスタ(BJT)及び電界効果トランジスタ(FET)等の入力トランジスタが含まれており、入力トランジスタの入力容量及び配線のインダクタンスから構成されるラダーフィルタによって帯域が決定される。このため、広帯域化に適した増幅回路として古くから用いられている。そして、分布型増幅器は、トランジスタの持つ性能を引き出せる増幅器として知られている。

[0004] 図11は、従来の分布型増幅器の構成を示す回路図である。従来の分布型増幅器には、入力端子101と出力端子102との間にn個のユニットセルが設けられている。入力端子101に接続された入力伝送線路の他端には、終端器を構成する抵抗105が接続され、出力端子102に接続された出力伝送線路の他端には、他の終端器を構成する抵抗106が接続されている。そして、入力伝送線路と出力伝送線路との間に、ユニットセル毎に入力トランジスタ107-1～107-nが接続されている。入力トランジスタ107-1～107-nのゲートが入力伝送線路に接続され、ドレインが出力伝送線路に接続され、ソースが接地されている。また、入力伝送線路には、ユニットセル毎に2個のインダクタ103が存在し、出力伝送線路には、ユニットセル毎に2個のインダクタ104が存在している。

[0005] このように構成された分布型増幅器のカットオフ周波数は、 $1/\pi\sqrt{LC_{in}}$ で表される。ここで、Lは各インダクタ103及び104のインダクタンスの2倍の値であり、 C_{in} は各入力トランジスタの入力容量である。

[0006] しかしながら、この従来の分布型増幅器では、入力容量 C_{in} が大きくなると入力伝送線路を構成するインダクタ104と入力トランジスタ107-1～107-nの入力容量とから構成される擬似伝送線路の損失が増大し、図12に示すように、周波数特性が右肩下がりになるという問題がある。即ち、ゲインスロープが出現してしまう。光通信においては、入力信号に様々な周波数成分が含まれているため、このような右肩下がりの周波数特性(ゲインスロープ)は出力波形の劣化を招く。

[0007] ここで、図13A及び図13Bを参照しながら、ゲインスロープが出現する原因について説明する。図13Aは、各入力トランジスタの入力伝送線路側の等価回路図であり、図13Bは、各入力トランジスタの出力伝送線路側の等価回路図である。

[0008] 入力伝送線路側(ゲート側)では、入力信号の減衰定数 α_g は、次式(数1)で表される。ここで、 ω は入力信号の周波数であり、 R_g は入力トランジスタのゲート抵抗であり、 Z_0 は $\sqrt{L/C}$ であり、Cは各ユニットセル内の2個のインダクタ103に付随するキャパシタンスである。

[0009] [数1]

$$\alpha_g = \omega^2 C_{in}^2 R_g Z_0 / 2$$

[0010] 従って、減衰定数 α_g は周波数に依存する。

[0011] 一方、出力伝送線路側(ドレイン側)では、出力信号の減衰定数 α_d は、次式(数2)で表される。ここで、 R_{ds} は入力トランジスタのソースドレイン間の抵抗である。

[0012] [数2]

$$\alpha_d = R_{ds} Z_0 / 2$$

[0013] 従って、減衰定数 α_d は周波数に依存しない。

[0014] これらのことから、ゲインスロープの原因は入力伝送線路にあるといえる。従って、減衰定数 a_g を低減することがゲインスロープの抑制に有効である。

[0015] 従来、減衰定数 a_g を低減することが可能な回路として、図14に示すようなCapacitive Source Degeneration回路が用いられている。このCapacitive Source Degeneration回路では、各入力トランジスタ107-1～107-nのソースと接地との間に抵抗体109-1～109-n及びキャパシタ110-1～110-nが並列に接続されている。

[0016] 図15は、Capacitive Source Degeneration回路の原理を示す図である。Capacitive Source Degeneration回路では、入力トランジスタのソース電圧は、次式(数3)で表される。ここで、 V_{gs} はゲート-ソース間の電圧であり、 g_m は相互コンダクタンスであり、 R_s は抵抗体109-1～109-nの抵抗値であり、 C_s はキャパシタ110-1～110-nのキャパシタンスである。

[0017] [数3]

$$V_s = V_{gs} (g_m R_s - j\omega(C_s R_s g_m - C_{in}) R_s)$$

[0018] そして、「 $C_s R_s g_m - C_{in} = 0$ 」とできれば、入力アドミタンス Y_{11} は次式(数4)で表される。

[0019] [数4]

$$Y_{11} = \omega^2 C_{in}^2 R_g / (1 + g_m R_s)^2 + j\omega C_{in} / (1 + g_m R_s)$$

[0020] 一方、図10に示す従来の回路における入力アドミタンス Y_{11}' は次式(数5)で表される。

[0021] [数5]

$$Y_{11}' = \omega^2 C_{in}^2 R_g + j\omega C_{in}$$

[0022] 数4及び数5は、Capacitive Source Degeneration回路が用いられた場合には、用いられていない場合と比較して、入力容量 C_{in} を $1 + g_m R_s$ 倍まで低減できることを示している。

[0023] しかしながら、Capacitive Source Degeneration回路を用いた場合には、分布型増幅器自体の特性にばらつきが生じて、歩留りが低下するという問題点がある。

[0024] 特許文献1:特開平5-251962号公報

特許文献2:特開平7-176986号公報

特許文献3:特許第2709509号公報

発明の開示

[0025] 本発明は、高い歩留りを得ながらゲートスロープを抑制することができるアナログ回路を提供することを目的とする。

[0026] 従来のCapacitive Source Degeneration回路を用いた回路では、「 $C_{s1} R_{gs1} - C_{in} = 0$ 」、即ち「 $C_{s1} R_{gs1} = C_{in} / g_{m1}$ 」が成り立つ場合に、入力容量 C_{in} が $1 + g_{m1} R_{gs1}$ 倍まで低減される。しかしながら、 C_{in} 及び g_{m1} はトランジスタそのものの特性であるため、トランジスタを製造する環境等の影響を受けやすく、ばらつきやすい。そこで、本願発明では、 C_{in} 及び g_{m1} のばらつきを抑制することが可能な構成を採用する。

[0027] 本発明に係る第1のアナログ回路には、入力トランジスタと、前記入力トランジスタの入力容量を変更する入力容量変更回路と、が設けられている。そして、この回路は分布型増幅器として機能する。

[0028] 本発明に係る第2のアナログ回路には、発振トランジスタと、前記発振トランジスタに対する負性抵抗を変更する負性抵抗変更回路と、が設けられている。

図面の簡単な説明

[0029] [図1]図1は、本発明の第1の実施形態に係る分布型増幅器を示す回路図である。

[図2]図2は、図1に示す回路をより具体化して示す回路図である。

[図3A]図3Aは、第1のシミュレーションにおける周波数と利得との関係を示すグラフである。

[図3B]図3Bは、第1のシミュレーションにおける周波数と入力反射特性との関係を示すグラフである。

[図4A]図4Aは、第2のシミュレーションにおける周波数と利得との関係を示すグラフである。

[図4B]図4Bは、第2のシミュレーションにおける周波数と入力反射特性との関係を示すグラフである。

[図5]図5は、本発明の第2の実施形態に係る分布型増幅器を示す回路図である。

[図6A]図6Aは、第3のシミュレーションにおける周波数と負性抵抗量及び位相との関係を示すグラフである。

[図6B]図6Bは、第4のシミュレーションにおける周波数と負性抵抗量及び位相との関係を示すグラフである。

[図7]図7は、本発明の第3の実施形態に係る狭帯域増幅器を示す回路図である。

[図8A]図8Aは、第5のシミュレーションにおける周波数と利得との関係を示すグラフである。

[図8B]図8Bは、第5のシミュレーションにおける周波数と入力反射特性との関係を示すグラフである。

[図8C]図8Cは、第5のシミュレーションにおける周波数と出力反射特性との関係を示すグラフである。

[図9A]図9Aは、第6のシミュレーションにおける周波数と利得との関係を示すグラフである。

[図9B]図9Bは、第6のシミュレーションにおける周波数と入力反射特性との関係を示すグラフである。

[図9C]図9Cは、第6のシミュレーションにおける周波数と出力反射特性との関係を示すグラフである。

[図10]図10は、本発明の第4の実施形態に係る分布型増幅器を示す回路図である。

[図11]図11は、従来の分布型増幅器の構成を示す回路図である。

[図12]図12は、従来の分布型増幅器の周波数特性を示すグラフである。

[図13A]図13Aは、各入力トランジスタの入力伝送線路側の等価回路図である。

[図13B]図13Bは、各入力トランジスタの出力伝送線路側の等価回路図である。

[図14]図14は、Capacitive Source Degeneration回路を示す回路図である。

[図15]図15は、Capacitive Source Degeneration回路の原理を示す図である。

発明を実施するための最良の形態

[0030] 以下、本発明の実施形態について添付の図面を参照して具体的に説明する。

[0031] (第1の実施形態)

先ず、本発明の第1の実施形態について説明する。図1は、本発明の第1の実施形態に係る分布型増幅器を示す回路図である。

[0032] 第1の実施形態に係る分布型増幅器には、入力端子1と出力端子2との間に n 個のユニットセルが設けられている。入力端子1に接続された入力伝送線路の他端には、終端器を構成する抵抗体5が接続され、出力端子2に接続された出力伝送線路の他端には、他の終端器を構成する抵抗体6が接続されている。そして、入力伝送線路と出力伝送線路との間に、ユニットセル毎に入力トランジスタ7-1～7- n が接続されている。入力トランジスタ7-1～7- n のゲートが入力伝送線路に接続され、ドレインが出力伝送線路に接続されている。なお、ドレインと出力伝送線路との間には、インダクタ8-1～8- n が存在している。また、入力伝送線路には、ユニットセル毎に2個のインダクタ3が存在し、出力伝送線路には、ユニットセル毎に2個のインダクタ4が存在している。

[0033] また、入力トランジスタ7-1～7- n のソースと接地との間には、抵抗体9-1～9- n と抵抗体11-1～11- n とが互いに並列に接続されている。なお、抵抗体11-1～11- n とソースとの間には、スイッチ12-1～12- n が設けられている。抵抗体9-1～9- n 、抵抗体11-1～11- n 及びスイッチ12-1～12- n から可変抵抗回路が構成されている。更に、ソースと接地との間に、キャパシタ10-1～10- n と可変容量コンデンサ13-1～13- n とが互いに直列に接続されている。キャパシタ10-1～10- n と可変容量コンデンサ13-1～13- n との間には、可変容量コンデンサ13-1～13- n の容量を制御する際に電圧が印加される制御端子14-1～14- n が設けられている。制御端子14-1～14- n に印加される電圧は、予め設定された複数種類のうちから選択することが可能である。キャパシタ10-1～10- n 及び可変容量コンデンサ13-1～13- n から可変容量回路が構成されている。そして、本実施形態では、可変抵抗回路及び可変容量回路から入力容量変更回路が構成されている。

。

[0034] このような構成の分布型増幅器では、例えば、製造後に、スイッチ12-1～12-nをオフとし、制御端子14-1～14-nにある一定の電圧を印加した上で周波数特性を測定する。この結果、ゲインスロープが発生している場合には、上記の式「 $C_s R_s = C_{in} / g_m$ 」が成り立つように、スイッチ12-1～12-nの全部又は一部をオンにし、また、制御端子14-1～14-nに印加する電圧の値の全部又は一部を他の値に切り替える。つまり、製造環境等により、 C_{in} 及び g_m が設計値から変動している場合には、それを補償するように C_s 及び R_s の値を変化させるのである。従って、例えば C_{in} 及び g_m が変動していても、上記の式「 $C_s R_s = C_{in} / g_m$ 」が成り立つ状態を得ることができる。このため、特性のばらつきに伴う歩留りの低下を抑えながら、入力容量を低減してゲートスロープを抑制することが可能となる。

[0035] ここで、本願発明者が行った2種類のシミュレーションについて説明する。第1のシミュレーションでは、図2に示すように、スイッチ12-1～12-nとして、ゲート電圧 V_{sm} の切り替えによりオン／オフが切り替わるトランジスタ15-1～15-nが用いられることとした。また、可変容量コンデンサ13-1～13-nとして、可変容量ダイオード16-1～16-nが用いられることとした。更に、制御端子14-1～14-nには、-2V又は1Vの電圧 V_{dio} が印加されることとした。また、ユニットセルの段数は、8段とした。

[0036] そして、制御端子14-1～14-nに印加される電圧 V_{dio} を1Vとし、トランジスタ15-1～15-nのオン／オフを切り替えるという条件下でシミュレーションを行った。このシミュレーション結果を図3A及び図3Bに示す。図3Aは、第1のシミュレーションにおける周波数と利得との関係を示すグラフであり、図3Bは、第1のシミュレーションにおける周波数と入力反射特性との関係を示すグラフである。なお、図3A及び図3B中の破線はトランジスタ15-1～15-nがオフの場合の結果を示し、実線はトランジスタ15-1～15-nがオンの場合の結果を示す。

[0037] 図3Aに示すように、トランジスタ15-1～15-nのオン／オフを切り替えることにより、利得の周波数特性が変化した。即ち、このシミュレーションの条件下では、オフの場合よりもオンの場合にゲインスロープが緩和された。

[0038] また、図3Bに示すように、トランジスタ15-1～15-nのオン／オフを切り替えるこ

とにより、入力反射特性も変化した。即ち、このシミュレーションの条件下では、オフの場合よりもオンの場合に入力反射特性が向上した。

[0039] また、第2のシミュレーションでは、第1のシミュレーションと同じ回路(図2)を対象とした。そして、トランジスタ15-1~15-nをオフとし、制御端子14-1~14-nに印加される電圧Vdioを-2V/1Vから選択するという条件下でシミュレーションを行った。このシミュレーション結果を図4A及び図4Bに示す。図4Aは、第2のシミュレーションにおける周波数と利得との関係を示すグラフであり、図4Bは、第2のシミュレーションにおける周波数と入力反射特性との関係を示すグラフである。なお、図4A及び図4B中の破線は電圧Vdioが-2Vの場合の結果を示し、実線は電圧Vdioが1Vの場合の結果を示す。

[0040] 図4Aに示すように、電圧Vdioを切り替えることにより、利得の周波数特性が変化した。即ち、このシミュレーションの条件下では、電圧Vdioが-2Vの場合よりも1Vの場合に利得の平坦性が良好なものとなった。

[0041] 一方、図4Bに示すように、電圧Vdioを切り替えた場合には、入力反射特性はほとんど変化しなかった。

[0042] このように、第1の実施形態によれば、スイッチ(トランジスタ)のオン/オフの切り替え、及び可変容量コンデンサ(可変容量ダイオード)に印加する電圧を切り替えることにより、製造後であっても、式「 $C_s R_s = C_{in} / g_m$ 」が成り立つ状態に制御することができ、周波数特性を調整することができる。

[0043] なお、上述のシミュレーションでは、電圧Vdioを2種類としているが、3種類以上としてもよい。また、スイッチ12-1~12-nの切り替えについては、制御の簡素化という点からは全てを同時に切り替えることが好ましく、より微細な制御を可能とするという点からは個別に切り替えが可能にすることが好ましい。これは、電圧Vdioの切り替えについても同様である。

[0044] (第2の実施形態)

次に、本発明の第2の実施形態について説明する。図5は、本発明の第2の実施形態に係る発振器を示す回路図である。第1の実施形態は、分布型増幅器に関するものであるが、第2の実施形態は、第1の実施形態の入力容量変更回路と同様の回路

を負性抵抗変更回路として発振器に応用したものである。

- [0045] 第2の実施形態に係る発振器では、可変容量ダイオード26及びキャパシタ25が直列に接続され、可変容量ダイオード26のアノードは接地されている。可変容量ダイオード26のカソードには、抵抗体32を介して制御端子21が接続されている。キャパシタ25の他端には、発振トランジスタ27のゲートが接続されている。但し、キャパシタ25とゲートとの間には、インダクタ24が存在する。また、キャパシタ25と接地との間には、インダクタ23が存在する。
- [0046] 発振トランジスタ27のドレインには、キャパシタ38及び抵抗体39が接続されており、抵抗体39の他端に出力端子22が接続されている。また、キャパシタ38の他端は接地されている。なお、ドレインとキャパシタ38及び抵抗体39との間には、インダクタ37が存在する。また、ドレインと電源電圧供給端子33との間には、 $\lambda/4$ 線路からなるインダクタ28が存在する。
- [0047] 発振トランジスタ27のソースと接地との間には、抵抗体29と抵抗体31とが互いに並列に接続されている。なお、抵抗体31とソースとの間には、スイッチとしてトランジスタ35が設けられている。更に、ソースと接地との間に、キャパシタ30と可変容量ダイオード(可変容量コンデンサ)36とが互いに直列に接続されている。キャパシタ30と可変容量ダイオード36との間には、可変容量ダイオード36の容量を制御する際に電圧Vdioが印加される制御端子34が設けられている。制御端子34に印加される電圧は、予め設定された複数種類のうちから選択することが可能である。
- [0048] 本実施形態では、抵抗体29、抵抗体31及びトランジスタ(スイッチ)35から可変抵抗回路が構成され、キャパシタ30及び可変容量ダイオード36から可変容量回路が構成されている。そして、可変抵抗回路及び可変容量回路から負性抵抗変更回路が構成されている。
- [0049] このような構成の発振器では、例えば、製造後に、トランジスタ35をオフとし、制御端子34にある一定の電圧Vdioを印加した上で周波数特性を測定する。この結果、所望の発振周波数が得られていない場合には、トランジスタ35をオンにしたり、制御端子34に印加する電圧Vdioの値を切り替えたりする。この結果、発振トランジスタ27のソースと接地との間の C_s 及び R_s 又は R_s の値が変化し、負性抵抗が変化することと

なる。そして、発振周波数が変化する。

[0050] ここで、本願発明者が行った2種類のシミュレーションについて説明する。これらのシミュレーションでは、制御端子34に、 -2V 又は 1V の電圧 V_{dio} が印加されることとした。

[0051] そして、第3のシミュレーションでは、制御端子34に印加される電圧 V_{dio} を 1V とし、トランジスタ35のオン／オフを切り替えるという条件下でシミュレーションを行った。このシミュレーション結果を図6Aに示す。図6Aは、第3のシミュレーションにおける周波数と負性抵抗量及び位相特性との関係を示すグラフである。なお、図6A中の破線はトランジスタ35がオフの場合の負性抵抗量(左縦軸)を示し、実線はトランジスタ35がオンの場合の負性抵抗量を示し、一点鎖線はトランジスタ35がオフの場合の位相特性(右縦軸)を示し、二点鎖線はトランジスタ35がオンの場合の位相特性を示す。

[0052] 図6Aに示すように、トランジスタ35のオン／オフを切り替えることにより、負性抵抗量に変化した。即ち、このシミュレーションの条件下では、オフの場合よりもオンの場合に負性抵抗量が高くなった。

[0053] また、第4のシミュレーションでは、トランジスタ35をオフとし、制御端子34に印加される電圧 V_{dio} を -2V ／ 1V から選択するという条件下でシミュレーションを行った。このシミュレーション結果を図6Bに示す。図6Bは、第4のシミュレーションにおける周波数と負性抵抗量及び位相特性との関係を示すグラフである。なお、図6B中の破線は電圧 V_{dio} が -2V の場合の負性抵抗量(左縦軸)を示し、実線は電圧 V_{dio} が 1V の場合の負性抵抗量を示し、一点鎖線は電圧 V_{dio} が -2V の場合の位相特性(右縦軸)を示し、二点鎖線は電圧 V_{dio} が 1V の場合の位相特性を示す。

[0054] 図6Bに示すように、電圧 V_{dio} を切り替えることにより、負性抵抗量及び発振周波数が変化した。

[0055] このように、第2の実施形態によれば、負性抵抗量を調整することができる。負性抵抗量が高い場合、出力波形が歪むことがあるが、第2の実施形態によれば、このような可能性がある場合に負性抵抗量を下げることが可能である。更に、共振器系と共に発振周波数を調整できることにより、歩留まりを向上させることができる。

[0056] (第3の実施形態)

次に、本発明の第3の実施形態について説明する。図7は、本発明の第3の実施形態に係る狭帯域増幅器を示す回路図である。第1の実施形態は、分布型増幅器に関するものであるが、第3の実施形態は、第1の実施形態の中心的な部分を狭帯域増幅器に応用したものである。

[0057] 第3の実施形態に係る狭帯域増幅器では、入力端子41にキャパシタ45及び入力トランジスタ47のゲートが接続されている。キャパシタ45の他端には、例えば電源電圧が供給される。また、入力端子41とキャパシタ45との間にはインダクタ43が存在し、更に、キャパシタ45とゲートとの間にはインダクタ44が存在する。

[0058] 入力トランジスタ47のドレインには、キャパシタ58及び出力端子42が接続されている。また、キャパシタ58の他端は接地されている。なお、ドレインとキャパシタ58及び出力端子22との間には、インダクタ57が存在する。また、ドレインと電源電圧供給端子53との間には、 $\lambda/4$ 線路からなるインダクタ48が存在する。

[0059] 入力トランジスタ47のソースと接地との間には、抵抗体49と抵抗体51とが互いに並列に接続されている。なお、抵抗体51とソースとの間には、スイッチとしてトランジスタ55が設けられている。更に、ソースと接地との間に、キャパシタ50と可変容量ダイオード(可変容量コンデンサ)56とが互いに直列に接続されている。キャパシタ50と可変容量ダイオード56との間には、可変容量ダイオード56の容量を制御する際に電圧Vdioが印加される制御端子54が設けられている。制御端子54に印加される電圧は、予め設定された複数種類のうちから選択することが可能である。

[0060] 本実施形態では、抵抗体49、抵抗体51及びトランジスタ(スイッチ)55から可変抵抗回路が構成され、キャパシタ50及び可変容量ダイオード56から可変容量回路が構成されている。そして、可変抵抗回路及び可変容量回路から入力容量変更回路が構成されている。

[0061] このような構成の狭帯域増幅器では、例えば、製造後に、トランジスタ55をオフとし、制御端子54にある一定の電圧Vdioを印加した上で周波数特性を測定する。この結果、所望の整合周波数が得られていない場合には、トランジスタ55をオンにしたり、制御端子54に印加する電圧Vdioの値を切り替えたりする。この結果、入力トランジスタ47のソースと接地との間の C_s 及び R_s 又は R_s の値が変化し、整合周波数が変化

する。

[0062] ここで、本願発明者が行った2種類のシミュレーションについて説明する。これらのシミュレーションでは、制御端子54に、 -1V 又は 1V の電圧Vdioが印加されることとした。

[0063] そして、第5のシミュレーションでは、制御端子54に印加される電圧Vdioを 1V とし、トランジスタ55のオン／オフを切り替えるという条件下でシミュレーションを行った。このシミュレーション結果を図8A乃至図8Cに示す。図8Aは、第5のシミュレーションにおける周波数と利得との関係を示すグラフであり、図8Bは、第5のシミュレーションにおける周波数と入力反射特性との関係を示すグラフであり、図8Cは、第5のシミュレーションにおける周波数と出力反射特性との関係を示すグラフである。なお、図8A乃至図8C中の破線はトランジスタ35がオフの場合の各結果を示し、実線はトランジスタ35がオンの場合の各結果を示す。

[0064] 図8Aに示すように、トランジスタ35のオン／オフを切り替えることにより、利得の周波数特性が変化した。また、図8B及び図8Cに示すように、入力反射特性及び出力反射特性に悪影響が出ることもなかった。

[0065] また、第6のシミュレーションでは、トランジスタ55をオフとし、制御端子54に印加される電圧Vdioを -1V ／ 1V から選択するという条件下でシミュレーションを行った。このシミュレーション結果を図9A乃至図9Cに示す。図9Aは、第6のシミュレーションにおける周波数と利得との関係を示すグラフであり、図9Bは、第6のシミュレーションにおける周波数と入力反射特性との関係を示すグラフであり、図9Cは、第6のシミュレーションにおける周波数と出力反射特性との関係を示すグラフである。なお、図9A乃至図9C中の破線は電圧Vdioが -1V の場合の各結果を示し、実線は電圧Vdioが 1V の場合の各結果を示す。

[0066] 図9Aに示すように、電圧Vdioを切り替えることにより、利得の周波数特性が変化した。また、図9B及び図9Cに示すように、入力反射特性及び出力反射特性に悪影響が出ることもなかった。

[0067] このように、第3の実施形態によれば、利得の制御及び整合周波数の調整が可能である。整合周波数は、トランジスタの製造環境等によりばらつきやすいので、本実

施形態はこのような場合に特に有用である。

[0068] (第4の実施形態)

次に、本発明の第4の実施形態について説明する。図10は、本発明の第4の実施形態に係る分布型増幅器を示す回路図である。

[0069] 図10に示すように、第4の実施形態では、入力トランジスタ7-1~7-nのソースに、抵抗体9-1~9-nが接続されておらず、チョークコイル又は $1/4\lambda$ 線路からなるインダクタ17-1~17-nが接続されている。

[0070] このような第4の実施形態においても、第1の実施形態と同様に、トランジスタ15-1~15-nのオン/オフを切り替えることにより、製造上のばらつきを抑制することができる。

[0071] なお、第1乃至第4の実施形態では、トランジスタとして電界効果トランジスタが用いられているが、その代わりにバイポーラ接合トランジスタが用いられてもよい。

[0072] また、入力容量変更回路及び負性抵抗変更回路には、可変抵抗回路及び可変容量回路の双方が設けられている必要はなく、いずれか一方のみが設けられていても、本願発明の目的は達成し得る。

[0073] また、入力容量変更回路及び負性抵抗変更回路に設けられるスイッチ、抵抗素子及び可変容量素子等の数も限定されない。より多数のものを用いることにより、回路構成及び制御等が複雑になる可能性はあるものの、より微小な制御及び調整等を行うことが可能となる。

[0074] なお、分布型増幅器の構造は、図1等 to 示すものに限定されるものではなく、例えば差動型の増幅器、複数の入力トランジスタがカスケード接続された増幅器等に応用することも可能である。

[0075] また、これらの回路を構成する半導体材料は特に限定されず、例えばGaAs系化合物半導体、InP系化合物半導体、GaN系化合物半導体、Si系半導体等を用いることができる。

産業上の利用可能性

[0076] 本発明によれば、入力容量変更回路により、入力トランジスタの入力容量を調整することが可能であるため、製造後にゲインスロープ等の不具合が発生している場合で

あっても、その後に矯正することが可能である。また、発振器の発明では、負性抵抗を調整することにより、発振周波数を調整することができる。

請求の範囲

- [1] 入力トランジスタと、
前記入力トランジスタの入力容量を変更する入力容量変更回路と、
を有し、
分布型増幅器として機能することを特徴とするアナログ回路。
- [2] 前記入力トランジスタ及び入力容量変更回路が複数設けられており、
1個の前記入力容量変更回路が1個の前記入力トランジスタに対して設けられてい
ることを特徴とする請求項1に記載のアナログ回路。
- [3] 入力トランジスタと、
前記入力トランジスタの入力容量を変更する入力容量変更回路と、
を有し、
前記入力容量変更回路は、前記入力トランジスタのソースに接続された可変抵抗
回路又は前記入力トランジスタのソースに接続された可変容量回路の少なくとも一方
を有することを特徴とするアナログ回路。
- [4] 前記入力容量変更回路は、前記入力トランジスタのソースに接続された可変抵抗
回路を有することを特徴とする請求項1に記載のアナログ回路。
- [5] 前記可変抵抗回路は、
前記ソースに接続された第1の抵抗素子と、
前記ソースにスイッチを介して接続された第2の抵抗素子と、
を有することを特徴とする請求項4に記載のアナログ回路。
- [6] 前記入力容量変更回路は、前記入力トランジスタのソースに接続された可変容量
回路を有することを特徴とする請求項1に記載のアナログ回路。
- [7] 前記可変容量回路は、
前記ソースに接続された容量素子と、
前記容量素子に接続された可変容量素子と、
を有することを特徴とする請求項6に記載のアナログ回路。
- [8] 前記入力容量変更回路は、前記入力トランジスタのソースに接続された可変容量
回路を有することを特徴とする請求項4に記載のアナログ回路。

- [9] 前記可変容量回路は、
前記ソースに接続された容量素子と、
前記容量素子に接続された可変容量素子と、
を有することを特徴とする請求項8に記載のアナログ回路。
- [10] 前記入力トランジスタ及び入力容量変更回路が複数設けられており、
1個の前記入力容量変更回路が1個の前記入力トランジスタに対して設けられており、
前記入力容量変更回路の各々は、
前記入力トランジスタのソースに接続された第1の抵抗素子と、
前記ソースにスイッチを介して接続された第2の抵抗素子と、
を有することを特徴とする請求項1に記載のアナログ回路。
- [11] 前記入力容量変更回路の各々に設けられたスイッチは、互いに独立して制御されることを特徴とする請求項10に記載のアナログ回路。
- [12] 前記入力容量変更回路の各々に設けられたスイッチは、互いに一括して制御されることを特徴とする請求項10に記載のアナログ回路。
- [13] 前記入力トランジスタ及び入力容量変更回路が複数設けられており、
1個の前記入力容量変更回路が1個の前記入力トランジスタに対して設けられており、
前記入力容量変更回路の各々は、
前記入力トランジスタのソースに接続された容量素子と、
前記容量素子に接続された可変容量素子と、
を有することを特徴とする請求項1に記載のアナログ回路。
- [14] 前記可変容量素子の各々の容量値は、互いに独立して制御されることを特徴とする請求項13に記載のアナログ回路。
- [15] 前記可変容量素子の各々の容量値は、互いに一括して制御されることを特徴とする請求項13に記載のアナログ回路。
- [16] 前記入力トランジスタ及び入力容量変更回路が複数設けられており、
1個の前記入力容量変更回路が1個の前記入力トランジスタに対して設けられてお

り、

前記入力容量変更回路の各々は、

前記入力トランジスタのソースに接続された容量素子と、

前記容量素子に接続された可変容量素子と、

を有することを特徴とする請求項10に記載のアナログ回路。

[17] 発振トランジスタと、

前記発振トランジスタに対する負性抵抗を変更する負性抵抗変更回路と、

を有することを特徴とするアナログ回路。

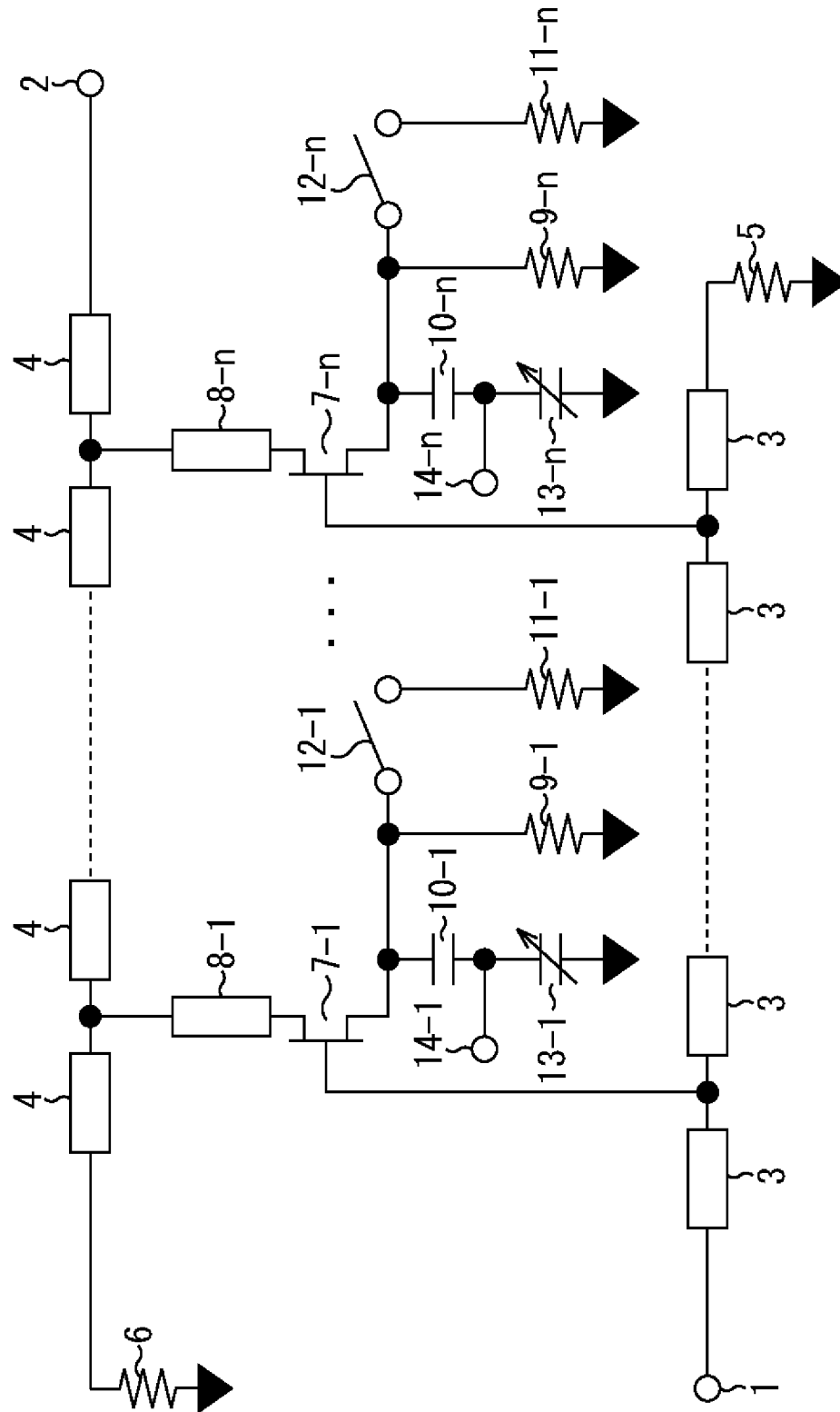
[18] 発振器として機能することを特徴とする請求項17に記載のアナログ回路。

[19] 前記負性抵抗変更回路は、前記発振トランジスタのソースに接続された可変抵抗回路を有することを特徴とする請求項17に記載のアナログ回路。

[20] 前記負性抵抗変更回路は、前記発振トランジスタのソースに接続された可変容量回路を有することを特徴とする請求項17に記載のアナログ回路。

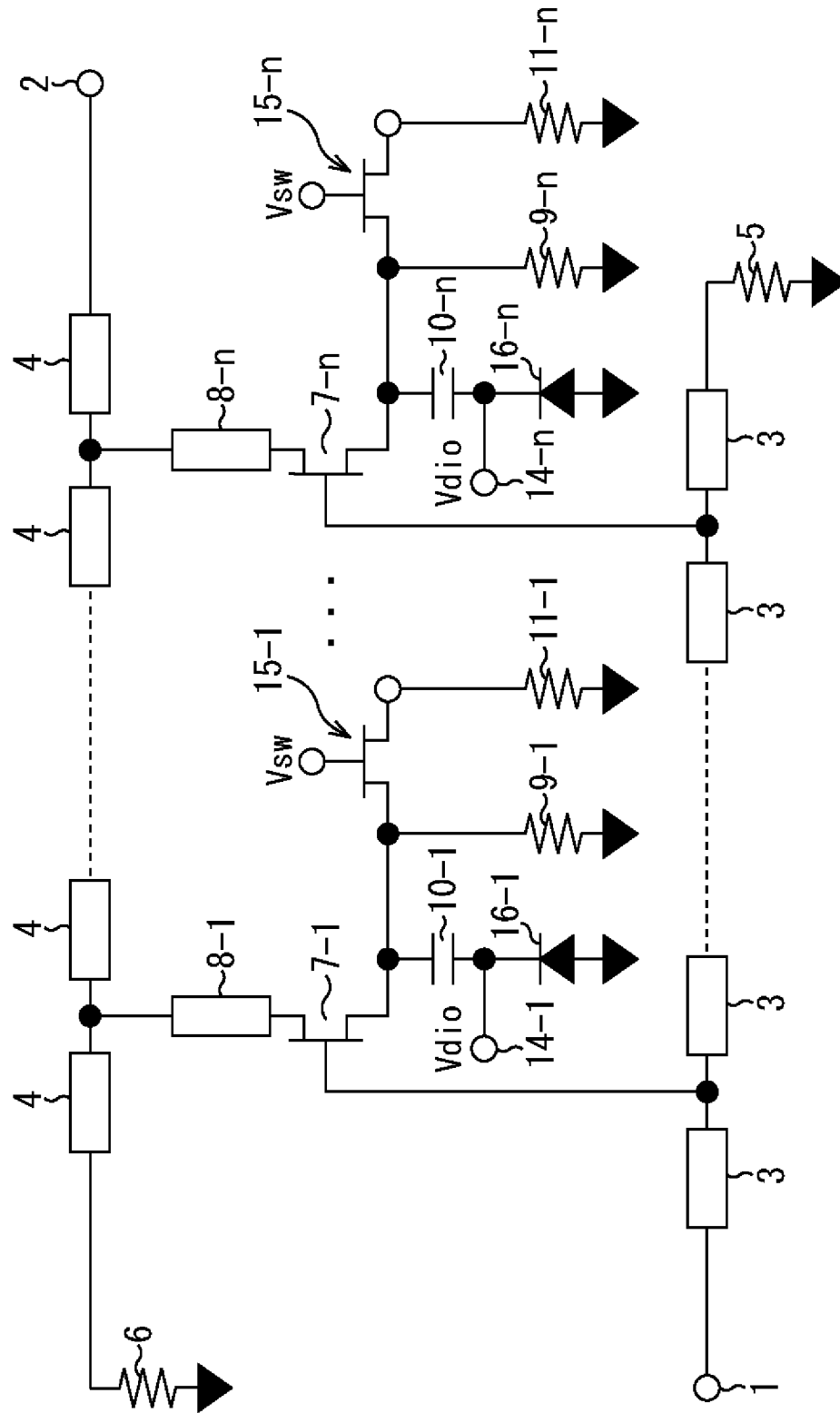
[図1]

図1



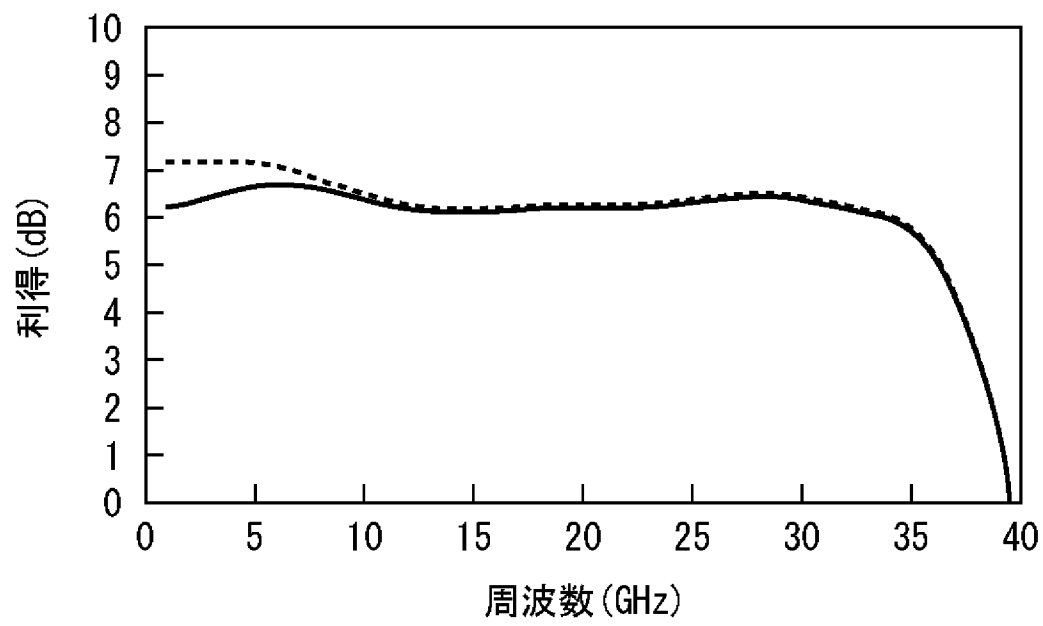
[図2]

図2



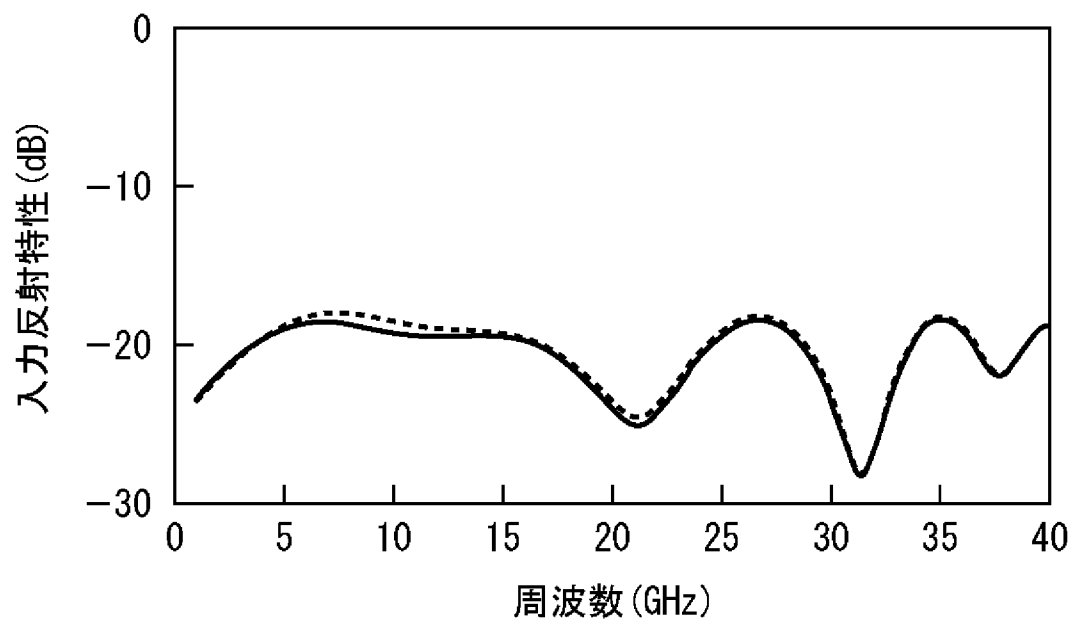
[図3A]

図3A



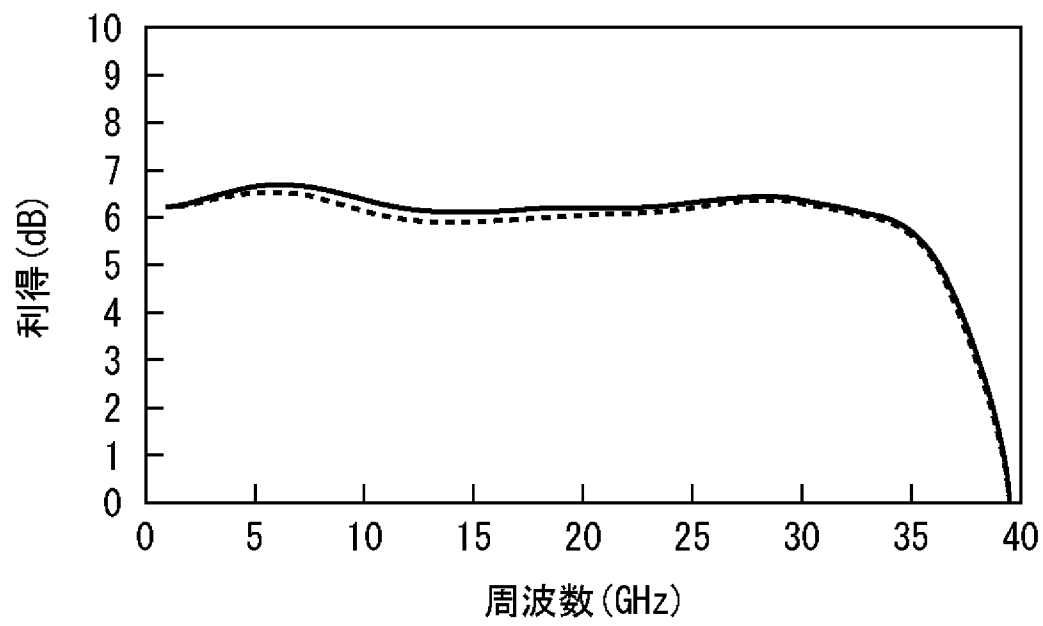
[図3B]

図3B



[図4A]

図4A



[図4B]

図4B

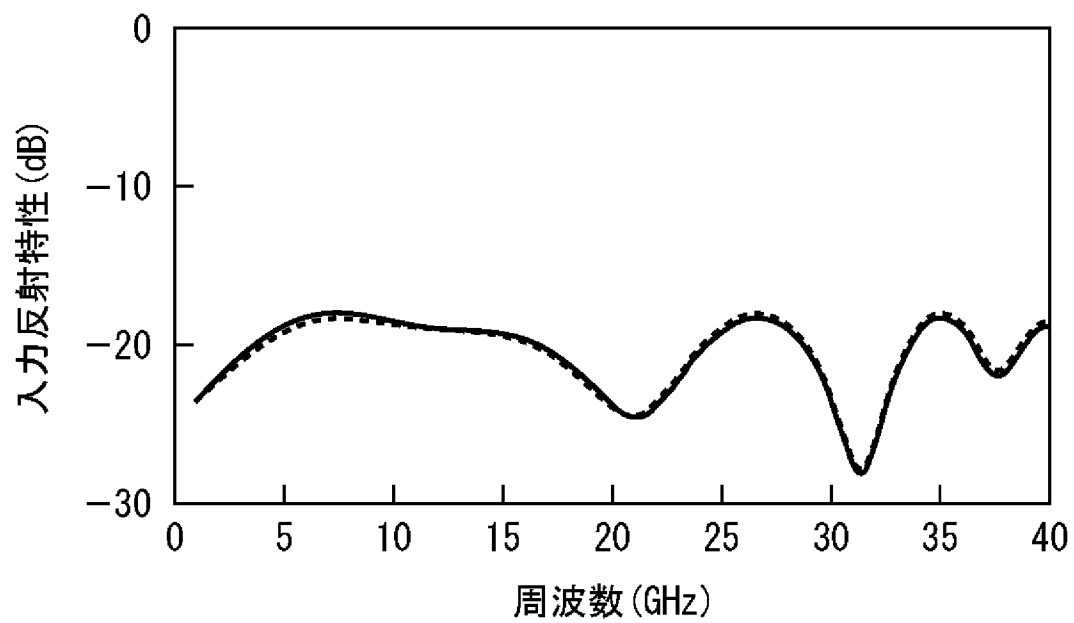


図5

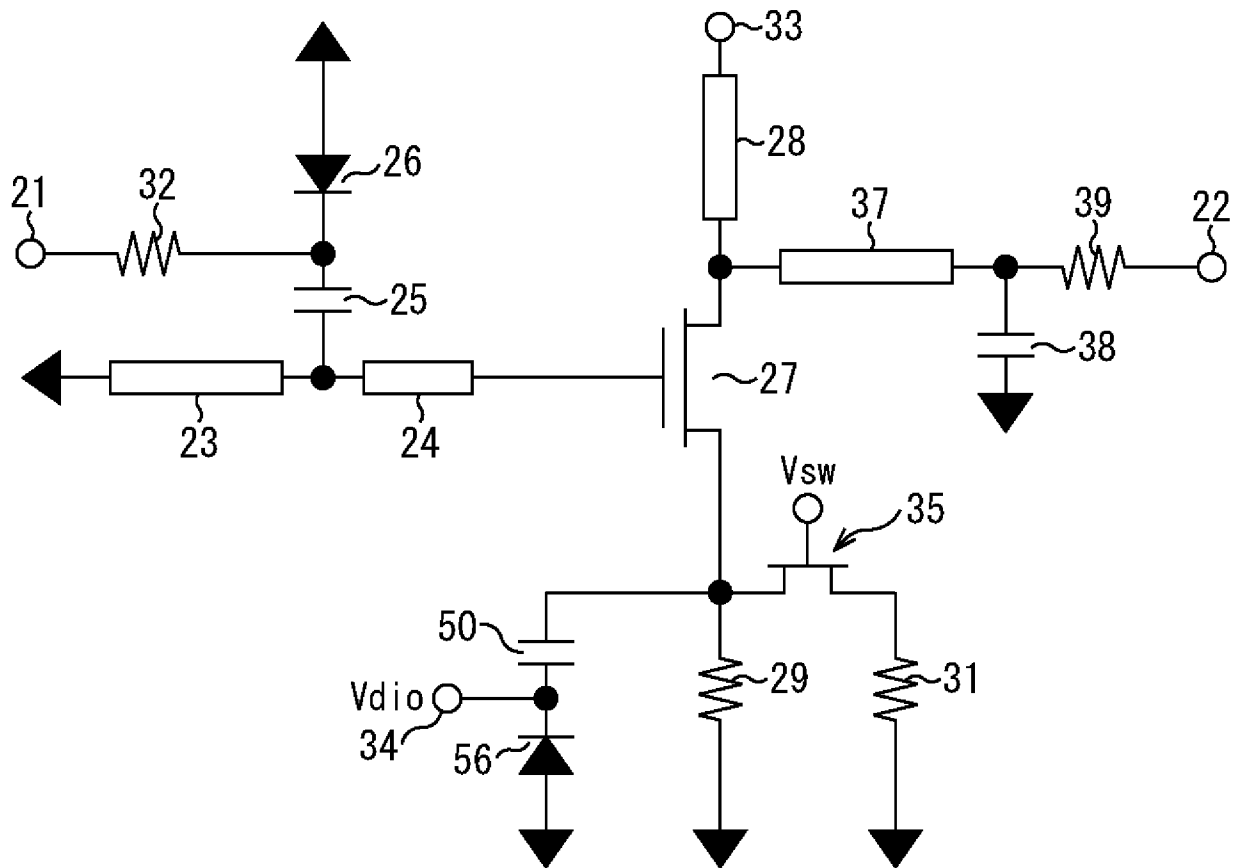
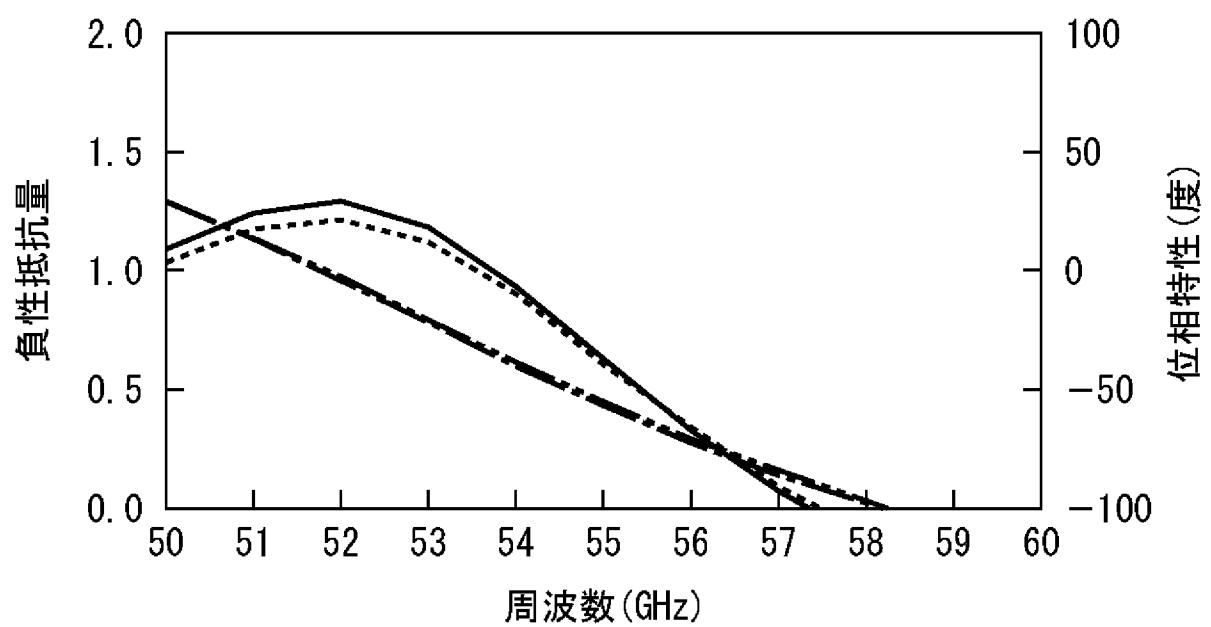
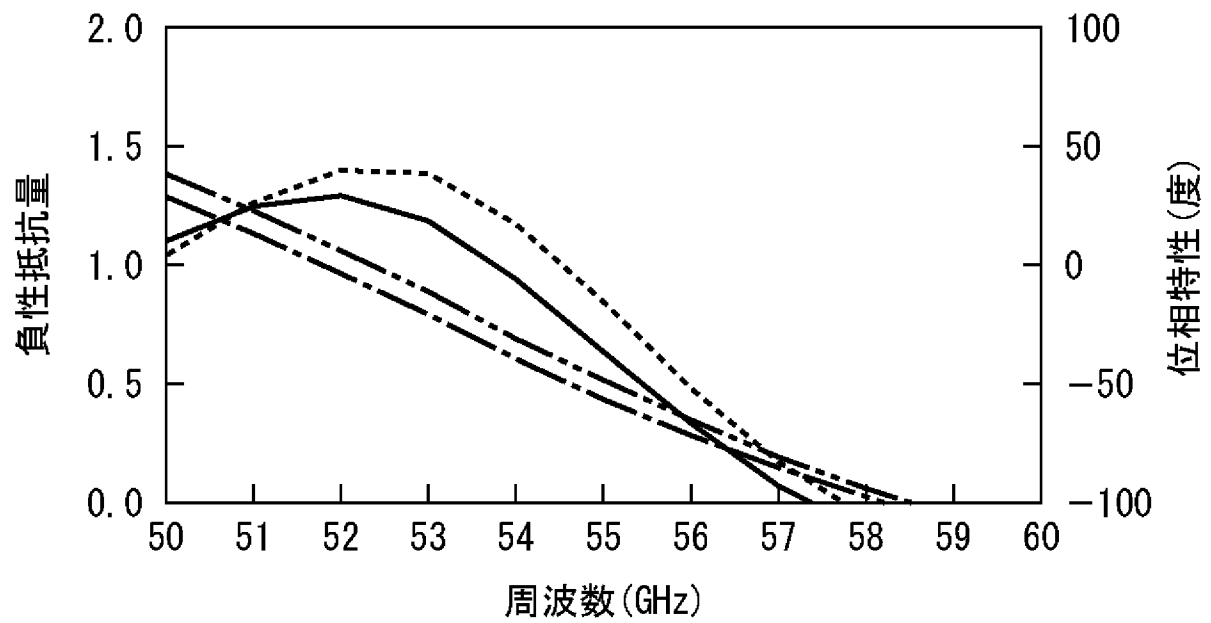


图 6 A



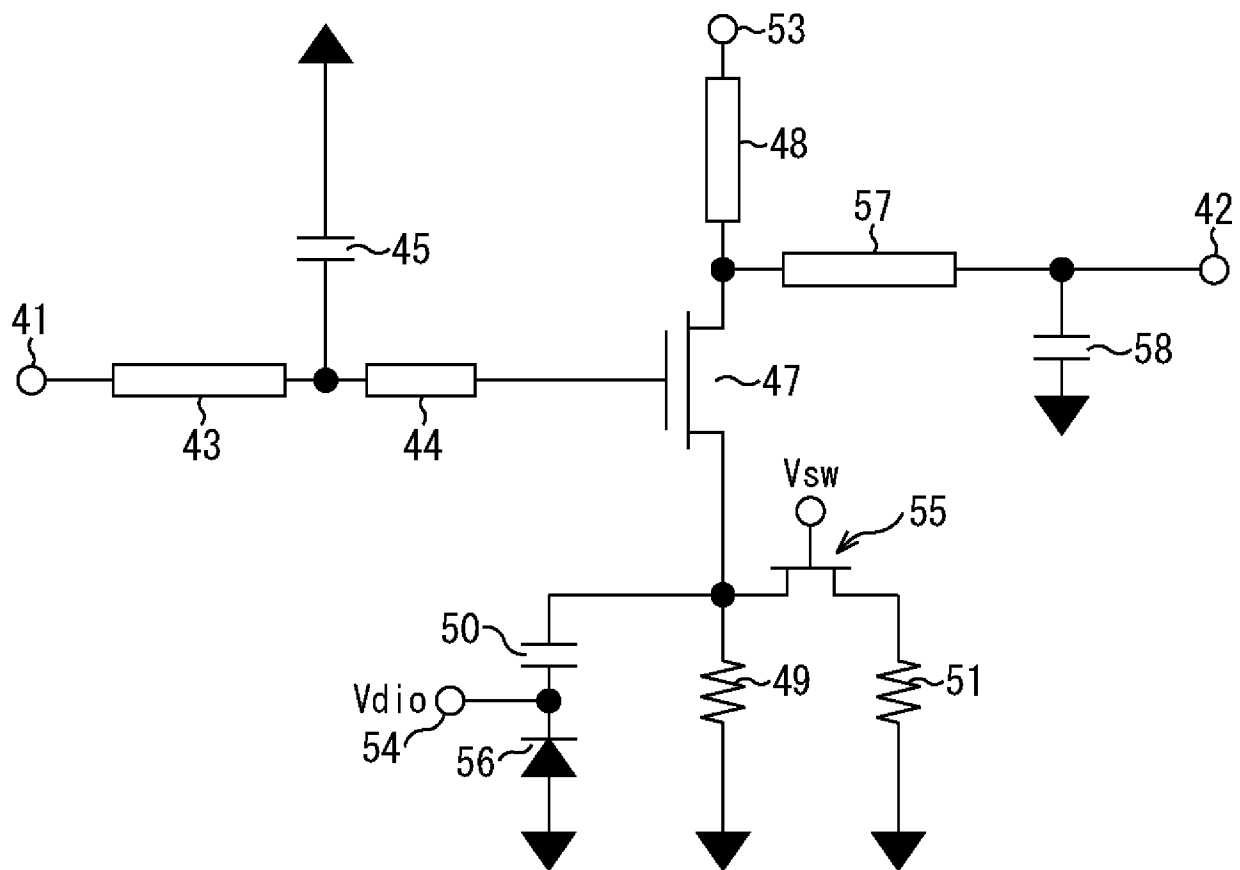
[図6B]

図6B



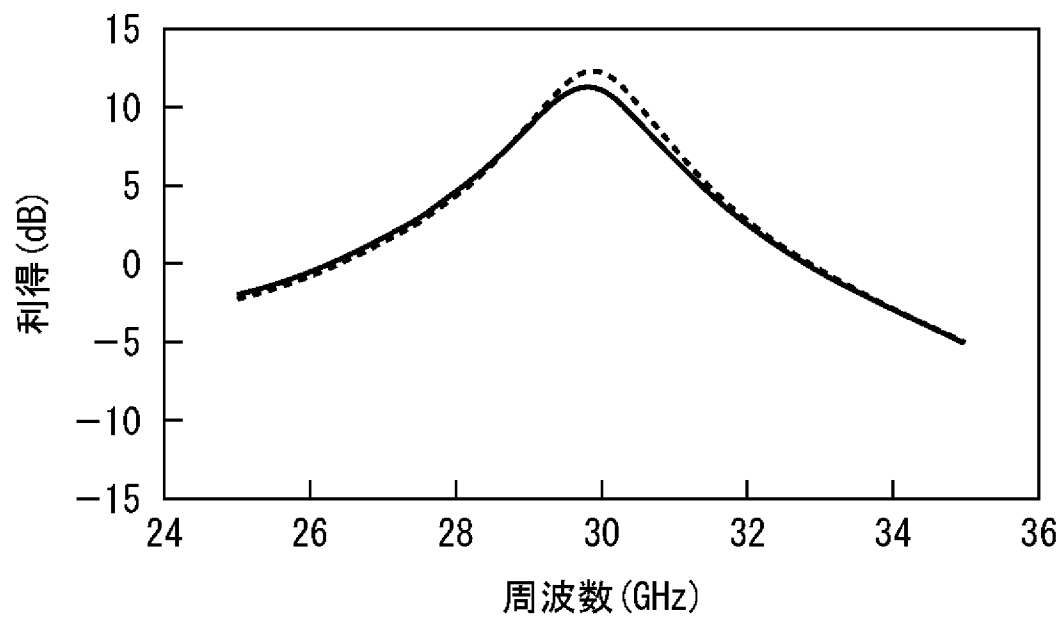
[図7]

図7



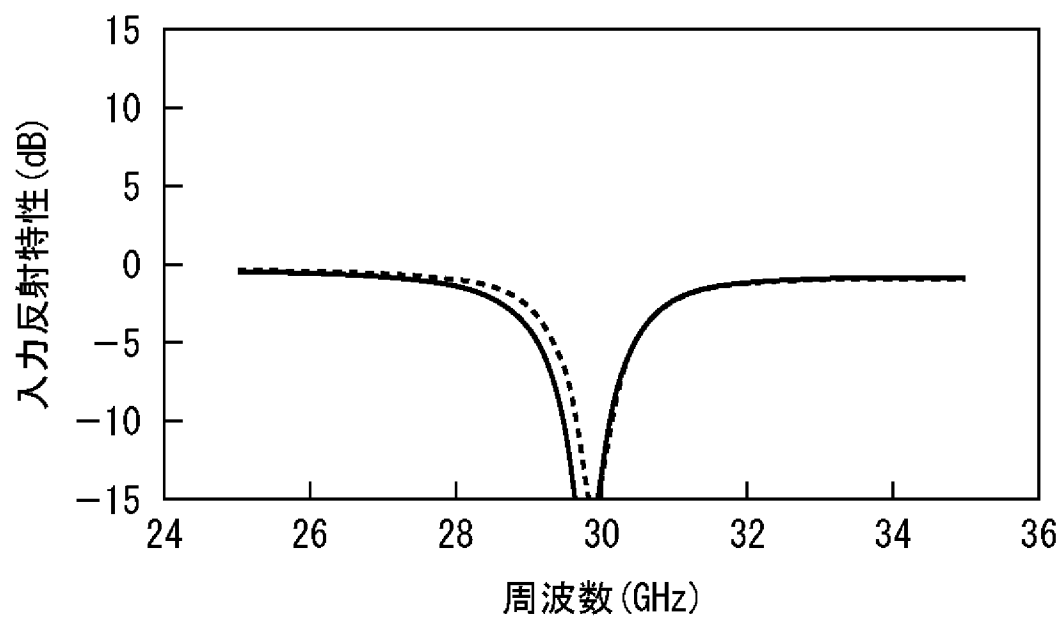
[図8A]

図8A



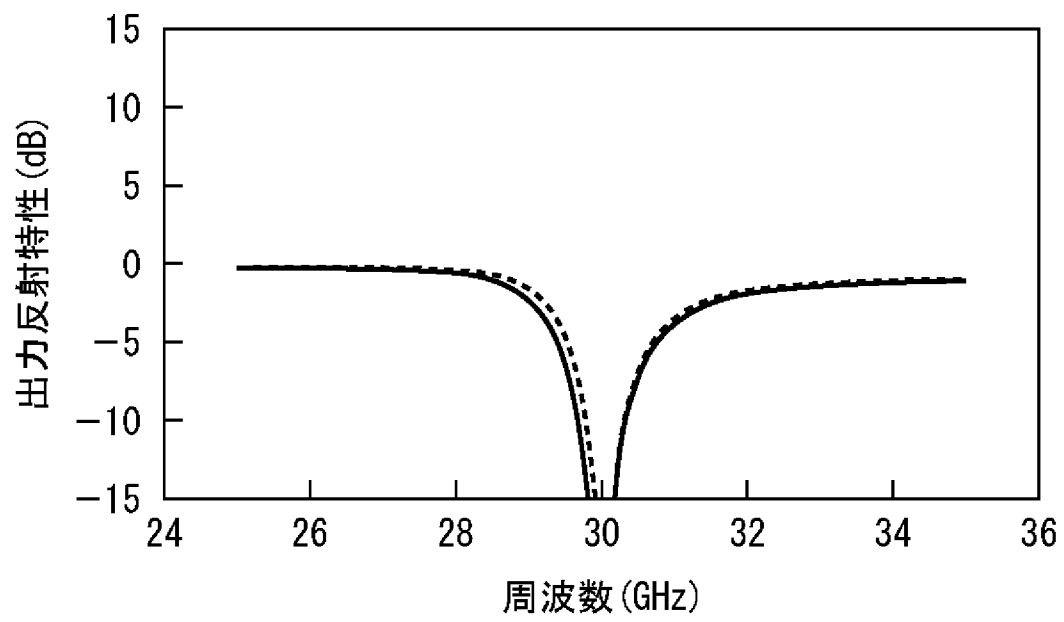
[図8B]

図8B



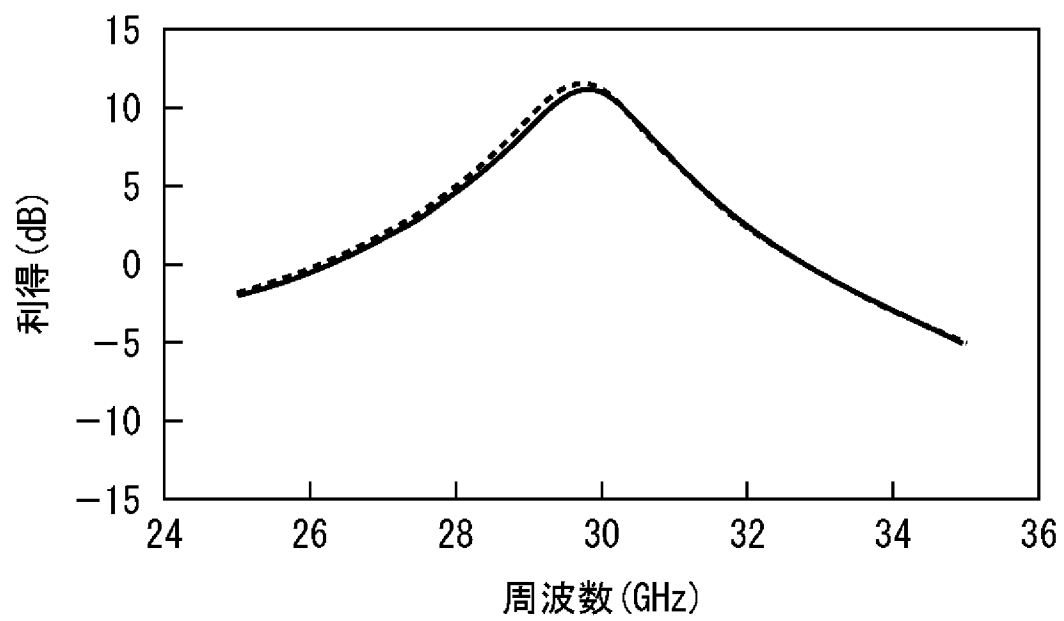
[図8C]

図8C



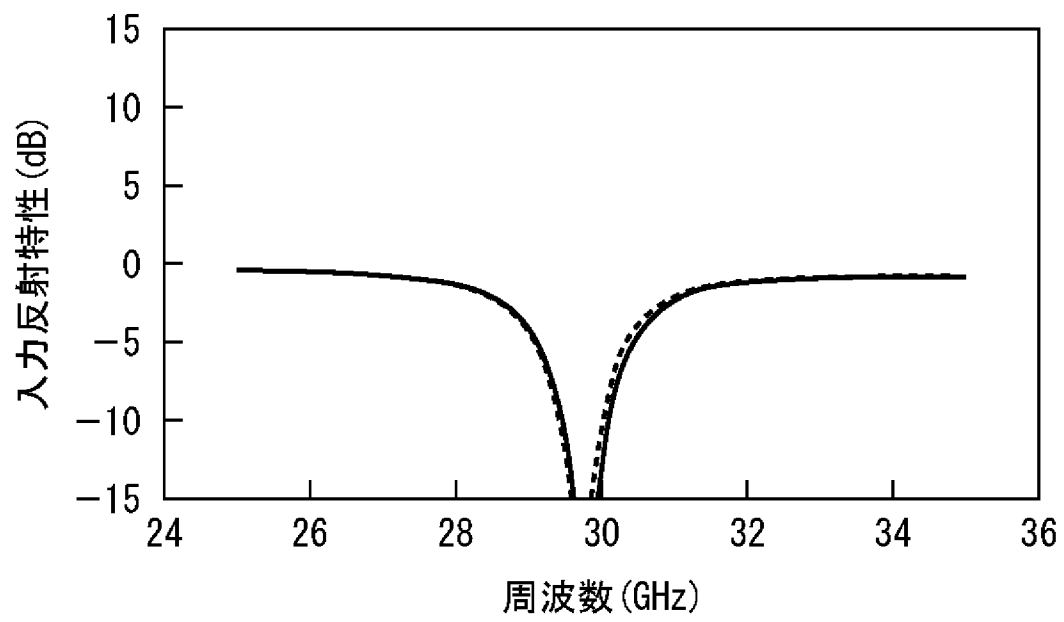
[図9A]

図9A



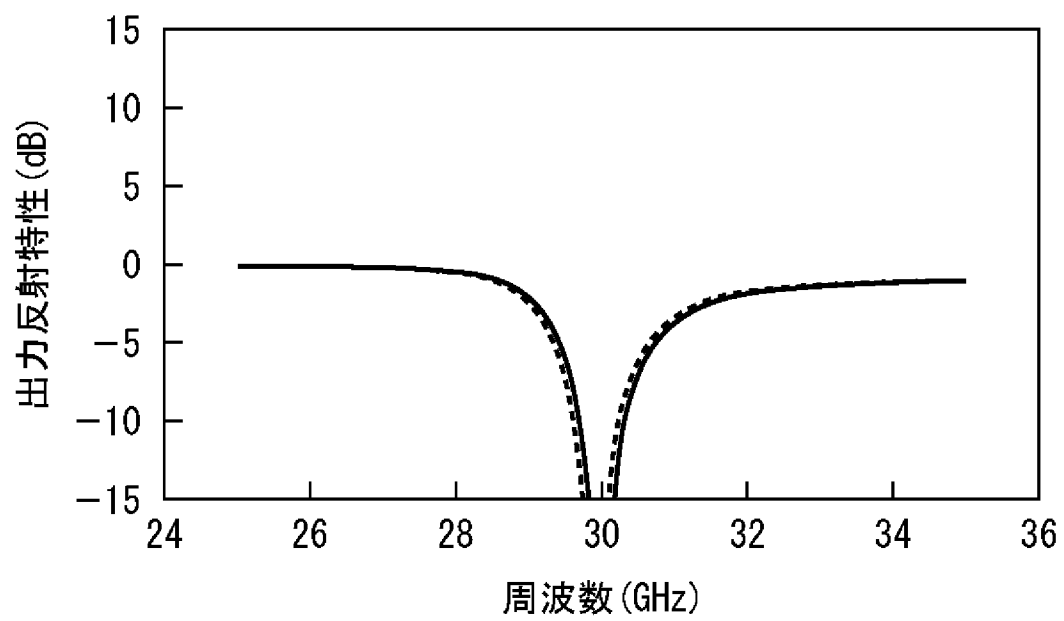
[図9B]

図9B



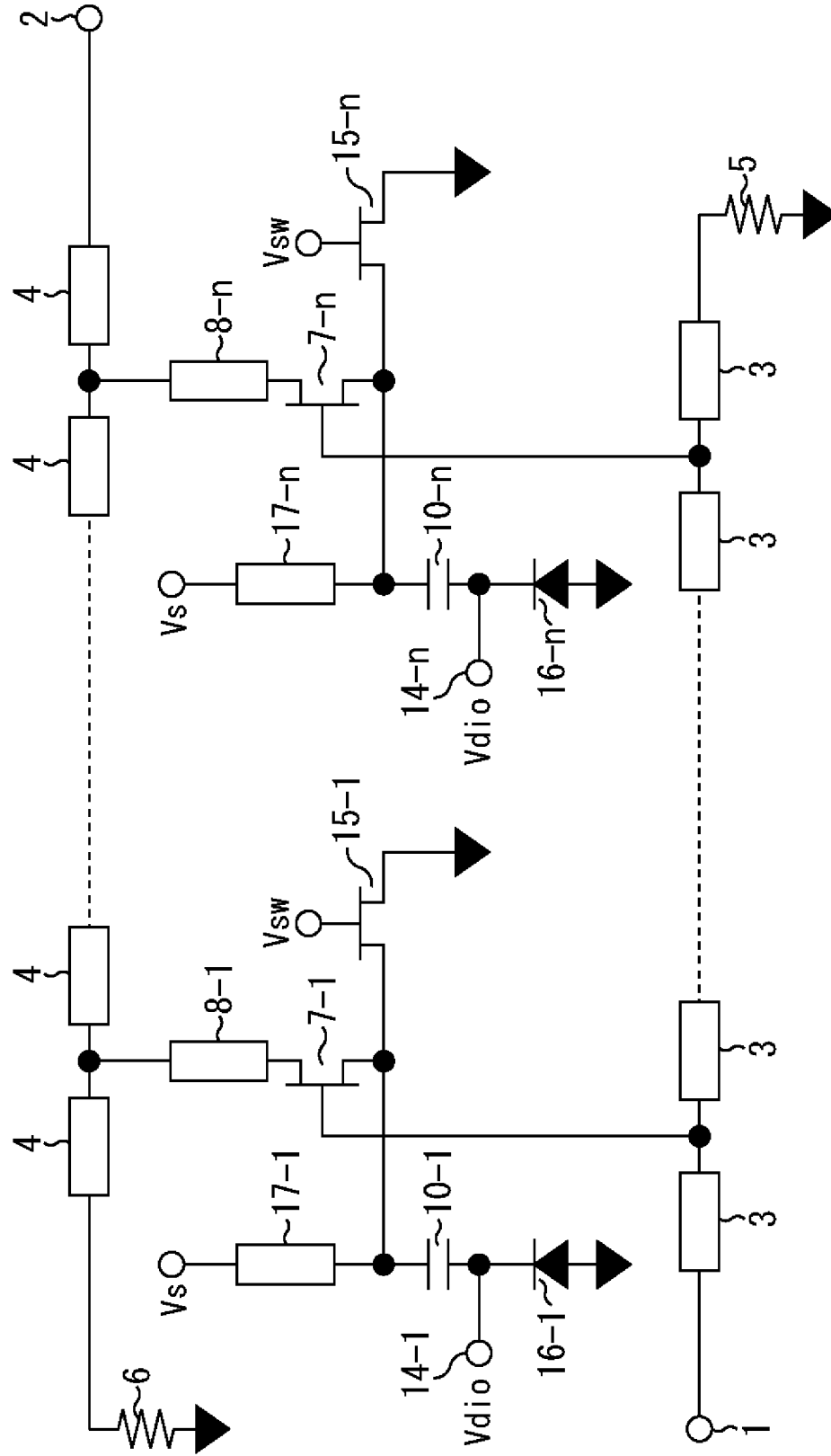
[図9C]

図9C



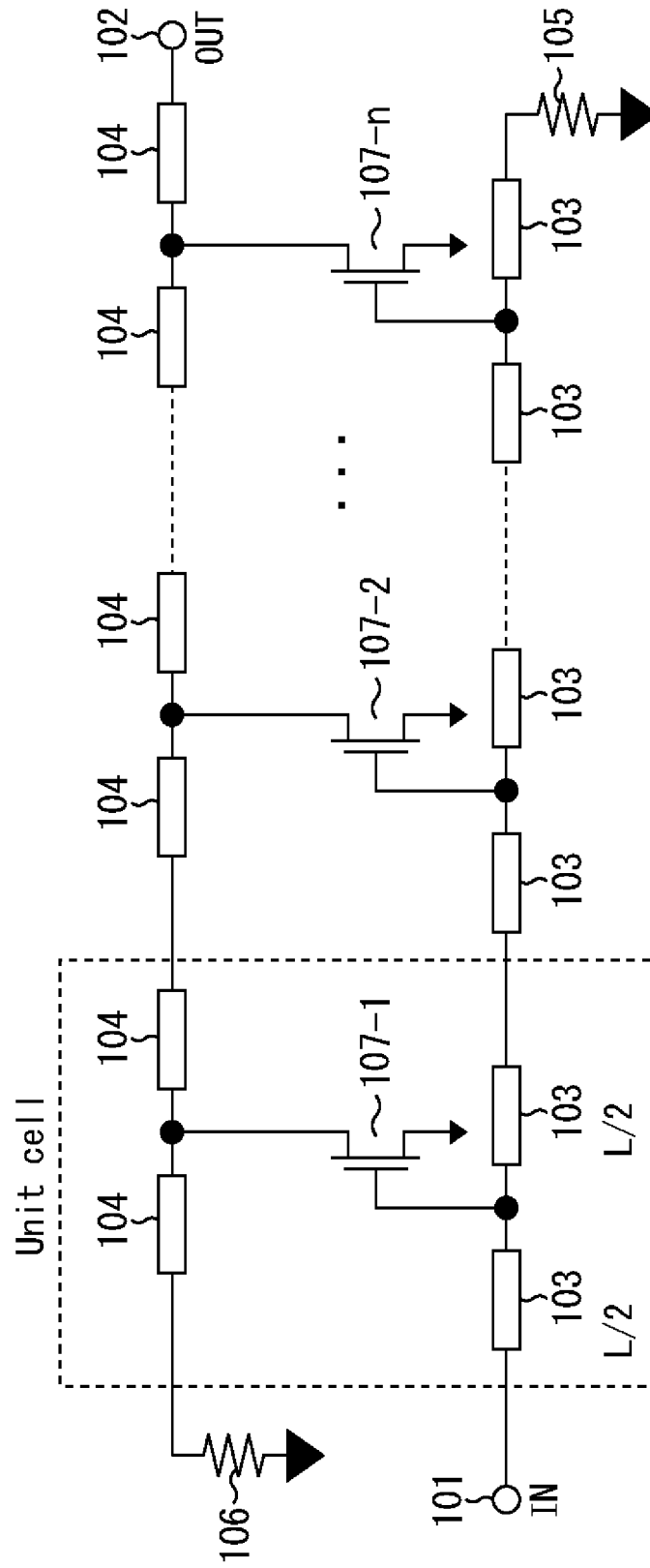
[図10]

図10



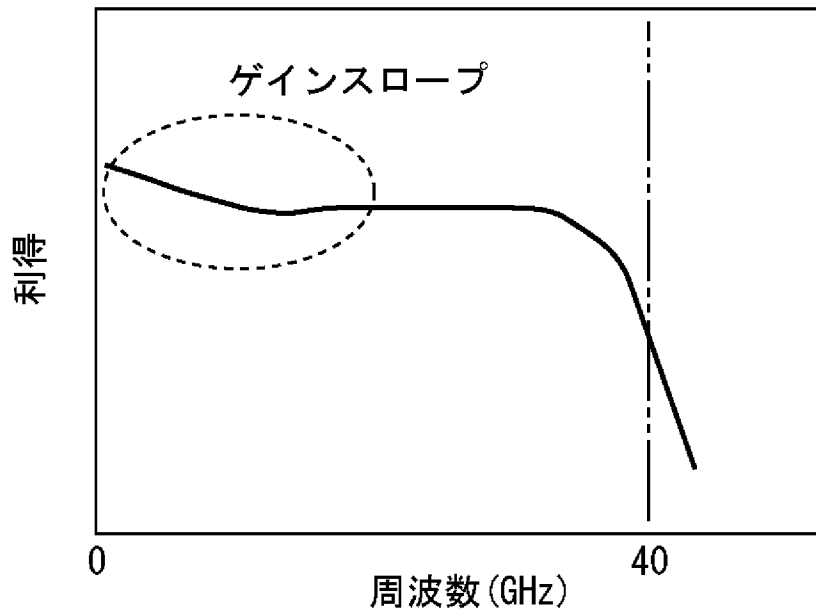
[図11]

図11



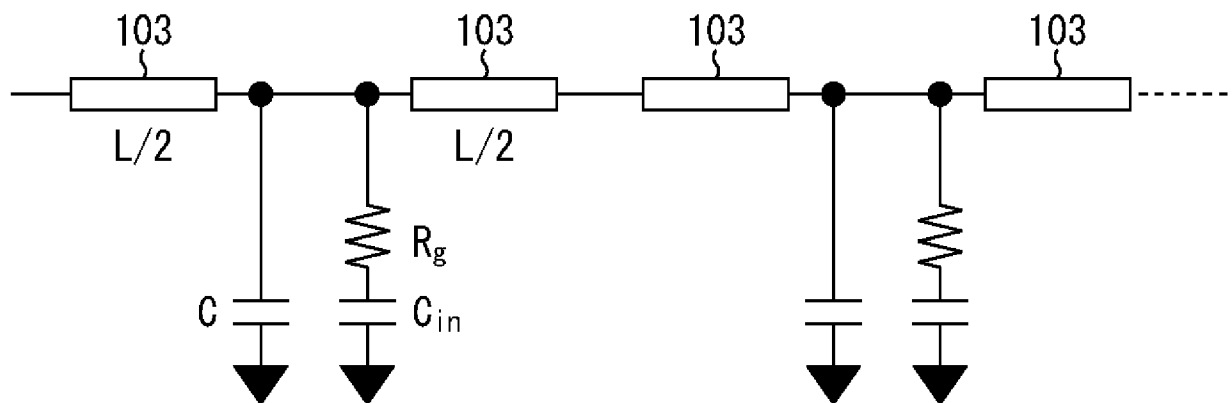
[図12]

図12



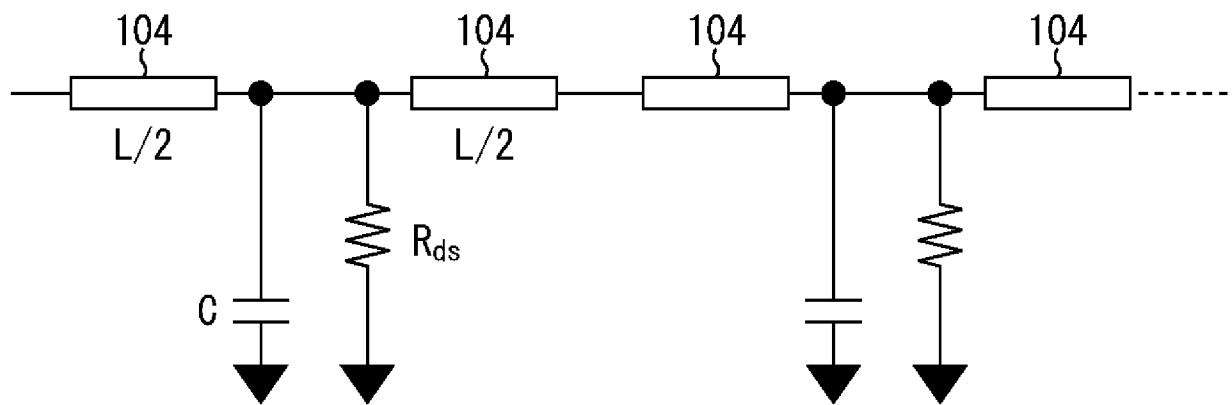
[図13A]

図13 A



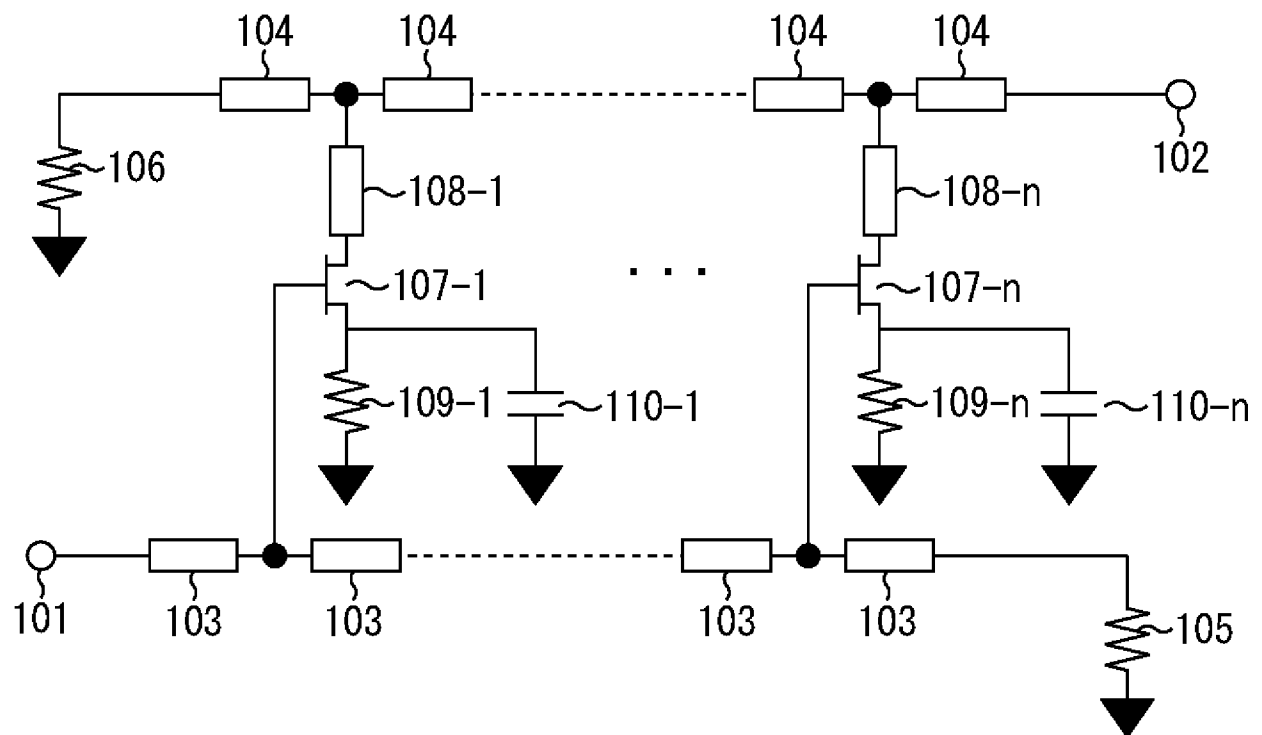
[図13B]

図13B



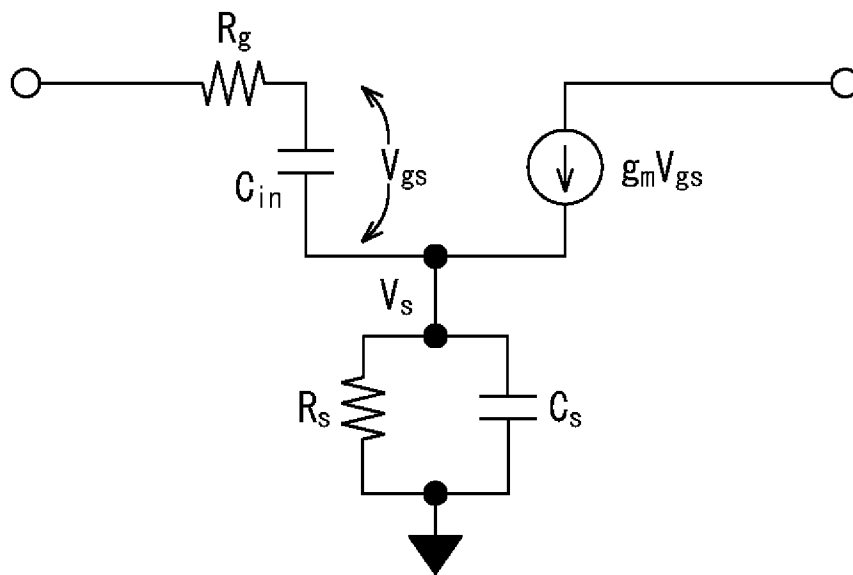
[図14]

図14



[図15]

図15



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/305595

A. CLASSIFICATION OF SUBJECT MATTER

H03F3/60 (2006.01), **H03F1/56** (2006.01), **H03B5/12** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03B5/12, H03F1/00-3/45, H03F3/60, H03B7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 05-136641 A (NEC Corp.), 01 June, 1993 (01.06.93), Par. Nos. [0001] to [0030]; Fig. 1 & JP 3111554 B2	1, 2 3-16
Y	JP 02-170602 A (Sumitomo Electric Industries, Ltd.), 02 July, 1990 (02.07.90), Page 1, right column, line 16 to page 3, upper right column, line 19; Fig. 1 & EP 374744 A & CA 2005182 A & US 5010305 A & KR 9311384 B1 & EP 374744 B1 & DE 68922594 E	3, 6-9, 13-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 June, 2006 (15.06.06)

Date of mailing of the international search report
27 June, 2006 (27.06.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/305595

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-284993 A (Toshiba Corp.), 12 October, 2001 (12.10.01), Par. Nos. [0015], [0017] to [0019]; Fig. 2 (Family: none)	7, 9, 13-16
Y	JP 2004-266316 A (NEC Corp.), 24 September, 2004 (24.09.04), Par. Nos. [0014] to [0015]; Fig. 1 & WO 2004/077666 A1	3-5, 8-12, 16, 19
Y	JP 11-261348 A (Mitsubishi Electric Corp.), 24 September, 1999 (24.09.99), Fig. 3 (Family: none)	5, 8-12, 16
X Y	JP 07-273551 A (Kabushiki Kaisha Miriweibu), 20 October, 1995 (20.10.95), Par. Nos. [0003] to [0008]; Fig. 1 (Family: none)	17, 18, 20 19

<p>A. 発明の属する分野の分類（国際特許分類（I P C））</p> <p>Int.Cl. H03F3/60 (2006.01), H03F1/56 (2006.01), H03B5/12 (2006.01)</p>													
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（I P C））</p> <p>Int.Cl. H03B 5/12, H03F 1/00 - 3/45, H03F 3/60, H03B7/00</p>													
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1 9 2 2 - 1 9 9 6 年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1 9 7 1 - 2 0 0 6 年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1 9 9 6 - 2 0 0 6 年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1 9 9 4 - 2 0 0 6 年</td> </tr> </table>				日本国実用新案公報	1 9 2 2 - 1 9 9 6 年	日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年	日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年	日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年		
日本国実用新案公報	1 9 2 2 - 1 9 9 6 年												
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年												
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年												
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年												
<p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>													
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求の範囲の番号</th> </tr> </thead> <tbody> <tr> <td>X Y</td> <td>JP 05-136641 A（日本電気株式会社） 1993.06.01, 段落【0001】 - 【0030】, 図1 & JP 3111554 B2</td> <td>1, 2 3 - 16</td> </tr> <tr> <td>Y</td> <td>JP 02-170602 A（住友電気工業株式会社） 1990.07.02, 第1頁右欄第16行～第3頁右上欄第19行, 第1図 & EP 374744 A & CA 2005182 A & US 5010305 A & KR 9311384 B1 & EP 374744 B1 & DE 68922594 E</td> <td>3, 6 - 9, 13 - 16</td> </tr> </tbody> </table>				引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	X Y	JP 05-136641 A（日本電気株式会社） 1993.06.01, 段落【0001】 - 【0030】, 図1 & JP 3111554 B2	1, 2 3 - 16	Y	JP 02-170602 A（住友電気工業株式会社） 1990.07.02, 第1頁右欄第16行～第3頁右上欄第19行, 第1図 & EP 374744 A & CA 2005182 A & US 5010305 A & KR 9311384 B1 & EP 374744 B1 & DE 68922594 E	3, 6 - 9, 13 - 16	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号											
X Y	JP 05-136641 A（日本電気株式会社） 1993.06.01, 段落【0001】 - 【0030】, 図1 & JP 3111554 B2	1, 2 3 - 16											
Y	JP 02-170602 A（住友電気工業株式会社） 1990.07.02, 第1頁右欄第16行～第3頁右上欄第19行, 第1図 & EP 374744 A & CA 2005182 A & US 5010305 A & KR 9311384 B1 & EP 374744 B1 & DE 68922594 E	3, 6 - 9, 13 - 16											
<p>☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。</p>													
<p>* 引用文献のカテゴリー</p> <table border="0"> <tr> <td>「A」特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」口頭による開示、使用、展示等に言及する文献</td> <td>「&」同一パテントファミリー文献</td> </tr> <tr> <td>「P」国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>				「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献	「P」国際出願日前で、かつ優先権の主張の基礎となる出願	
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの												
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの												
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの												
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献												
「P」国際出願日前で、かつ優先権の主張の基礎となる出願													
<p>国際調査を完了した日</p> <p>1 5 . 0 6 . 2 0 0 6</p>		<p>国際調査報告の発送日</p> <p>2 7 . 0 6 . 2 0 0 6</p>											
<p>国際調査機関の名称及びあて先</p> <p>日本国特許庁（I S A / J P）</p> <p>郵便番号100-8915</p> <p>東京都千代田区霞が関三丁目4番3号</p>		<p>特許庁審査官（権限のある職員）</p> <p>伏本 正典</p> <p>電話番号 03-3581-1101 内線 3574</p>	<p>5W</p> <p>3782</p>										

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-284993 A (株式会社東芝) 2001. 10. 12, 段落【0015】、【0017】－【0019】、図2 (ファミリーなし)	7, 9, 13－ 16
Y	JP 2004-266316 A (日本電気株式会社) 2004. 09. 24, 段落【0014】－【0015】、図1 & WO 2004/077666 A1	3－5, 8－ 12, 16, 19
Y	JP 11-261348 A (三菱電機株式会社) 1999. 09. 24, 図3 (ファミリーなし)	5, 8－12, 16
X	JP 07-273551 A (株式会社ミリウェイブ) 1995. 10. 20, 段落【0003】～【0008】、図1	17, 18, 20
Y	(ファミリーなし)	19