



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0137356  
(43) 공개일자 2010년12월30일

(51) Int. Cl.

H01L 29/73 (2006.01) H01L 21/328 (2006.01)

(21) 출원번호 10-2010-0047579

(22) 출원일자 2010년05월20일  
심사청구일자 없음

(30) 우선권주장  
12/488,899 2009년06월22일 미국(US)

(71) 출원인

인터내셔널 비지네스 머신즈 코포레이션

미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자

스탬퍼, 안토니, 케이.

미국 베몬트 05495, 월리스톤, 와일드플라워 서클  
480

달스트룀, 에릭, 마티아스

미국 베몬트 05401, 벌링턴, #508, 메인 스트리트  
131

(뒷면에 계속)

(74) 대리인

허정훈, 윤여원

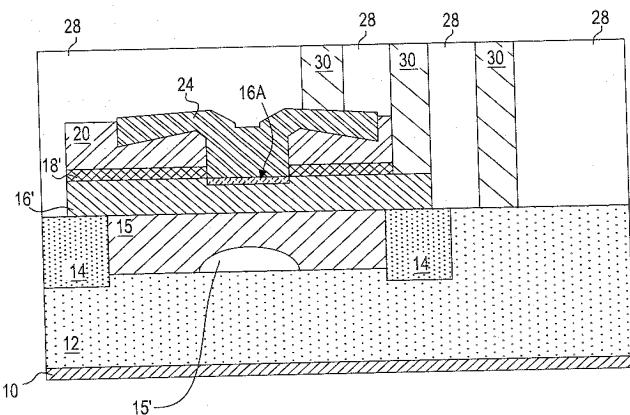
전체 청구항 수 : 총 20 항

(54) 바이폴라 트랜지스터 구조 및 에미터-베이스 인터페이스 불순물 포함 방법

### (57) 요 약

바이폴라 트랜지스터 구조 및 이 바이폴라 트랜지스터 구조를 제조하는 방법은, (1) 반도체 기판 내의 적어도 일부에 위치하는 콜렉터 구조; (2) 상기 콜렉터 구조에 접촉하는 베이스 구조; 및 (2) 상기 베이스 구조에 접촉하는 에미터 구조를 포함한다. 상기 바이폴라 트랜지스터 구조 내의 바이폴라 트랜지스터의 성능을 향상시키기 위해, 상기 에미터 구조와 상기 베이스 구조의 인터페이스는 산소 불순물과, 불소 불순물 및 탄소 불순물로 구성된 그룹으로부터 선택되는 적어도 하나의 불순물을 포함한다. 상기 불순물들은 플라즈마 식각 처리에 의해, 또 다르게는, 상기 베이스 구조를 구성하는 베이스 재료에 대해, 열 처리에 이어서 무수 암모니아(ahydrous ammonia) 및 불화수소(hydrogen fluoride) 처리에 의해, 상기 인터페이스 내로 유입될 수 있다.

**대 표 도** - 도10



(72) 발명자

**베누아, 존, 조셉**

미국 버몬트 05495, 월리스톤, 맥멀렌 레인 63

**그레이, 피터, 브라이언**

미국 버몬트 05465, 제리코, 버치 레인 14

**뒤퍼, 마크, 테이비드**

미국 버몬트 05403, 사우스 벌링턴, 아이리스 레인

35

## 특허청구의 범위

### 청구항 1

바이폴라 트랜지스터 구조에 있어서,  
 콜렉터 구조를 포함하는 반도체 기판;  
 상기 콜렉터 구조에 접촉하는 베이스 구조; 및  
 상기 베이스 구조에 접촉하는 에미터 구조를 포함하되,  
 상기 에미터 구조와 상기 베이스 구조 사이의 인터페이스는,  
 산소 불순물; 및  
 불소 불순물 및 탄소 불순물로 구성된 그룹으로부터 선택되는 적어도 하나의 다른 불순물을 포함하는,  
 바이폴라 트랜지스터 구조.

### 청구항 2

청구항 1에 있어서, 상기 산소 불순물 및 상기 다른 불순물은 상기 에미터 구조와 상기 베이스 구조의 인터페이스에 국한(localize)되는,  
 바이폴라 트랜지스터 구조.

### 청구항 3

청구항 1에 있어서,  
 상기 산소 불순물은 입방 센티미터 당 2E14 내지 10E14의 불순물 원자 농도로 존재하고,  
 상기 다른 불순물은 입방 센티미터 당 2E12 내지 1E14의 불순물 원자 농도로 존재하는 불소 불순물인,  
 바이폴라 트랜지스터 구조.

### 청구항 4

청구항 1에 있어서, 상기 바이폴라 트랜지스터 구조는 NPN 바이폴라 트랜지스터 구조를 포함하는,  
 바이폴라 트랜지스터 구조.

### 청구항 5

청구항 1에 있어서, 상기 바이폴라 트랜지스터 구조는 PNP 바이폴라 트랜지스터 구조를 포함하는,  
 바이폴라 트랜지스터 구조.

### 청구항 6

청구항 1에 있어서, 상기 인터페이스는 상기 산소 불순물 및 상기 불소 불순물을 포함하는,  
 바이폴라 트랜지스터 구조.

### 청구항 7

청구항 1에 있어서, 상기 인터페이스는 상기 산소 불순물 및 상기 탄소 불순물을 포함하는,  
 바이폴라 트랜지스터 구조.

### 청구항 8

청구항 1에 있어서, 상기 인터페이스는 상기 산소 불순물, 상기 불소 불순물 및 상기 탄소 불순물을 포함하는,

바이폴라 트랜지스터 구조.

#### 청구항 9

청구항 1에 있어서,

상기 베이스 구조는 적어도 부분적으로 단결정 베이스 재료를 포함하고;

상기 에미터 구조는 다결정 에미터 재료를 포함하는,

바이폴라 트랜지스터 구조.

#### 청구항 10

청구항 1에 있어서, 상기 에미터 구조는 스페이서를 포함하는 에미터 고립층에 의해 상기 베이스 구조로부터 부분적으로 분리되는,

바이폴라 트랜지스터 구조.

#### 청구항 11

바이폴라 트랜지스터 구조를 제조하기 위한 방법에 있어서,

반도체 기판 내에 적어도 부분적으로 콜렉터 구조를 형성하는 단계;

상기 콜렉터 구조에 접촉하는 베이스 구조를 형성하는 단계; 및

상기 베이스 구조에 접촉하는 에미터 구조를 형성하는 단계를 포함하되,

상기 에미터 구조와 상기 베이스 구조 사이의 인터페이스는,

산소 불순물; 및

불소 불순물 및 탄소 불순물로 구성된 그룹으로부터 선택되는 적어도 하나의 다른 불순물을 포함하는,

바이폴라 트랜지스터 구조 제조 방법.

#### 청구항 12

청구항 11에 있어서, 상기 산소 불순물 및 상기 다른 불순물은, 상기 에미터 구조 또는 상기 베이스 구조 내에 균일하게 분포되지 않는,

바이폴라 트랜지스터 구조 제조 방법.

#### 청구항 13

청구항 11에 있어서, 상기 인터페이스는,

입방 센티미터 당 2E14 내지 10E14의 불순물 원자 농도의 상기 산소 불순물; 및

입방 센치미터 당 2E12 내지 1E14의 불순물 원자 농도의 상기 불소 불순물을 포함하는,

바이폴라 트랜지스터 구조 제조 방법.

#### 청구항 14

청구항 11에 있어서, 상기 베이스 구조를 형성하는 단계는 적어도 부분적으로 단결정 베이스 재료를 제공하는,

바이폴라 트랜지스터 구조 제조 방법.

#### 청구항 15

청구항 14에 있어서, 상기 단결정 베이스 재료는 상기 산소 불순물 및 상기 적어도 하나의 다른 불순물을 제공하기 위해 식각 플라즈마로 처리되는,

바이폴라 트랜지스터 구조 제조 방법.

**청구항 16**

청구항 14에 있어서, 상기 산소 불순물 및 상기 적어도 하나의 다른 불순물을 제공하기 위해, 상기 단결정 베이스 재료는 열 산화(thermally oxidize)되고, 그런 다음 무수 암모니아 증기(anhydrous ammonia vapor) 및 무수 불화수소 증기(anhydrous hydrogen fluoride vapor) 식각제로 처리되는,

바이폴라 트랜지스터 구조 제조 방법.

**청구항 17**

청구항 11에 있어서, 상기 인터페이스는 상기 산소 불순물과 상기 불소 불순물을 포함하는,

바이폴라 트랜지스터 구조 제조 방법.

**청구항 18**

청구항 11에 있어서, 상기 인터페이스는 상기 산소 불순물 및 상기 탄소 불순물을 포함하는,

바이폴라 트랜지스터 구조 제조 방법.

**청구항 19**

청구항 11에 있어서, 상기 인터페이스는 상기 산소 불순물, 상기 불소 불순물 및 상기 탄소 불순물을 포함하는,

바이폴라 트랜지스터 구조 제조 방법.

**청구항 20**

청구항 11에 있어서, 상기 바이폴라 트랜지스터 구조 제조 방법은,

상기 베이스 구조 상에 상기 에미터 구조를 형성하기에 앞서, 상기 베이스 구조 상에 에미터 고립층을 형성하는 단계를 더 포함하되,

상기 에미터 고립층은 상기 베이스 구조의 일부를 노출시키는 에미터 애퍼춰(emitter aperture)를 포함하는,

바이폴라 트랜지스터 구조 제조 방법.

**명세서****기술 분야**

[0001] 본 발명은 일반적으로 바이폴라 트랜지스터 구조들(bipolar transistor structures) 및 이것들의 제조 방법들과 관련된다. 더 상세하게는, 본 발명은 향상된 성능을 갖는 바이폴라 트랜지스터 디바이스들을 제공하는 바이폴라 트랜지스터 구조들, 및 이것들의 제조 방법들과 관련된다.

**배경기술**

[0002] 반도체 구조들은 반도체 기판들을 포함하는데, 이 반도체 기판들 내에 그리고 이 반도체 기판들 상에 반도체 디바이스들(예를 들어, 저항들, 트랜지스터들, 다이오드들 및 커패시터들, 그러나 이러한 것들로 한정되는 것은 아님)이 형성된다. 상기 반도체 디바이스들은 패턴된 도전체층들(patterned conductor layers) - 이 패턴된 도전체층들은 유전체층들(dielectric layers)에 의해 분리됨 - 을 사용하여 연결 및 배선된다.

[0003] 반도체 회로들은 통상적으로, 반도체 회로들의 정황 내에서 사용되는 종래의 전계 효과 트랜지스터 구조들 뿐만 아니라, 다른 트랜지스터 구조들(예를 들어, 바이폴라 트랜지스터 구조들, 그러나 이러한 구조들로 한정되는 것은 아님)도 포함할 수 있다. 바이폴라 트랜지스터들이 종종 전계 효과 트랜지스터들과 비교해서 빠른 스위칭 속도로 동작하는 한, 바이폴라 트랜지스터들은 종종 반도체 회로들의 정황 내에서 가치가 있다.

[0004] 전계 효과 트랜지스터들은 게이트 유전체에 의해 상기 반도체 기판으로부터 분리된 게이트에 의해 반도체 기판 내에 부과되는 전계 기울기(electric field gradient)에 따라 발생하는 전하 캐리어 전달(charge carrier transfer)의 정황 내에서 동작하는 반면, 바이폴라 트랜지스터들은 반도체 접합들을 통과하는 전하 캐리어(charge carrier)의 정황 내에서 동작하는 한에 있어서는, 바이폴라 트랜지스터들은 일반적으로 전계 효과 트랜

지스터들과 비교해서 다르다. 따라서, 전계 효과 트랜지스터의 성능은 종종 게이트-대-게이트 유전체 인터페이스(gate-to-gate dielectric interface) 또는 게이트 유전체-대-반도체 채널 인터페이스(gate dielectric-to-semiconductor channel interface) 특성들에 의해 영향을 받는 반면, 바이폴라 트랜지스터의 성능은 종종 에미터-대-베이스 접합 인터페이스(emitter-to-base junction interface) 또는 베이스-대-콜렉터 접합 인터페이스(base-to-collector junction interface) 특성들에 의해 영향을 받는다.

[0005] 따라서, 최적화된 접합 인터페이스 특성들로 인해 향상된 성능을 갖는 바이폴라 트랜지스터들을 제공하는, 바이폴라 트랜지스터 구조들 및 디바이스들, 그리고 이 바이폴라 트랜지스터 구조들 및 디바이스들을 제조하기 위한 방법이 바람직하다.

## 발명의 내용

### 과제의 해결 수단

[0006] 일 실시예에서, 바이폴라 트랜지스터 구조 및 상기 바이폴라 트랜지스터 구조를 제조하기 위한 방법이 제공된다. 상기 바이폴라 트랜지스터 구조 및 이 바이폴라 트랜지스터 구조 제조 방법은 에미터-대-베이스 접합 인터페이스에 불순물(impurity)을 포함하는데, 상기 에미터-대-베이스 접합 인터페이스는 상기 바이폴라 트랜지스터 구조를 포함하는 바이폴라 트랜지스터 디바이스의 향상된 성능을 제공한다. 상기 불순물은 산소 불순물(oxygen impurity)과, 불소 불순물(fluorine impurity) 및 탄소 불순물(carbon impurity) 중 적어도 하나를 포함한다. 반응성 이온 식각 플라즈마 식각 방법들(reactive ion etch plasma etch methods), 화학적 식각 방법들(chemical etch methods), 및 반응성 이온 식각 플라즈마 식각 방법들과 화학적 식각 방법들의 조합들을 사용하여(그러나, 이러한 식각 방법들로 한정되는 것은 아님), 상기 불순물은 상기 에미터-대-베이스 접합 인터페이스에 포함될 수 있다.

[0007] 본 발명의 일 실시예에 따른 특정 바이폴라 트랜지스터 구조는 콜렉터 구조를 포함하는 반도체 기판을 포함한다. 또한 이 특정 바이폴라 트랜지스터 구조는 상기 콜렉터 구조에 접촉하는 베이스 구조를 포함한다. 또한 이 특정 바이폴라 트랜지스터 구조는 상기 베이스 구조에 접촉하는 에미터 구조를 포함한다. 상기 에미터 구조와 상기 베이스 구조 사이의 인터페이스는, (1) 산소 불순물, 및 (2) 불소 불순물 및 탄소 불순물로 구성된 그룹으로부터 선택되는 적어도 하나의 다른 불순물을 포함한다.

[0008] 본 발명의 일 실시예에 따른 바이폴라 트랜지스터 구조를 제조하기 위한 특정 방법은 반도체 기판 내에 적어도 부분적으로 콜렉터 구조를 형성하는 단계를 포함한다. 또한 상기 방법은 상기 콜렉터 구조에 접촉하는 베이스 구조를 형성하는 단계를 포함한다. 또한 상기 방법은 상기 베이스 구조에 접촉하는 에미터 구조를 형성하는 단계를 포함한다. 상기 에미터 구조와 상기 베이스 구조 사이의 인터페이스는, (1) 산소 불순물, 및 (2) 불소 불순물 및 탄소 불순물로 구성된 그룹으로부터 선택되는 적어도 하나의 불순물을 포함한다.

### 도면의 간단한 설명

[0009] 도 1은 본 발명의 일 실시예에 따른 공정에 앞서 반도체 구조에서의 한 포인트에서 바이폴라 트랜지스터 구조를 나타내는 개략적인 단면도를 보여준다.

도 2는 도 1의 바이폴라 트랜지스터 구조 내의 에미터 애퍼춰(emitter aperture)를 형성할 때 유전체 캡핑층(dielectric capping layer)의 오버-에치 공정(over-etch processing)의 결과들을 나타내는 개략적인 단면도를 보여준다.

도 3은 본 발명의 특정 실시예에 따른 바이폴라 트랜지스터 구조를 제공하기 위해 도 2의 바이폴라 트랜지스터 구조 내에 위치 및 형성된 에미터 구조를 보여준다.

도 4는 도 1의 바이폴라 트랜지스터 구조 내의 에미터 애퍼춰 스페이서를 포함하는 에미터 애퍼춰를 형성할 때 유전체 캡핑층의 오버-에치 공정의 결과들을 나타내는 개략적인 단면도를 보여준다.

도 5는 본 발명의 다른 실시예에 따른 바이폴라 트랜지스터 구조를 제공하기 위해 도 4의 바이폴라 트랜지스터 구조 내에 위치 및 형성된 에미터 구조를 보여준다.

도 6은 도 1의 바이폴라 트랜지스터 구조 내에 패터닝된 유전체 캡핑층의 결과들을 나타내는 개략적인 단면도를 보여준다.

도 7은 도 6의 바이폴라 트랜지스터 구조 내의 에미터 애퍼춰 내에 위치하고 형성된 열 유전체층(thermal

dielectric layer)을 보여준다.

도 8은 도 7의 바이폴라 트랜지스터 구조 내에 무수 암모니아(anhydrous ammonia) 및 무수 불화수소(anhydrous hydrogen fluoride)로 열 유전체층을 처리한 결과를 보여준다.

도 9는 본 발명의 다른 실시예에 따른 바이폴라 트랜지스터 구조를 제공하기 위해 도 8의 바이폴라 트랜지스터 구조 내에 위치하고 형성된 에미터 구조를 보여준다.

도 10은 도 9의 바이폴라 트랜지스터 구조의 정황 내에서 패시베이션층(passivation layer) 공정 및 비아(via) 공정의 결과들을 보여준다.

### 발명을 실시하기 위한 구체적인 내용

[0010]

본 발명은 바이폴라 트랜지스터 구조 및 상기 바이폴라 트랜지스터 구조를 제조하기 위한 복수의 방법들을 포함한다. 이러한 본 발명은 이하에서 제시되는 설명의 정황 내에서 이해된다. 이하에서 제시되는 설명은 상술한 도면들의 정황 내에서 이해된다. 도면들은 설명 목적으로 제시된 것이므로, 반드시 동일한 크기로 도시된 것은 아니다.

[0011]

도 1은 본 발명의 일 실시예에 따른 반도체 구조의 제조에서 초기 단계의 바이폴라 트랜지스터 구조의 개략적인 단면도를 보여준다. 도 1에 그 개략적인 단면도가 보여지는 바이폴라 트랜지스터 구조는 본 발명의 복수의 실시 예들에 따른 복수의 바이폴라 트랜지스터 구조들의 추가 공정을 위한 기본 구조를 제공한다.

[0012]

도 1은 기본 반도체 기판(10)을 보여준다. 에피택셜 서브-콜렉터층(epitaxial sub-collector layer)(12)은 기본 반도체 기판(10) 상에 위치 및 형성된다. 복수의 고립 영역들(isolation regions)(14)은 에피택셜 서브-콜렉터층(12) 내에 매립(embedded)되게 위치 및 형성된다. 복수의 고립 영역들(14) 쌍 사이에 개재(interpose)된 에피택셜 서브-콜렉터층(12) 내에는(그러나, 에피택셜 서버-콜렉터층(12)의 접하는 부분(adjoining portion)은 아님) 콜렉터 영역(15)이 위치 및 형성된다. 콜렉터 영역(15)에 접촉하게 그리고 고립 영역들(14)에 대해 다리를 이루도록(briding) 베이스층(16)이 위치 및 형성된다. 유전체 캡핑층(18) 상에는 에미터 고립층(20)이 위치 및 형성되는데, 이 에미터 고립층(20)은 에미터 애퍼춰(emitter aperture, EA)를 디파인(define)하며, 이 에미터 애퍼춰의 하부(bottom)에는 유전체 캡핑층(18)의 일부가 노출된다.

[0013]

도 1의 바이폴라 트랜지스터 구조 내에서, 콜렉터 영역(15)은 청구되는 발명의 정황 내에서 "콜렉터 구조"로 여겨질 수 있다. 이와 유사하게, 베이스층(16)은 청구되는 발명의 정황 내에서 "베이스 구조"로 여겨질 수 있다. 이하의 추가 설명의 정황 내에서 설명되는 바와 같이, 공정 방법은, 에미터 애퍼춰(EA)의 하부로부터 유전체 캡핑층(18)의 일부를 적어도 부분적으로 스트립(strip)하거나, 에미터 애퍼춰(EA)에서 유전체 캡핑층(18)의 일부를 적어도 부분적으로 처리한 후, 에미터 애퍼춰(EA) 내에 위치 및 형성된 에미터 층(즉, 다르게는 청구되는 발명의 정황 내에서 "에미터 구조"로서 여겨질 수 있음)을 위해 향상된 에미터-대-베이스 인터페이스를 제공한다.

[0014]

개략적인 단면도가 도 1에 도시된 바이폴라 트랜지스터 구조를 포함하는 앞에서의 층들 및 구조들은, 반도체 제조 기술에서 일반적으로 전통적인 재료들도 포함할 수 있고 전통적인 치수들도 가질 수 있다. 개략적인 단면도가 도 1에 도시된 바이폴라 트랜지스터 구조를 포함하는 앞에서의 층들 및 구조들은, 반도체 제조 기술에서 일반적으로 전통적인 방법들 및 재료들을 사용하여 추가로 형성될 수 있다.

[0015]

기본 반도체 기판(10)은 여러 가지 반도체 재료들을 포함할 수 있다. 그 예들에는, 실리콘, 게르마늄, 실리콘-게르마늄 합금, 실리콘-탄소 합금, 실리콘-게리마늄-탄소 합금 및 화합물(즉, III-V 및 II-VI) 반도체 재료들이 있다. 그러나 이러한 재료들로 한정되는 것은 아니다. 화합물 반도체 재료들의 예들에는, 갈륨 아세나이드(gallium arsenide), 인듐 아세나이드(indium arsenide) 및 인듐 포스파이드(indium phosphide) 반도체 재료들이 있다. 그러나 이러한 재료들로 한정되는 것은 아니다. 전형적으로, 기본 반도체 기판(10)은 0.05 내지 1 밀리미터의 두께를 갖는 실리콘 반도체 재료를 포함한다.

[0016]

이 특정 실시예는 기본 반도체 기판(10)을 포함하는 명목상의 별크 반도체 기판의 정황 내에서 본 발명을 설명하지만, 이 특정 실시예, 및 발명은 그렇게 한정되도록 의도된 것은 아니다. 오히려, 이 특정 실시예, 및 발명은 그와 다르게 기본 반도체 기판(10)으로 반도체-온-절연체(semiconductor-on-insulator) 반도체 기판을 사용하여 실시될 수 있다. 이러한 반도체-온-절연체 기판은 기본 반도체 기판(10)의 두께 내에 매립 절연체층을 포함(incorporation)한 결과일 것이다. 또한 상기 실시예는 기본 반도체 기판(10)으로 하이브리드 오리엔테이션(hybrid orientation, HOT) 기판의 사용을 고려하는데, 상기 HOT 기판은 단일 반도체 기판 내에 지지되는 다수의 결정학상의 오리엔테이션 영역들(multiple crystallographic orientation regions)을 갖는다.

- [0017] 에피택셜 서브-콜렉터층(12)은 베이스 반도체 기판(10)을 구성하는 반도체 재료들의 동일한 그룹으로부터 선택될 수 있는 여러 가지 에피택셜 반도체 재료들을 포함할 수 있다. 에피택셜 서브-콜렉터층(12) 및 기본 반도체 기판(10)은 동일 또는 다른 반도체 재료들을 포함할 수 있으며, 동일 또는 다른 도편트 극성들(dopant polarities) 및 도편트 농도들(dopant concentrations)을 갖지만, 만약 분명하지 않다면, 암시적으로는 동일한 결정학상의 오리엔테이션을 갖는다. 전형적으로, 에피택셜 서브-콜렉터층(12)은 입방 센티미터 당 5E15 내지 1E19의 농도로 적절한 도편트를 포함할 수 있다.
- [0018] 고립 영역들(14)은 여러 가지 유전체 고립 재료들을 포함할 수 있다. 그러한 유전체 고립 재료들의 예들로서는, 특히 실리콘의 산화물들(oxides), 질화물들(nitrides) 및 산질화물들(oxynitrides)이 있으나, 이러한 것들로 한정되지 아니하며, 또한 다른 원소들의 산화물들, 질화물들 및 산질화물들을 배제하는 것도 아니다. 고립 영역들(14)은 결정(crystalline) 또는 비결정(non-crystalline) 유전체 고립 재료를 포함할 수 있다. 고립 영역들(14)은 여러 가지 방법들을 사용하여 형성될 수 있다. 그러한 예들로서는, 이온 주입 방법들(ion implantation methods), 열 또는 플라즈마 산화 방법들(thermal or plasma oxidation methods) 또는 질화 방법들(nitridation methods), 화학 기상 증착 방법들(chemical vapor deposition methods) 및 물리 기상 증착 방법들(physical vapor deposition methods) 등이 있다. 그러나, 이러한 방법들로 한정되는 것은 아니다. 전형적으로, 고립 영역들(14)은 기본 반도체 기판(10) 또는 에피택셜 서브-콜렉터층(12)을 구성하는 반도체 재료의 산화물을 포함한다. 전형적으로, 고립 영역들 각각은 50 내지 500 나노미터의 깊이로, 그리고 100 내지 1000 나노미터의 선폭 linewidth으로 에피택셜 서브-콜렉터층(12) 내에 매립되게 위치 및 형성된다.
- [0019] 콜렉터 영역(15)(이 영역은 또한 점선으로 그려진 선택적 콜렉터 주입(selective collector implant)(15')을 포함할 수 있음)은 에피택셜 서브-콜렉터층(12)으로서 매칭되는 반도체 재료를 포함하고, 이와 다르게는 에피택셜 서브-콜렉터층(12)을 위해 사용된 극성과 동일한 극성의 적절한 도편트로써 적절하게 도우프(dope)된다.
- [0020] 베이스층(base layer)(16)(이 층은 기본 반도체 기판(10)과 동일한 그룹의 반도체 재료들로부터 선택될 수 있는 반도체 재료를 포함함)은, 콜렉터 영역(15)의 상부(top) 상에 단결정(monocrystalline) 반도체 재료를 포함하며, 콜렉터 영역(15)의 바깥쪽(outside)에 위치해 있는 부분 상에 다결정(polycrystalline) 반도체 재료를 포함한다(즉, 만약 반도체 재료가 단결정 Si 상에서 성장한다면, 그것은 단결정이고, 만약 반도체 재료가 산화물 또는 폴리-Si- 상에서 성장한다면, 그것은 다결정임). 이러한 베이스층(16)은 전형적으로 에피택셜 방법, 특히 에피택셜 화학 기상 증착 방법을 사용하여 형성되는데, 이는 반도체 제조 기술에서 일반적으로 전통적인 방법이다. 전형적으로, 베이스층(16)은, 에피택셜 서브-콜렉터층(12) 및 콜렉터 영역(15)이 실리콘 반도체 재료를 포함할 때, 1 내지 30 중량 퍼센트(weight percent)의 게르마늄 함량, 및 3 내지 50 나노미터의 두께를 갖는 실리콘-게르마늄 합금 반도체 재료를 포함한다.
- [0021] 유전체 캡핑층(18)은 유전체 캡핑 재료를 포함한다. 적절한 유전체 캡핑 재료들로서는, 실리콘 산화물, 실리콘 질화물 및 실리콘 산질화물 유전체 캡핑 재료들 등이 있다. 그러나 이러한 재료들로 한정되는 것은 아니다. 다른 원소들에 기초한 유전체 캡핑 재료들도 배제되는 것은 아니다. 이러한 유전체 캡핑 재료들은 화학 기상 증착 방법들 및 물리 기상 증착 방법들을 포함하는 방법들을 사용하여 형성될 수 있다. 그러나, 이러한 방법들로 한정되는 것은 아니다. 전형적으로, 유전체 캡핑층(18)은 2 내지 50 나노미터를 갖는 실리콘 산화물 유전체 캡핑 재료를 포함한다.
- [0022] 에미터 고립층(emitter isolation layer)(20)은 에미터 고립 재료를 포함하는데, 이 에미터 고립 재료는 차례대로 고립 영역들(14) 또는 유전체 캡핑층(18)과 동일한 그룹의 유전체 재료들로부터 선택될 수 있는 유전체 재료를 포함한다. 그러나, 적절한 식각 선택비(etch selectivity) 특성을 제공하기 위해, 에미터 고립층(20) 및 유전체 캡핑층(18)은 전형적으로 그리고 바람직하게 서로 다른 유전체 재료들을 포함한다. 상기 에미터 고립층을 위한 그러한 유전체 재료는 또한 반도체 제조 기술에서 일반적으로 전통적인 방법들 및 재료들 그리고 유전체 캡핑층(18)을 형성하기 위해 사용된 방법들 및 재료들을 사용하여 형성될 수 있다. 전형적으로, 에미터 고립층(20)은, 유전체 캡핑층(18)이 실리콘 산화물 유전체 재료를 포함할 때, 실리콘 질화물 유전체 재료를 포함한다. 전형적으로, 에미터 고립층(20)은 10 내지 50 나노미터의 두께를 가지며, 80 내지 800 나노미터의 선폭을 갖는 에미터 애퍼춰(EA)를 디파인(define)한다.
- [0023] 도 1의 바이폴라 트랜지스터 구조를 제조하기 위한 비제한적인 공정 시퀀스에 따라, 일반적으로 전통적인 에피택셜 화학 기상 증착 방법을 사용하여, 에피택셜 서브-콜렉터층(12)이 먼저 기본 반도체 기판(10) 상에 에피택셜하게 성장된다. 도편트 포함(dopant inclusion)은 인시츄(in-situ)일 수 있고, 또는 계속되는 이온 주입에 의할 수도 있다. 그런 다음, 계속하여 고립 영역들(14)을 충전하는 복수의 고립 트렌치들을 형성하기 위해, 복수

의 고립 영역들(14)은 먼저 적절한 식각 방법 - 이 식각 방법은 전형적으로 플라즈마 식각 방법을 포함함 - 을 사용하여 에피택셀 콜렉터층(12) 내에 매립되게 위치 및 형성될 수 있다. 그런 다음, 특정 고립 영역들(14)은, 블랭킷층(balnket layer) 중착 및 계속되는 평탄화(planarize) 방법을 사용하여, 상기 고립 트렌치들 내에 매립되게 위치 및 형성될 수 있다. 기계적 평탄화 방법들(mechanical planarizing methods) 및 화학적 기계적 연마 평탄화 방법들(chemical mechanical polish planarizing methods)이 흔히 사용된다. 화학적 기계적 연마 평탄화 방법들이 일반적으로 더 흔하고, 일반적으로 바람직하다. 그런 다음, 고립 영역들(14)을 갖는 그 결과의 바이폴라 트랜지스터 구조는 이온 주입 방법을 사용하여 고립 영역들 쌍 사이에 개재된 에피택셀 서브-콜렉터층(12) 내에 위치 및 형성된다.

[0024] 그런 다음, 이러한 결과의 중간의 바이폴라 트랜지스터 구조 상에, (1) 베이스층(16); (2) 유전체 캡핑층(18); 및 (3) 에미터 고립층(20);을 위한 프리커서층들(precursor layers)이 연속해서 적층될 수 있다. 그런 다음, 상기 프리커서층들의 스택은, (1) 베이스층(16); (2) 유전체 캡핑층(18); 및 (3) 에미터 고립층(20)을 위한 추가 프리커서층을 제공하도록 패턴될 수 있다. 마지막으로, 에미터 고립층(20)을 위한 이러한 추가 프리커서층은 에미터 고립층(20)을 형성하도록 패턴될 수 있고, 그 결과 도 1의 바이폴라 트랜지스터 구조를 제공할 수 있다.

[0025] 당해 기술 분야에서 숙련된 자라면 이해할 수 있는 바와 같이, 도 1의 바이폴라 트랜지스터 구조는 NPN 바이폴라 트랜지스터 구조 또는 PNP 바이폴라 트랜지스터 구조로 제조될 수 있다. 위에서 지정된 반도체 재료 선택들의 정황 내에서, 특정 상황들 하에서는 NPN 바이폴라 트랜지스터 구조가 바람직할 수 있다.

[0026] 도 2는 유전체 캡핑층(18')을 형성하기 위해 유전체 캡핑층(18)을 부분적으로 또는 완전히 통과해서 식각한 결과, 그리고 또한 마스크로서 에미터 고립층(20)을 사용하여 에미터 애피춰(EA)의 하부(base)에 데미지 영역(damaged region)(16A)을 포함하는 베이스층(16')을 형성하기 위해 베이스층(16)의 아랫 부분(underlying portion)을 충격을 가한(imacting) 결과를 보여준다.

[0027] 상기 식각은 건식 플라즈마 식각 방법들(dry plasma etch methods) 및 습식 화학 식각 방법들(wet chemical etch methods)을 포함하는 식각 방법들을 사용하여 수행될 수 있으나, 이러한 방법들로 한정되는 것은 아니다. 그러나, 본 발명의 제1 실시예를 포함하는 발명의 이 특정 실시예는, 에미터 애피춰(EA)의 하부의 데미지 영역(16A) 내에 산소 불순물, 불소 불순물 및 탄소 불순물 중 적어도 하나를 남길, 산소 함유 재료, 불소 함유 재료 및 탄소 함유 재료 중 적어도 하나를 포함하는 식각 기체 조성물(etchant gas composition)을 사용하는 플라즈마 식각 방법을 고려한다.

[0028] 더 상세하게는, 이러한 플라즈마 식각 방법은 산소 함유 식각 기체(예를 들어, 산소, 오존, 아산화질소(nitrous oxide) 또는 산화질소(nitric oxide) 등, 그러나 이러한 것들로 한정되지 않음) 및 탄화불소(fluorocarbon) 함유 식각 기체(예를 들어, 적어도 5개의 탄소 원자들을 갖는 과불화탄소(perfluorocarbon) 또는 수소화불화탄소(hydrofluorocarbon) 등, 그러나 이러한 것들로 한정되지 않음)를 사용할 수 있다.

[0029] 데미지 영역(16A)을 포함하는 베이스층(16') 및 유전체 캡핑층(18')을 형성하기 위해 유전체 캡핑층(18)을 식각하기 위한 특정 플라즈마 식각 조건들은, (1) 220mTorr 이상의 반응 챔버 압력, (2) 10 내지 80°C의 기본 반도체 기판(10)(및 상부 층들) 온도, (3) 50 내지 800W의 소스 RF 전력 및 300 내지 1000V의 바이어스 전압, (4) 분당 5 내지 50 표준 입방 센티미터의 산화제 기체 플로우(oxidant gas flow), (5) 분당 1 내지 20 표준 입방 센티미터의 탄화불소 기체 플로우 레이트, (6) 분당 0 내지 100 표준 입방 센티미터의 불활성 캐리어 기체 플로우 레이트, 및 (7) 전통적인 방법들(예를 들어, 광학 검출 방법들, 그러나 이러한 방법들로 한정되는 것은 아님)을 사용하여 결정될 수 있는 종말점(endpoint)에 대해, 1 내지 20 초의 오버-에치(over-etch) 시간을 포함할 수 있다. 그러나, 위의 (1) 내지 (7)로 한정되는 것은 아니다.

[0030] 예시적인 실시예의 정황 내에서, 상기 플라즈마 식각 공정 조건들은 에미터 애피춰(EA)의 위치에서 베이스층(16') 내의 데미지 영역(16A) 내에, 산소 불순물, 및 불소 불순물 및 탄소 불순물 중 적어도 하나를 제공하도록 의도된다. 상기 산소 불순물은 평방 센치미터 당 2E14 내지 10E14 불순물 원자들의 농도, 더 바람직하게는 평방 센치미터 당 4E14 내지 6E14 불순물 원자들의 농도로 존재한다. 상기 불소 불순물 및 탄소 불순물 중 적어도 하나는 평방 센치미터 당 2E12 내지 1E14 불순물 원자들의 농도, 더 바람직하게는 평방 센치미터 당 1E13 내지 5E13 불순물 원자들의 농도로 존재한다. 이러한 산소 불순물, 불소 불순물 또는 탄소 불순물은 데미지 영역(16A)에서 베이스층(16')의 깊이 내에서만 존재하는 것으로 의도된다.

[0031] 또한 이 특정 실시예는, 위의 불순물 수준들을 달성하는 것을 지원하기 위해, 상기 반응성 이온 식각 플라즈마 식각 후, 그리고 도 2의 바이폴라 트랜지스터 구조의 추가 처리에 앞서, 도 2의 바이폴라 트랜지스터 구조의 완

충분한 수용성 불화수소산 식각제(buffered aqueous hydrofluoric acid etchant)(즉, 1:10 내지 1:100 희석(dilution)) 처리 또는 희석 수용성 불화수소산 식각제(dilute aqueous hydrofluoric acid etchant)(즉, 1:10 내지 1:100 희석) 처리가 포함될 수 있는 것을 고려한다. 이러한 완충된 또는 희석 불화수소산 처리는 0.1 내지 10분의 시간 구간 동안 20 내지 80°C의 온도에서 제공될 수 있다.

[0032] 도 3은 에미터층(24)을 보여주는데, 이 에미터층(24)은 에미터 애피춰(EA) 내에 노출된 베이스층(16')의 불순물로 찬(laden) 데미지 영역(16A)에 접촉하고 에미터 애피춰(EA) 내에 위치 및 형성된다. 그리하여, 도 3은 발명의 제1 실시예를 포함하는 발명의 이 특정 실시예에 따른 완성된 바이폴라 접합 트랜지스터를 형성한 것을 보여준다.

[0033] 에미터층(24)은 여러 가지 반도체 에미터 재료들을 포함할 수 있다. 특히, 실리콘 반도체 에미터 재료들(예를 들어, 입방 센치미터 당 1E19 내지 5E20의 도편트 농도로 적절한 도편트를 포함하는 폴리실리콘 에미터 재료들, 그러나 이러한 재료들로 한정되지 않음)이 포함되나, 이러한 재료들로 한정되지는 않는다. 이러한 폴리실리콘 에미터 재료들은 화학 기상 증착 방법들 및 물리 기상 증착 방법들을 포함하는 방법들을 사용하여 형성될 수 있으나, 이러한 증착 방법들로 한정되는 것은 아니다. 전형적으로, 에미터층(24)은 40 내지 200 나노미터의 두께를 갖는 도우프된 폴리실리콘 에미터 재료를 포함한다.

[0034] 도 3은 본 발명의 제1 실시예를 포함하는 발명의 특정 실시예에 따른 바이폴라 트랜지스터의 개략적인 단면도를 보여준다. 상기 바이폴라 트랜지스터 구조는, 콜렉터 영역(15) 상에서 평행하게 그리고 에미터 고립층(20) 아래에 위치 및 형성된 베이스층(16')을 차례대로 포함하는 베이스 구조를 포함한다. 여기서, 상기 에미터 고립층(20)은, 데미지 영역(16A)(이 영역은 위에서 지정된 농도로 산소 불순물, 그리고 불소 불순물 및 탄소 불순물 중 적어도 하나를 포함함)을 포함하는 베이스층(16')의 일부를 노출시키는 에미터 애피춰(EA)를 디파인(define)한다. 상기 특정 산소, 불소 및 탄소 불순물들은 베이스층(16')(즉, 이는 베이스 구조를 포함함) 또는 에미터층(24)(즉, 이는 에미터 구조를 포함함) 전체에 균일(uniformly) 또는 불균일하게(non-uniformly) 분포되는 것이 아니라, 오히려 상기 베이스 구조와 상기 에미터 구조 사이의 인터페이스로 국한(localize)된다.

[0035] 도 4는 본 발명의 다른 실시예에 따른 바이폴라 트랜지스터 구조를 제조함에 있어서 사용될 수 있는 다른 구조를 보여준다. 본 발명의 이러한 다른 실시예는 본 발명의 다른 제1 실시예를 차례대로 포함한다.

[0036] 도 4는 특히 에미터 고립층(20)의 측벽(sidewall)에 가깝게 인접하게 위치 및 형성된 스페이서(spacer)(22)(즉, 이 스페이서는 단면에서는 복수의 층들로서 도시되지만, 평면에서는 하나의 환형 층(annular layer)으로 보여지는 것으로 의도됨)을 보여준다. 스페이서(22)는 에미터 고립층(20)과 비교해서 동일 또는 다른 유전체 스페이서 재료를 포함할 수 있다. 본 발명의 이러한 다른 제1 실시예 내에서, 에미터 고립층(20)은 먼저 도 1의 개략적인 단면도 내에 도시된 에미터 애피춰(EA)를 갖고서 형성된다. 그런 다음, 스페이서 재료는 그 결과의 바이폴라 트랜지스터 구조 상에 위치 및 형성되고, 상기 스페이서 재료층은 이방성으로(anisotropically) 플라즈마 식각되어 스페이서(22)를 형성한다. 본 발명의 제1 실시예와 유사하게, 스페이서(22)를 형성하는 것에 계속하여, 유전체 캡핑층(18)은 부분적으로(도시된 바와 같이) 또는 전체적으로 식각되어 유전체 캡핑층(18')을 형성하고, 데미지 영역(16A)을 포함하는 베이스층(16')에게 에미터 애피춰(EA')의 하부에 불순물 처리된 그리고 불순물로 찬 부분을 제공한다. 상기 부분적으로 식각된 유전체 캡핑층은 도 4에서 18"로 표시되었다.

[0037] 도 2에 예시된 베이스층(16')을 형성하기 위한 제1 실시예에서 사용되는 플라즈마 식각 조건들은 또한 도 4에 도시된 이러한 다른 제1 실시예 내에서도 또한 사용될 수 있는데, 여기서는 에미터 고립층(20)과, 스페이서(22)를 형성한 재료가 동일하거나, 또는 그와는 달리 어떠한 식각 선택비 특성을 갖지 않는다는 것을 가정한다.

[0038] 도 5는 그 개략적인 단면도가 도 4에 도시된 바이폴라 트랜지스터 구조 내에 예시된 에미터 애피춰(EA') 내에 위치 및 형성된 에미터층(24')을 보여준다. 이 도면에서, EA'에 남은 유전체 캡핑층(18")은 에미터층(24)을 형성하기 전에 제거되었다. 도 5의 개략적인 단면도 내에 보여진 에미터층(24')은 다르게는 그 개략적인 단면도가 도 3에 도시된 바이폴라 트랜지스터 구조 내에 예시된 에미터층(24)에 기능적으로 유사하거나 상응하지만, 스페이서(22)의 존재에서 기인하는 특정 기하학적 차이 그리고 치수의 차이에 있어서는 그렇지 않다.

[0039] 도 5는 본 발명의 다른 제1 실시예를 포함하는 본 발명의 추가 실시예에 따른 바이폴라 트랜지스터 구조의 개략적인 단면도를 보여준다. 또한, 이러한 다른 제1 실시예에 따른 바이폴라 트랜지스터 구조는, 상기 에미터 구조와 베이스 구조의 벌크에 균일하게 또는 불균일하게 분포되는 것이 아니라, 에미터 구조(즉, 에미터층(24'))와 베이스 구조(즉, 베이스층(16')) 사이의 데미지 영역(16A) 인터페이스에서 국한된, 산소 불순물, 그리고 불소 불순물 및 탄소 불순물 중 적어도 하나의 포함(inclusion)에 따른 바이폴라 트랜지스터 구조 내에 위치 및 형성

된 향상된 성능의 바이폴라 트랜지스터를 달성한다. 그러나, 본 발명의 이러한 특정 실시예는 에미터 애피춰(EA') 내에 스페이서(22)의 포함에 의해 상기 제1 실시예와는 다르다.

[0040] 도 6은 본 발명의 또 다른 실시예를 제공하기 위해, 그 개략적인 단면도가 도 1에 도시된 바이폴라 트랜지스터 구조의 또 다른 공정 시퀀스의 결과들을 보여준다. 본 발명의 이러한 다른 실시예는 본 발명의 제2 실시예를 포함한다.

[0041] 도 6은 베이스층(16) 내에 어떠한 데미지 영역도 형성하지 않고서, 유전체 캡핑층(18')을 형성하기 위해, 도 1에 나타낸 유전체 캡핑층(18)을 패턴한 결과들을 보여준다. 따라서, 도 6의 바이폴라 트랜지스터 구조의 공정의 이 시점에서는, 베이스층(16) 내에 어떠한 불순물도 포함되지 않았다.

[0042] 유전체 캡핑층(18')을 형성하기 위한 유전체 캡핑층(18)에 대한 상기 식각은 반도체 제조 기술에서 일반적으로 전통적인 방법들 및 재료들을 사용하여 얻어질 수도 있다. 그러한 방법들에는, 특히, 습식 화학적 식각 방법들 및 전식 플라즈마 식각 방법들이 포함될 수 있으나, 이러한 식각 방법들로 한정되는 것은 아니다. 수용성 불화수소산 기반의 식각제(aqueous hydrofluoric acid based etchant)를 사용하는 습식 화학적 식각 방법들은, 그러한 식각제들이 실리콘 함유 반도체 재료들에 비해 실리콘 산화물 유전체 재료들로 일반적으로 특징되는 한 바람직하다.

[0043] 도 7은 에미터 애피춰(EA) 내의 베이스층(16) 상에 위치 및 형성된 열 산화물층(26)을 형성하기 위해 도 6의 바이폴라 트랜지스터 구조를 열 산화(thermally oxidize)한 결과들을 보여준다. 에미터 애피춰(EA)의 위치에서 베이스층(16) 상에 위치 및 형성된 열 산화물층(26)을 제공하기 위해 도 6의 바이폴라 트랜지스터 구조의 이러한 열 산화는 반도체 제조 기술에서 일반적으로 전통적인 열 어닐링 방법들(thermal annealing methods) 및 열 어닐링 재료들(thermal annealing materials)을 사용하여 수행될 수도 있다. 이러한 방법들의 예들에는, 특히 급속 열 어닐링 방법들(rapid thermal annealing methods)(즉, 5 내지 10000 밀리초의 시간 구간 동안 500 내지 900°C의 온도하에서 수행됨), 및 퍼니스 열 어닐링 방법들(furnace thermal annealing methods)(즉, 1 내지 30분의 시간 구간 동안 500 내지 800°C의 온도하에서 수행됨) 등이 있으나, 이러한 방법들로 한정되는 것은 아니다. 바람직하게는, 열 산화물층(26)은 2 내지 20 나노미터의 두께를 갖는다.

[0044] 도 8은, 열 산화물층(26)을 전체로 또는 부분적으로 식각하여, 베이스층(16)의 표면에 적어도 산소 불순물, 그리고 불소 불순물 및 탄소 불순물 중 적어도 하나를 포함하는 데미지 영역(16A)을 형성하기 위해, 적층된 실리콘 산화물 유전체 재료(즉, 유전체 캡핑층(18')의 남은 부분들을 형성하기 위해 사용되는 것과 같은 재료)에 비해서, 열 실리콘 산화물 유전체 재료로 특징되는 무수 암모니아 증기(anhydrous ammonia vapor)와 무수 불화수소 증기 식각제(anhydrous hydrogen fluoride vapor etchant) 혼합재료(mixture)로, 도 8의 개략적인 단면도 내에 도시된 열 유전체(26)를 처리한 결과를 보여준다.

[0045] 전형적으로, 상기 무수 암모니아 증기 및 무수 불화수소 증기 식각제 혼합재료는, (1) 1:10 내지 3:1의 무수 암모니아(anhydrous ammonia), 무수 불화 수소(anhydrous hydrogen fluoride) 부피비(volume ratio), (2) 2 내지 100mTorr의 반응 챔버 압력, (3) 5 내지 50°C의 온도, 및 (4) 1 내지 10 분의 시간 구간 동안 1 내지 100 표준입방 센티미터들의 총 플로우 레이트(flow rate)에서 열 산화물층(26)을 부분적으로 또는 전체적으로 식각하도록 공급된다.

[0046] 도 9는 본 발명의 제2 실시예에 따른 완전한 바이폴라 트랜지스터 구조를 형성하기 위해, 도 8의 개략적인 단면도 내에 도시된 에미터 애피춰(EA) 내에 위치 및 형성된 에미터층(24)을 보여준다. 상기 제1 실시예 및 상기 다른 제1 실시예와 유사하게, 이러한 특정 바이폴라 트랜지스터 구조의 성능은 향상되는데, 이러한 구조의 성능 향상은, 상기 에미터 애피춰(EA)의 위치에서 에미터층(24)(즉, 에미터 구조)과 베이스층(16')(즉, 베이스 구조)의 인터페이스에서, 상기 에미터 구조 또는 상기 베이스 구조의 다른 위치들 내에 불순물의 균일 또는 불균일한 분포없이, 산소 불순물, 그리고 불소 불순물 및 탄소 불순물 중 적어도 하나의 존재에 기인한다.

[0047] 도 10은 도 9의 바이폴라 트랜지스터 구조 상에 위치 및 형성된 패시베이션층(28)을 보여준다. 또한 도 10은 패시베이션층(28)을 통해서 관통하고 각기 에미터층(24), 베이스층(16) 및 콜렉터층(12)과 접촉하여, 특정 제2 실시예에 따른 바이폴라 트랜지스터 구조 내에서 동작의 전기적 연결들을 제공하는 복수의 비아들(30)을 보여준다.

[0048] 패시베이션층(28)은 여러 가지 패시베이션 재료들을 포함할 수 있다. 이러한 패시베이션 재료들은, 일반적으로 4 내지 20의 고 유전체 상수(예를 들어, 실리콘 산화물 패시베이션 재료들, 실리콘 질화물 패시베이션 재료들 및 실리콘 산질화물 패시베이션 재료들, 그러나 이러한 것들로 한정되는 것은 아님)를 갖는 패시베이션 재료들

을 포함할 수 있다. 그러나 이러한 재료들로 한정되는 것은 아니다. 또한, 이러한 패시베이션 재료들은 일반적으로 4보다 낮은 유전체 상수를 갖는 저 유전체 상수 패시베이션 재료들(예를 들어, 스핀-온-글래스(spin-on-glass) 유전체 재료들, 스핀-온-폴리머(spin-on-polymer) 유전체 재료들, 불소실리케이트(fluorosilicate) 글래스 유전체 재료들 및 탄소 도우프된 유전체 재료들, 그러나 이러한 것들로 한정되는 것은 아님)을 포함할 수 있다. 그러나 이러한 재료들로 한정되는 것은 아니다. 전형적으로, 패시베이션층(28)은 200 내지 2000 나노미터들을 갖는 저 유전체 상수 유전체 재료를 적어도 일부 포함한다.

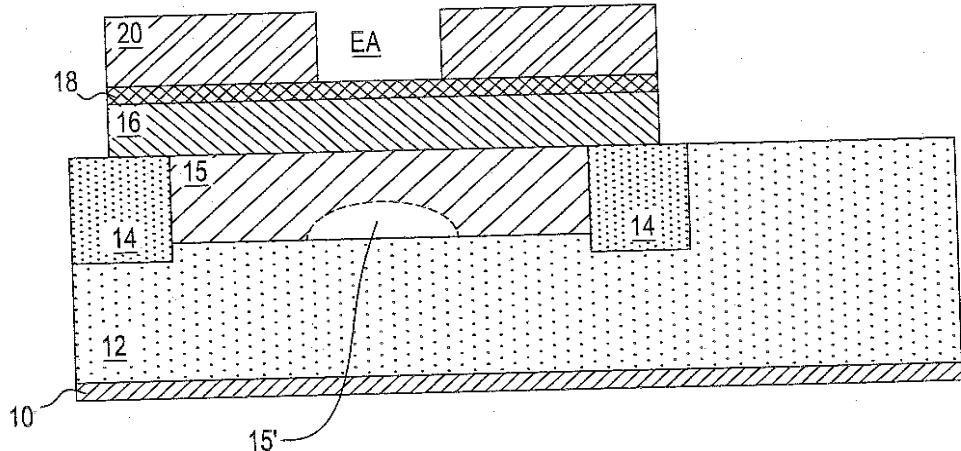
[0049] 비아들(30)은 반도체 제조 기술에서 일반적으로 전통적인 여러 가지 도전체 비아 재료들을 포함할 수도 있다. 이러한 도전체 비아 재료들은, 알루미늄, 텁스텐, 구리 및 도우프된 폴리실리콘 비아 재료들뿐만 아니라, 상기 도전체 비아 재료들의 합금들, 상기 도전체 비아 재료들의 합성물들(composites), 상기 도전체 비아 재료들의 선택된 질화물들, 및 상기 도전체 비아 재료들의 선택된 규화물들(silicides)을 포함할 수 있으나, 이러한 재료들로 한정되는 것은 아니다. 또한, 비아들(30) 내에는 패시베이션층(28)으로부터 비아들(30)을 효과적으로 고립시키는 장벽층들(barrier layers)이 포함되는데, 이러한 장벽층들은 반도체 제조 기술에서 전통적인 방법에 따라서 형성된다(즉, 도전체 장벽층들 및 유전체 장벽층들을 포함함).

[0050] 본 발명의 제2 실시예 내에서 도 10에 도시된 추가의 바이폴라 트랜지스터 구조 공정은 또한 도 3에 도시된 제1 실시예의 바이폴라 트랜지스터 구조에 적용가능하고, 또는 도 5에 도시된 다른 제1 실시예의 바이폴라 트랜지스터 구조에도 적용가능하다.

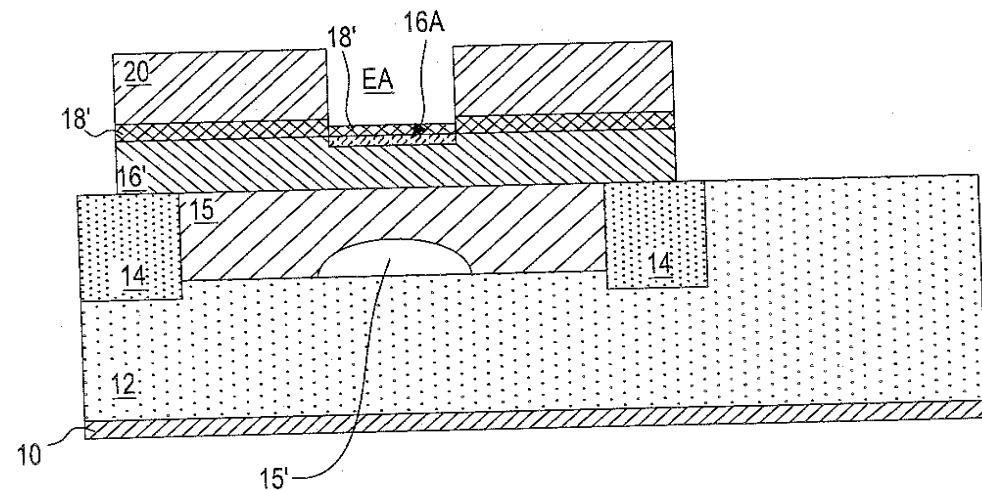
[0051] 상기 바람직한 실시예들은 본 발명을 한정하려는 것이라기보다는 본 발명의 예시이다. 본 발명의 바람직한 실시예에 따른 방법들, 및 바이폴라 트랜지스터 구조의 재료들, 구조들 및 치수들에 대해서 수정들(revisions) 및 변경들(modifications)이 있을 수 있으나, 이 또한 첨부되는 청구항들에 따른 본 발명의 바이폴라 트랜지스터 구조 및 이를 제조하는 방법을 제공한다.

## 도면

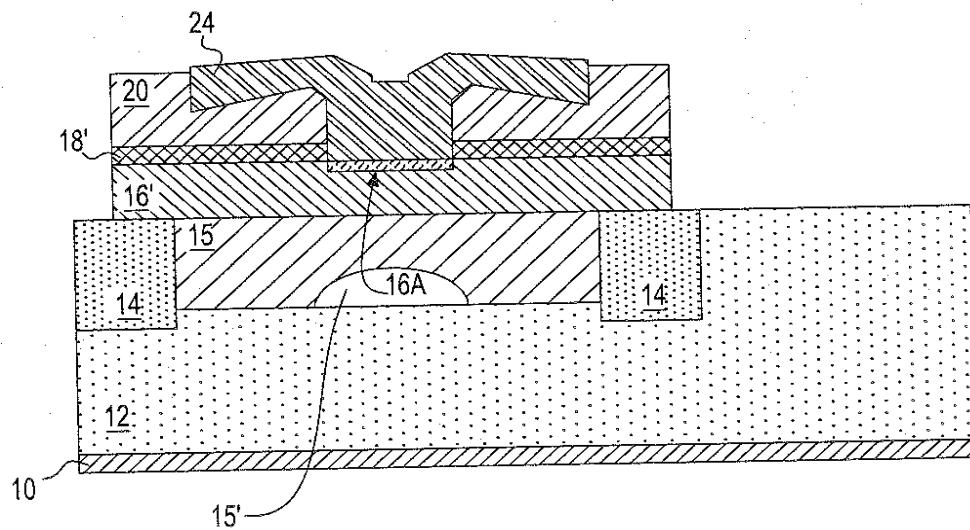
### 도면1



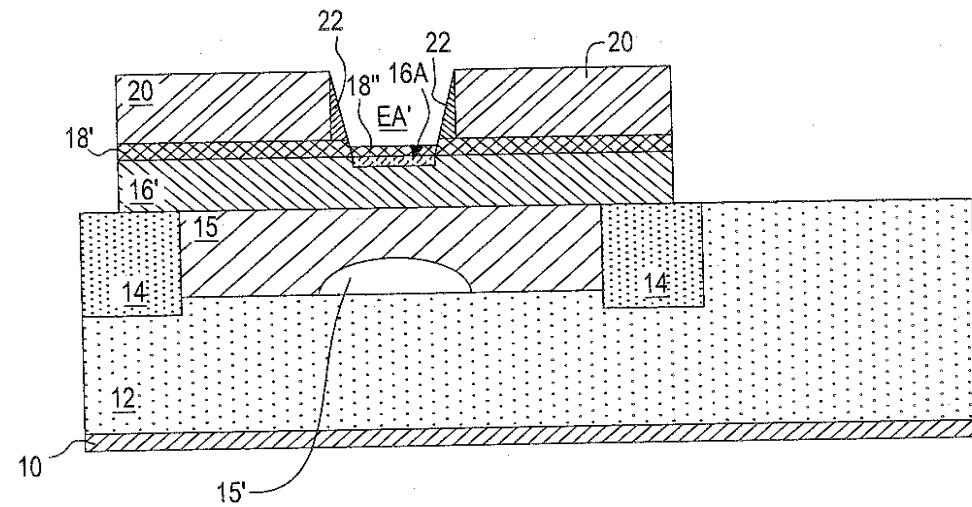
## 도면2



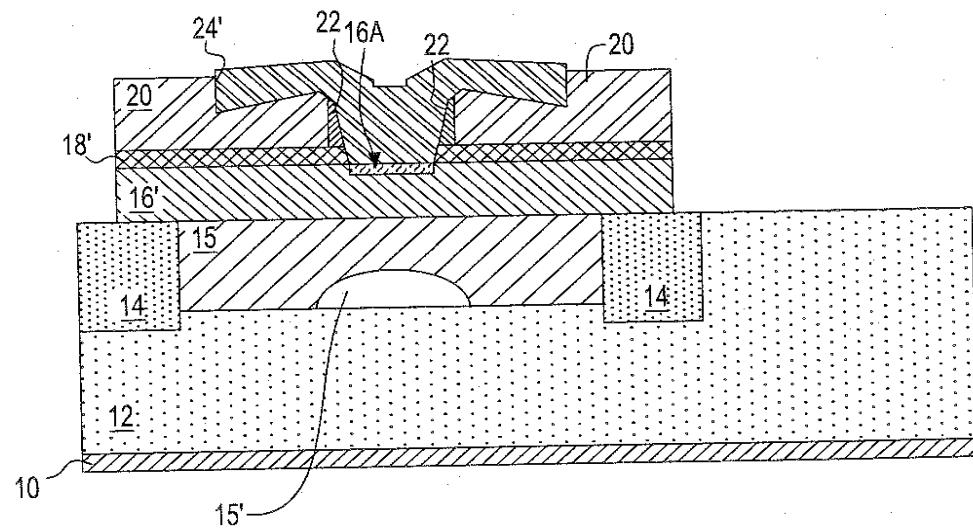
## 도면3



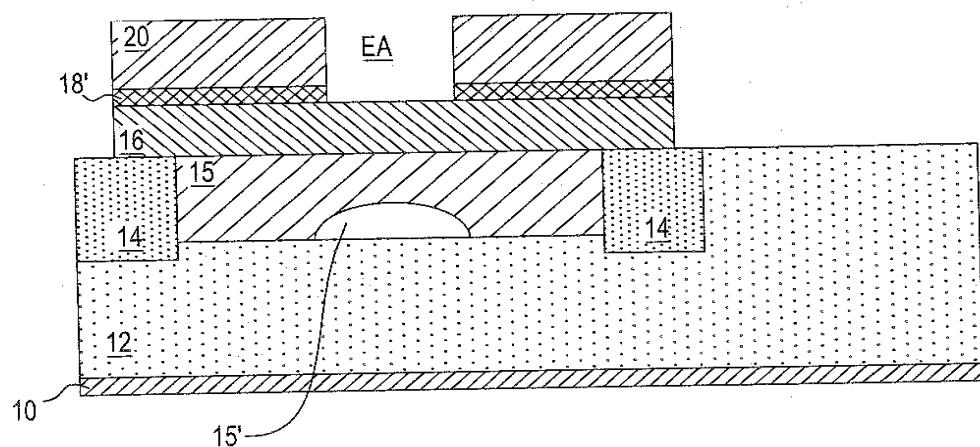
## 도면4



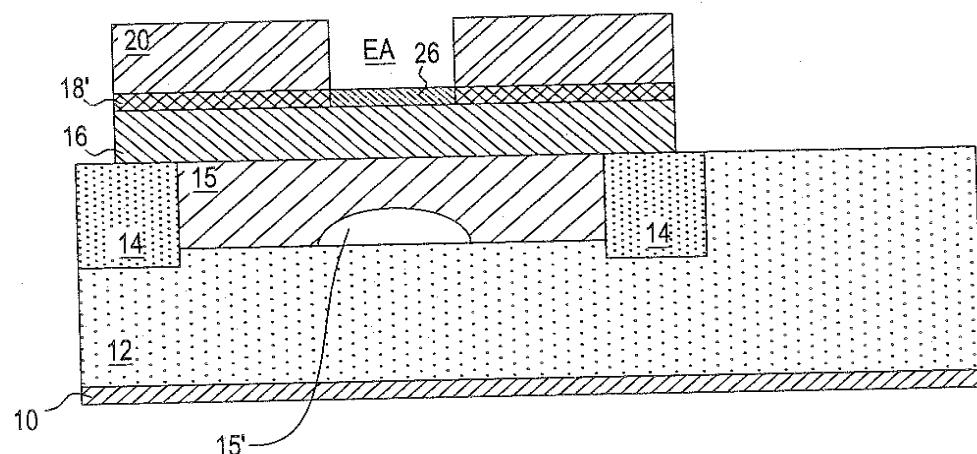
## 도면5



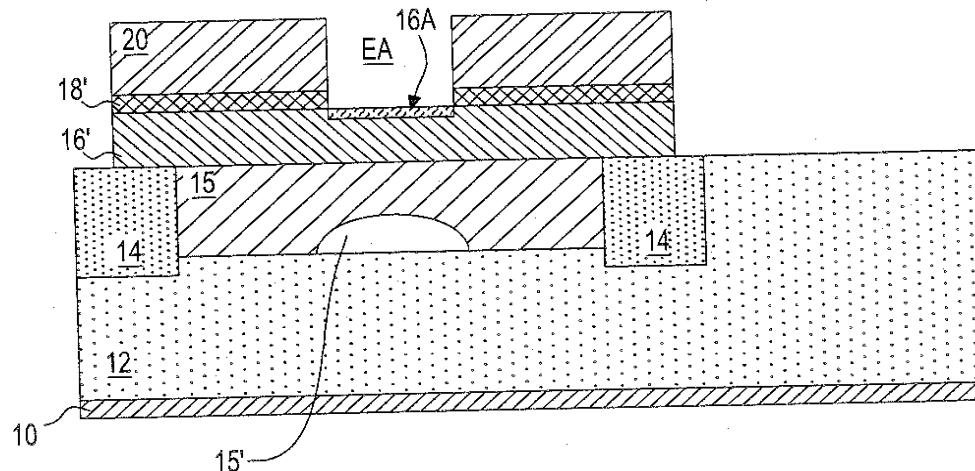
## 도면6



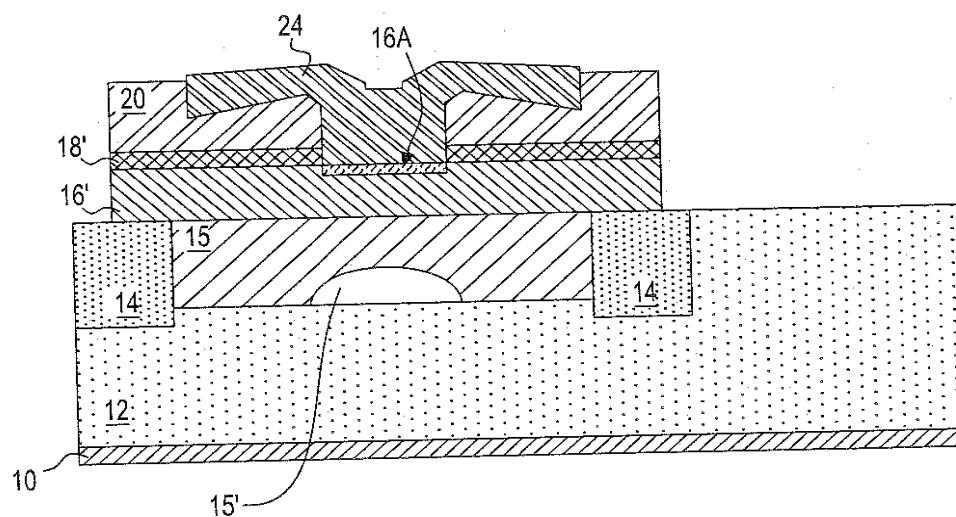
## 도면7



도면8



도면9



도면10

