

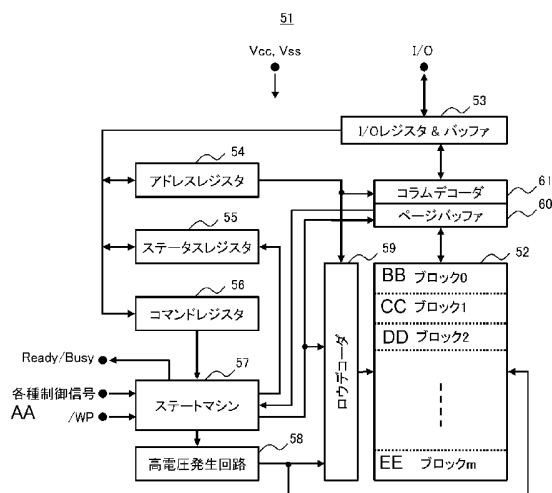


- (51) 国際特許分類:
G11C 16/06 (2006.01)
- (21) 国際出願番号: PCT/JP2004/017807
- (22) 国際出願日: 2004年11月30日 (30.11.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サンペイブルワンエイ
ムディプレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会
社 (SPANSION JAPAN LIMITED) [JP/JP]; 〒9650845
福島県会津若松市門田町工業団地6番 Fukushima (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 矢野勝 (YANO,
Masaru) [JP/JP]; 〒1600023 東京都新宿区西新宿四
丁目33番4号 Spansion Japan 株式
- 会社内 Tokyo (JP). 青木実 (AOKI, Minoru) [JP/JP];
〒1600023 東京都新宿区西新宿四丁目33番4号
Spansion Japan 株式会社内 Tokyo (JP).
- (74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031
東京都中央区京橋1-6-1 三井住友海上テブコビル
Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,
NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,
SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE CONTROL METHOD

(54) 発明の名称: 半導体装置および半導体装置の制御方法



AA.. VARIOUS CONTROL SIGNALS
54.. ADDRESS REGISTER
55.. STATUS REGISTER
56.. COMMAND REGISTER
57.. STATE MACHINE
58.. HIGH VOLTAGE GENERATING CIRCUIT
53.. I/O REGISTER AND BUFFER
61.. COLUMN DECODER
60.. PAGE BUFFER
59.. ROW DECODER
BB.. BLOCK 0
CC.. BLOCK 1
DD.. BLOCK 2
EE.. BLOCK m

(57) Abstract: A semiconductor device comprises a memory cell group including memory cells connected to word lines; a selection gate connected to a control word line and to the memory cell group and capable of storing information of protection of the memory cell group; and a voltage applying circuit for applying to the control word lines a voltage that turns off the selection gate when the selection gate holds the protection information during a program verification of the memory cells. The storage of the protection information into the selection gate can protect the memory cell group from a writing operation without increasing the circuit scale. The application, to the control word line, of a voltage that turns off the selection gate when the selection gate holds the protection information during a program verification of the memory cells results in a protected block passing in the program verification.

(57) 要約: 半導体装置は、ワード線に接続されたメモ
リセルを含むメモリセル群と、制御ワード線と前
記メモリセル群に接続され、メモリセル群に対する
保護情報を記憶可能な選択ゲートと、メモリセルのプ
ログラムベリファイ時に、選択ゲートが保護情報を保
持している場合には選択ゲートがオフする電圧を制御
ワード線に印加する電圧供給回路とを含む。選択ゲ
ートに保護情報を記憶させることで、回路規模を大き
くすることなく、メモリセル群を書き換え動作から保
護できる。メモリセルのプログラムベリファイ時に、
制御ワード線には、選択ゲートが保護情報を保持して
いる場合には選択ゲートがオフする電圧を印加するこ
とで、プロテクトされたブロックは、プログラムベリ
ファイ時にパスすることになる。



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

半導体装置および半導体装置の制御方法

技術分野

- [0001] 本発明は、半導体装置および半導体装置の制御方法に関し、特に書き換え保護機能を備えた半導体装置および半導体装置に制御方法に関する。

背景技術

- [0002] データ格納用途のフラッシュメモリとして、NAND型や、AND型のものがよく用いられている。NAND型フラッシュメモリの一例として、電荷蓄積層として浮遊ゲート(Floating Gate: FG)を有するものが、特許文献1および特許文献2に記載されている。
- [0003] 図1は、従来のFG型NANDフラッシュメモリのアレイ構造を示す図である。図1において、WL000乃至WL031は1ブロックの単位毎に配設されたワード線、BL_nはビット線、Mはメモリセルをそれぞれ示す。各ビット線BL_nはページバッファ10₀乃至10_nに接続されている。メモリセルMは、この1ブロックの単位で各ビット線BL_n毎に、32個直列に接続されて一つのメモリセル列を構成している。メモリセル列M000乃至M031、…、Mn00乃至Mn31の各々の一端は、選択線SSG0の電位にそれぞれ応答する選択ソースゲートSSG00〜SSG0nを介してそれぞれアレイV_{ss}線ARVSSに接続されており、また、各々の他端は、選択線SDG0の電位にそれぞれ応答する選択ドレインゲートSDG00〜SDG0n、ドレインコンタクト22₀〜22_nを介してビット線BL0〜BL_nに接続されている。アドレス信号に基づく選択ゲートの制御によって、所望のブロックが選択され、そのほかのブロックは非選択となる。
- [0004] 図2(a)はFG型NANDフラッシュメモリのセル断面構造を示す図、同図(b)は選択ゲートの断面構造を示す図である。図2(a)に示すように、このメモリセルMは、シリコン基板31上に、トンネル酸化膜32、多結晶シリコンの浮遊ゲート33、酸化膜34、窒化膜35、酸化膜36、制御ゲート37を順に積層した構造を有する。FG型NANDフラッシュメモリの閾値は消去状態(データ1)の場合は負、書込み状態(データ0)の場合は正に設定される。図2(b)に示すように、選択ゲートSSG及びSDGは、シリコン基

板41上に、酸化膜42、ゲート電極43を順に積層した構造を有する。

- [0005] また近年、SONOS (semiconductor-oxide-nitride-oxide-semiconductor) 型NANDフラッシュメモリの開発が進められている。これは、浮遊ゲートの代わりに、電荷蓄積層として例えば窒化膜を用いて情報を記憶する。この技術は特許文献3に記載されている。SONOS構造の不揮発性半導体メモリでは、ゲート絶縁膜中への電荷の注入をソース側から、あるいはドレイン側から行うことにより、多値情報の保持が可能である。
- [0006] また従来のNAND型フラッシュメモリでは、電源投入時や切断時などに、チップが誤動作することでメモリセルのデータが改ざん(書き換え)されることを防止するために、書き換え保護機能を有している。この機能は、外部から/WP端子にLOWレベルの信号を与えると、書き換えを行う回路(高電圧発生回路など)を非活性にすることで、チップ内の全セルへの書き換えを禁止させるものである。
- [0007] 一方、コード格納用途として用いられるNOR型フラッシュメモリでは、ブロック(セクタ)単位で書き換え保護を実現する機能を有している。これは、個々のブロックに対して、書き換え保護情報を設定する保護記憶手段(CAMやラッチ回路)をメモリアレイとは別の領域に設ける構成となっている。外部から書き換え指示が入力されると、ステートマシンが書き換え対象のブロックに対応する保護記憶手段のデータを参照し、そのデータに応じて書き換えまたは書き換え禁止を実現している。
- [0008] 特許文献1: 日本国公開特許公報 特開2001-308209号
特許文献2: 日本国公表特許公報 特表2001-518696号
特許文献3: 日本国公開特許公報 特開2003-204000号
- 発明の開示
- 発明が解決しようとする課題
- [0009] 近年、NAND型フラッシュメモリにおいて、所定のブロックにシークレットデータやコードデータ(プログラム)を格納して使用するケースがある。このケースでは、NAND型フラッシュメモリから一端RAM(Random Access Memory)にコードデータ等を展開した後に、ホストシステムはそのデータを読み出す。
- [0010] しかしながら、NAND型フラッシュメモリでは、NOR型フラッシュメモリのように、プロ

ック毎の保護機能は有していないため、外部から誤った書き換え指示により当該データが改ざんされることを防止できないという問題がある。また、NOR型フラッシュメモリで実現されていたように、書き換え保護情報を設定する保護記憶手段を別途設けた場合、回路規模が大きくなってしまう。

- [0011] そこで、本発明は上記問題点に鑑みてなされたもので、回路規模を大きくすることなく、メモリセルを書換え動作から保護できる半導体装置および半導体装置の制御方法を提供することを目的とする。

課題を解決するための手段

- [0012] 上記課題を解決するために、本発明は、ワード線に接続されたメモリセルを含むメモリセル群と、制御ワード線と前記メモリセル群に接続され、前記メモリセル群に対する保護情報を記憶可能な選択ゲートとを含む半導体装置である。本発明によれば、選択ゲートに保護情報を記憶させることで、回路規模を大きくすることなく、メモリセル群を書き換え動作から保護できる。
- [0013] 前記メモリセル群は、前記メモリセルが複数個直列に接続されている。本発明によれば、メモリセルを複数個直列に接続させることで、ナンドストリングを構成できる。
- [0014] 本発明の半導体装置は更に、コマンド動作により前記保護情報を前記選択ゲートに記憶させる制御回路を含む。本発明によれば、コマンド動作により選択ゲートに保護情報を記憶させることができる。
- [0015] 本発明の半導体装置は更に、前記メモリセルの読み出し時に、前記選択ゲートがオンする電圧を前記制御ワード線に印加する電圧供給回路を含む。本発明によれば、選択ゲートが保持する保護情報に関わらず、メモリセルの読み出しを行うことができる。
- [0016] 前記選択ゲートがオンする電圧は、前記メモリセルのうち非選択のメモリセルのワード線に印加する電圧と略同一である。
- [0017] 本発明の半導体装置は更に、前記メモリセルのプログラムベリファイ時に、前記選択ゲートが保護情報を保持している場合には前記選択ゲートがオフする電圧を前記制御ワード線に印加する電圧供給回路を含む。本発明によれば、メモリセルのプログラムベリファイ時に、制御ワード線には、選択ゲートが保護情報を保持している場合

には選択ゲートがオフする電圧を印加することで、プロテクトされたブロックは、プログラムベリファイ時にパスすることになる。

- [0018] 本発明の半導体装置は更に、前記メモリセルのプログラムベリファイ時に、ベリファイパスと判定するページバッファを含む。本発明によれば、ページバッファがメモリセルのプログラムベリファイ時に、ベリファイパスと判定することで、あたかも指定ページのプログラム対象の全セルにおいて、プログラムが正常に完了したかのようにみなされて、そのブロックは書き換えから保護される。
- [0019] 本発明の半導体装置は更に、前記メモリセルのプログラム時に、前記選択ゲートが保護情報を記憶している場合には前記選択ゲートがオフする電圧を前記制御ワード線に印加する電圧供給回路を含む。本発明によれば、メモリセルのプログラム時に、制御ワード線には、選択ゲートが保護情報を記憶している場合には選択ゲートがオフする電圧を印加することで、全セルのチャネルはワード線とともにカップリングで昇圧され、セルにはパルスはかからず、プログラムされない。これによりセルは書き換えから保護される。
- [0020] 本発明の半導体装置は更に、前記ビット線に接続されるページバッファと、前記メモリセルの消去動作時には、前記選択ゲートの読み出し動作を行い、前記ページバッファが該読み出しデータを保護情報であると判定した場合、前記メモリセルの消去を中止する制御回路とを含む。本発明によれば、セルは消去から保護される。
- [0021] 前記制御回路は、前記コマンド動作により前記メモリセル群と前記選択ゲートを複数含むブロックに対し保護情報を設定する。本発明によれば、所定のコマンド動作によりメモリセル群と選択ゲートを複数含むブロックに対し保護情報を設定することができる。前記メモリセルはSONOS型である。前記選択ゲートはSONOS型である。前記選択ゲートは選択ドレインゲートである。前記半導体装置は半導体記憶装置である。
- [0022] 本発明は、ワード線に接続されたメモリセルを含むメモリセル群および制御ワード線に接続された選択ゲートに、該メモリセル群に対する保護情報を記憶させるステップを含む半導体装置の制御方法である。本発明によれば、選択ゲートに保護情報を記憶させることで、回路規模を大きくすることなく、メモリセル群を書き換え動作から保護

できる。

[0023] 前記半導体装置の制御方法は更に、前記メモリセルの読み出し時に、前記選択ゲートがオンする電圧を前記制御ワード線に印加するステップを含む。本発明によれば、選択ゲートが保持する保護情報に関わらず、メモリセルの読み出しを行うことができる。

[0024] 前記半導体装置の制御方法は更に、前記メモリセルのプログラムベリファイ時に、前記選択ゲートが保護情報を保持している場合には前記選択ゲートがオフする電圧を前記制御ワード線に印加するステップを含む。本発明によれば、メモリセルのプログラムベリファイ時に、制御ワード線には、選択ゲートが保護情報を保持している場合には選択ゲートがオフする電圧を印加することで、プロテクトされたブロックは、プログラムベリファイ時にパスすることになる。

[0025] 前記半導体装置の制御方法は更に、前記メモリセルのプログラム時に、前記選択ゲートが保護情報を記憶している場合には前記選択ゲートがオフする電圧を前記制御ワード線に印加するステップ含む。本発明によれば、本発明によれば、メモリセルのプログラム時に、制御ワード線には、選択ゲートが保護情報を記憶している場合には選択ゲートがオフする電圧を印加することで、全セルのチャネルはワード線とともにカップリングで昇圧され、セルにはパルスはかからず、プログラムされない。これによりセルは書き換えから保護される。

発明の効果

[0026] 本発明によれば、回路規模を大きくすることなく、メモリセル群を書換え動作から保護できる半導体装置および半導体装置の制御方法を提供できる。

図面の簡単な説明

[0027] [図1]従来のFG型NANDフラッシュメモリのアレイ構造を示す図である。

[図2](a)はFG型NANDフラッシュメモリのセル断面構造を示す図、(b)は選択ゲートの断面構造を示す図である。

[図3]第1実施形態によるNAND型フラッシュメモリのブロック図である。

[図4]SONOS型NANDフラッシュメモリの断面図である。

[図5](a)はSONOS型メモリセルの断面図、(b)はSONOS型選択ドレインゲートの

断面図である。

[図6]SONOS型メモリセルの V_t 分布を示す図である。

[図7]ブロックに対し書き換えからの保護情報を記憶するSONOS型選択ドレインゲートの V_t 分布を示す。

[図8]SONOS型NANDフラッシュメモリアレイを示す図である。

[図9]ページバッファの構成を示す図である。

[図10]SONOS型NANDフラッシュメモリアレイと、読み出し時の電圧条件を示す図である。

[図11]SONOS型NANDフラッシュメモリアレイと、プログラムベリファイ時の電圧条件を示す図である。

[図12]第1実施形態のPGMVおよび電圧条件のタイミングチャートである。

[図13]第1実施形態のライトプロテクト動作における選択ドレインゲートSDGへのプログラムベリファイとプログラムの電圧条件のタイミングチャートである。

[図14]第2実施形態のSONOS型NANDフラッシュメモリアレイとPGM電圧条件を示す図である。

[図15]第2実施形態のプログラムベリファイおよびプログラム電圧条件のタイミングチャートである。

発明を実施するための最良の形態

[0028] 以下、本発明を実施するための最良の形態について説明する。

[0029] [第1実施形態]図3は、第1実施形態によるNAND型フラッシュメモリのブロック図である。フラッシュメモリ51は、メモリセルアレイ52、I/Oレジスタ・バッファ53、アドレスレジスタ54、ステータスレジスタ55、コマンドレジスタ56、ステートマシン57、高電圧発生回路58、ロウデコーダ59、ページバッファ60及びコラムデコーダ61を含む。

[0030] メモリセルアレイ52は、マトリクス状に配列された複数のワード線WL及び複数のビット線BLに沿って書換え可能な不揮発性のメモリセルトランジスタが配設されている。

[0031] I/Oレジスタ・バッファ53は、I/O端子に対応する各種信号又はデータを制御するものである。アドレスレジスタ54は、I/Oレジスタ・バッファ53を通して入力されたア

ドレス信号を一時格納しておくためのものである。ステータスレジスタ55は、ステータス情報を一時格納しておくためのものである。コマンドレジスタ56は、I/Oレジスタ・バッファを通して入力された動作コマンドを一時格納しておくためのものである。

[0032] ステートマシン57は、各制御信号に応答してデバイス内部の各回路の動作を制御するものである。高電圧発生回路58は、デバイス内部で用いられる高電圧を発生するものである。デバイス内部で用いられる高電圧には、データ書込み用の高電圧、データ消去用の高電圧、データ読み出し用の高電圧、データ書込み時／消去時にメモリセルに対して十分に書込み／消去が行われているかどうかをチェックするのに用いられるベリファイ用の高電圧等が含まれる。

[0033] ロウデコーダ59は、アドレスレジスタ54を通して入力されたロウアドレスをデコードしてワード線WLを選択する。ページバッファ60は、データラッチ回路とセンスアンプ回路などを含み、同一のワード線に接続された複数のメモリセルに格納されるデータを各々ラッチして出力するものである。コラムデコーダ61は、アドレスレジスタ54を通して入力されたコラムアドレスをデコードして複数のコラム線を選択する。なお、I/Oレジスタ・バッファ53、ロウデコーダ59、コラムデコーダ61及び高電圧発生回路58は、ステートマシン57からの制御に基づいて機能する。

[0034] 図4は本発明に係るSONOS型NANDフラッシュメモリの断面図である。図5(a)はSONOS型メモリセルの断面図、同図(b)はSONOS型選択ドレインゲートの断面図である。図4において、M01乃至M16はSONOS型メモリセル、BLはビット線、SSGは選択ソースゲート、SDGは選択ドレインゲート、71はソース拡散層、72は拡散層、73はドレイン拡散層、22はドレイン(ビット線)コンタクトをそれぞれ示す。SONOS型メモリセルMが複数個直列に接続されてナンドストリングを構成している。この例では、SONOS型メモリセルが16個直列に接続されている。なおSONOS型メモリセルは16個に限らず32個であってもよい。

[0035] メモリセル列の両端には、選択ドレインゲートSDG、選択ソースゲートSSGが接続される。選択ドレインゲートSDGはSONOS型である。選択ドレインゲートSDGは、ドレインコンタクト22を介してビット線BLに接続されている。このビット線BLは、図3で示したページバッファ60に接続される。この選択ドレインゲートSDGは、制御ワード

線とメモリセル群に接続され、メモリセル群に対する保護情報を記憶可能な選択ゲートである。選択ソースゲートSSGはエンハンストランジスタで構成される。

[0036] 図5(a)に示すように、SONOS型メモリセルトランジスタMは、シリコン基板81上に構成されており、シリコン基板81中に埋め込み拡散領域81A、81Bが、それぞれソース領域およびドレイン領域として形成されている。さらにSi基板81の表面は酸化膜82、窒化膜83、酸化膜84を積層した構造のONO膜86により覆われており、ONO膜86上にはポリシリコンゲート電極85が形成されている。

[0037] 図5(b)に示すように、SONOS型選択ドレインゲートSDGは、シリコン基板91上に構成されており、シリコン基板91中に埋め込み拡散領域91A、91Bが、それぞれソース領域およびドレイン領域として形成されている。さらにSi基板91の表面は酸化膜92、窒化膜93、酸化膜94を積層した構造のONO膜96により覆われており、ONO膜96上にはポリシリコンゲート電極95が形成されている。

[0038] 図6は、図5(a)で示したSONOS型メモリセルの V_t 分布を示す図である。SONOS型メモリセルでは、消去を行ったときに、 V_t がある電圧で飽和するという特性があり、通常のNANDフラッシュメモリの V_t 分布とは異なる。ここでは、その電圧を1Vと示してある。また、選択WLに対して、消去ベリファイ時に印加する電圧 V_{erv} は2V、読み出し時に印加する電圧 V_{read} は2.5V、書込みベリファイ時に印加する電圧 V_{pgmv} は3Vに設定され、読み出し時に非選択WLに印加する電圧 V_{pass} は6Vに設定される。

[0039] 図7は、本発明によるブロックに対し書き換えからの保護情報を記憶するSONOS型選択ドレインゲートの V_t 分布を示す。選択ドレインゲートSDGには、SONOS型メモリセルを用いる。図7に示すように、そのブロックが非保護状態(アンプロテクト)の場合は、当該ブロックに属するすべての選択ドレインゲートSDGはデータ1を有し、保護状態(プロテクト)の場合は、データ0を有することで、保護および非保護を設定する。 V_{read} は2.5V、書込みベリファイ時に選択ドレインゲートのゲート電極に印加する電圧 V_{pgmv_cwl} は2.7V、 V_{pass} は6Vに設定されている。

[0040] 図8は、SONOS型NANDフラッシュメモリアレイを示す図である。図8において、符号52はメモリセルアレイ、60nはページバッファをそれぞれ示す。16個のSONO

S型メモリセルが直列に接続されてナンドストリングを構成している。この両端には、選択ドレインゲートSDG0n、選択ソースゲートSSG0nが接続されている。選択ドレインゲートSDG0nは更に、ドレインコンタクト22nを介してビット線BLnに接続されている。ビット線BLnはページバッファ60nに接続される。これらのナンドストリングn個(nは512Byte+16Byte)のブロックが消去単位のブロックを構成する。

[0041] 一つのワード線WLに接続されるn個のメモリセルの単位が、リードやプログラムのアクセス単位であるページを構成する。従って、リード、プログラムは、n個のメモリセルに対して同時に行われる。また、ビット線BL方向には、同様に別のブロックが複数個配置される。ビット線BLnは共通である。隣接する2つのブロックは、ドレインコンタクト22nに対して鏡面对象となる。アドレス信号に基づく選択ゲートの制御によって所望のブロックが選択され、そのほかのブロックは非選択となる。図8に示す例では、ブロックBLOCK0が選択ブロックであり、ブロックBLOCK1が非選択ブロックである。

[0042] 図9はページバッファの構成を示す図である。各ページバッファ60nは、インバータ61および62、NMOSTランジスタ63乃至67、PMOSTランジスタ68を含む。破線で囲んだ箇所がセンスアンプであり、他の部分がデータラッチ回路である。NMOSTランジスタ65のゲートはステートマシン57から信号SETにより制御されている。NMOSTランジスタ67はビット線BLnに接続されている。このページバッファ60nは従来のNANDフラッシュメモリと同様である。図10は、SONOS型NANDフラッシュメモリアレイ52と、読み出し時の電圧条件を示す図である。図8において、符号52はメモリアレイ、60nはページバッファをそれぞれ示す。

[0043] 表1は、メモリセルの読み出し時の電圧条件の一例である。

[0044] [表1]

	Sel WL	Unsel WL	CWL	SSG	ARVSS	BL
Pre-charge	Vread(2.5V)	Vpass(6V)	Vpass(6V)	0V	0V	1V
Sense	Vread(2.5V)	Vpass(6V)	Vpass(6V)	Vpass(6V)	0V	sensed

[0045] 表1に示すように、選択ワード線WL(sel WL)、非選択ワード線WL(Unsel WL)、制御ワード線WL(CWL)、選択ソースゲートSSG、アレイVss線ARVSS、全ビット線(B

L)に各電圧を印加して、ビット線BL_nをプリチャージ(pre-charge)する。選択ワード線WLにはV_{read}として2.5V、非選択ワード線WLにはV_{pass}として6Vが与えられている。

- [0046] リード時、ビット線BL_nはプリチャージ中に1Vにされ、センス中はデータ1であればグラウンド電圧V_{ss}にディスチャージされ、データ0であれば1Vを保つ。ここでは、図10のようにワード線WL014につながるセル(1ページ分)を読み出すとする。まず、ページバッファ60nにおいて、インバータ61および62からなるラッチ69内のノードA及びBをそれぞれLOW及びHIGHにセットする。
- [0047] プリチャージ期間では、PBIASはグラウンド電圧V_{ss}、BLCNTRLはビット線BL_nを所定の値(例えば1V)にプリチャージできるレベル(例えば信号BLCNTRLを受けるトランジスタ67の閾値が1Vであれば、2V)に設定する。非選択ワード線WLはV_{pass}(6V)が与えられ、保持データに関わらずメモリセルMがオンする。これにより、選択ページの全ビット線BL_nはプリチャージレベル(1V)となる。
- [0048] つぎにセンス期間に入る。このとき、PBIASは電源電圧V_{cc}、選択ソースゲートSSGは電源電圧V_{pass}となる。すると、選択ワード線WL014上のメモリセルのうち、データ1(消去状態)のメモリセルはオンしているため、そのセルに接続しているビット線BL_nはグラウンド電圧V_{ss}が与えられているARVSSにディスチャージされ、ノードSNSはLOWになる。一方、データ0(書込み状態)のメモリセルはオフしているため、そのビット線BL_nはディスチャージされず、ノードSNSの電位はHIGHのまま不変である。
- [0049] よって、トランジスタ64はデータ0の場合にだけオンし、信号SETがHIGHにパルスされると、ラッチ69内の初期データは反転し、ノードA及びBはそれぞれHIGH及びLOWにセットされる。データ1のときは、トランジスタ64はオフのままのため、ラッチ69内のデータは初期のままである。このようにして、ラッチデータが読み出しデータとなる。
- [0050] 図11は、SONOS型NANDフラッシュメモリアレイ52と、プログラムベリファイ(PGMV)時の電圧条件を示す図である。表2は、選択ブロックに対し、プログラムベリファイとプログラム(PGM)時の電圧条件を示している。

[0051] [表2]

	Sel WL	Unsel WL	CWL	SSG	ARVSS	BL
Pre-charge	V _{pgmv} (3V)	V _{pass} (6V)	V _{pass} (6V)	V _{ss}	V _{ss}	1V
PGM Verify sense	V _{pgmv} (3V)	V _{pass} (6V)	V _{pgmv_cwl} (2.7V)	V _{pass} (6V)	V _{ss}	sensed
PGM	V _{pp} (20V)	V _{pass_pgm} (10V)	V _{cc-α} (2.5V)	V _{ss}	1V (Back bias)	V _{cc} /V _{ss}

[0052] まず、外部から書込みデータがページバッファ60n内のラッチ69にロードされる。メモリセルMに書き込むときはラッチ69にLOWがセットされ、書き込まないときはHIGHがセットされる。まず、プログラムベリファイが行われる。プログラムベリファイの基本動作は上記のリード動作と同じである。

[0053] 選択ドレインゲートSDG0nにデータ1(アンプロテクト)が保持されている場合を考える。指定ページに対しプログラムベリファイを行う場合、表2に示したように、選択ワード線WL(sel WL)、非選択ワード線WL(Unsel WL)、制御ワード線WL(CWL)、選択ソースゲートSSG、アレイV_{ss}線ARVSS、全ビット線(BL)に各電圧を印加して、ビット線BLnをプリチャージ(pre-charge)する。

[0054] 1回目のプログラムベリファイで、メモリセルMはすべてデータ1であれば、センス後のラッチデータは、トランジスタ64はオフのため不変であり、プログラムベリファイはフェイルし、プログラムパルス印加に入る。このとき、信号PGMONがHIGHとなり(PGMパルス期間中以外はLOWとなる)、各ラッチ69内のデータがそれぞれのビット線BLnに供給される。つまり、書き込むメモリセルMに対応するビット線BLnはグランド電圧V_{ss}、書き込まないメモリセルMのビット線BLnは電源電圧V_{cc}となり、それぞれのNANDセルストリング内の全ソース、ドレインは電源電圧V_{ss}、電圧V_{cc-α-V_t}となる。ここで、V_{cc-α}はCWL電圧であり、V_tは選択ドレインゲートSDGの閾値である。

[0055] ソース、ドレインがグランド電圧V_{ss}のメモリセルMは、昇圧後のワード線WLとの高い電位差によりトンネル現象により電子が注入され、書込みが行われる。一方、ソース、ドレインが電圧V_{cc-α-V_t}のメモリセルMは、ワード線WLが昇圧される過程で選択ドレインゲートSDGにはバックバイアスが印加されてオフするために、ソース、ドレインはフローティング状態となってワード線WLとのカップリングにより一緒に昇圧さ

れる。よって、ワード線WLとソース/ドレイン間には高い電位差は生まれないため(書込み禁止状態)、メモリセルMへの書込みは行われない。

[0056] 次にプログラムベリファイがつづけて行われ、ここでプログラムを行ったメモリセルMが十分高い閾値にまで書き込めているとする。このときは、センス後、ビット線BL_nはディスチャージされないため、トランジスタ64はオンし信号SETとともにラッチ69内のデータが反転する。つまり、書込み指定時はノードAがLOWであったのが、十分にプログラムされるとノードAはHIGHになる。このようにして、すべての書込み指定のメモリセルの書込みが行われ、すべてのノードAがHIGHになった時点で、プログラムベリファイはパスとなり、一連のプログラム動作は完了する。

[0057] 次に、選択ドレインゲートSDG0_nがデータ0(プロテクト)を保持し保護が設定されている場合を考える。選択ドレインゲートSDG0_nに保護が設定されているときは、そのブロック内のすべての選択ドレインゲートSDG0_nはデータ0となっている。選択ワード線WLにはV_{p_{gm}v}として3V、非選択ワード線WLにはV_{pass}電圧として6Vが与えられている。V_{pass}電圧により、メモリセルMが保持するデータに関わらず、非選択のメモリセルMはオンするため、少なくとも選択メモリセルMまでのすべての非選択メモリセルMのチャネルはビット線電位の1Vにプリチャージされる。

[0058] 次に、選択ソースゲートSSG0_nをオンにして、実際のプログラムベリファイ(センス)に入る。このとき、選択ドレインゲートSDG0_nのゲート電圧はV_{p_{gm}_cwl}として2.7Vが与えられる。プログラムベリファイ時に制御ワード線CWLを2.7Vとし0セルのしきい値より低くすることで、選択ドレインゲートSDG0_nがオフするために、選択メモリセルのデータに関わらず、全ビット線BL_nはプリチャージされたままとなる。よって、トランジスタ64はオンするため、センス後にラッチ69のノードAはHIGH、ラッチ69のノードBはLOWとなる。このラッチ状態は、プログラムを行わないことを意味するため、プログラムベリファイはパスし、プログラム動作は終了する。

[0059] 図12は、実施形態1のプログラムベリファイおよび電圧条件のタイミングチャートである。図12に示すように、所定の時間が経過しセンス信号SETのパルスがページバッファ60_nに対し発せられ、そのセンス結果が同ページバッファ60_n内のラッチ69に保持される。もし、そのブロックが保護されているならば、選択ドレインゲートSDG0_n

はオフするため、ビット線BL_nの電位は、ARVSSにディスチャージされず1Vを保つ。よって、ページバッファ60n内のセンスアンプはそれを検出し、ベリファイパスと判定し、プログラムは行われない。つまり、あたかも指定ページのプログラム対象の全セルにおいて、プログラムが正常に完了したようにみなされて、そのブロックは書き換えから保護されたことになる。

[0060] もし、そのブロックが保護されていないならば、選択ドレインゲートSDG0nはオンし、また、選択ワード線WLの電位がV_{pgmv}としてデータ1と0の間に設定されているため、データ1のセルにつながるビット線BL_nはARVSSにディスチャージされ、データ0のセルにつながるビット線BL_nは、当該セルがオフするためディスチャージされず、ビット線BL_nは1Vを保つ。同様にして、各ページバッファ60nはセンス結果をラッチ69に取り込む。このラッチデータをもとに、次に行われるプログラムのパルス印加において、プログラムベリファイがフェイルしたビットにはパルスが印加され、プログラムベリファイがパスしたビットにはパルスが印加されない。続いて、またベリファイが行われ、最終的にすべてのビットのベリファイがパスするまで繰り返される。これらの制御はすべてステートマシン57が行う。

[0061] このように、ブロックに対し保護が設定されているときは、プログラムパルス印加に先立つプログラムベリファイがパスするため、その時点でプログラムは終了し、保護される。

[0062] 表3は、ブロックに保護状態を設定するライトプロテクト動作における選択ドレインゲートSDGへのプログラムベリファイとプログラムの電圧条件を示す。

[0063] [表3]

	all WLs	CWL	SSG	ARVSS	all BLs
Pre-charge	V _{pass} (6V)	V _{pgmv} (3V)	V _{ss}	V _{ss}	1V
PGM Verify sense	V _{pass} (6V)	V _{pgmv} (3V)	V _{pass} (6V)	V _{ss}	sensed
PGM	V _{pass_pgm} (10V)	V _{pp} (20V)	V _{ss}	1V (Back bias)	V _{ss}

[0064] ライトプロテクト動作は、外部から所望のブロックアドレスを指定したライトプロテクト用のコマンドを入力することで行われる。図13は、ライトプロテクト動作における選択

ドレインゲートSDGへのプログラムベリファイとプログラムの電圧条件のタイミングチャートである。これは、選択ドレインゲートSDGへのプログラム動作である。選択ドレインゲートSDGへのプログラム動作の場合も、上記通常のメモリセルMへの動作と同様に行うことができる。ライトプロテクト動作において、選択ドレインゲートSDGへのプログラムは、通常メモリセルへのプログラムと同様で、すべてのページバッファ60n内のラッチ69のノードAはLOW、ノードBはHIGHにセットされて、プログラムが行われる。

[0065] 本実施形態によれば、選択ドレインゲートSDGに保護情報を記憶させることで、回路規模を大きくすることなく、メモリセル群を書き換え動作から保護できる。

[0066] [第2実施形態]次に、本発明の第2実施形態について説明する。図14は、第2実施形態のSONOS型NANDフラッシュメモリアレイとプログラム電圧条件を示す図である。図15は、第2実施形態のプログラムベリファイおよびプログラム電圧条件のタイミングチャートである。表4は、選択ブロックにおけるプログラムベリファイとプログラム条件を示す。

[0067] [表4]

	Sel WL	Unsel WL	CWL	SSG	ARVSS	BL
Pre-charge	V _{pgmv} (3V)	V _{pass} (6V)	V _{pass} (6V)	V _{ss}	V _{ss}	1V
PGM Verify sense	V _{pgmv} (3V)	V _{pass} (6V)	V _{pass} (6V)	V _{pass} (6V)	V _{ss}	sensed
PGM	V _{pp} (20V)	V _{pass_pgm} (10V)	V _{pgm_cwl} 2.5V	V _{ss}	V _{ss}	V _{cc} /V _{ss}

[0068] 外部から書込みデータのロードなどは第1実施形態と同じであるため、第1実施形態とは異なる箇所のみ説明する。プログラムベリファイは、プリチャージ及びセンス時に制御ワード線CWLに印加する電圧は、通常リード時と同様にV_{pass}の6Vが与えられる。これにより、制御ワード線CWLのデータに関わらず、第1実施形態と同様な動作により、制御ワード線CWLはそのデータに関わらずオンするため、1回目のプログラムベリファイはフェイルする。

[0069] プログラムベリファイがフェイルして、プログラムパルス印加に入るときに、制御ワード線CWLにはV_{pgm_cwl}として2.5Vが印加される。この制御ワード線CWLに印加

される電圧は、読み出し時に選択ワード線WLに印加する電圧Vreadと同じである。つまり、選択ドレインゲートSDG0nが保持しているデータに応じてオン、オフされるような電圧に設定される。選択ソースゲートSSGをオフさせ、非選択ワード線WLをVpass_PGMとして10V、選択ワード線WLをVppとして20Vを印加すると、ブロックに保護が設定されており、選択ドレインゲートSDG0nがデータ0(プロテクト)である場合は、制御ワード線CWLはVpgm_cwl(2.5V=Vread)が印加されているため、選択ドレインゲートSDG0nはオフであり、カップリング現象によりセルのソース、ドレインはワード線WLとともに昇圧される。

[0070] よって、セルにはプログラム電圧は印加されず、プログラムされない。つまり、書込みから保護される。続いて行われるプログラムベリファイでは、書込みが指定されたセルは依然としてデータ1のため、そのプログラムベリファイはフェイルする。このようにして所定の回数だけプログラムベリファイ、プログラムを繰り返した後、デバイスはハングアップし、プログラム動作は終了する。

[0071] 一方、ブロックに保護が設定されておらず、選択ドレインゲートSDG0nがデータ1(アンプロテクト)である場合は、その選択ドレインゲートSDG0nは、通常の手込みのように、ページバッファ60nがビット線BLnに供給する手込みデータに応じて、オン、オフされて、所望の手込みが行われる。

[0072] 次に、本発明に係る消去動作について表を用いて説明する。表5は、第2実施形態に係る消去時の電圧条件を示す。

[0073] [表5]

		all WLs	CWL	SSG	ARVSS	BL	Well
1st step	Pre-charge	Vpass (6V)	Vread (2.5V)	Vss	Vss	1V	Vss
	SDG read sense	Vpass (6V)	Vread (2.5V)	Vpass (6V)	Vss	sensed	Vss
2nd step	Pre-charge	Verv (2.0V)	Vpass (6V)	Vss	Vss	1V	Vss
	ERV sense	Verv (2.0V)	Vpass (6V)	Vpass (6V)	Vss	sensed	Vss
	ER	Vss	Vss	Vss	Float	Float	Vpp (20V)

[0074] ここで、選択ドレインゲートSDG0nに保護／非保護情報が設定されている状態に

において、外部から所望のブロックに対し消去指示が入力されるケースを説明する。選択ドレインゲートSDG0nに保護が設定されているときは、そのブロック内のすべての選択ドレインゲートSDG0nはデータ0となっている。消去指示が入力されると、まず、選択ドレインゲートSDG0nのデータ読み出しを行う(1st step)。よって、制御ワード線CWLには、通常のセルの読み出しと同様に、Vreadとして2.5Vが印加される。

[0075] プリチャージ後のセンスの結果、その選択ドレインゲートSDG0nがデータ0、すなわち保護情報が設定されていると判定された場合、ページバッファ60n内にラッチされたその情報をステートマシン57が検知して、消去動作をストップする、つまり、消去から保護される。一方、選択ドレインゲートSDG0nがデータ1、すなわち保護情報が設定されていないと分かると、消去動作は通常の消去ベリファイに移行し(2nd step)、その結果にもとづいてブロック全体に消去パルスが印加される。

[0076] 本実施形態によれば、通常の消去ベリファイの前に、選択ドレインゲートSDGの読み出し動作を行うことでブロックの保護情報をサーチし、そのブロックに保護が設定されているときは、その時点で消去動作をストップさせることができる。

[0077] 以上各実施形態によれば、NAND型フラッシュメモリにおいて、回路規模を大きくすることなく(CAMなどを新たに用意しない)、ブロック毎の書き換え保護の実現手段を提供することができる。なお、選択ゲートは、選択ドレインゲート及び選択ソースゲートを含む。ロウデコーダ及び高電圧発生回路が、メモリセルの読み出し時に、選択ゲートがオンする電圧を制御ワード線に印加する電圧供給回路、メモリセルのプログラムベリファイ時に、選択ゲートが保護情報を保持している場合には選択ゲートがオフする電圧を前記制御ワード線に印加する電圧供給回路、メモリセルのプログラム時に、選択ゲートが保護情報を記憶している場合には選択ゲートがオフする電圧を制御ワード線に印加する電圧供給回路を構成する。また、ステートマシン57は、外部から各種コマンドに応じてコマンド動作を行う。ステートマシン57は、コマンド動作により、選択ドレインゲートに保護情報を記憶させる制御回路である。ステートマシン57は、メモリセルMの消去動作時には、選択ドレインゲートSDGの読み出し動作を行い、ページバッファ60が読み出しデータを保護情報であると判定した場合、メモリセルMの消去を中止するよう制御する制御回路である。また、ステートマシン57は、コマンド動

作によりメモリセル群と選択ゲートを複数含むブロックに対し保護情報を設定する制御回路である。

[0078] 以上本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、請求の範囲に記載された本発明の要旨の範囲内において、種々の変形、変更が可能である。

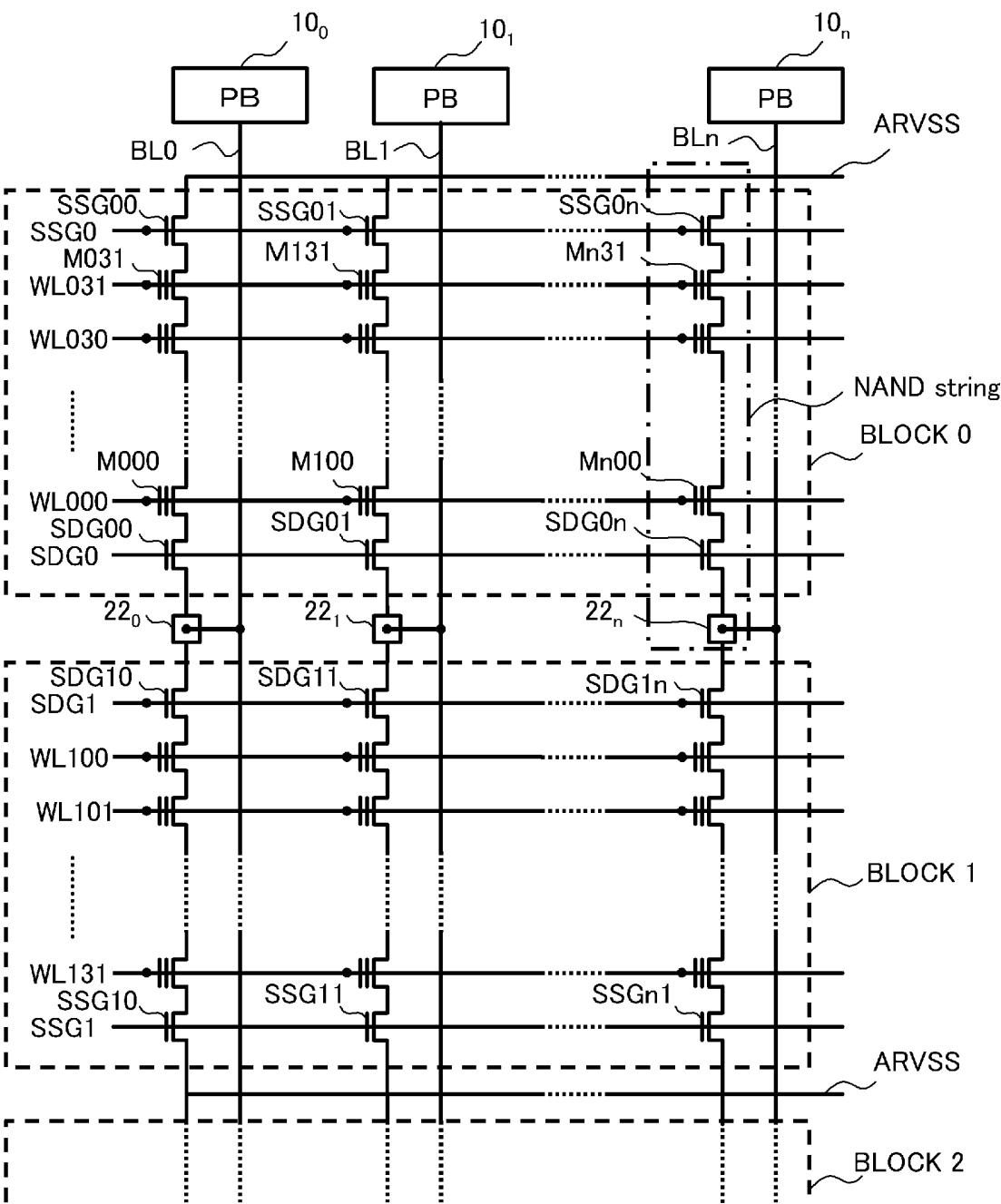
請求の範囲

- [1] ワード線に接続されたメモリセルを含むメモリセル群と、
 制御ワード線と前記メモリセル群に接続され、前記メモリセル群に対する保護情報を記憶可能な選択ゲートと
 を含む半導体装置。
- [2] 前記メモリセル群は、コマンド動作により前記メモリセルが複数個直列に接続されている請求項1記載の半導体装置。
- [3] 前記半導体装置は更に、前記保護情報を前記選択ゲートに記憶させる制御回路を含む請求項1または請求項2記載の半導体装置。
- [4] 半導体装置は更に、前記メモリセルの読み出し時に、前記選択ゲートがオンする電圧を前記制御ワード線に印加する電圧供給回路を含む請求項1から請求項3のいずれか一項に記載の半導体装置。
- [5] 前記選択ゲートがオンする電圧は、前記メモリセルのうち非選択のメモリセルのワード線に印加する電圧と略同一である請求項4記載の半導体装置。
- [6] 前記半導体装置は更に、前記メモリセルのプログラムベリファイ時に、前記選択ゲートが保護情報を保持している場合には前記選択ゲートがオフする電圧を前記制御ワード線に印加する電圧供給回路を含む請求項1から請求項3のいずれか一項に記載の半導体装置。
- [7] 前記半導体装置は更に、前記メモリセルのプログラムベリファイ時に、ベリファイパスと判定するページバッファを含む請求項6記載の半導体装置。
- [8] 前記半導体装置は更に、前記メモリセルのプログラム時に、前記選択ゲートが保護情報を記憶している場合には前記選択ゲートがオフする電圧を前記制御ワード線に印加する電圧供給回路を含む請求項1から請求項3のいずれか一項に記載の半導体装置。
- [9] 前記半導体装置は更に、前記ビット線に接続されるページバッファと、
 前記メモリセルの消去動作時には、前記選択ゲートの読み出し動作を行い、前記ページバッファが該読み出しデータを保護情報であると判定した場合、前記メモリセルの消去を中止する制御回路とを含む請求項1から請求項3のいずれか一項に記載

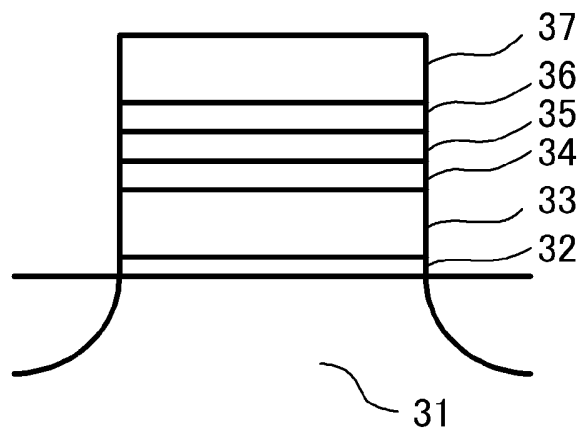
の半導体装置。

- [10] 前記制御回路は、コマンド動作により前記メモリセル群と前記選択ゲートを複数含むブロックに対し保護情報を設定する請求項3記載の半導体装置。
- [11] 前記メモリセルは、SONOS型である請求項1から請求項10記載の半導体装置。
- [12] 前記選択ゲートは、SONOS型である請求項1から請求項10のいずれか一項に記載の半導体装置。
- [13] 前記選択ゲートは、選択ドレインゲートである請求項1から請求項10のいずれか一項に記載の半導体装置。
- [14] ワード線に接続されたメモリセルを含むメモリセル群および制御ワード線に接続された選択ゲートに、該メモリセル群に対する保護情報を記憶させるステップを含む半導体装置の制御方法。
- [15] 前記半導体装置の制御方法は更に、前記メモリセルの読み出し時に、前記選択ゲートがオンする電圧を前記制御ワード線に印加するステップを含む請求項14記載の半導体装置の制御方法。
- [16] 前記半導体装置の制御方法は更に、前記メモリセルのプログラムベリファイ時に、前記選択ゲートが保護情報を保持している場合には前記選択ゲートがオフする電圧を前記制御ワード線に印加するステップを含む請求項14記載の半導体装置の制御方法。
- [17] 前記半導体装置の制御方法は更に、前記メモリセルのプログラム時に、前記選択ゲートが保護情報を記憶している場合には前記選択ゲートがオフする電圧を前記制御ワード線に印加するステップ含む請求項14記載の半導体装置の制御方法。

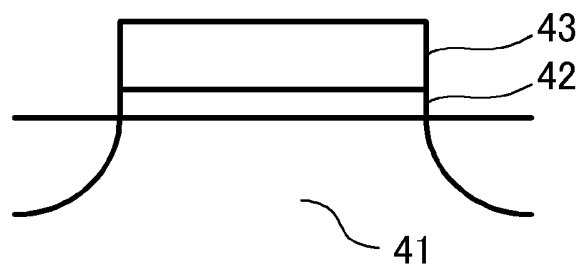
[図1]



[図2]

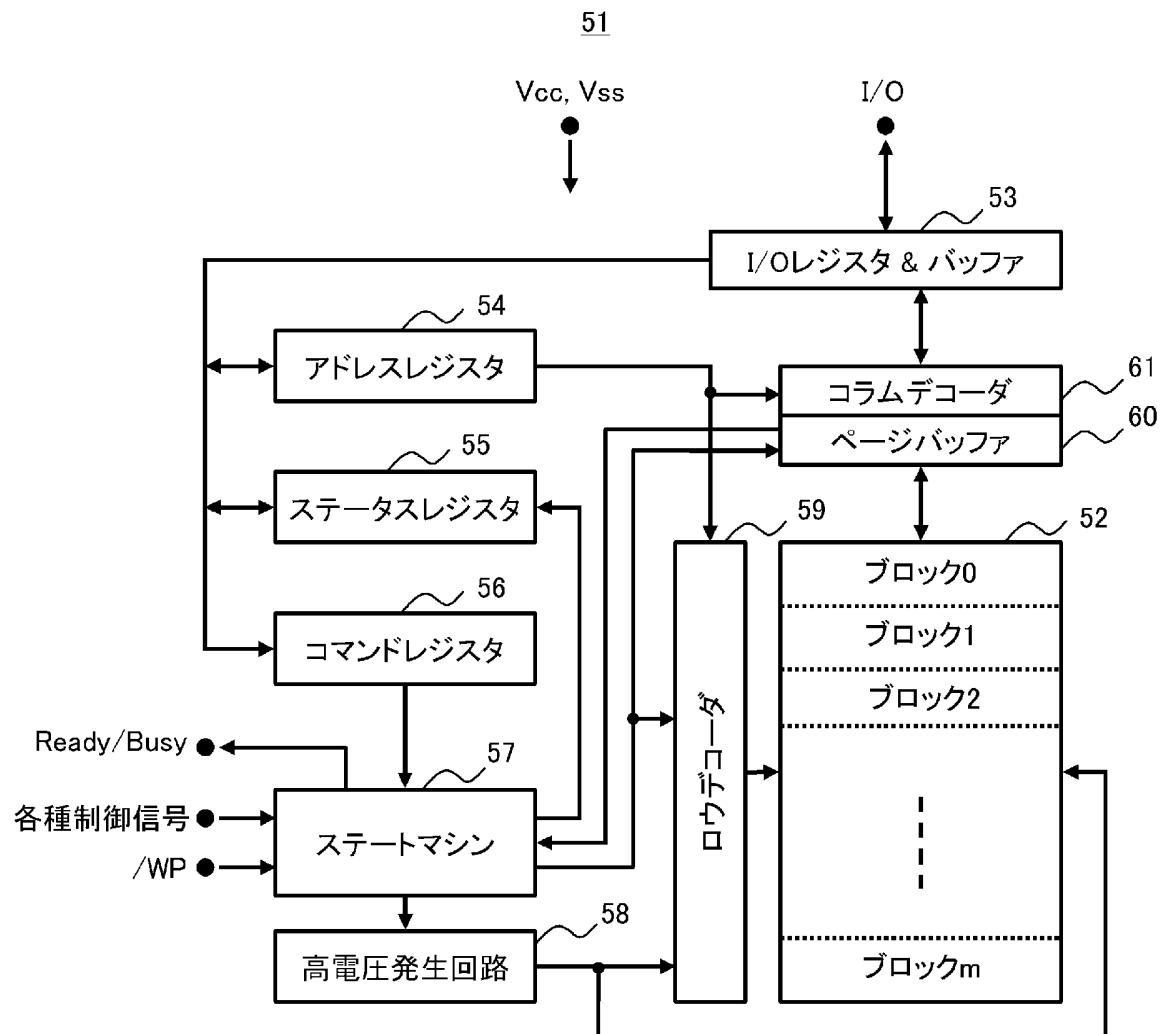


(a) FG型メモリセル

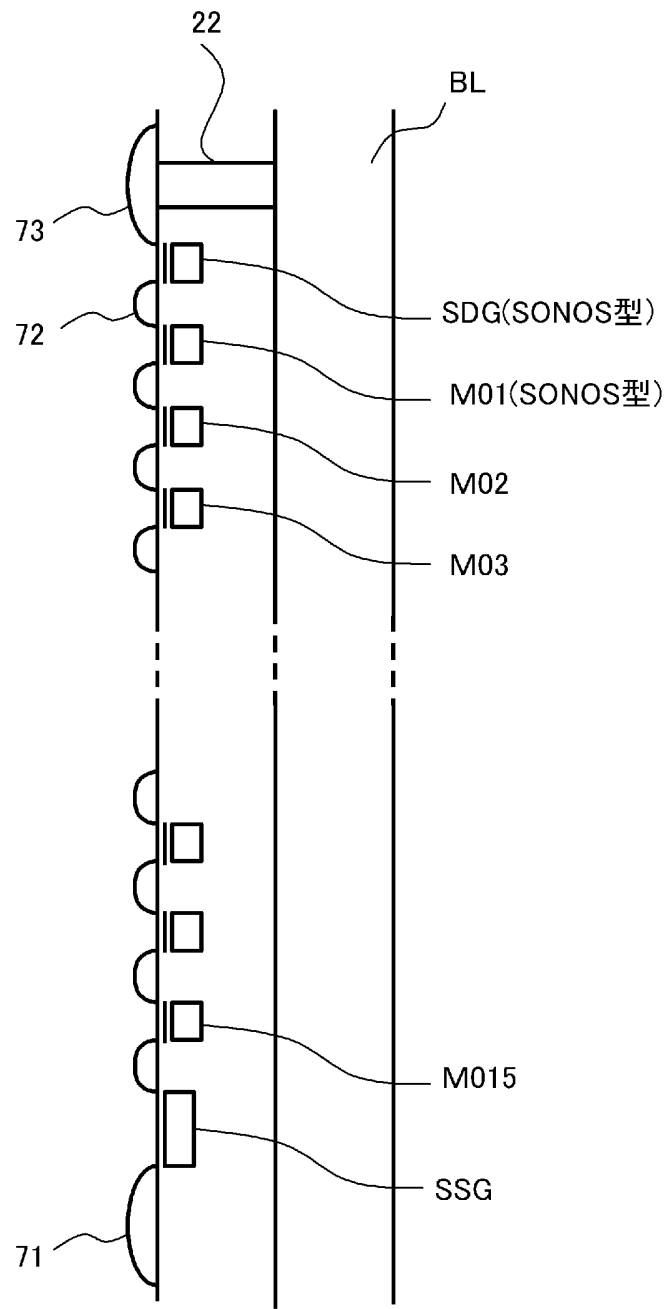


(b) 選択ゲート

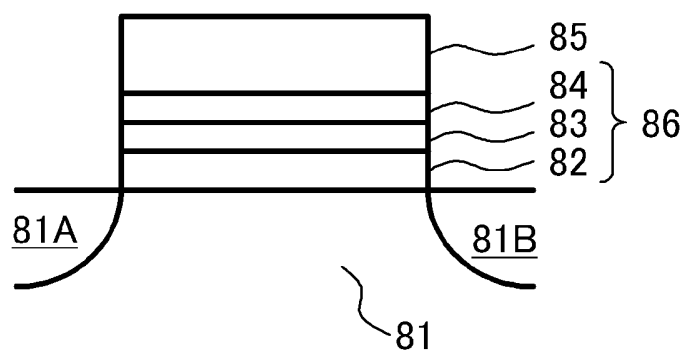
[図3]



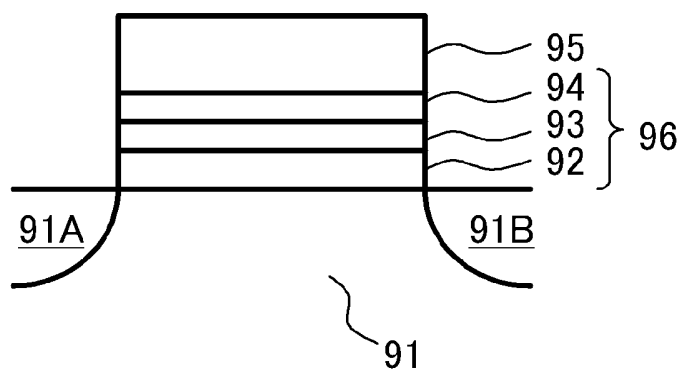
[図4]



[図5]

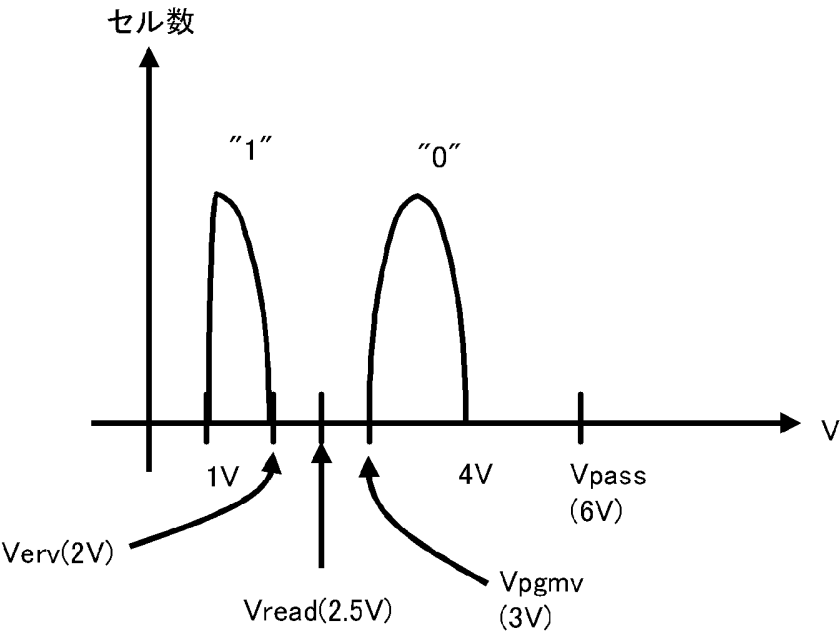


(a) SONOS型メモリセル

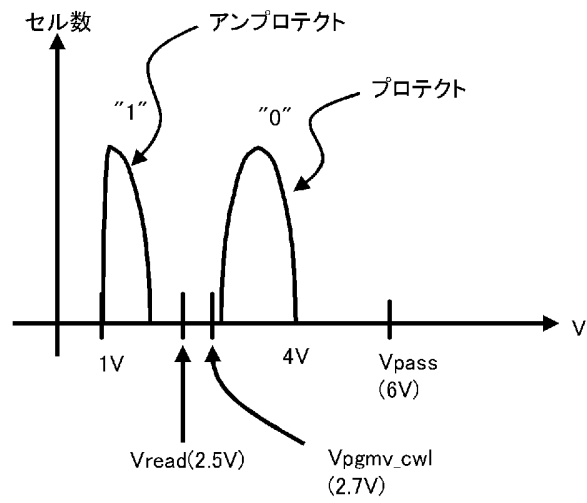


(b) SONOS型選択ドレインゲート

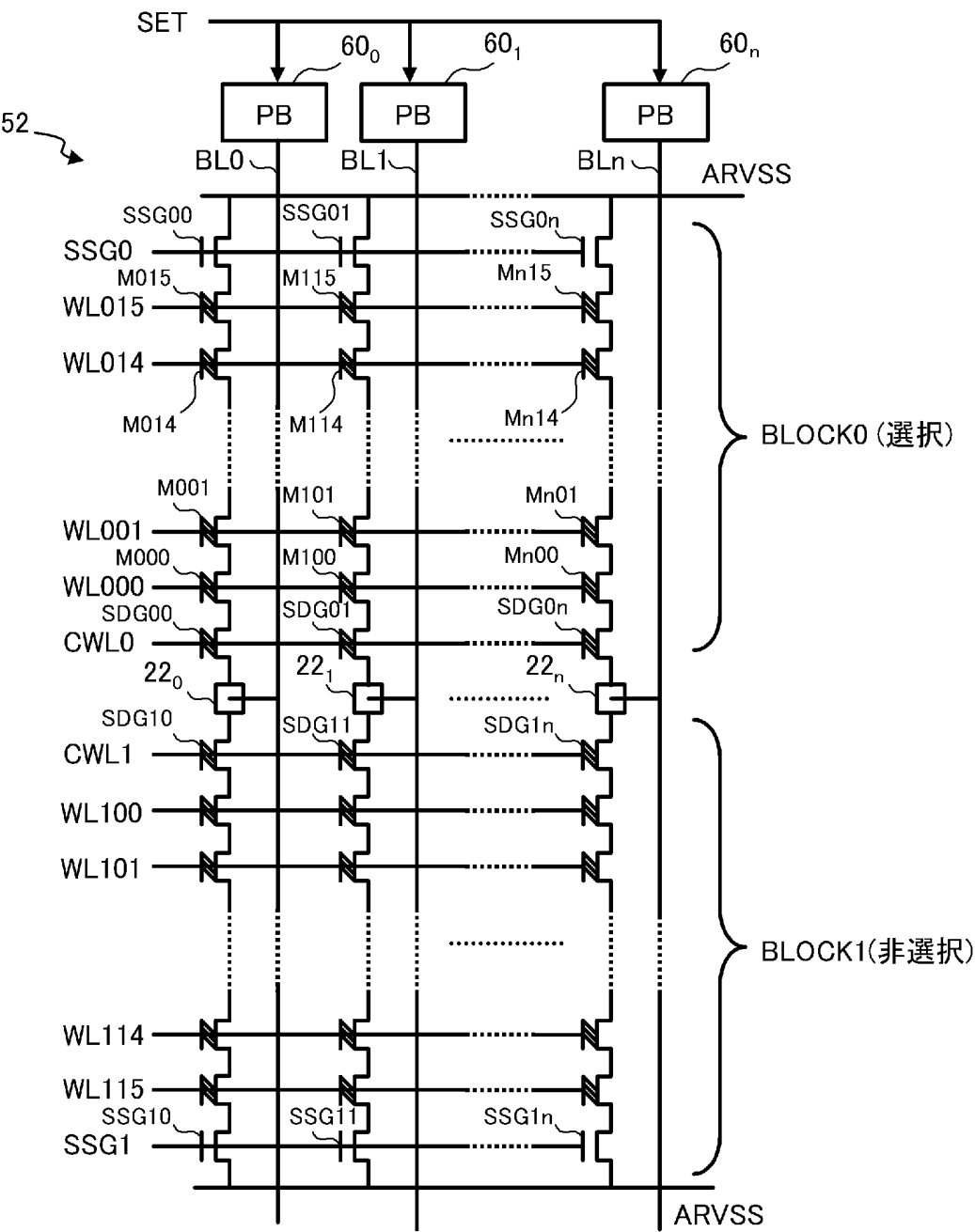
[図6]



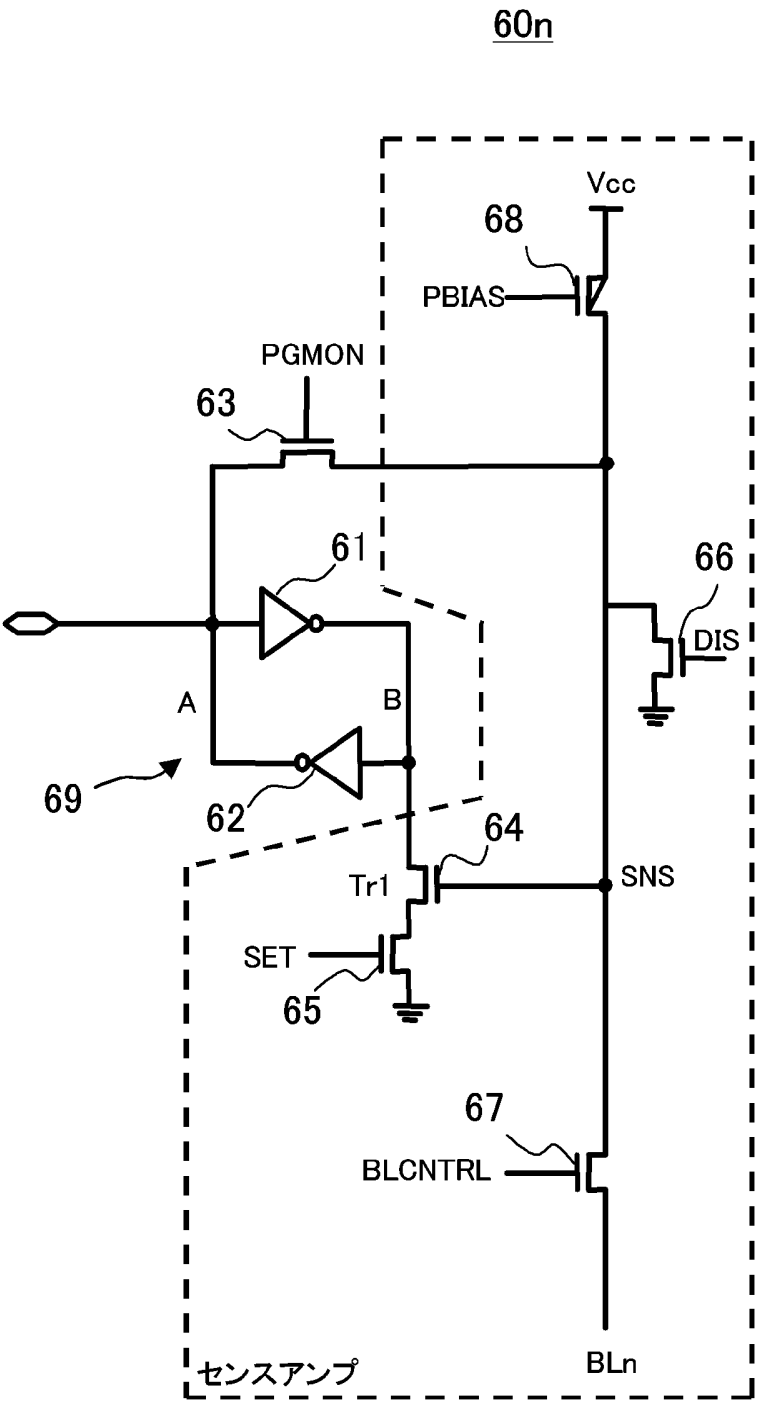
[図7]



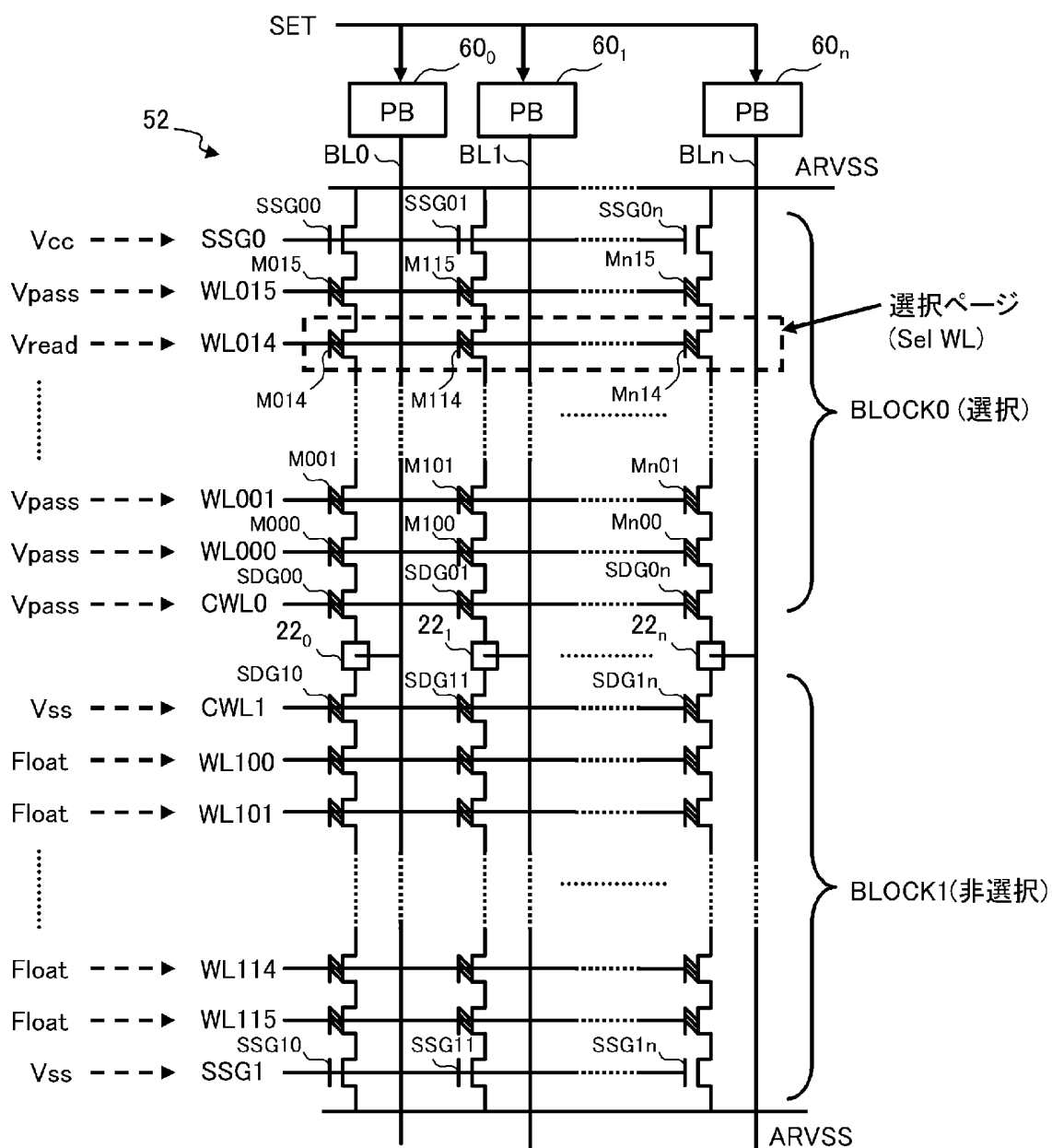
[図8]



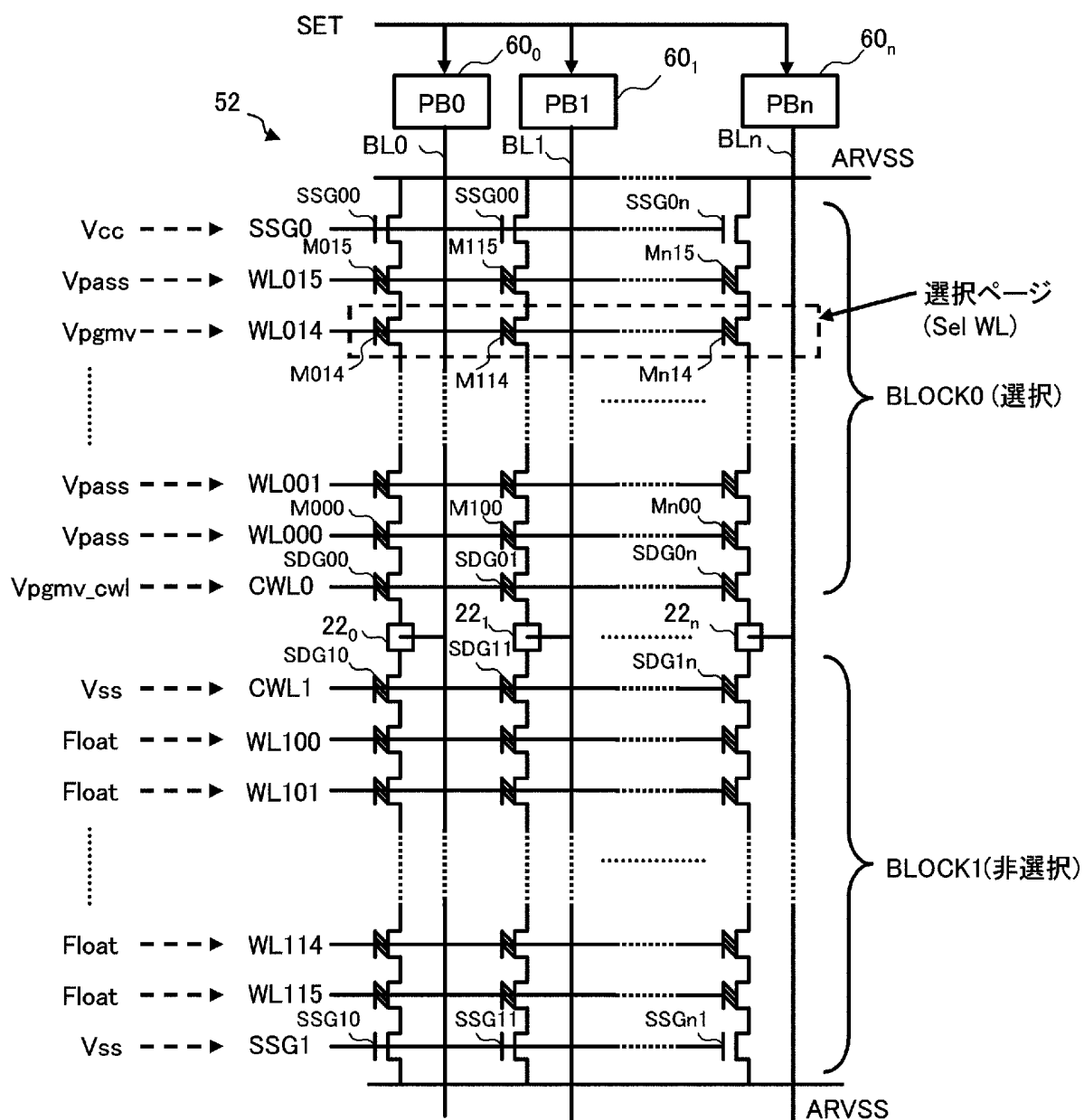
[図9]



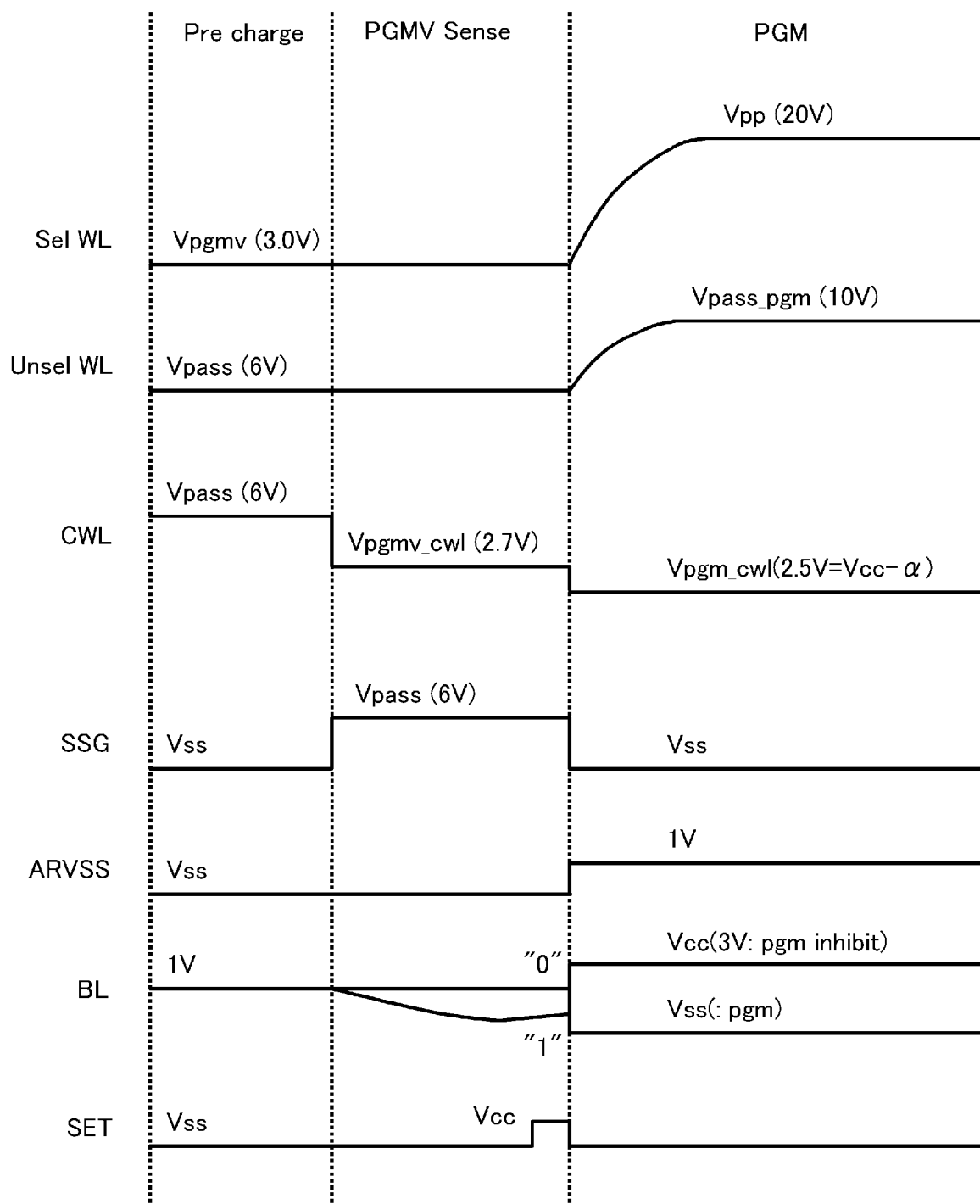
[図10]



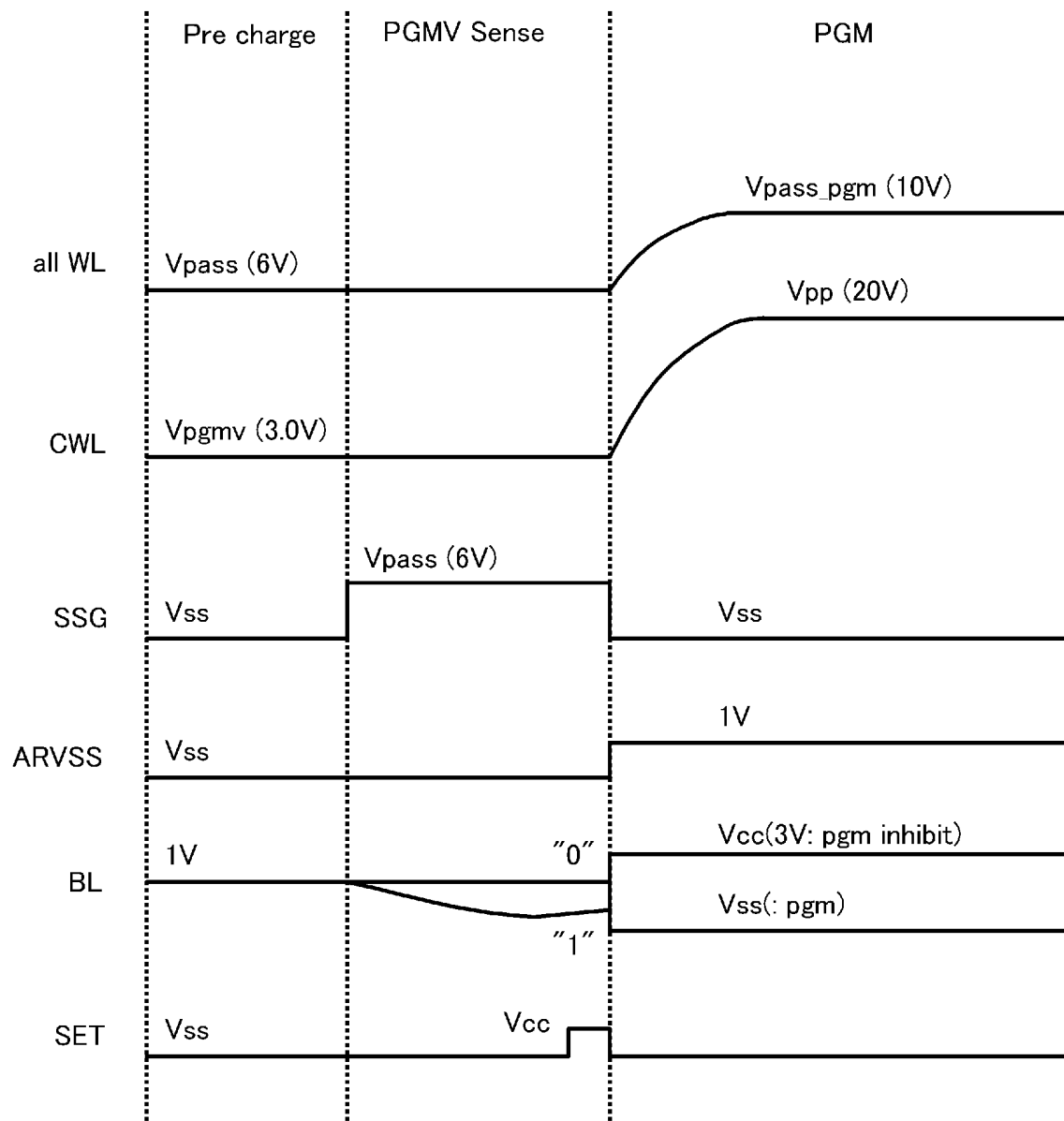
[図11]



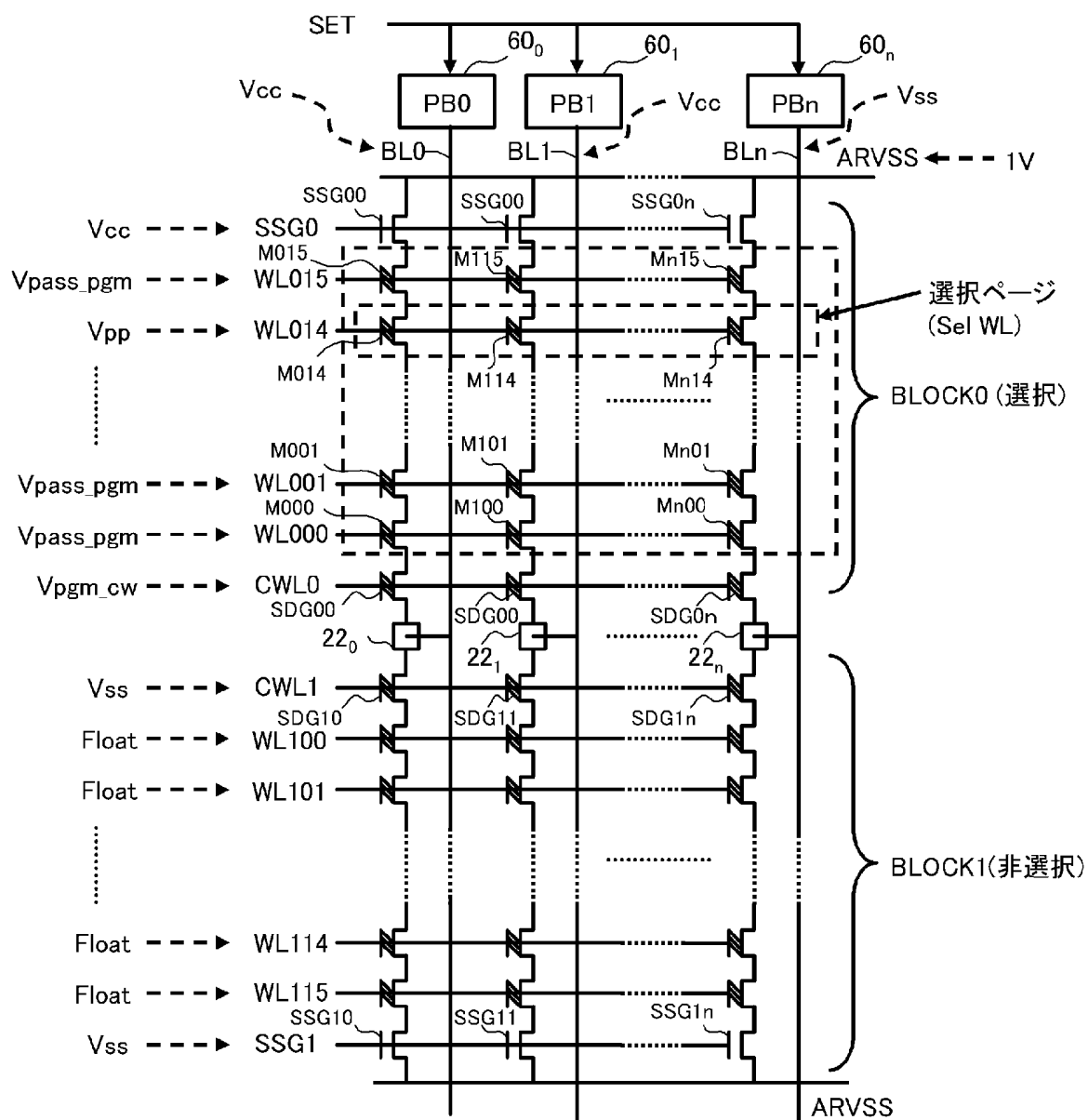
[図12]



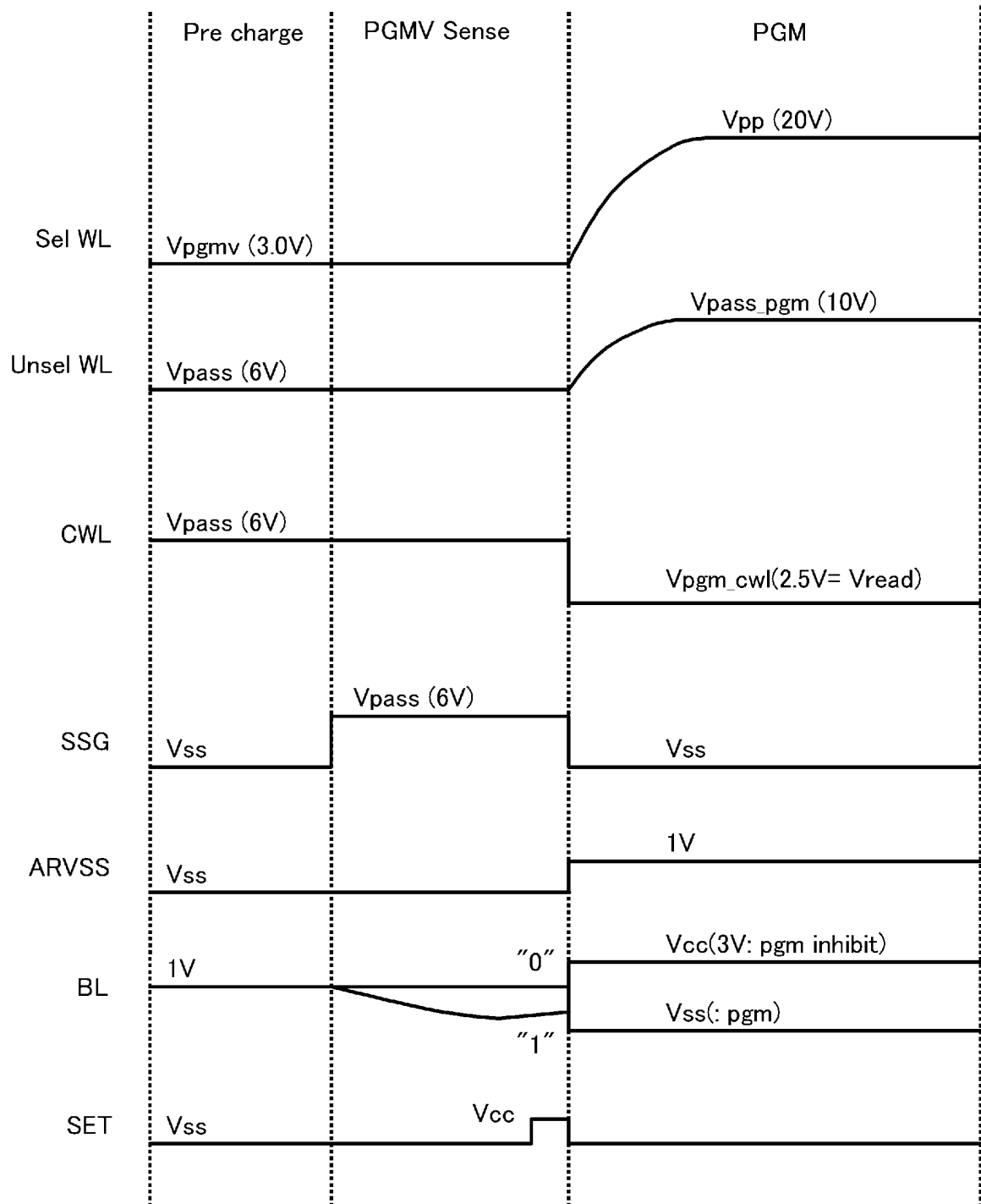
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017807

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G11C16/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G11C16/00-16/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-086571 A (Sony Corp.), 30 March, 1999 (30.03.99), Par. Nos. [0026] to [0044]; Figs. 1 to 7 (Family: none)	1-17
A	JP 10-199265 A (Toshiba Corp.), 31 July, 1998 (31.07.98), Par. Nos. [0062] to [0081]; Figs. 1 to 5 & US 6061280 A1	1-17
A	JP 2001-325793 A (Fujitsu Ltd.), 22 November, 2001 (22.11.01), Full text; all drawings & US 6567312 B1	11, 12

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

09 May, 2005 (09.05.05)

Date of mailing of the international search report

24 May, 2005 (24.05.05)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. ⁷ G11C16/06		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. ⁷ G11C16/00-16/34		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP11-086571 A (ソニー株式会社) 1999. 03. 30, 第0026-0044段落, 第1-7図 (ファミリーなし)	1-17
A	JP10-199265 A (株式会社東芝) 1998. 07. 31, 第0062-0081段落, 第1-5図 & US 6061280 A1	1-17
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 09. 05. 2005	国際調査報告の発送日 24. 5. 2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 飯田 清司 電話番号 03-3581-1101 内線 3586	5N 3561

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP2001-325793 A (富士通株式会社) 2001. 1 1. 22, 全文, 全図 & US 6567312 B1	11, 12