

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年8月24日(2006.8.24)

【公開番号】特開2005-38971(P2005-38971A)

【公開日】平成17年2月10日(2005.2.10)

【年通号数】公開・登録公報2005-006

【出願番号】特願2003-198663(P2003-198663)

【国際特許分類】

**H 0 1 L 23/522 (2006.01)**

**H 0 1 L 21/768 (2006.01)**

**C 2 3 C 18/16 (2006.01)**

**C 2 5 D 7/12 (2006.01)**

**H 0 1 L 21/288 (2006.01)**

【F I】

H 0 1 L 21/90 B

C 2 3 C 18/16 B

C 2 5 D 7/12

H 0 1 L 21/288 E

【手続補正書】

【提出日】平成18年7月10日(2006.7.10)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 周囲をバリア層で包囲した下層配線と上層配線とを、周囲をバリア層で包囲したビアプラグで電氣的に接続して、これらの配線及びビアプラグを絶縁膜中に埋設したこと特徴とする半導体装置。

【請求項2】 絶縁膜の表面に周囲をバリア層で包囲した下層配線を該絶縁膜の表面から突出させて形成し、

前記絶縁膜の表面に第1層間絶縁膜を前記下層配線の表面を露出させて形成し、

前記下層配線の表面に周囲をバリア層で包囲したビアプラグを前記下層配線に電氣的に接続させ前記第1層間絶縁膜の表面から突出させて形成し、

前記第1層間絶縁膜及び下層配線の表面に第2層間絶縁膜を前記ビアプラグの表面を露出させて形成し、

前記第2層間絶縁膜の表面に周囲をバリア層で包囲した上層配線を前記ビアプラグに電氣的に接続させ前記第2層間絶縁膜の表面から突出させて形成することを特徴とする半導体装置の製造方法。

【請求項3】 前記第1層間絶縁膜及び前記第2層間絶縁膜を、絶縁膜材料を塗布後、キュアして形成することを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 キュア後の前記第1層間絶縁膜の表面及び前記第2層間絶縁膜の表面を研磨して余剰な層間絶縁膜を除去し平坦化することを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 前記絶縁膜の表面に下地膜を形成し、

この下地膜の表面にバリア層を形成し、

このバリア層の表面にレジストで配線パターンを形成し、

この配線パターンの内部に配線材料を埋込んで該配線材料からなる配線を形成し、

前記バリア層上のレジスト、余剰なバリア層及び下地膜を除去し、

前記配線の露出面全面にバリア層を選択的に形成して、前記周囲をバリア層で包囲した下層配線及び上層配線をそれぞれ形成することを特徴とする請求項 2 乃至 4 のいずれかに記載の半導体装置の製造方法。

【請求項 6】 前記配線パターンの内部に配線材料を埋込んだ後、表面を研磨して余剰な配線材料を除去し平坦化することを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記バリア層上のレジスト、余剰なバリア層及び下地膜を除去した後、前記配線を熱処理することを特徴とする請求項 5 または 6 記載の半導体装置の製造方法。

【請求項 8】 前記配線材料の埋込みを、電解めっきまたは無電解めっきによるボトムアップ成形で選択的に行うことを特徴とする請求項 5 乃至 7 のいずれかに記載の半導体装置の製造方法。

【請求項 9】 前記余剰なバリア層及び下地膜の除去を、前記配線をマスクとした選択的エッチングで行うことを特徴とする請求項 5 乃至 8 のいずれかに記載の半導体装置の製造方法。

【請求項 10】 前記配線の露出面全面に、該配線を触媒とした無電解めっきによってバリア層を選択的に形成することを特徴とする請求項 5 乃至 9 のいずれかに記載の半導体装置の製造方法。

【請求項 11】 前記第 1 層間絶縁膜及び下層配線の表面にレジストでビアパターンを形成し、

このビアパターンの内部に金属を埋込んで該金属からなるビアプラグを形成し、

前記第 1 層間絶縁膜上及び下層配線上のレジストを除去し、

前記ビアプラグの露出面全面にバリア層を選択的に形成して前記周囲をバリア層で包囲したビアプラグを形成することを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 12】 前記第 1 層間絶縁膜上及び下層配線上のレジストを除去した後、前記ビアプラグを熱処理することを特徴とする請求項 11 記載の半導体装置の製造方法。

【請求項 13】 前記金属の埋込みを、無電解めっきによるボトムアップ成形で選択的に行うことを特徴とする請求項 11 または 12 記載の半導体装置の製造方法。

【請求項 14】 前記ビアプラグの露出面全面に、該ビアプラグを触媒とした無電解めっきによってバリア層を選択的に形成することを特徴とする請求項 11 乃至 13 のいずれかに記載の半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

前記配線及びビアプラグは、Cu, Cu 合金, Ag, Ag 合金, Au または Au 合金からなることが好ましい。このように、配線材料及びビア材料として、Cu, Cu 合金, Ag, Ag 合金, Au または Au 合金を使用することで、半導体装置の高速化、高密度化を図ることができる。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

前記バリア層は、Co, Co 合金, Ni, Ni 合金, Ti, Ti 合金, Ta または Ta 合金、またはそれらの窒化膜からなることが好ましい。この Co 合金としては、CoP,

C o B , C o W P または C o W B 合金等が挙げられ、N i 合金としては、N i P , N i B , N i W P または N i W B 合金等が挙げられる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 5

【補正方法】変更

【補正の内容】

【0 0 1 5】

前記配線の底面を覆うバリア層は、P d , A g , A u , P t , C o , N i または S n の少なくとも 1 種、またはそれらの合金からなる下地膜の表面に形成されていることが好ましい。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 6

【補正方法】変更

【補正の内容】

【0 0 1 6】

請求項 2 に記載の発明は、絶縁膜の表面に周囲をバリア層で包囲した下層配線を該絶縁膜の表面から突出させて形成し、前記絶縁膜の表面に第 1 層間絶縁膜を前記下層配線の表面を露出させて形成し、前記下層配線の表面に周囲をバリア層で包囲したビアプラグを前記下層配線に電氣的に接続させ前記第 1 層間絶縁膜の表面から突出させて形成し、前記第 1 層間絶縁膜及び下層配線の表面に第 2 層間絶縁膜を前記ビアプラグの表面を露出させて形成し、前記第 2 層間絶縁膜の表面に周囲をバリア層で包囲した上層配線を前記ビアプラグに電氣的に接続させ前記第 2 層間絶縁膜の表面から突出させて形成することを特徴とする半導体装置の製造方法である。

これにより、デュアルダマシンプロセスを使用することなく、比較的安価なプロセスで多層配線構造を備えた半導体装置を製造し、しかもスループットを向上させることができる。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 7

【補正方法】変更

【補正の内容】

【0 0 1 7】

請求項 3 に記載の発明は、前記第 1 層間絶縁膜及び前記第 2 層間絶縁膜を、絶縁膜材料を塗布後、キュアして形成することを特徴とする請求項 2 記載の半導体装置の製造方法である。

このように、キュアし焼き固めて層間絶縁膜を形成することで、層間絶縁膜の強度を高めるとともに、ポーラス状にして内部に空洞を作って、誘電率  $k$  を下げることができる。このキュアは、例えば 2 0 0 ~ 5 0 0 の  $N_2$  雰囲気中に、基板を 0 . 5 ~ 2 時間晒すことで行われる。

請求項 4 に記載の発明は、キュア後の前記第 1 層間絶縁膜の表面及び前記第 2 層間絶縁膜の表面を研磨して余剰な層間絶縁膜を除去し平坦化することを特徴とする請求項 3 記載の半導体装置の製造方法である。

前記平坦化を C M P で行うことが好ましい。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 8

【補正方法】変更

【補正の内容】

## 【 0 0 1 8 】

前記配線及び前記ビアプラグは、Cu, Cu合金, Ag, Ag合金, AuまたはAu合金からなることが好ましい。

前記バリア層は、Co, Co合金, Ni, Ni合金, Ti, Ti合金, TaまたはTa合金、またはそれらの窒化膜からなることが好ましい。

## 【 手 続 補 正 8 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 1 9

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

## 【 0 0 1 9 】

請求項5に記載の発明は、前記絶縁膜の表面に下地膜を形成し、この下地膜の表面にバリア層を形成し、このバリア層の表面にレジストで配線パターンを形成し、この配線パターンの内部に配線材料を埋込んで該配線材料からなる配線を形成し、前記バリア層上のレジスト、余剰なバリア層及び下地膜を除去し、前記配線の露出面全面にバリア層を選択的に形成して、前記周囲をバリア層で包囲した下層配線及び上層配線をそれぞれ形成することを特徴とする請求項2乃至4のいずれかに記載の半導体装置の製造方法である。

## 【 手 続 補 正 9 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 2 0

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

## 【 0 0 2 0 】

請求項6に記載の発明は、前記配線パターンの内部に配線材料を埋込んだ後、表面を研磨して余剰な配線材料を除去し平坦化することを特徴とする請求項5記載の半導体装置の製造方法である。

前記平坦化をCMPで行うことが好ましい。

請求項7に記載の発明は、前記バリア層上のレジスト、余剰なバリア層及び下地膜を除去した後、前記配線を熱処理することを特徴とする請求項5または6記載の半導体装置の製造方法である。

このように、配線に熱処理（アニール）を施して、例えば銅からなる配線を再結晶化させることで、配線の比抵抗（ ）を低下させ、更に配線のストレスを緩和させて、ストレスマイグレーション及びエレクトロマイグレーション耐性を向上させることができる。この熱処理は、例えば温度が50～1000のN<sub>2</sub>雰囲気、N<sub>2</sub> + H<sub>2</sub> 雰囲気、Ar雰囲気、真空雰囲気、還元雰囲気中に、基板を5時間以下晒すことで行われる。

## 【 手 続 補 正 1 0 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 2 1

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

## 【 0 0 2 1 】

前記下地膜は、Pd, Ag, Au, Pt, Co, NiまたはSnの少なくとも1種、またはそれらの合金からなることが好ましい。

この下地膜は、電解めっき際にはシード層としての役割を、無電解めっきの際には触媒層としての役割を果たすもので、例えばPVD、CVDまたは湿式処理によって形成される。

## 【 手 続 補 正 1 1 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 2 2

【 補 正 方 法 】 変 更

## 【補正の内容】

## 【0022】

請求項8に記載の発明は、前記配線材料の埋込みを、電解めっきまたは無電解めっきによるボトムアップ成形で選択的に行うことを特徴とする請求項5乃至7のいずれかに記載の半導体装置の製造方法である。

このように、配線をめっきによるボトムアップ成形、つまりボトムの底からめっき膜を成長させて形成することで、配線の内部にボイドが生成されることを防止することができる。

## 【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

## 【補正の内容】

## 【0023】

請求項9に記載の発明は、前記余剰なバリア層及び下地膜の除去を、前記配線をマスクとした選択的エッチングで行うことを特徴とする請求項5乃至8のいずれかに記載の半導体装置の製造方法である。

## 【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

## 【補正の内容】

## 【0024】

請求項10に記載の発明は、前記配線の露出面全面に、該配線を触媒とした無電解めっきによってバリア層を選択的に形成することを特徴とする請求項5乃至9のいずれかに記載の半導体装置の製造方法である。

これにより、配線の露出面全面に形成したバリア層で配線を保護することができ、しかもバリア層を配線の露出面全面に選択的に形成することで、絶縁膜のほぼ全域に広がるSiN等のバリア層を設ける必要をなくして、絶縁膜としての実行誘電率を低く抑えることができる。

## 【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

## 【補正の内容】

## 【0025】

請求項11に記載の発明は、前記第1層間絶縁膜及び下層配線の表面にレジストでビアパターンを形成し、このビアパターンの内部に金属を埋込んで該金属からなるビアプラグを形成し、前記第1層間絶縁膜上及び下層配線上のレジストを除去し、前記ビアプラグの露出面全面にバリア層を選択的に形成して前記周囲をバリア層で包囲したビアプラグを形成することを特徴とする請求項2記載の半導体装置の製造方法である。

## 【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

## 【補正の内容】

## 【0026】

請求項12に記載の発明は、前記第1層間絶縁膜上及び下層配線上のレジストを除去した後、前記ビアプラグを熱処理することを特徴とする請求項11記載の半導体装置の製造方法である。

このようにビアプラグに熱処理（アニール）を施して、例えば銅からなるビアプラグを再結晶化させることで、ビアプラグの比抵抗（ ）を低下させ、更にビアプラグのストレスを緩和させて、ストレスマイグレーション及びエレクトロマイグレーション耐性を向上させることができる。この熱処理の条件は、前述の配線の場合と同様である。

【手続補正 16】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

請求項 13 に記載の発明は、前記金属の埋込みを、無電解めっきによるボトムアップ成形で選択的に行うことを特徴とする請求項 11 または 12 記載の半導体装置の製造方法である。このように、ビアプラグをめっきによるボトムアップ成形、つまりボトムの底からめっき膜を成長させて形成することで、ビアプラグの内部にボイドが生成されることを防止することができる。

【手続補正 17】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

請求項 14 に記載の発明は、前記ビアプラグの露出面全面に、該ビアプラグを触媒とした無電解めっきによってバリア層を選択的に形成することを特徴とする請求項 11 乃至 13 のいずれかに記載の半導体装置の製造方法である。

これにより、ビアプラグの露出面全面に選択的に形成したバリア層でビアプラグを保護することで、絶縁膜としての実行誘電率を高めることなく、ビアプラグを保護することができる。