

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-537656

(P2008-537656A)

(43) 公表日 平成20年9月18日(2008.9.18)

(51) Int.Cl.

H04L 7/033 (2006.01)

F 1

H04L 7/02

テーマコード(参考)

B

5K047

審査請求 未請求 予備審査請求 未請求 (全 18 頁)

(21) 出願番号 特願2008-501886 (P2008-501886)
 (86) (22) 出願日 平成18年2月14日 (2006.2.14)
 (85) 翻訳文提出日 平成19年11月19日 (2007.11.19)
 (86) 国際出願番号 PCT/US2006/005134
 (87) 国際公開番号 WO2006/101622
 (87) 国際公開日 平成18年9月28日 (2006.9.28)
 (31) 優先権主張番号 11/081,267
 (32) 優先日 平成17年3月16日 (2005.3.16)
 (33) 優先権主張国 米国(US)

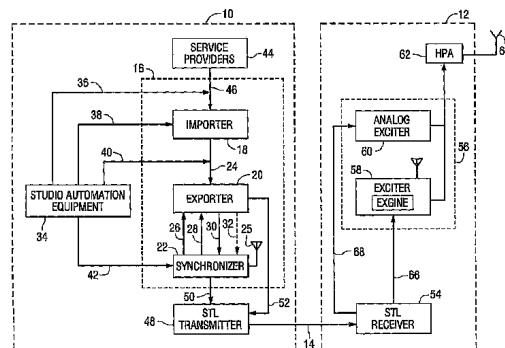
(71) 出願人 500159299
 アイビキュイティ・デジタル・コーポレーション
 USA DIGITAL RADIO INCORPORATED
 アメリカ合衆国 メリーランド州 21045 コロンビア スタンフォード・ブルバード 8865
 (74) 代理人 100088454
 弁理士 加藤 純一郎
 (72) 発明者 クローガー, ブライアン
 アメリカ合衆国 メリーランド州 21784 サイクスビル アンバーウッズ・ウェイ 12813

最終頁に続く

(54) 【発明の名称】エクスポートクロックとエキサイタクロックを同期する方法

(57) 【要約】

I BOC放送システムにおいてエキサイタクロックとモデムフレームクロックを同期させる方法は、音声信号及びデータ信号のモデムフレームの開始時を表し、タイミングがモデムフレームクロックにより制御される複数のモデムフレームパルスを受信し、エキサイタクロック信号を発生させ、エキサイタクロック信号を表すパルスをカウントして各入来モデムフレームパルスのタイミングエラーを表すカウントを発生させ、そのカウントに応答してエキサイタクロック信号を制御するステップより成る。この方法を実行する装置も提供される。



【特許請求の範囲】**【請求項 1】**

放送システムにおいてエキサイタクロックをモデムフレームクロックと同期させる方法であって、

音声信号とデータ信号のモデムフレームの開始を表し、タイミングがモデムフレームクロックにより制御される複数のモデムフレームパルスを受信し、

エキサイタクロック信号を発生させ、

エキサイタクロック信号を表すパルスをカウントして各入来モデムフレームパルスのタイミングエラーを表すカウントを発生させ、

前記カウントに応答してエキサイタクロック信号を制御するステップより成る同期方法。

【請求項 2】

モデムフレームパルスに応答して前記カウントをラッチするステップをさらに含む請求項 1 の方法。

【請求項 3】

カウントの 2 の補数をとるステップをさらに含む請求項 1 の方法。

【請求項 4】

エキサイタクロック信号を表すパルスが可変モジュラス割算器を用いて発生される請求項 1 の方法。

【請求項 5】

カウントをリセットするステップをさらに含む請求項 1 の方法。

【請求項 6】

放送システムにおいてエキサイタクロックをモデムフレームクロックと同期させる装置であって、

音声信号とデータ信号のモデムフレームの開始を表し、タイミングがモデムフレームクロックにより制御される複数のモデムフレームパルスを受信する入力と、

エキサイタクロック信号を発生させる電圧制御発振器と、

エキサイタクロック信号を表すパルスをカウントして各入来モデムフレームパルスのタイミングエラーを表すカウントを発生させるカウンタと、

前記カウントに応答してエキサイタクロック信号を制御するループフィルタにより成る同期装置。

【請求項 7】

モデムフレームパルスに応答して前記カウントをラッチするラッチをさらに含む請求項 6 の装置。

【請求項 8】

カウントの 2 の補数をとる回路をさらに含む請求項 6 の装置。

【請求項 9】

エキサイタクロック信号を表すパルスを発生させる可変モジュラス割算器をさらに含む請求項 6 の装置。

【請求項 10】

カウントをリセットする入力をさらに含む請求項 6 の装置。

【請求項 11】

放送システムにおいてエキサイタクロックをモデムフレームクロックと同期させる装置であって、

音声信号とデータ信号のモデムフレームの開始を表し、タイミングがモデムフレームクロックにより制御される複数のモデムフレームパルスを受信する手段と、

エキサイタクロック信号を発生させる手段と、

エキサイタクロック信号を表すパルスをカウントして各入来モデムフレームパルスのタイミングエラーを表すカウントを発生させる手段と、

前記カウントに応答してエキサイタクロック信号を制御する手段により成る同期装置。

10

20

30

40

50

【請求項 1 2】

モデムフレームパルスに応答して前記カウントをラッチする手段をさらに含む請求項 1 1 の装置。

【請求項 1 3】

カウントの 2 の複数をとる手段をさらに含む請求項 1 1 の装置。

【請求項 1 4】

エキサイタクロック信号を表すパルスを発生させる手段をさらに含む請求項 1 1 の装置。

【請求項 1 5】

カウントをリセットする手段をさらに含む請求項 1 1 の装置。

10

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

本発明はラジオ放送システムに係り、さらに詳細には、スタジオと送信機のクロックを同期させる方法及び装置に係る。

【背景技術】**【0 0 0 2】**

アイビキュイティ・デジタル・コーポレーションの「H D ラジオ（登録商標）」システムは、現行のアナログ振幅変調（A M）及び周波数変調（F M）ラジオから完全デジタル方式のインバンド・オンチャンネル（I B O C）システムへのスムースな移行を可能にするよう設計されている。このシステムは、既存の中波（M F）及びV H F ラジオバンドの地上送信機からモバイル、ポータブル及び固定受信機へデジタル音声及びデータサービスを提供する。放送業者は高品質で高ロバスト性の新しいデジタル信号と同時にアナログA M及びF M信号を引き続き送信することにより、彼ら自身及び聴取者が現在の周波数割当を維持しながらアナログラジオからデジタルラジオへ転換するのを可能にする。

20

【0 0 0 3】

放送システムアーキテクチャーの 2 つの重要なコンポーネントはエクスポートとエキサイタである。エクスポートは通常、ラジオ局のスタジオにあり、エキサイタは送信サイトにあるが、それらが送信サイトに共在するのを妨げるものは何もない。エクスポートとエキサイタの間のインターフェイスは単方向性であり（通常はデジタルスタジオ送信機リンク（S T L）を介する）エキサイタリンクとしてイーサネットを用いるのが一般的である。

30

【0 0 0 4】

デジタル音声及びデータ信号は、主要プログラムサービス（M P S）及び局情報サービス（S I S）を含む複数のサービスを含むことができる。エクスポートはM P S 及びS I S に必要なソフトウェア及びハードウェアを含み、音声インターフェイスを介してアナログ及びデジタル音声を受け、音声を圧縮して、圧縮済み音声を単方向性エキサイタリンクによりエキサイタへ出力する。

【0 0 0 5】

H D コーデック（H D C）はスタジオのエクスポートに配置可能である。エクスポートはS T L パスのために、H D C 符号化音声と全てのデータサービスの両方を含む信号を出力する。アナログ音声信号はエクスポートにおいてダイバーシティ遅延の間遅延され、4 4 . 1 k H z で出力される。その後、既存のS T L 上を送信されるか、3 2 k H z で再びサンプリングされ、3 0 0 k H z のS T L 割当内に適合可能なH D C 信号流と共に多重化S T L 上を送信される。R F 変調部分は送信機サイトにある。これによる帯域幅効率の良いビット流が可能になる。

40

【0 0 0 6】

エキサイタは、エキサイタエンジン（エクスジン）サブシステムと、H D ラジオ（登録商標）波形の生成に必要なハードウェアとを含む。エクスポートとエクスジンの間の全てのインターフェイス動作は単方向性エキサイタリンク上で起こる。そのリンクを介して送

50

信されるエキサイタリンクメッセージは、エクスポートとエクスジンの間で必要とされる適当なコマンド及び制御だけでなくエクスジンにより変調される論理チャンネルデータを含む。

【0007】

符号化された音声及びデータは単一のトランスポート流上で組み合わされるが、音声の符号化とデータの操作がスタジオで行われる。エキサイタリンク上を通過するものは全てメッセージに基づくものである。各メッセージはヘッダーと本体を有する。ヘッダーは少なくとも識別子、本体、シーケンス番号及び巡回冗長性チェックを含む。メッセージの本体は特定のフォーマットを有する。単方向性エキサイタリンクでは、本体は常にコマンドメッセージであるが、その理由は応答を運ぶバックチャンネルが存在しないからである。

10

【0008】

エクスジンシステムの要素の1つにインポータがある。インポータをソフトウェアで実現されるが、例えば第三者データ、プログラム関連データ(PAD)または補充チャンネルを含む全てのデータを取り扱う。インポータは、そのデータに加えてデジタルIBC信号からの符号化されたHDC情報を多重化し、その情報を1つのビット流としてエキサイタへ供給する。

【0009】

ある特定のHDCラジオ(登録商標)システムにおいて、HDC FMシステムは20kHzの応答が可能であるが、HDC AMシステムは15kHzの応答を行う。HDC FMの20kHzの音声応答では、STLシステムは上部スペクトルを通過させるために44.1kHzまたはそれより高いサンプリングレートを用いる必要がある。HDCシステムは44.1kHzのマスタークロックを必要とするため、44.1kHzで動作するデジタルSTLシステムの使用にはサンプルレートコンバータ(SRC)を不要にするという理由で微妙な利点が存在する。しかしながら、32kHzまたは48kHzのサンプリングレートを用いるSTLシステムも使用可能である。

20

【0010】

HDCシステムは、マスタークロックを用いて全てを44.1kHzのサンプリングレートに同期させる。処理には2つの構成を用いることができるが、それは2つの別個の意味と(HDCで1個、従来型送信で1個)かまたは両方のチャンネルに専用の処理済音声を与える単一のデュアル出力組み合わせプロセッサである。

30

【0011】

最初にエクスポートとエクスジンの間の時間同期に対するクロックエラーの影響を考察する。これらの装置のクロックに差が1ppmのエラーがある場合、100万個のクロック毎に1つの1クロックがスリップする。別の言い方は時間エラーが全経過時間の100万分の1ということである。例えば、1ppmのエラーは1時間で3.6ミリ秒または1日で86.4ミリ秒ドリフトするが、これは1時間または1日につきそれぞれ44kHzの音声クロックで159個のクロック、3810個のクロックと等価である。単一のクロックサンプルにつき44.1kHzのクロックサンプル公差が必要とされる場合、クロックは1ppmのクロックエラーではただ22.7秒後に仕様からドリフトする。かくして、ある種の同期を別に行う必要があることが明らかである。

40

【0012】

DPSにロックした10MHzのクロックをスタジオのエクスポートと送信機サイトのエクスジンの両方に用いて、それらがSTLリンクに介して接続されている時2つの場所間で同期を維持することができる。しかしながら、場合によってはRFノイズが大きいため送信機サイトにおけるGPS信号の受信が困難なことがある。

【0013】

送信機サイトで同期クロックを発生させる別な方法が求められている。

【発明の概要】

【0014】

本発明は、放送システムにおいてエキサイタクロックをモデムフレームクロックと同期

50

させる方法を提供する。この方法は、音声信号とデータ信号のモデムフレームの開始を表し、タイミングがモデムフレームクロックにより制御される複数のモデムフレームパルスを受信し、エキサイタクロック信号を発生させ、エキサイタクロック信号を表すパルスをカウントして各入来モデムフレームパルスのタイミングエラーを表すカウントを発生させ、前記カウントに応答してエキサイタクロック信号を制御するステップより成る。この方法を実施する装置も提供される。

【0015】

本発明は、別の局面において、放送システムにおいてエキサイタクロックをモデムフレームクロックと同期させる装置を提供する。この装置は、音声信号とデータ信号のモデムフレームの開始を表し、タイミングがモデムフレームクロックにより制御される複数のモデムフレームパルスを受信する入力と、エキサイタクロック信号を発生させる電圧制御発振器と、エキサイタクロック信号を表すパルスをカウントして各入来モデムフレームパルスのタイミングエラーを表すカウントを発生させるカウンタと、前記カウントに応答してエキサイタクロック信号を制御するループフィルタとより成る。

10

【発明を実施するための最良の形態】

【0016】

添付図面を参照して、図1は本発明に従って構成されたスタジオサイト10、送信機サイト12及びスタジオ-送信機間リンク(STL)14の関連コンポーネントを示す機能的ブロック図である。スタジオはとりわけ、インポータ18、エクスポート20、シンクロナイザ22を含むアンサンブル・オペレーションズ・センター(EOC)16を含む。インポータとエクスポートはエクスポートデータリンク24により接続されている。シンクロナイザ22はアンテナ25に接続されたGPS受信機を含む。エクスポートとシンクロナイザは、矢印26、28、30、32で示すように、デジタル主要プログラムサービス(MPS)音声、アナログ主要プログラムサービス(MPS)音声、遅延アナログ主要プログラムサービス(MPS)音声、バイパス制御を含む複数の信号を交換する。EOCは、ライン36上の二次的音声データサービス、ライン38上の二次的音声サービス音声、ライン40上の主要プログラムサービスデータ及びライン42上の主要プログラムサービス音声を含む複数の音声及びデータ信号をスタジオ音声装置34から受信する。データサービスプロバイダ44はライン46上にサービスデータを供給する。スタジオ送信機リンク(STL)の送信機48は、ライン50上で遅延アナログ音声MPS音声を、またライン52上でエキサイタリンクデータを受信する。

20

【0017】

EOCは種々の信号をモデムフレームにフォーマッティングし、STL送信機はフレーミングを施されたデータの形のモデムフレームをSTLリンク14を介して送信機サイト12へ送信する。モデムフレームはエキサイタでの同期のために一連のパルスを提供する。信号のタイミングを制御するためにモデムフレームクロックが使用される。送信機サイトはSTL受信機54、エクスシンサブシステム58及びアナログエキサイタ60を含むエキサイタ56含む。送信機サイトは音声及びデータ信号を受信し、高出力増幅器62及びアンテナ64によりそれらを処理して放送する。エキサイタリンクデータは矢印66で示すようにエクスシンへ供給される。遅延アナログMPS音声は矢印68で示すようにアナログエキサイタへ送られる。エキサイタは10MHzのクロックとアップコンバータを有する。

30

【0018】

図2は、本発明に従って構成されたスタジオサイト110、送信機サイト112及びスタジオ-送信機間リンク(STL)114の関連コンポーネントを示す機能的ブロック図である。スタジオはとりわけ、インポータ118、エクスポート120、シンクロナイザ122を含むEOC116を有する。インポータとエクスポートはエクスポートデータリンク124により接続されている。シンクロナイザ122はアンテナ125に接続されたGPS受信機を含む。エクスポートとシンクロナイザは、矢印126、128、130で示すように、デジタル主要プログラムサービス(MPS)音声、アナログ主要プログラム

40

50

サービス（MPS）音声及びバイパス制御を含む複数の信号を交換する。EOCは、ライン124上の二次的音声データサービス、ライン136上の二次的音声サービス音声、ライン138上の主要プログラムサービスデータ及びライン140上の主要プログラムサービス音声を含む複数の音声及びデータ信号をスタジオ音声装置132から受信する。データサービスプロバイダ142はライン144上にサービスデータを供給する。スタジオ送信機リンク（STL）送信機146は、ライン148上のエキサイタリンクデータ上で送信される信号を受信する。

【0019】

EOCは種々の信号をモデムフレームにフォーマッティングし、STL送信機は一連のパルスより成るモデムフレームをSTLリンク114を介して送信機サイト112へ送る。信号のタイミングを制御するためにモデムフレームクロックが使用される。送信機サイトは、STL受信機150と、エクスジンサブシステム154を含むエキサイタ152とを有する。送信機サイトは音声及びデータ信号を受信し、高出力増幅器156及びアンテナ158によりそれらを処理して放送する。エキサイタリンクデータは矢印160で示すようにエクスジンへ送られる。エキサイタは10MHzクロックとアップコンバータを有する。

【0020】

同期の問題に対する1つの解決法はSTLを介する時間同期信号の周期的送信に頼ることである。ここでは、STLのクロック作用は送信機における10MHzクロックに対して非同期的であるため、STLクロックがエクスジンの基準クロックとして使用される可能性はほとんどないと考えられる。しかしながら、モデムフレームレートとほぼ同時的である周期的時間同期パルスをエクスジンクロックの同期に使用することが可能である。時間同期信号は、十分に長い時間スパンにわたってエクスポート基準クロックに周波数ロックすることができるが、STLクロックが非同期であること、またソフトウェアのタイミングにより、例えば1ミリ秒のピーク間時間ジッターを有する。また、このジッターノイズは相関性がないことはないらしく（白色）、長い周期性またはうなり周波数を有することを考慮することが重要である。10MHzクロックを再生するためにエクスジンにおいてある種の位相ロックループ（PLL）を使用する場合、位相ノイズ及び周波数エラーは信号送信が可能化されるならばこれらのステップエラーの間に仕様内に維持する必要がある。このPLLの周波数公差、PLL安定性、捕捉レンジ及び時定数は設計パラメータを設定する。モデムフレームクロックを異常に高い周波数遅倍（ほぼ1500万倍）により10MHzにすると、STLからの入力のジッターがあるため、非常に長い時定数の普通でない設計となる。

【0021】

考慮すべき別のファクターとして同期情報の精度または時間ジッターがある。統計的平均は（バイアスのない最適推定値を得るために分析にガウス非相関分布を想定すると）ジッターにより毀損されたノイズの多いサンプルからパラメータ（即ち、モデムフレーム時間周期）を推定する手段を提供する。推定平均の統計的分散量はサンプル数で割算した各サンプルの分散量に等しい。あるいは等価的に、標準偏差は平均のサンプル数の平方根により減少される。PLL法を用いてある種の重付け平均を行うことが可能である。

【0022】

図3は図1及び2のエキサイタの一部を示す機能図である。エクスジンサブシステム180はライン182上に周波数が約0.673Hzのクロック信号を発生させる。このクロック信号はモデムフレームタイミングから導出される。クロック信号は、エクスポートからSTLリンクを介して同期メッセージとして与えられ、その後、復号されると同期メッセージが約0.637Hzで周期的に到達する時パルスを発生させる。この信号は10MHzクロック発生器184の入力として作用する。10MHzクロック発生器はライン186上に10MHzクロック信号を発生させ、この信号はデジタルアップコンバータ188の制御に使用される。デジタルアップコンバータは矢印190で示すようにエクスジンサブシステムから波形データを受け、ライン192上にHDTV（登録商標）信号を

10

20

30

40

50

発生させる。

【0023】

図4は図3の10MHzクロックのブロック図である。0.673Hzクロック信号はライン182において例えば現場でプログラム可能なゲートアレイ(FPGA)194へ入力される。FPGAはクロック信号を処理してライン196上にデジタル制御信号を発生させる。デジタル-アナログコンバータ198はライン200上にアナログ電圧信号を発生させる。電圧制御発振器(VCXO)202はアナログ制御電圧に応答してライン186上に10MHz信号を発生させる。この10MHzクロック信号は矢印204で示すようにFPGAへフィードバックされる。

【0024】

本発明は、エクスジンの10MHzクロックをエクスポートからのモデムフレームクロックと同期させる方法を提供する。図5は、本発明に従って構成された位相ロッклープ(PLL)回路の概略図である。図5の回路において、周期が約1.486秒(逆数が0.637Hz)のモデムフレームパルスはライン210を介してラッチ回路212へ入力される。モデムフレームパルスはモデムフレームの開始を指示する。ライン214上の初期同期信号はゲート216によりモデムフレームパルスとの間で論理AND処理されて、ライン220上にモジュロ2¹⁶カウンタ218のリセット信号を発生させる。この初期同期の捕捉を開始するために種々の方法を用いることができる。1つのプロトタイプは押しボタンにより初期同期の捕捉を開始させることである。全ての送信パラメータがグラフィカル・ユーザー・インターフェイス(GUI)により制御されるコンピュータコントローラによるかまたは製造者が便利だと見なす方法により、市販のハードウェアを使用してこれを開始させることができる。カウンタ218からのカウントはラッチ212に記憶される。このカウントはモデムフレームパルスの先端に応答してラッチされる。

【0025】

ロック222で示すように、ラッチされたカウントの負の2の補数をとることによりエラー信号を発生させ、ループフィルタ224へ送る。2の補数はカウンタ/位相検知器における正と負の両方のタイミングカウントエラー(0カウントエラーに対して)を表す便利な方法である。このカウント(2の補数)はエクスジンの入力パルスと再生されたモデムフレームクロックの間の相対的位相差またはタイミングエラーの測定値を与える。PLLはこのカウントを0に減少させるように作用する。このカウントの分解能は44.1kHzのクロックサンプル、即ち23マイクロ秒である。従来の位相ロッклープでは、バイナリラッチ型回路により、入力と分割したダウンフィードバック信号のパルス時間差に等しいエラーパルス幅を各インパルスにつき発生させる。このパルス幅は通常、ループフィルタで処理する。その代わりに、本発明はカウンタ(アナログパルス幅でなくて)により入来する各モデムフレームパルスのタイミングエラーを指示させる。この方法では、カウントをリセットすることによりPLLがその目標位相(時間)エラー内に確実におさまり、他の方法では数日かかるかもしれない収斂をより迅速に(依然として数時間かかるが)行うことができる。このカウンタリセットにより従来のアナログパルス幅による方法では不可能であった初期捕捉を行うことができる。捕捉には依然としてかなりの時間がかかる(数日でなくて数時間)が、他法によると極端に長い時間を要することがこのカウンタ位相検知器を用いる動機である。

【0026】

ループフィルタは、加算点226、228、230、リミター232、234、増幅器236、238及びフィードバック要素240、242を有する。フィードバック要素は单一サンプル遅延要素である。ループフィルタの出力はロック244において示すように制限を施され、リミターのデジタル出力はデジタル-アナログコンバータ248によりライン246上のアナログ制御電圧へ変換される。電圧制御発振器250はこの制御電圧に応答してライン252上に10MHzクロック信号を発生させる。

【0027】

可変モジュラス割算器254を用いて10MHzクロックから44.1kHzクロック

10

20

30

40

50

を発生させる。可変モジュラス割算器 254 はカウンタ 256、258 及び検知器 260 を有し、ライン 262 上に 44.1 kHz クロック信号を発生させる。この 44.1 kHz 周波数は、音声サンプルレートに用いられ且つモデムフレームレートの正確な倍数であるため便利である。可変モジュラス割算器は事実上 10 MHz クロック周波数を 441/100000 の係数により遅倍する。44.1 kHz クロックは 16 ビットカウンタへ入力されるが、このカウンタは 44100/65536 のモデムフレームレートまたは約 0.673 Hz でサイクル動作して約 1.486 秒のモデムフレーム周期を発生させる。

【0028】

カウンタ 218 は分解能が 16 ビットである。これらの 16 ビットは仮想モデムフレームカウンタと入力基準モデムフレームタイミングの間の相対的な位相差を表す。このカウントは入力モデムフレームクロックの先端でラッチされる。このカウント（2 の補数）はエクスシンの入力パルスと再生されたモデムフレームクロックの間の相対的位相またはタイミングエラーの測定値を与える。この位相エラーはその後ループフィルタ及び DAC により処理されて VCO の瞬時周波数を制御する。ループフィルタは PLL の全体性能を制御する。

10

【0029】

VCO の仕様は公称周波数が 10 MHz \pm 0.5 ppm である。制御電圧レンジは VCO 周波数が 10 MHz \pm 1.0 ppm に到達できるようなものでなければならない。さらに、VCO 周波数の最大レンジは全ての条件下で 10 MHz \pm 1.5 ppm に制限されなければならない。この制限により周波数はそのシステムの最悪の状態の公差 \pm 2 ppm を超えないようにされる。

20

【0030】

適当な性能を得るために 8 MSB（例えば、8 ビット DAC）が必要とされるが、16 ビット DAC を想定する。DAC のフルレンジは $\pm 2^{15}$ に制限されるが、これにより、VCO を少なくとも 10 MHz \pm 1.0 ppm のレンジ（しかしながら ± 1.5 ppm を超えない）に制御してシステムの仕様に確実に合致するようにする必要がある。数値のオーバーフローまたはアンダーフローを防止するためにデジタル信号パスの種々のポイントに制限機能を適用する。

【0031】

図 5 の PLL はライン 252 上に 10 MHz クロック出力を発生させ、関連の周波数分割器を用いてほぼ 1.486 秒の仮想モデムフレーム周期を発生させる。PLL は仮想モデムフレーム周期を入来モデムフレームパルスに位相ロックして、エクスシンの 10 MHz クロックがエクスポートの入来モデムフレーム周期にコヒーレントに関連するようになる。

30

【0032】

上述した実施例の特徴は入力位相検知器にリセット付き入力カウンタを用いることである。公知の位相ロックループでは、バイナリラッチ型回路により入力と分割されたファイードバック信号のパルス時間差に等しいエラーパルス幅を各インパルスにつき発生させる。このパルス幅は通常、ループフィルタにおいて処理されるが、本発明ではリセット付きカウンタを用いて PLL が確実にその目標位相（時間）エラー内におさまる、他の手段であれば数日かかるかもしれない収斂をより迅速に（依然として数時間かかるが）行う。

40

【0033】

PLL の安定性、減衰係数及びその他の性能パラメータの分析は PLL の理想的線形モデル近似により定常動作において最も都合よく行える。この線形モデルにより従来のサーボ制御理論分析法は動作時における安定性及び性能を制御する適当な設計パラメータ（特にループフィルタ）を決定することができる。図 6 に示すこのモデルは周波数をラジアン/秒の単位で、また信号の値をボルトで記述する。

【0034】

図 6 は図 5 の PLL の線形モデル 270 を示す。このモデルは、ライン 274 で示すように入力モデムフレームパルスを受ける位相検知器 272 を有する。ライン 276 上の位

50

相検知器出力は利得が K_d ボルト / ラジアンである増幅器 278 により増幅される。ライン 280 上の増幅済み信号は利得が b である積分器 282 により増幅・積分され、利得が a である増幅器 284 により増幅される。ライン 286 上の積分済み信号は加算点 290 においてライン 288 上の増幅済み信号に加算される。その結果ライン 292 上で得られる信号を用いて電圧制御発振器（位相積分器）294 を制御することにより、位相検知器へフィードバックされるライン 296 上の出力信号を発生させる。図 6 に示すループフィルタリングはソフトウェアにより、そして、デジタル - アナログコンバータ（D/A/C）により制御されるハードウェアの電圧制御水晶発振器（VCO）により実現可能である。

【0035】

ループフィルタ内の利得値 a 及び b は従来のサーボ制御理論法を用い、完全分析で求めた導出値 a 及び b でスタートすることにより求めることができる。その後、得られる PLL の性能はこれらの想定値で特徴付けることができる。図 6 を参照して、位相検知器の利得 K_d は 16 ビットのラッチカウンタに関連する値（電圧）を発生させる。従って、 K_d は下記のように計算される。

$$K_d = 2^{16} / 2 \cdot \dots = 10430 \text{ ボルト / ラジアン}$$

【0036】

周波数分割器を含む VCO は周期 $P = 1.486$ 秒

$$(f_0 \approx 0.672 \text{ Hz})$$

の方形波を発生する。D/A/C の値が 2^{15} （ボルト）変化すると周波数が 1 ppm シフトする。その後、VCO の利得 K_0 は下記のように計算される。

【0037】

$$K_0 = 10^{-6} \cdot 2 \cdot \dots \cdot f_0 / 2^{15} = 1.29 \cdot 10^{-10} \text{ ラジアン / 秒 - ボルト}$$

または

$$K_0 = 10^{-6} \cdot 2^{-15} \cdot 2 \cdot \dots / P, \text{ ただし } f_0 = 1 / P$$

2 つの係数 K_d 及び K_0 は便宜的に 1 つのパラメータ K として表わすことが可能である。

$$K = K_d \cdot K_0 = 2 \cdot 10^{-6} \cdot f_0 = 1.3458 \cdot 10^{-6} \text{ 秒}^{-1}$$

【0038】

PLL の線形モデルの閉ループ伝達関数 $H(s)$ は性能及び安定性を評価するために使用可能である。図 7a 及び 7b は従来のサーボループ理論（ラプラス変換など）の使用を容易にする最初の設計として役立つ従来のアナログループフィルタの設計を示す回路の概略図である。その後、これらの設計は等価設計バージョンに変換可能である。図 7a は入力 302 と出力 304 を有する回路 300 である。抵抗 R_1 は入力を増幅器 306 及び 308 に接続する。これらの増幅器の出力は加算点 310 で加算される。キャパシタ C は増幅器 306 のフィードバックを与える。抵抗 R_2 は増幅器 308 のフィードバックを与える。

【0039】

図 7b は入力 322 と出力 324 を有する回路 320 である。入力は第 1 の増幅器 326 と加算点 328 とに接続されている。加算点 328 は第 2 の増幅器 330 に接続されている。これらの増幅器の出力は加算点 332 で加算される。インピーダンス 334 は加算点 328 へフィードバックを与える。

【0040】

図 7a 及び 7b に示す時定数は下記の通りである。

$$1 = R_1 \cdot C = P / b \quad \text{及び} \quad 2 = R_2 \cdot C = a \cdot P / b$$

【0041】

伝達関数 $H(s)$ はラプラス変換法を用いると最もよく記述される。

$$H(s) = K \cdot F(s) / (s + K \cdot F(s))$$

【0042】

上式において、 $F(s)$ は組み込んだループフィルタの伝達関数である。理想的な二次ループフィルタの伝達関数は下記の通りである。

10

20

30

40

50

$$F(s) = - (1/s \cdot C \cdot R1 + R2/R1)$$

【0043】

ループフィルタの従来の分析法はPLLの重要な特性を時定数1及び2で記述する。これらの時定数は、積分器の特性及び理想的な二次PLLに用いられるRC成分で実現されるループフィルタの利得成分に言及している。これらの時定数とそれらのデジタル等価値の間の関係は図7a及び7bに示される。

【0044】

その結果得られるPLLの伝達関数は下記のように書き換えることが可能である。

$$H(s) = \frac{K \cdot F(s)}{s + K \cdot F(s)} = \frac{K \cdot (s \cdot \tau2 + 1) / \tau1}{s^2 + s \cdot (K \cdot \tau2 / \tau1) + K / \tau1}.$$

10

【0045】

さらに、この伝達関数はサーボ用語では下記のように記述可能である。

$$H(s) = \frac{2 \cdot \zeta \cdot \omega_n \cdot s + \omega_n^2}{s^2 + 2 \cdot \zeta \cdot \omega_n \cdot s + \omega_n^2}.$$

【0046】

上式において、 ω_n は固有周波数、 ζ はPLLの減衰係数であり、

$$\omega_n = \sqrt{\frac{K}{\tau1}} = \sqrt{\frac{K \cdot b}{P}} \text{ and } \zeta = \frac{\tau2 \cdot \omega_n}{2} = \frac{a \cdot P \cdot \omega_n}{2 \cdot b}.$$

20

【0047】

PLLの分析、設計及びシミュレーション性能は所望の値が $a = 512$ 、 $b = 0.063$ ($b = 1/16$) を示唆する。PLLの固有周波数は下記のように計算可能である。

$$\omega_n = \sqrt{\frac{K \cdot b}{P}} \approx 2.38 \cdot 10^{-4} \text{ Hz}.$$

【0048】

その結果得られる減衰係数は下記の通りである。

$$\zeta = \frac{a \cdot P \cdot \omega_n}{2 \cdot b} \approx 1.448.$$

30

【0049】

この減衰係数は、安定性を考慮して位相マージンを増やすために典型的な値よりも高い値（より典型的には0.7と1.0の間）に設定される。付加的なマージンは利得bのパスに付加したフィルタの遅延を補償するために必要とされる。また、このマージンにより、安定性が確保され、VCO利得 K_0 が予想値よりもわずかに高い時オーバーシュートが最小限に抑えられる。線形モデルによる近似は上述したような幾つかのパラメータを導出するのに有用であるが、デジタルシミュレーション法により設計をさらに精度の高いものにすることは一般的に望ましい。

40

【0050】

図8は本発明のデジタルシミュレーションモデル350を示す。このモデルの入力352は加算点354に接続されている。その加算点は無限インパルス応答(IIR)フィルタの形のループフィルタ356に接続されており、このフィルタは増幅器358、360、加算点362、364、366、リミッタ368、370、インピーダンス372、374より成る。ループフィルタの出力はリミッタ376により制限される。その結果ライン378上で得られる制限された信号は加算点380でライン382上の周波数オフセット信号及びライン386上のデジタル位相積分器384からのフィードバック信号と結合され、ライン388上に10MHzクロック信号を発生させる。クロック信号は増幅器390を介して加算点354へフィードバックされる。

50

【0051】

P L L 設計の性能は、図 8 に示すデジタルシミュレーションモデルによりさらに評価可能である。線形モデルから導出される設計パラメータはデジタルモデルで使用される。V C X O のような任意のアナログコンポーネントは、それらと等価のデジタルバージョン（例えば、V C X O のデジタル位相積分器）に変換される。デジタルシミュレーションにより、簡略化された線形分析法に容易に転換されない非線形性及び詳細事項の影響を特徴付けることが可能である。

【0052】

線形モデルからデジタルシミュレーションモデルへグレードアップする場合、ループフィルタ内の利得 b のパスを修正する。単純利得 = b を直流利得が b である 1 極 I I R フィルタで置き換えた。これはノイズの多い位相エラーサンプルのピークを平滑化し制限するために行った。このフィルタがなければノイズの多いピークは通常、クリップされる。このクリッピングにより、制御電圧が捕捉時のような公称ゼロでない時バイアスエラーが生じる。このフィルタリングによりピーク値が減少し、捕捉時における任意のバイアスが抑制される。しかしながら、このフィルタリゲは実際に、フラットな利得 b に対する I I R フィルタのさらなる遅延により位相マージンを減少させる。減衰係数はこの予期される影響を補償するために最初に通常値よりも高い値に設定された。

10

【0053】

設計をシミュレーションし、幾つかの典型的な動作条件に関する結果を図 9 及び 10 に示す。図 9 は、入力がステップエラーが 1 ミリ秒、r m s 位相ジッターが 1 ミリ秒で初期化された時の種々の信号の変化を示す。図 10 は、初期のステップエラー及び r m s 位相ノイズが共に 10 ミリ秒に設定された時の同様な結果を示す。

20

【0054】

入来モデムフレームパルスと再生された P L L パルスの間のタイミングエラーは、ループフィルタの I I R 利得部分の出力を観察することにより評価可能である。この I I R フィルタは、エラーサンプルがその減衰する指数インパルス応答で事実上平均化される場合に約 512 個のモデムフレーム周期、即ち約 12.7 分の時定数を有する。フィルタの平均値は、利得 $a = 512$ により乗算された平均入力タイミングエラー ($\pm 2^{15}$ フルスケール = 1 周期) を表す。I I R フィルタは $\pm 2^{15}$ の制限機能を有するため、出力は $\pm 2^{15} / 512 = \pm 64$ の入力エラー値で飽和するが、これは $\pm 2^{15}$ の I I R フィルタ出力、あるいは 2.9 ミリ秒と等価である。この値により、初期捕捉エラーが大きすぎて継続できず、システムを再同期するのが好ましいか否かを判定することができる。そうでなければ、この値は短期 (12.7 分) の平均位相エラーを表す。入力位相エラージッター及びノイズが小さい (1 ミリ秒未満) であれば、長い整定期間 (ほぼ 8 時間) 後の定常エラーは 0.1 ミリ秒 r m s 未満に収斂するはずである。入力ジッターエラーが 10 ミリ秒であれば、システム位相エラージッターは 1 ミリ秒 r m s 未満のはずである。

30

【0055】

上述したデジタル音声放送システムに用いる P L L は、S T L リンクを介する入力パルス上の位相ジッターが比較的大きいだけでなく遅倍係数が約 1500 万と極端に大きい (0.673 Hz から 10 MHz) ことにより普通ではない。入力周波数パルスは S T L リンクからの周期的メッセージを復号することにより発生される。

40

【0056】

周期的モデムフレームを運ぶ S T L リンクの出力は、受信する各モデムフレームの開始時に同期パルスに変換される。P L L 入力信号は周期メッセージより成り、入力パルスはモデムフレームの開始時を示す。出力位相ノイズは入力位相ノイズに周波数遅倍係数 (1500 万) を乗算し、ループ伝達係数でフィルタリングしたものとして計算されるため、この位相ノイズは、ループ帯域幅が非常に低い出力位相ノイズを発生するために極端に小さい値にされている場合は例外として一般的に非常に大きい。事実、ループ帯域幅は位相エラーが図 9 及び 10 に示すように収斂するのに数時間かかるほど小さいものである。これにより高安定性の発振器及び幾つかの特別な設計パラメータが必要とされる。

50

【0057】

上述した（普通でない）条件（位相ノイズ、捕捉時間、過倍係数）の下で必要な性能を得るためにPLLパラメータが選択される。従来のサーボループ用語を用いて、ループの固有周波数はおよそ1時間でなければならず、ループは約1.5の減衰係数でオーバーダンピングされるため、VCXOボルト／周波数の利得エラーマージンを受け入れる安定性が確実に得られる。その結果得られる時定数（上述した t_1 及び t_2 ）は固有周波数及び減衰係数の関数として最も近い都合の良い値に計算される。

【0058】

本発明を幾つかの実施例に関連して説明したが、当業者には頭書の特許請求の範囲に記載された本発明の範囲から逸脱することなく図示説明した実施例に対する種々の変形例及び設計変更が可能であることが明らかであろう。

10

【図面の簡単な説明】

【0059】

【図1】FMラジオ局のスタジオ、送信機及びスタジオ-送信機間リンクを示すブロック図である。

【図2】AMラジオ局のスタジオ、送信機及びスタジオ-送信機間リンクを示すブロック図である。

20

【図3】送信機サイトにおけるエキサイタの一部を示す機能図である。

【図4】本発明に従って構成された同期回路を示すブロック図である。

【図5】本発明に従って構成された回路の概略図である。

【図6】本発明の線形モデルを示す図である。

【図7a】モデルの時定数の説明に用いる図である。

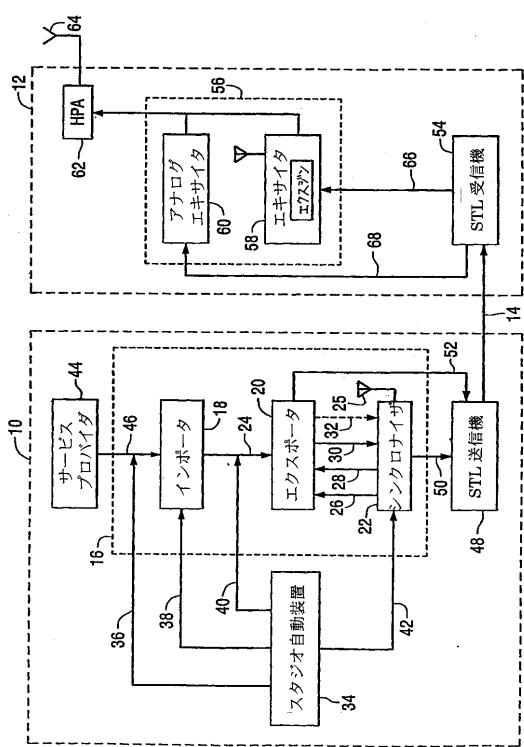
【図7b】モデルの時定数の説明に用いる図である。

【図8】本発明のデジタルシミュレーションモデルを示す図である。

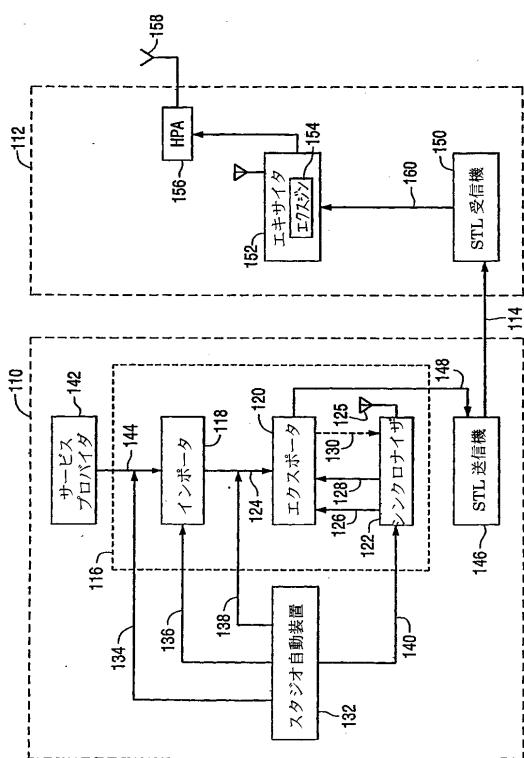
【図9】1ミリ秒の初期オフセット及び1ミリ秒のrms入力相ジッターに対するPLL応答を示すグラフである。

【図10】10ミリ秒の初期オフセット及び10ミリ秒のrms入力相ジッターに対するPLL応答を示すグラフである。

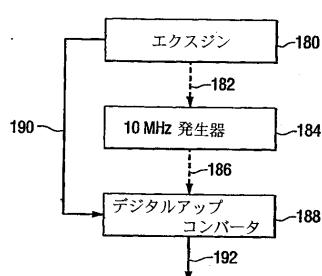
〔 図 1 〕



【 四 2 】



【 図 3 】



【 図 4 】

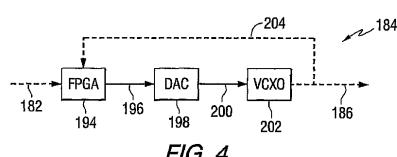
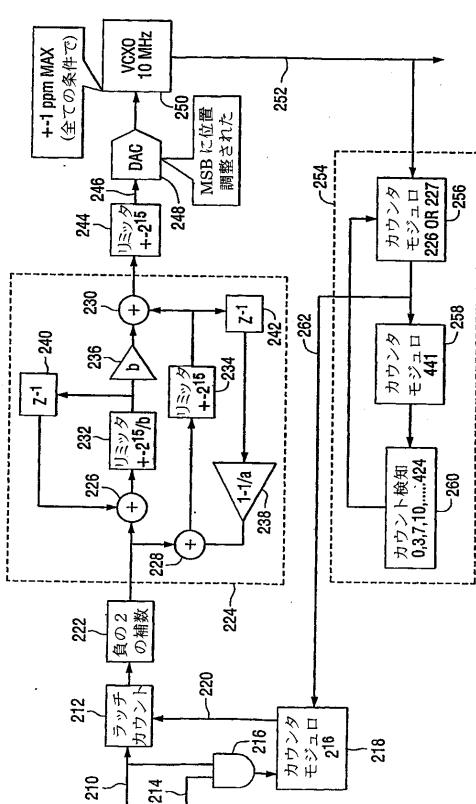


FIG. 4

【 5 】



【図 6】

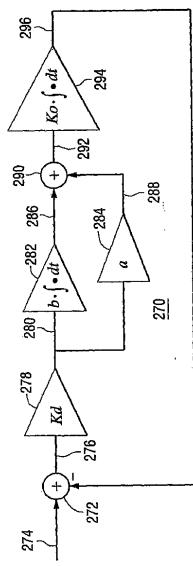


FIG. 6

【図 7 a】

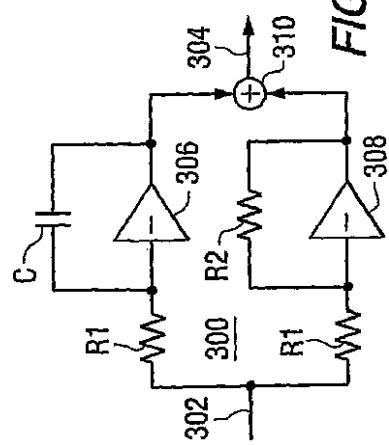


FIG. 7a

【図 7 b】

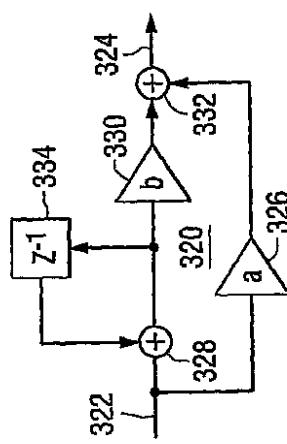
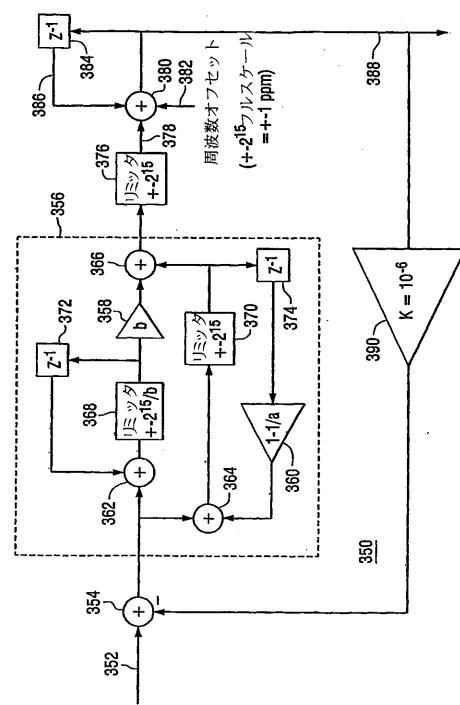
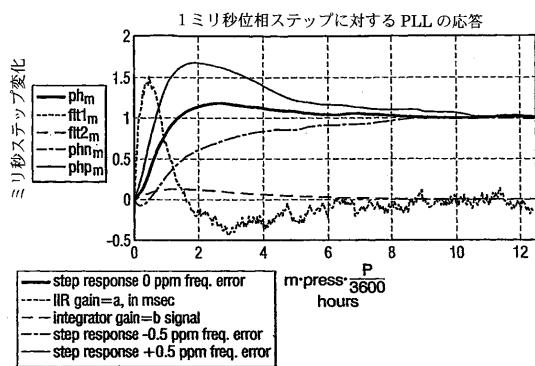


FIG. 7b

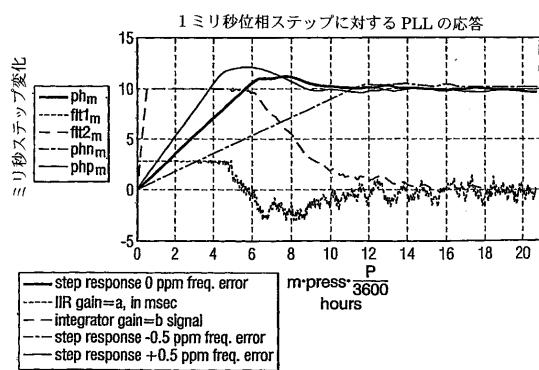
【図 8】



【図 9】



【図 10】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No PCT/US2006/005134
A. CLASSIFICATION OF SUBJECT MATTER INV. H04H7/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H04J H04L H04N H03L H04H		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2003/086442 A1 (REYNOLDS JOHN C ET AL) 8 May 2003 (2003-05-08) column 3, line 23 - column 4, line 24 column 5, line 15 - column 8, line 57	1-15
A	EP 1 471 745 A (SONY UNITED KINGDOM LIMITED) 27 October 2004 (2004-10-27) paragraphs [0001] - [0007], [0042] - [0045]	1-15
A	EP 1 041 758 A (HARRIS CORPORATION) 4 October 2000 (2000-10-04) paragraphs [0001] - [0005], [0021], [0022]	1-15
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
<p>* Special categories of cited documents :</p> <p>'A' document defining the general state of the art which is not considered to be of particular relevance</p> <p>'E' earlier document but published on or after the International filing date</p> <p>'L' document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>'O' document referring to an oral disclosure, use, exhibition or other means</p> <p>'P' document published prior to the International filing date but later than the priority date claimed</p> <p>'T' later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>'X' document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>'Y' document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>'&' document member of the same patent family</p>		
Date of the actual completion of the International search 23 May 2006	Date of mailing of the International search report 01/06/2006	
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL-2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer van Hoorick, J	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2006/005134

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 2003086442	A1	08-05-2003	AU EP WO	4789201 A 1273116 A2 0178275 A2	23-10-2001 08-01-2003 18-10-2001
EP 1471745	A	27-10-2004	CN GB JP US	1543193 A 2400255 A 2004304809 A 2004257469 A1	03-11-2004 06-10-2004 28-10-2004 23-12-2004
EP 1041758	A	04-10-2000	CN TW	1273465 A 507428 B	15-11-2000 21-10-2002

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(特許庁注：以下のものは登録商標)

1. イーサネット

F ターム(参考) 5K047 AA01 CC08 DD01 DD02 GG11 HH01 MM56