

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-516589

(P2007-516589A)

(43) 公表日 平成19年6月21日(2007.6.21)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 J	5 F O 3 3
HO 1 L 23/52 (2006.01)	HO 1 L 27/04 A	5 F O 3 8
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 C	
HO 1 L 27/04 (2006.01)		

審査請求 未請求 予備審査請求 未請求 (全 19 頁)

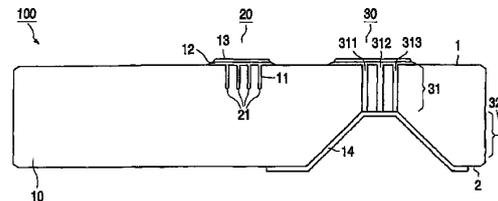
(21) 出願番号	特願2006-516678 (P2006-516678)	(71) 出願人	590000248 コーニンクレッカ フィリップス エレク トロニクス エヌ ヴィ オランダ国 5621 ペーアー アイン ドーフェン フルーネヴァウツウェッハ 1
(86) (22) 出願日	平成16年6月11日 (2004. 6. 11)	(74) 代理人	100075812 弁理士 吉武 賢次
(85) 翻訳文提出日	平成18年2月13日 (2006. 2. 13)	(74) 代理人	100088889 弁理士 橘谷 英俊
(86) 国際出願番号	PCT/IB2004/050887	(74) 代理人	100082991 弁理士 佐藤 泰和
(87) 国際公開番号	W02004/114397	(74) 代理人	100096921 弁理士 吉元 弘
(87) 国際公開日	平成16年12月29日 (2004. 12. 29)		
(31) 優先権主張番号	03300035. 7		
(32) 優先日	平成15年6月20日 (2003. 6. 20)		
(33) 優先権主張国	欧州特許庁 (EP)		
(31) 優先権主張番号	04300132. 0		
(32) 優先日	平成16年3月10日 (2004. 3. 10)		
(33) 優先権主張国	欧州特許庁 (EP)		

最終頁に続く

(54) 【発明の名称】 電子デバイス、アセンブリ、電子デバイスの製造方法

(57) 【要約】

半導体基板は、共通の誘電層を有する垂直相互接続部および垂直キャパシタの両方を備えている。基板は、アセンブリを形成するために更なるデバイスと適切に組み合わせることができる。基板は、一方の面を第1のステップを含むエッチング処理で形成した後、基板の他方の面を第2のステップを含む処理で形成することができる。



【特許請求の範囲】

【請求項 1】

第 1 の面と、第 2 の面とを有する半導体基板を備え、前記半導体基板には、キャパシタと、前記第 1 の面から前記第 2 の面へと前記半導体基板を貫いて延びる垂直相互接続部とが設けられ、前記第 1 の面に前記キャパシタが存在する電子デバイスにおいて、

前記キャパシタは複数のトレンチを備える垂直トレンチキャパシタであり、これらのトレンチ内には、第 1 の導電面と第 2 の導電面との間に誘電材料層が存在し、前記誘電材料層は、前記基板と前記垂直相互接続部との間の絶縁体としても使用されることを特徴とする電子デバイス。

【請求項 2】

前記垂直相互接続部が第 1 の部分と第 2 の部分とを有し、前記第 1 の部分は前記基板の前記第 1 の面で露出されるとともに前記第 2 の部分よりも狭くかつ略円筒形状を成している請求項 1 記載の電子デバイス。

【請求項 3】

前記垂直相互接続部の前記トレンチは、導電材料によってほぼ満たされていることを特徴とする請求項 1 記載の電子デバイス。

【請求項 4】

前記垂直相互接続部は、前記基板を貫通する複数の平行な貫通孔を備え、これらの各貫通孔が導電材料で満たされることを特徴とする請求項 2 記載の電子デバイス。

【請求項 5】

外部キャリアに結合するための接点パッドが前記第 2 の面に存在し、第 1 の垂直相互接続部が接地のために使用され、第 2 の相互接続部が信号送信のために使用される、ことを特徴とする請求項 1 記載の電子デバイス。

【請求項 6】

前記第 1 および第 2 の垂直相互接続部は、同軸構造を形成するように構成されている事を特徴とする請求項 4 記載の電子デバイス。

【請求項 7】

前記基板の前記第 2 の面には集積回路が区画されていることを特徴とする請求項 1 記載の電子デバイス。

【請求項 8】

前記基板は、前記垂直キャパシタに隣接して存在し且つ寄生電流に対する保護としての機能を果たす高オーム領域を備えていることを特徴とする請求項 1 記載の電子デバイス。

【請求項 9】

前記基板の前記第 1 の面には平面キャパシタが存在し、この平面キャパシタは、前記垂直キャパシタと同じ誘電材料層を備えていることを特徴とする請求項 1 記載の電子デバイス。

【請求項 10】

請求項 1 乃至 9 のいずれかに記載の電子デバイスと、半導体デバイスとを備えるアセンブリであって、前記半導体デバイスは、前記基板の前記第 1 の面に存在するボンディングパッドに対して電氣的に接続されているアセンブリ。

【請求項 11】

第 1 の面と、第 2 の面とを有し且つ前記第 1 の面から前記第 2 の面へと延びる垂直相互接続部とキャパシタとが設けられた半導体基板を備えるとともに、前記第 1 の面に前記キャパシタが存在する電子デバイスを製造する方法において、

前記基板の前記第 1 の面からエッチングするステップを含む、基板中に第 1 のトレンチを形成するステップと、

前記基板の一方の面からエッチングすることにより前記基板中に第 2 のトレンチを形成するとともに、前記基板の他方の面から材料を除去することにより前記第 2 のトレンチを開口するステップと、

10

20

30

40

50

前記第 1 のトレンチに導電面を設けるステップと、

前記基板上に誘電材料層を付けることにより、少なくとも前記基板の前記第 1 の面と前記第 1 および第 2 のトレンチの内面とを覆うステップと、

前記第 1 のトレンチ内および前記第 2 のトレンチ内に導電材料を付けるステップであって、前記第 1 のトレンチの導電材料は、前記誘電材料層および前記導電面とともに、前記キャパシタを形成し、前記第 2 のトレンチの導電材料が前記垂直相互接続部を形成するステップと、

を備えている方法。

【請求項 1 2】

前記第 1 のトレンチおよび前記第 2 のトレンチが 1 つのステップでエッチングされ、前記第 1 のトレンチは、前記貫通孔に通じる前記第 2 のトレンチよりも小さい直径を有し、その結果、前記第 2 のトレンチが前記第 1 のトレンチよりも更に基板中へと延び、前記トレンチが内面を有している請求項 1 1 記載の方法。

10

【請求項 1 3】

前記第 2 のトレンチ内に導電材料を付ける前記ステップは、シード層および電気メッキを付けるステップを含むことを特徴とする請求項 1 2 記載の方法。

【請求項 1 4】

前記複数の第 2 のトレンチは、隣接して互いに接続されることにより 1 つの垂直相互接続部を形成することを特徴とする請求項 1 2 記載の方法。

【請求項 1 5】

20

前記第 1 および第 2 のトレンチ内に付けられる導電材料がポリシリコンである請求項 1 4 記載の方法。

【請求項 1 6】

前記第 2 のトレンチを開口するために材料を除去する前記ステップは、ウェット化学エッチングを行なって空洞を形成するステップを含み、前記空洞は、前記第 2 のトレンチよりも大きい直径を有している請求項 1 1 記載の方法。

【請求項 1 7】

前記第 2 のトレンチは、前記第 1 のトレンチを形成する前に、前記基板の前記第 2 の面からのウェット化学エッチングによって形成されるとともに、空洞として形成され、前記第 1 のトレンチよりも大きい直径を有している請求項 1 1 記載の方法。

30

【請求項 1 8】

前記第 2 のトレンチは、前記第 1 のトレンチのエッチングと同じステップでエッチングされることにより開口される請求項 1 7 記載の方法。

【請求項 1 9】

前記第 2 のトレンチは、前記半導体基板の前記第 1 の面まで延びるとともに、前記基板の前記第 1 の面に形成されたエッチングストップ層によって覆われている請求項 1 7 記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

40

本発明は、第 1 の面と、第 2 の面とを有する半導体基板を備える電子デバイスであって、前記半導体基板には、第 1 の面から第 2 の面へと半導体基板を貫通して延びる垂直相互接続部と、キャパシタとが設けられ、第 1 の側にキャパシタが存在する電子デバイスに関する。

【0002】

また、本発明は、電子デバイスを有するアセンブリに関する。

【0003】

更に、本発明は、そのような電子デバイスを製造する方法に関する。

【背景技術】

【0004】

50

そのような電子デバイスは欧州特許出願公開第154481号明細書から周知である。周知のデバイスは、好ましくはシリコンである耐熱絶縁体から成り或いはガラスや樹脂から成るインターポーザである。レーザを用いて貫通孔が形成される。その後、デバイスの第1の面および第2の面の両方に配線パターンが形成される。前記配線パターンは、貫通孔の側壁で延びており、したがって、垂直相互接続部を形成している。実装基板に接続するため、金または半田パンプが第2の面に付けられても良い。基板の第1の面にはキャパシタが存在している。キャパシタは、第1の電極と第2の電極との間に誘電体が挟まれた薄膜キャパシタである。第1の電極は、ここでは、配線パターンの一部を形成する。誘電体層は、好ましくは、例えばストロンチウムチタン酸化物やチタンジルコン酸鉛等の強誘電体物質によって形成される。したがって、高い容量密度を有するキャパシタが得られる。

10

【0005】

しかしながら、周知のデバイスの欠点は、強誘電体物質を付けることにより、処理に対して更なる条件および要件が求められるという点である。一般に、プラチナや導電酸化物等の特定の金属層が、そのような強誘電体物質を有するキャパシタのための電極材料として付けられる。強誘電体物質を形成して焼結した後に減少環境で後処理を行なうことが他の手法として考えられる。しかしながら、高温でのこの後処理は、未だ完全に開発されておらず、デバイス中の全ての層が付けられた状態および温度に耐えることができなければならないという問題を有している。また、強誘電体物質は層間剥離およびクラックの影響を受ける。これは、特に、第1の下部電極が配線パターンの一部を形成し、したがって、第1の下部電極が比較的粗い表面を有していると考え得る場合である。

20

【発明の開示】

【発明が解決しようとする課題】

【0006】

したがって、本発明の目的は、冒頭で前述した種類の電子デバイスであって、基板を貫通する電氣的な接続部と容量密度が高いキャパシタの存在とを組み合わせるとともに、信頼性のある製造可能な電子デバイスを提供することである。

【課題を解決するための手段】

【0007】

この目的は、本発明では、キャパシタが複数のトレンチを備える垂直トレンチキャパシタであり、これらのトレンチ内には第1の導電面と第2の導電面との間に誘電材料層が存在し、前記誘電材料層が前記基板と前記垂直相互接続部との間の絶縁体としても使用されるという点で達成される。

30

【0008】

垂直キャパシタは、高いキャパシタンスを与えるための強誘電体キャパシタに代わるものである。高いキャパシタンスは、ここでは、表面積の増大によって達成される。これらは、それ自体周知であり、例えば米国特許第4,017,885号明細書により知られている。しかしながら、垂直キャパシタは、強誘電体キャパシタと直接に置き換えることができない。貫通孔を形成し且つ垂直キャパシタのトレンチを形成するために同じプロセスが必要であるが、異なるパラメータ設定を伴う。そのため、トレンチキャパシタの製造と垂直相互接続部の製造とを組み合わせることができず、その後には組み合わせなければならない。

40

【0009】

この後処理は、垂直相互接続部を適切に基板から絶縁しなければならないため、問題があるようにも思える。最初に垂直キャパシタが形成される場合には、相互接続部、キャパシタ、他の層をエッチング液体またはエッチングガスから確実に保護しなければならない。エッチング液体またはガスは、基板とパターンニングされた層との間の界面を簡単に開口させてしまう場合があり、それに伴って、汚染、層間剥離、他の望ましくない結果が生じてしまう。最初に垂直相互接続部を形成した後にトレンチを形成するといった逆の順番も利用できないと思われる。堆積させた材料の大部分を、垂直相互接続部を通じて除去する

50

だけでなく、垂直キャパシタに導電面を形成するための注入ステップも必要になり、これが垂直相互接続部の構造に悪影響を及ぼしてしまう。

【0010】

ここで、本発明の識見は、トレンチの誘電材料を垂直相互接続部のための絶縁材料としても使用することにより、垂直キャパシタおよび垂直相互接続部の両方を良好な結果をもって組み合わせることができるということである。したがって、基板の第1の面だけでなく第2の面でも行なわれるステップにより、垂直な要素の両方が同時に処理される。

【0011】

結果として得られるデバイスは、従来技術を超えるかなりの利益を有する。すなわち、まず第一に、当該デバイスに適切な高周波特性をもたせることができる。絶縁材料により、基板を通じて流れる寄生電流が少なくともかなりの程度まで防止される。この絶縁材料は、マスクが無くても且つ熱酸化物層を含まなくても、効果的に堆積させることができる。

10

【0012】

垂直相互接続部の存在により、グラウンドに対する非常に短い接続部を形成することができる。グラウンドに対する短い接続部は、RF用途においては重要である。これは、グラウンドが基準となるからである。相互接続部のインピーダンスに起因してグラウンドが適切に接地されていないければ、RF構造全体が有害に機能する場合がある。また、信号ラインのための短い接続部はインピーダンスを減らす。これは、とりわけ、信号ラインが短いだけでなく、寄生的挙動を最小限に抑え或いはマイクロストリップ挙動を成す場所に信号ライン

20

【0013】

また、第1の面に加えられる任意の集積回路のためのデカップリングコンデンサとして大容量キャパシタを使用することができる。これにより、必要な外部接点の数が劇的に減少する。結局、本発明のキャパシタは、平面キャパシタと比べて抵抗が低い。これは、とりわけ20 nF以上の大きな容量値について言えることであり、また、特に40 nFを超えるキャパシタについて言えることである。

【0014】

更に、本発明のデバイスにおける1または複数のキャパシタを更に多くの用途で使用できることは有益である。ストロンチウムチタン酸化物等の強誘電体キャパシタは誘電吸収を示す。この結果として、PLL機能のためにそのようなキャパシタを有する開ループトランシーバは、所要の性能を与えない。例えばシリコン窒化物やシリコン酸化物等の他の誘電体を有するキャパシタは、この問題を有していない。また、現在利用可能な範囲の薄膜強誘電体層の誘電率の温度安定性は、トランシーバの用途あるいはトランシーバと組み合わせた用途においては、決して最適ではない。

30

【0015】

従来技術における利点と比べた本発明のデバイスの他の利点は、任意の所望の容量値を与えることができるという点である。大きな容量値が必要な場合には、キャパシタが多数の垂直トレンチを備える。垂直キャパシタの上部の表面領域を相互接続、レジスタ、インダクタ等のために使用できるため、大きなキャパシタは、新たな設計を生じさせない。また、標準的なデザインルールを順守しつつ僅かに異なる値を有するキャパシタを形成することは非常に容易である。

40

【0016】

好ましい実施形態において、相互接続部のトレンチは、導電材料でほぼ満たされる。このトレンチの充填により、垂直相互接続部のインピーダンスが更に減少する。なお、そのような充填は、従来技術の欧州特許出願公開第154481号明細書において予測されない。この理由は、貫通孔の実際の直径において見出されなければならない。相互接続部のトレンチはキャパシタのそれよりも一般的に幅広いが、それらを形成するためのエッチング技術は、比較的小さい直径を可能にする。そのような小さい直径において、導電材料は、最初に側壁を覆い、その後、トレンチを満たす。また、垂直相互接続部の製造は、一般

50

に、2段階のプロセスで行なわれる。この場合、一方の面から第1のエッチングが行なわれ、その後、反対の面からトレンチが開口される。この製造技術により、ビアをそれが開口される前に途中まで既に満たすことができる。

【0017】

更なる実施形態において、垂直相互接続部は、基板を貫通する複数の平行な貫通孔を備え、これらの各貫通孔は導電材料で満たされる。この構成により、非常に低いインピーダンスを与えることができる。平行な回路により抵抗が減少するだけでなく、寄生インダクタンスを生じさせる垂直相互接続部内での円電流が最小限に抑えられる。他の利点は、充填材料がキャパシタの第2の導電面の材料と同じであっても良いという点である。これにより、プロセスの工程数が減少する。適した充填材料は、従来のドーパントがドーピングされた多結晶シリコンである。

10

【0018】

他の適切な実施形態においては、接地のために第1の垂直相互接続部が使用され、信号送信のために第2の垂直相互接続部が使用される。接地および信号送信は、デバイスが無線周波数用途において使用される場合には、介在基板の機能の重要な態様である。垂直相互接続部を使用すると、これらの機能を見事に満たすことができる。

【0019】

更なる実施形態において、第1および第2の垂直相互接続部は、同軸構造を形成するように構成される。同軸構造はマイクロストリップの一例である。そのようなマイクロストリップにより、非常に僅かなインピーダンスでの信号送信が可能になる。垂直相互接続部が充填されるため、垂直相互接続部の端部において基板の第2の面に接続パッドが設けられても良い。プリント回路基板への接続のため、そのような接点パッド上に半田球を設けることができる。第1の面において、基板は、一般に、一对の層から成る相互接続構造で覆われる。これにより、各垂直相互接続部を短絡させることなく接触させることができる。また、同軸構造は、相互接続構造中で、送信ラインまたはコプラナー導波管等の任意の他のタイプのマイクロストリップに変えられても良い。相互接続構造の目的は、キャパシタと存在する任意のレジスタおよび/またはインダクタとの接触だけでなく、集積回路のバンパに適合するように信号経路を別の経路に切り換えることである。

20

【0020】

他の実施形態においては、基板の第2の面に集積回路が形成されている。この選択肢により、更に機能性を統合させることができる。この場合、基板の第1の面には、垂直キャパシタに隣接しておよび/または垂直キャパシタ上にデバイスの接続パッドが設けられる。この実施形態は、スマートカードの用途において特に適していると思われる。この考え方の利点は、別個の空間を必要とすることなく集積回路と同じ基板上に非常に大きなデカップリングキャパシタを設けることができるという点である。そのようなデカップリングキャパシタは内部電源回路の一部である。このキャパシタにより、特定のデカップリング期間中に、任意の外部電源のスマートカードの分離が可能になる。この場合、デカップリング期間は、セキュリティ関連の操作を行なうために使用される。このように非常に大きいデカップリングキャパシタによれば、デカップリング期間を延ばすことができると同時に、表面積を更に必要としないで済む。デカップリングキャパシタのこの構成は、セキュリティの観点から更に有利である。現状では、キャパシタおよび任意のデータ処理部の両方がスマートカードICの外側にあるため、権限のない者から攻撃や悪用を受けやすい。キャパシタを他の面に置き換えることにより、2つの面の一方だけが外側に存在する。更なる実施形態において、デバイスは、スクラッチ保護不透明層を更に備えている。「セキュリティコーティング」とも呼ばれるそのような層は、特に、集積回路の内部へのアクセスを防止することを目的としている。コーティングは、例えば、ゾリゲル処理によって設けられる埋め込み粒子を有するセラミック層である。集積回路上、キャパシタ上、または、両側上には、セキュリティコーティングを加えることができる。この実施形態においては、言うまでも無く、垂直キャパシタの誘電材料が垂直相互接続部の絶縁体の材料と同じである必要は必ずしもない。

30

40

50

【0021】

更なる実施形態は、電子デバイスの特性を向上させるのに適している。基板は、垂直キャパシタに隣接して存在し且つ寄生電流に対する保護としての機能を果たす高オーム領域を備えていても良い。そのような高オーム領域は、垂直キャパシタを取り囲むことができるとともに、基板の第1の側から第2の側へと延びていることが好ましい。「高オーム領域」とは、通常、500 / cmを超える領域、好ましくは1500 / cmを超える領域であると理解されている。そのような領域は、基板を通じた任意の種類の相互作用に対するバリアとしての機能を果たす。これは、誘導相互作用の減少において特に有益である。

【0022】

垂直キャパシタに加えて、基板の第1の面に平面キャパシタが存在していても良い。垂直キャパシタは一般に30 nF / mm² 程度以上の容量密度を有しているのに対し、平面キャパシタは、1 ~ 5 nF / mm² 程度の容量密度を有している。これにより、所望の容量を更に細かく調整することができる。また、そのようなキャパシタの存在により、実質的な再設計を要することなく電子デバイスを複数の用途において適用することができる。

【0023】

当業者であれば分かるように、基板の第1の面および/または第2の面には多くの他の素子が存在し得る。このような素子としては能動デバイスおよび受動デバイスの両方を挙げることができる。この場合、能動デバイスは一般に基板中に設けられ、受動デバイスは基板上に設けられる。また、保護層または特定のパッケージが設けられても良い。デバイスとプリント回路基板等の任意のキャリアとの間の熱膨張差をうまく処理するため、キャリアに取り付けられる側にベンゾシクロブテン等のアンダフィル層または保護層を設けることができる。

【0024】

更なる選択肢として、特定の半導体デバイスが基板の空洞内に組み付けられる。半導体デバイスの裏面は、基板の局所的な除去により、ヒートシンクに対して露出されていても良い。基板のそのような局所的な除去は、垂直相互接続部を形成するまたは開口させるための第2の面からのエッチングと同じステップで実現できる。そのようなプロセスの更に詳細な説明は、早期公開されていない欧州特許出願第03101729.6号(PHNL030659)で与えられており、これを参照することにより本願に組み込まれる。これにより、基板材料が異なるデバイスを、任意のボンディングワイヤまたは半田球を形成する必要がない1つの相互接続構造と組み合わせることができる。これは、アセンブリの作業が減少するという実用的な利点に加え、無線周波数用途において機能的な利点を有している。

【0025】

本発明のデバイスは、半導体デバイスとともに1つのアセンブリへと組み立てられることが望ましい。半導体デバイスは、基板の第1の面または第2の面に対して取り付けられる。デバイスを接触させるため、フリップチッププロセスまたはワイヤボンディングを使用することができる。また、随意的には、他の表面実装技術を使用することができる。フリップチッププロセスは、ここでは、低インピーダンスを考慮することが好ましい。フリップチッププロセスにおける半田バンプまたは金属バンプは、利用可能なプロセスおよび所望のピッチに対応して選択することができる。その後、半導体デバイスは保護層とともにオーバーモールドすることができる。また、基板と反対側を向く側にヒートスプレッドを設けることもできる。基板の選択された面には、1つではなく、複数の半導体および他の電子デバイスを設けることができる。適した半導体デバイスの例としては、適切に機能するためのデカップリングキャパシタを必要とするデバイス、例えば、電力増幅器、トランシーバIC、電圧制御オシレータを挙げることができる。更なる電子デバイスは、半導体デバイスと協働して機能的なサブシステムを形成するデバイスであっても良い。この例は、ESD / EMI保護デバイス、帯域通過フィルタ、例えばBAWフィルタ、インピーダンスマッチング回路である。

10

20

30

40

50

【0026】

アセンブリは、デジタル信号処理において更に適している。そのようなアセンブリにおいて、半導体デバイスは、集積された或いは別個のメモリユニットを有するマイクロプロセッサである。また、電源信号生成器が設けられる。ここで、垂直キャパシタは、デカップリングの目的および電力超過または電力降下を抑える目的を持つデジタル信号処理のバッファリング機能を有している。

【0027】

また、本発明は、本発明のデバイスを製造する方法に関し、特に、第1の面と第2の面とを有し且つキャパシタと、前記第1の面から前記第2の面へと延びる垂直相互接続部とが設けられた半導体基板を備えるとともに、前記第1の面に前記キャパシタが存在し且つ第2の面にキャリアに接続される接点パッドが存在する電子デバイスを製造する方法に関する。

10

【0028】

本発明の目的は、半導体製造と完全に組み合わせることができるそのような方法であって、第1の面および反対の第2の面で特定の材料を形成する必要がなく或いは広範囲にわたる処理を行わずに済む方法を提供することである。

【0029】

この目的は、方法が、

前記基板の前記第1の面からエッチングするステップを含む、基板中に第1のトレンチを形成するステップと、

20

前記基板の一方の面からエッチングすることにより前記基板中に第2のトレンチを形成するとともに、前記基板の他方の面から材料を除去することにより前記第2のトレンチを開口するステップと、

前記第1のトレンチに導電面を設けるステップと、

前記基板上に誘電材料層を付けることにより、少なくとも前記基板の前記第1の面と前記第1および第2のトレンチの内面とを覆うステップと、

前記第1のトレンチ内および前記第2のトレンチ内に導電材料を付けるステップであって、前記第1のトレンチの導電材料は、前記誘電材料層および前記導電面とともに、前記キャパシタを形成し、前記第2のトレンチの導電材料が前記垂直相互接続部を形成するステップと、

30

を含むという点で達成される。

【0030】

本発明の方法によれば、垂直キャパシタを垂直相互接続部と組み合わせることができる。これは、キャパシタのトレンチが垂直相互接続部のトレンチと同時に形成されるという点で達成される。トレンチがその後形成される基板構造は、以後、一体的な方法で処理され、それにより、誘電層および導電材料が設けられる。したがって、基板上へのトレンチの形成と、基板上への薄膜層および構造体の形成とが分けられる。これは、第2のトレンチ（垂直相互接続部におけるトレンチ）が基板の第1の面に所定の直径を有し、この直径が若干大きいながらも依然として第1のトレンチの直径に匹敵するという事実により可能となる。

40

【0031】

基本的に、方法には2つの実施形態が存在する。すなわち、第1の実施形態において、プロセスは、1つのエッチングプロセスにおいて第1のトレンチおよび第2のトレンチを基板の第1の面から同時に形成することから始まる。その後、基板の第2の面から第2のトレンチが開口される。第2の実施形態において、プロセスは、基板の第2の面から第2のトレンチを形成することから始まり、その後、第1のトレンチが形成される。第2のトレンチが依然として第1の面まで延びていない場合には、第2のトレンチを開口するためにこのエッチングステップが使用されても良い。

【0032】

第1のトレンチおよび第2のトレンチ内に導電材料を加えることは、これが同じ材料で

50

あることを意味するものではなく、第1および第2のトレンチの両方のために導電材料を加えることに関して共通のステップが存在することを意味するものでもない。第1のトレンチ内に設けられた導電材料が第2のトレンチ内でシード層を形成し、このシード層が電気メッキプロセスで厚肉化されるのが有益であると思われる。あるいは、第2のトレンチ、特に狭い部分が、例えば多結晶シリコン、TiN、TiW等の前記導電材料によって完全に満たされても良い。更なる他の実施形態において、第2のトレンチは、その端部のうちの一方にだけシードを形成し、その後電気メッキすることにより満たされても良い。トレンチの小さな直径、すなわち第1の狭い部分に起因して、これらのトレンチはメッキプロセスにおいて直接に充填される。第2のトレンチの空洞状の大きな部分が電気メッキによって満たされても良い。第2のトレンチのこれらの空洞状の部分が第1のステップとして設けられる場合には、これらを直ちに導電材料で満たすことができる。この目的のため、ゾルゲル堆積（例えばAgの堆積）、電気メッキ、無電解メッキを含む様々な堆積技術を使用できる。

10

【0033】

本発明を用いると、基板の第2の面で実行されるプロセスステップが第1の面で実行されるプロセスステップよりも低い分解能で行なわれるという点でプロセスの簡略化が達成されることは言うまでもない。結果として、任意の位置合わせの問題が実質的に防止される。また、第2の面でのステップ数が非常にわずかであると思われる。すなわち、基本的には、2つのリソグラフィック工程が存在する。すなわち、1つは、エッチングマスクを形成するためのステップであり、もう1つは、配線パターンを形成するためのステップである。この点においては、特に、ウェット化学エッチング、ウェット化学蒸着、電気メッキが有益なプロセスである。これは、多くの基板を槽中に配置できるためである。この場合、基板をその第1の面を下にして置く必要はない。任意の他の作業が行なわれる前に、基板の第2の面にエッチングマスクを設けることができる。これに伴い、汚染物質や損傷が防止される。垂直相互接続部が実質的に満たされる前であって且つ第1の面での処理が実質的に完了した後に、配線パターンを形成するためのマスクを設けることができる。その後、第1の面が保護層によって覆われることが好ましい。

20

【0034】

以下、図面を参照しながら、本発明の電子デバイス、アセンブリ、方法のこれらの態様および他の態様について説明する。

30

【発明を実施するための最良の形態】

【0035】

図面は、一定の倍率で描かれておらず、また、単なる概略図である。異なる図面における同一の参照符号は、同一の部分を示している。

【0036】

図1は、本発明の電子デバイス100の第1の実施形態を断面図で示している。デバイス100は、第1の面1と、反対に位置する第2の面2とを有する基板10を備えている。第1の面1には、垂直相互接続部30に加えて、垂直トレンチキャパシタ20が露出して存在している。この実施形態の垂直相互接続部30およびキャパシタ20はいずれも複数のトレンチ21, 311, 312, 313を備えている。しかしながら、非常に好ましいとはいえず、これは原理上必要ない。垂直相互接続部30は、第1の部分31と、更に幅が広い寸法の第2の部分32とを備えている。以下の説明から明らかとなるように、第1の部分31は、第1の面1からの異方性エッチングにより形成されており、また、第2の部分32は、第2の面2からのエッチング、特にウェット化学エッチングによって形成されている。デバイス100は、第1および第2の面1, 2の表面上およびトレンチ21, 31, 32内に一对の層を備えている。垂直トレンチキャパシタ20の下部電極を構成する第1の導電面22は、ここには図示されていない。誘電材料から成る層11が示されており、この層は略全面にわたって存在している。誘電材料から成る層11上には、導電材料から成る層12が存在している。この層は、例えばポリシリコンであるが、銅、ゾルゲル堆積銀、アルミニウム等の他の材料であっても良い。第1の面1において、キャパシタ

40

50

20および相互接続部30には、この場合にはAlCuから成る更なるメタライゼーションが設けられている。層12, 13は、相互接続層として使用することができるとともに、絶縁層により特定の位置で互いに分離されていても良い。相互接続部の第2の部分32は、この場合には電気メッキされた銅から成る層14によりその表面が覆われている。銅は、基板の第2の面2で延びており、配線パターンを形成している。層14は、相互接続部30の第2の部分32を満たしていても良い。

【0037】

図2は、方法の第1の実施形態における4つの段階を断面図で示している。この第1の実施形態により、第1の実施形態のデバイス100が僅かな変化をもって形成される。

【0038】

図2aは、第1の面からのエッチングが行なわれた後における方法の第1段階を示している。ここでは、ドライエッチングが使用される。キャパシタの領域においては直径が1.5 μm で且つ3.5 μm 間隔の円形の開口を有するとともに垂直相互接続部の領域においては直径が10 μm で且つ14 μm 間隔の開口を有するマスクが使用された。このマスクは、1 μm の熱酸化物と1.3 μm のフォトレジストとの積層体を含んでいた。直径が150mmの基板を使用して、ウエハレベルでドライエッチングが実行された。ウエハの抵抗率は、1000~1500 Ωcm の抵抗率を有する基板中の高オーム領域18, 19を除き、1~5 $\text{m}\Omega\text{cm}$ 程度であった。ウエハは、STSのASE(登録商標)誘導結合プラズマ(ICP)反応装置内において室温でエッチングされた。一般的なエッチング条件は、12~16 mTorr の圧力および20 $^\circ\text{C}$ のチャック温度であり、これにより、約0.6 $\mu\text{m}/\text{分}$ のエッチング速度が得られた。このプロセスを用いると、マクロ孔構造は、底部が丸みを帯び且つ孔深さの均一性が97%を上回る滑らかな孔壁を特徴とする。直径が1.5 μm のマスク開口を用いたトレンチ21は、深さが40 μm となり、直径が2 μm となる。直径が10 μm のマスク開口を用いたトレンチ311, 312, 313は、深さが200 μm となり、直径が12 μm となる。孔深さは、アンダーエッチングに起因して、マスク開口よりも僅かに大きい。そのため、マスクの開口の差が孔深さの差となり、この現象を本発明では有効に利用した。

【0039】

図2bは、方法のこの第1の実施形態の第2段階を示している。エッチング後に、エッチングマスクを除去し、他のマスクを堆積させた。例えば窒化物であるこのマスクを介して、注入ステップが行なわれた。この注入ステップでは、トレンチ21内に第1の導電面22が形成された。マスクのレイアウトは、平面キャパシタの下部電極として使用される導電面42も形成されるようになっていた。寄生電流を極力防止するため、導電面22, 42間には高オーム領域18が存在している。また、第1の導電面22の電気的な接続を可能にするため、導電面22に接続した状態でパッド23も形成されている。予め堆積されたケイ酸リンガラス層からのP拡散(Pインディフュージョン)を使用した。その後、1%(v/v)HF中でウェットエッチング(湿式エッチング)によりケイ酸ガラス層を除去した。

【0040】

図2cは、この方法の第1の実施形態における第3段階を示している。その第1のステップでは、ウェット化学エッチングによって基板10の第2の面2から垂直相互接続部30が開口された。これにより、相互接続部30の第2の部分32が得られた。ここでは、KOHエッチングを使用した。相互接続部を開口するための他の方法としては、パワーブラスト処理またはレーザ処理を挙げることができる。加えて、基板の第2の面に露光マスクを設けた。なお、同じステップにおいて、基板10の第2の面2に鋸レートを形成することもできる。これにより、基板を複数の個々のデバイスに分離することが容易になり、それにより、ソーイング以外の方法を使用できるようになる。

【0041】

第2の部分32を形成した後、誘電層11を堆積させた。誘電層11は、この実施形態では、熱酸化物(5nm)と、LPCVD窒化物(20nm)と、LPCVD TEOS

10

20

30

40

50

によって蒸着された酸化物層（5 nm）とから成る公称30 nmの「ONO」誘電層積層体であった。この層はマスクを用いることなく堆積され、それにより、デバイスの全面が誘電層11で覆われた。

【0042】

他の実施形態において、垂直相互接続部30は、第2の面からのウェット化学エッチングによって開口されず、基板の一部の除去によって開口される。これは、研削および/または化学機械研磨によって行なうことができる。研削および/または研磨工程は、トレンチ311～313への犠牲層の充填、特にそれ自体周知のスピンオンガラス材料の充填と組み合わせることが特に好ましい。これにより、垂直相互接続部30を開口させる前に、基板10の第1の面1で薄膜構造を仕上げることができ、一方、同時に、第1の面1が比較10
 的平らな面を構成する。第2の面から垂直相互接続部30を開口させた後、穏やかなエッチング処理によりスピンオンガラス材料を除去することができ、存在している範囲で相互接続部30の第1の部分31および第2の部分32の両方を導電材料で満たすことができる。

【0043】

図2dは、その後のステップにおいて、誘電層11が部分的にエッチング除去され、平面キャパシタ40の上部電極44と垂直キャパシタ20の第2の導電面24と第1の導電面23に対する接点25とを形成し且つ垂直相互接続部30の第1の部分31を充填するために導電材料から成る層が設けられた後におけるデバイス100を示している。この実施例では、n型原位置（in-situ）ドーピングシリコンから成る0.5 μm厚の導電層20
 を使用する。この導電層は、LPCVDによってSiH₄および希釈PH₃から蒸着された。1000での30分間の炉内アニールステップ後、ポリシリコンの導電率は1 m/cm程度である。垂直相互接続部30の第1の部分31において平行なトレンチ311, 312, 313を使用することにより、この導電率によってインピーダンスはあまり高くない。トレンチ311, 312, 313は充填される。この充填プロセスにおいて、ポリシリコンは、最初に側壁上に堆積された後、動的態様で成長する。明確に示されていないが、ポリシリコン層11は、基板の第2の側2における配線パターンのためのシード層としても使用される。この配線パターンは、その後、電気メッキによって成長される。また、相互接続部30の第1の部分31においてもシード層としてポリシリコンを使用30
 することができる。第1の部分におけるトレンチ311, 312, 313は、シード材料がその端部にしか存在しない場合であっても、完全に満たされる。

【0044】

酸化物の積層体の代わりに、窒化物および酸化物、他の材料またはその組み合わせが誘電材料として加えられても良い。そのような材料は、酸化物や窒化物等から成る任意の1つの層、酸化タンタルや酸化ハフニウム等の高い誘電率を有する任意の材料であっても良い。これらの層は、（低圧）化学蒸着を用いて適切に加えることができる。この技術を用いると、マスクによって覆われていない全ての面が所望の材料から形成される。他の手段は、ゾルゲル処理を含むウェット化学エッチング技術を使用することである。接着性を高めるために、熱酸化物等の酸化物層を基板上に付けることが好ましい。他の手段は、30
 nmの厚さの積層体の代わりに、約15 nmの1つの窒化物層を使用することである。これにより、容量密度が30 nF/mm²から90 nF/mm²へと高まるが、絶縁破壊電圧が25 Vから7 Vへと減少する。

【0045】

図3は、本発明の方法の第2の実施形態における5つの段階を断面図で示している。第1の実施形態とは異なり、この実施形態における方法の第1のステップでは、相互接続部30の第2の部分32が基板10の第2の面から形成される。これによれば、この第1のステップ後は、方法の最後のステップで配線パターン14を設けるまで、基板の第2の面2で露光ステップ（フォトリソグラフィステップ）がもはや必要なくなるという大きな利点10
 が得られる。明確にするため、この図には、垂直キャパシタのトレンチ21が示されていない。

10

20

30

40

50

【0046】

図3aは、基板10の第2の面2から相互接続部30の第2の部分32を形成した後に得られる構造を示している。この場合、これは、基板10の全ての面に酸化物および窒化物のマスク51を最初に設け、その後、このマスク51を基板10の第2の面2で所望のパターンへとパターニングし、最後に、KOHを用いてシリコン基板10をウェット化学エッチングすることにより行なわれた。

【0047】

図3bは、方法の第2段階における結果を示している。この方法において、マスク51またはその少なくとも窒化物層は、基板10の第1の面1からパターニングされ、高オーム基板領域(図示せず)の形成のために使用される。その後、基板10の第1の面1にハードマスク52が堆積されてパターニングされ、それにより、相互接続部30の第1の部分31が形成される。

10

【0048】

図3cは、方法の第3段階における結果を示している。最初に、堆積されたマスクを介して第1の面1から基板10がエッチングされる。このエッチングは、ドライエッチング(ドライエッチング)およびウェット化学エッチングの両方を用いて行なうことができる。このエッチングは、垂直キャパシタを形成するためのトレンチ21のエッチングと同じステップで行なわれることが好ましい。しかしながら、これは本質的なことではない。その後、方法の第1の実施形態に関して前述した方法により導電面が設けられる。その後においてのみ、マスク51が除去され、マスクを用いることなく誘電層11が設けられる。その後、導電材料から成る層12、この実施例ではポリシリコンが、堆積されるとともに、任意の所望のパターンにしたがってエッチングされる。

20

【0049】

図3dは、方法の第4段階における結果を示している。基板10の第1の面1では、誘電層11においてコンタクトウィンドウがエッチングされた。厚い誘導層15、この場合にはTEOSが、ウィンドウの一部に堆積された。その後、TEOS層の領域を解放しつつ、金属から成るパターン層13が堆積された。

【0050】

図3eは、更なるステップ後の第5段階における結果を示している。電気絶縁材料から成るパターン層16を形成した後、導電材料から成るパターン層17を形成した。例えばAlSiCuから成るこの第2のパターン層17は、高品質なインダクタを形成するため、例えば1~4ミクロン程度の十分な厚さを有している。層15、16の電気絶縁材料のパターンは機械的な支持体として機能し、それにより、第2の金属層13の被覆領域を接続パッド28として使用できる。その後、例えばシリコンナイトライドから成る保護層29によって全体の構造が覆われる。この保護層28は、接続パッド28の領域において局所的に除去される。その後、基板10は、その第2の面2から研削することにより薄くされる。無論、これは決して必要なことではない。

30

【0051】

図4は、本発明の方法の第3の実施形態における5つの段階の断面図を示している。この方法において、基板10の第1の面1には垂直キャパシタ20が設けられており、これに対し、基板の第2の面2には半導体デバイス50が形成されている。

40

【0052】

図4aは方法の第1段階を示している。この第1段階は、半導体デバイス、例えば集積回路を完全に処理することで始まる。基板10はn型基板であり、この基板の第2の面2にはp型エピタキシャル層が設けられる。このエピタキシャル層中には、個々のトランジスタのためのチャンネルとしての機能を果たすp-ウェルが形成される。n型基板層に対しては第2の面2からn⁺接続部が形成される。この基板層は、40μmを超える厚さを有していることが好ましく、少なくとも70μmを超える厚さを有していることが更に好ましい。垂直キャパシタの効果的なエッチングを行なえるように、n型層の第2の面にはn⁺層が設けられている。その後、基板10の第2の面が一時的なキャリアによって保護

50

される。これは、UV（紫外線）で解放できる接着剤を用いて付着されるガラス層であっても良い。しかしながら、それは、例えば1ミクロン厚の酸化物層と1～10ミクロン厚のフォトリソ層とから成る2層の積層体であっても良い。この積層体は、図1aに示されるように、基板10の全ての面に存在していても構わない。この一時的なキャリアは、ドライエッチングに必要な圧力差に耐える機能またはウェット化学エッチングのための条件を規定する機能を有している。また、所望の注入ステップを行なって、垂直トレンチキャパシタの第1の導電面を形成するために、エッチングマスクが設けられる。

【0053】

図4bは、第1および第2のトレンチ21, 31の形成後における結果を示している。ピッチの差により、孔の深さが制御される。

10

【0054】

図4cは、エッチングマスクを除去し且つ誘電層11を形成した後における結果を示している。エッチングマスクの除去により、主直相互接続部30中に第2のトレンチ21の開口が効果的に形成される。誘電層11は、第1のトレンチ21および第2のトレンチ12の両方に設けられるとともに、垂直キャパシタ20の誘電体としておよび垂直相互接続部20の絶縁体として使用される。完全に処理された集積回路を考慮して、誘電層の一部として熱酸化物は使用されない。その代わりに、LPCVD酸化物層が加えられる。このLPCVD酸化物は、その後、集積回路50の接続パッドを開口するために局所的に除去される。

【0055】

図4dは、この場合はTiN層である第2の導電面12の形成後における結果を示している。この層12は、ここでは、シード層として使用される。シード層のための他の堆積技術は、例えば導電酸化物のゾルゲル堆積またはAgのゾルゲル堆積である。

20

【0056】

図4eは電気メッキ後の結果を示している。所望の配線パターンを形成するためにマスクが使用される。トレンチ21, 31内には更なる導電層13が設けられる。その後、マスクの下側のシード層の一部が除去される。その結果として得られるデバイスは、スマートカードにおける集積に非常に適している。

【0057】

図5, 6, 7は、本発明に係るアセンブリの3つの実施形態を概略断面図で示している。図5は、デバイス100と、リードフレーム310と、半導体デバイス200とを有するアセンブリ300を示している。アセンブリはダブルフリップチップ構造を使用しており、この構造において、半導体デバイス200は電子デバイス100を介してリードフレーム310に対して電氣的に接続される。デバイス100, 200間にあるバンプ201は、ここでは、例えば金バンプであり、また、リードフレーム310のリード311とデバイス100との間にあるバンプ301は例えばSAC（スズ-銀-銅合金）から成る半田バンプである。半導体デバイス200は、熱的に、リードフレーム310のヒートシンク312に対して直接に結合されている。

30

【0058】

このシステムは以下の方法で組み立てられる。デバイス100およびアクティブデバイス200の両方の接着パッド領域には金属が加えられる。デバイス100には、例えばNiまたはTiW層等のアンダフィルメタルが接続パッド上に設けられる。この金属は、熱圧縮処理において加えられる。その後、デバイス100と能動デバイス200との間の領域を満たすために、アンダフィル材料が設けられる。このアンダフィルは、水分および他の化学的汚染物に対する保護層としての機能を果たす。この層自体は周知である。リードフレーム210は、Cuから成る第1および第2の導電層を備えている。リードフレーム210は、セミアエッチング技術を用いて、最初に第1の面から、その後第2の面から、あるいはその逆から、巧みにエッチングすることにより形成される。これにより、ヒートシンク312およびリード311が形成される。なお、ヒートシンク312は接触面でもある。ヒートシンク312は、通常、4つのワイヤにより、リードフレーム310の残り

40

50

に対して接続される。リード311の下側には、成形材料で満たされるオープンスペースがある。これにより、成形材料中でリードフレームが機械的に固定される。ヒートシンク312上には、導電接着剤すなわちガラスエポキシ接着剤を含む銀が加えられる。例えばステンシルを用いて印刷することにより半田ドットがリード311上に設けられる。半田は、ここでは、96%を超えるSn、3%のAg、約0.5%のCuを含む低融点SAC半田である。

【0059】

一例において、能動デバイス200およびバンプ201は、結果として、 $150 \pm 15 \mu\text{m}$ の厚さを有する。リードフレーム310の層は $70 \pm 20 \mu\text{m}$ の厚さを有しており、一方、デバイス100と相対するヒートシンク312の場所には、約 $20 \mu\text{m}$ の遊びがある。したがって、最大の広がり約 $55 \mu\text{m}$ である。この広がり、半田球および半田ドットを再び溶かすことにより、また、例えば約 $20 \mu\text{m}$ の厚さまで薄くなるように選択される接着層中では僅かに溶かすことにより除去することができる。導電接着剤の硬化後、100~150の熱処理の結果として、接着層が縮むと、リードフレーム310のヒートシンク312が引き抜かれる。その結果は下向きの圧力である。結果として得られる応力は、バンプ201, 301がそのリフロー温度を超えるようにすることで緩和される。このようにすると、バンプ201, 301を変形させて特に平坦化させることができる。

【0060】

他の実施形態とは異なり、デバイス100の第2の面2には、ここでは、外部キャリアに結合するための接点パッドが設けられていない。垂直相互接続部30は、この構造では、電子デバイス100の第2の面2への熱経路を備えている。これにより、デバイス100の熱拡散機能が高まる。図示しないが、デバイス100の第2の面2からリードフレーム310への接続部を設けることが好ましい。これに代え或いはこれに加えて、垂直相互接続部30が接地のために使用される。2つの垂直接続部30がグラウンドに対して更なる抵抗を与えるが、この接地構造は、デバイスのいずれの場所においてもグラウンドが同じ電位を有していると見なすことができるという利点を有している。そのような明確なグラウンドは、アセンブリ300が複数の素子を備えている場合において特に好ましい。垂直キャパシタ(図示せず)は、ここでは、半導体デバイス200と対向するデバイス100の側1に設けられる。

【0061】

図6は、アセンブリ300の他の実施形態を示している。この実施形態は、複数のデバイス200が電子デバイス100に対して組み立てられるマルチチップモジュールにおいて実用上の利点を有する。この電子デバイス100は、ここでは、アセンブリ300のキャリアとしての機能を果たす。利点は、高さが異なる複数のデバイス200を含めることができ、また、個々のヒートシンク312または1つの共通のヒートシンク312に対して複数のデバイス200を同時に取り付けられる必要がないという点である。また、この実施形態のアセンブリ300は、リードフレームが無いチップスケールパッケージであり、ダイレベルではなくウエハレベルで設けることができる。このようにして、かなりのコストを低減できる。しかしながら、この実施形態の欠点は、熱散逸の可能性が減るという点である。図示しないが、デバイス100の第2の面のヒートシンク180には、外部キャリアに熱結合するための半田球または他の手段が設けられていることが好ましい。

【0062】

図7は、アセンブリ300の更なる実施形態を示している。この実施形態は、図6の実施形態を更に発展させたバージョンである。この実施形態は、デバイス200がデバイス100の第1の面1および第2の面2の両方に取り付けられているという更なる特徴を有している。必要に応じて、図5に示されるように、ヒートシンクを有するリードフレームを使用することができる。

【図面の簡単な説明】

【0063】

【図1】電子デバイスの第1の実施形態の概略断面図を示している。

10

20

30

40

50

- 【図 2 a】 第 1 の実施形態における 1 つの段階の断面図を示している。
- 【図 2 b】 本方法の第 1 の実施形態における 1 つの段階の断面図を示している。
- 【図 2 c】 本方法の第 1 の実施形態における 1 つの段階の断面図を示している。
- 【図 2 d】 本方法の第 1 の実施形態における 1 つの段階の断面図を示している。
- 【図 3 a】 本方法の第 2 の実施形態における 1 つの段階の断面図を示している。
- 【図 3 b】 本方法の第 2 の実施形態における 1 つの段階の断面図を示している。
- 【図 3 c】 本方法の第 2 の実施形態における 1 つの段階の断面図を示している。
- 【図 3 d】 本方法の第 2 の実施形態における 1 つの段階の断面図を示している。
- 【図 3 e】 本方法の第 2 の実施形態における 1 つの段階の断面図を示している。
- 【図 4 a】 本方法の第 3 の実施形態における 1 つの段階の断面図を示している。
- 【図 4 b】 本方法の第 3 の実施形態における 1 つの段階の断面図を示している。
- 【図 4 c】 本方法の第 3 の実施形態における 1 つの段階の断面図を示している。
- 【図 4 d】 本方法の第 3 の実施形態における 1 つの段階の断面図を示している。
- 【図 4 e】 本方法の第 3 の実施形態における 1 つの段階の断面図を示している。
- 【図 5】 本発明のデバイスを含むアセンブリの実施形態を示している。
- 【図 6】 本発明のデバイスを含むアセンブリの実施形態を示している。
- 【図 7】 本発明のデバイスを含むアセンブリの実施形態を示している。

【 図 1 】

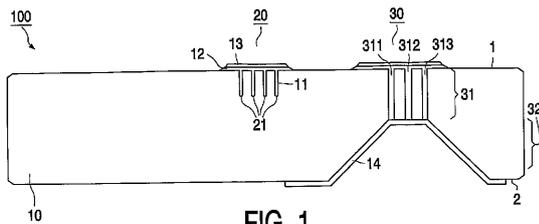


FIG. 1

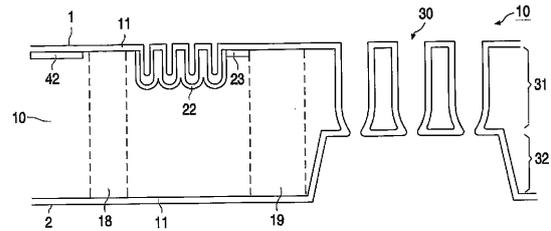


FIG. 2c

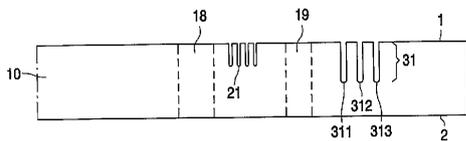


FIG. 2a

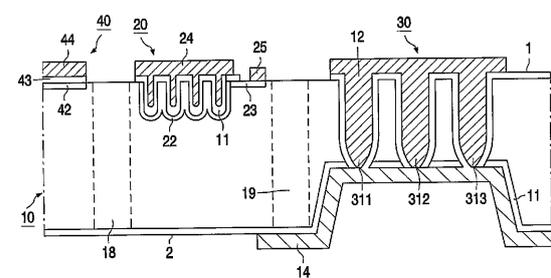


FIG. 2d

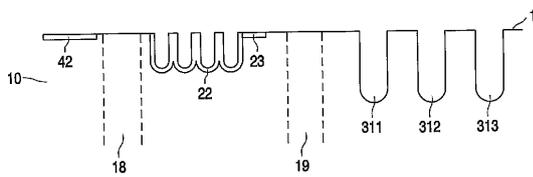


FIG. 2b

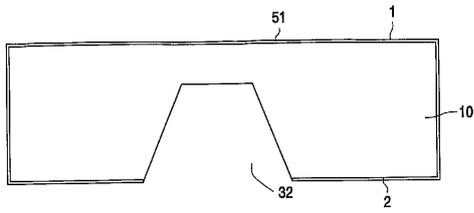


FIG. 3a

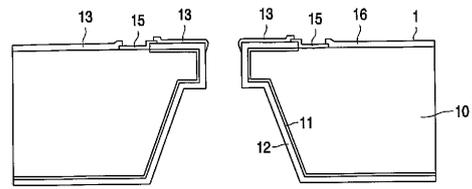


FIG. 3d

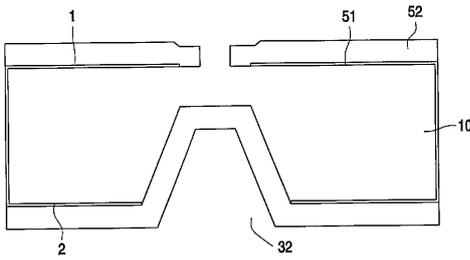


FIG. 3b

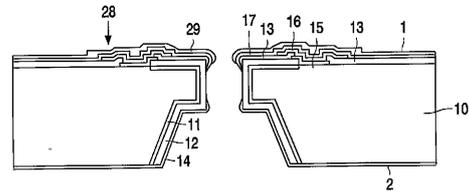


FIG. 3e

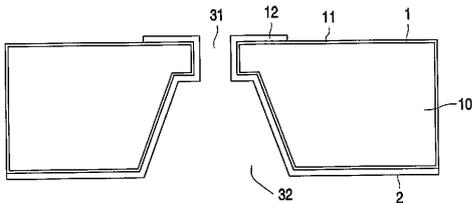


FIG. 3c

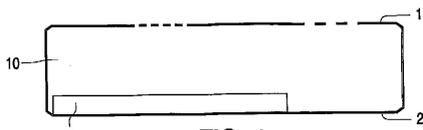


FIG. 4a

【 5 】

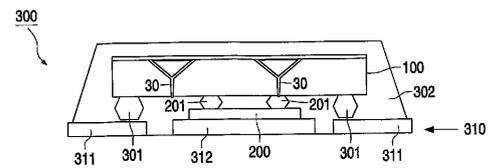


FIG. 5

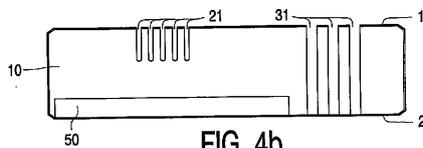


FIG. 4b

【 6 】

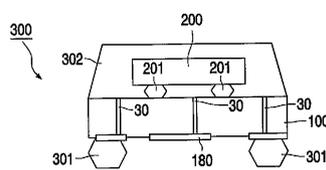


FIG. 6

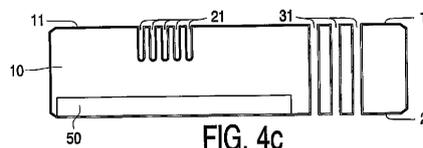


FIG. 4c

【 7 】

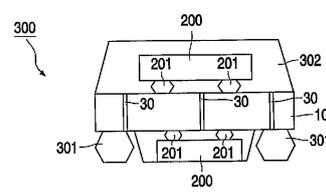


FIG. 7

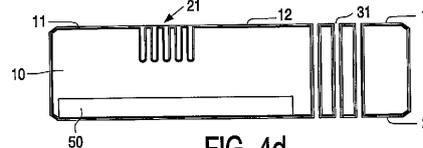


FIG. 4d

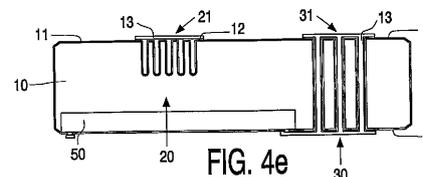


FIG. 4e

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International Application No
PCT/IB2004/050887

A. CLASSIFICATION OF SUBJECT MATTER		
IPC 7 H01L21/768 H01L21/8242 H01L21/334 H01L27/06		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 559 499 B1 (ALERS GLENN B ET AL) 6 May 2003 (2003-05-06) abstract; figures 1-4 column 2, line 53 - column 4, line 36 column 5, line 37 - column 7, line 10	1-19
A	US 3 462 650 A (SCHUTZE HANS-JURGEN ET AL) 19 August 1969 (1969-08-19) abstract; figures 1,2 claims 1-11	1-19
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family
Date of the actual completion of the international search		Date of mailing of the international search report
30 August 2004		09/09/2004
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Favre, P

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/IB2004/050887

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6559499	B1	06-05-2003	NONE
US 3462650	A	19-08-1969	DE 1514818 A1 08-05-1969 FR 1524053 A 10-05-1968 GB 1144328 A 05-03-1969 AT 261678 B 10-05-1968

フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100103263

弁理士 川崎 康

(72) 発明者 フレディー、ローゼボーム

オランダ国 5 6 5 6、アーアー、アインドーフエン、ケアオブ、プロフ・ホルストラーン、6

(72) 発明者 アドリアヌス、アー・イエー・ボイスマン

オランダ国 5 6 5 6、アーアー、アインドーフエン、ケアオブ、プロフ・ホルストラーン、6

(72) 発明者 パトリス、ガマン

オランダ国 5 6 5 6、アーアー、アインドーフエン、ケアオブ、プロフ・ホルストラーン、6

(72) 発明者 アントニウス、エル・アー・エム・ケメレン

オランダ国 5 6 5 6、アーアー、アインドーフエン、ケアオブ、プロフ・ホルストラーン、6

(72) 発明者 ヘラルドゥス、テー・エム・フーベルト

オランダ国 5 6 5 6、アーアー、アインドーフエン、ケアオブ、プロフ・ホルストラーン、6

F ターム(参考) 5F033 HH04 HH33 JJ04 JJ33 KK33 MM30 NN32 NN40 PP09 PP27

QQ07 QQ11 QQ19 QQ37 RR03 RR04 RR06 SS04 SS11 SS13

TT07 VV10

5F038 AC03 AC05 AC10 AC16 BE07 CA12 CA16 EZ07 EZ12 EZ15

EZ20