

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 28 年 2 月 12 日 (2016.2.12)

【公開番号】特開 2013-140975 (P2013-140975A)

【公開日】平成 25 年 7 月 18 日 (2013.7.18)

【年通号数】公開・登録公報 2013-038

【出願番号】特願 2012-283969 (P2012-283969)

【国際特許分類】

H 0 1 L 27/146 (2006.01)

H 0 1 L 27/144 (2006.01)

H 0 1 L 31/10 (2006.01)

H 0 4 N 5/376 (2011.01)

H 0 4 N 5/369 (2011.01)

【F I】

H 0 1 L 27/14 A

H 0 1 L 27/14 K

H 0 1 L 31/10 A

H 0 4 N 5/335 7 6 0

H 0 4 N 5/335 6 9 0

【手続補正書】

【提出日】平成 27 年 12 月 14 日 (2015.12.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第一の表面及び裏側の第二の表面を有するシリコン基材と、
該シリコン基材を貫通する複数の伝導性ビアと、
前記第一の表面に設けられたパターン付き不純物添加エピタキシャル層と
を備えたフォトダイオード・アレイであって、前記パターン付き不純物添加エピタキシャル層と前記基材とが複数のダイオード接合を形成し、パターン付きエッチングにより該ダイオード接合のアレイが画定され、前記パターン付き不純物添加エピタキシャル層は、前記複数の伝導性ビアを覆う、前記複数の伝導性ビアとの非導電性相互接続を形成する、フォトダイオード・アレイ。

【請求項 2】

前記シリコン基材は、前記第一の表面を有する高抵抗エピタキシャル層を含んでいる、請求項 1 に記載のフォトダイオード・アレイ。

【請求項 3】

前記シリコン基材は基材層を含んでおり、前記高抵抗エピタキシャル層は該基材層よりも高い抵抗率を有し、前記高抵抗エピタキシャル層と前記基材層とは同じ不純物添加形式を有している、請求項 2 に記載のフォトダイオード・アレイ。

【請求項 4】

前記複数の伝導性ビアは、不純物添加多結晶シリコン填装材を内部に含んでいる、請求項 1 乃至 3 のいずれかに記載のフォトダイオード・アレイ。

【請求項 5】

前記不純物添加多結晶シリコン填装材は、前記シリコン基材と異なる不純物添加形式及

び / 又は、前記第一の表面の前記不純物添加エピタキシャル層と同じ不純物添加形式を有している、請求項 4 に記載のフォトダイオード・アレイ。

【請求項 6】

前記複数の伝導性ビアを前記シリコン基材から離隔する誘電層をさらに含んでいる請求項 1 乃至 5 のいずれかに記載のフォトダイオード・アレイ。

【請求項 7】

前記誘電層は二酸化ケイ素 (SiO_2) 層を含んでいる、請求項 6 に記載のフォトダイオード・アレイ。

【請求項 8】

前記不純物添加エピタキシャル層は、前記複数のダイオード接合と前記複数の伝導性ビアとを電氣的に接続し、前記複数の伝導性ビアは前記非導電性相互接続により形成された非金属製通路を通る、請求項 1 乃至 7 のいずれかに記載のフォトダイオード・アレイ。

【請求項 9】

前記第二の表面に設けられており、前記複数の伝導性ビアにより前記複数のダイオード接合に電氣的に接続されている相補型金属酸化膜半導体 (CMOS) 電子回路をさらに含んでいる請求項 1 乃至 8 のいずれかに記載のフォトダイオード・アレイ。

【請求項 10】

前記基材は多層 N 不純物添加シリコンであり、前記不純物添加エピタキシャル層は P 不純物添加型である、請求項 1 乃至 9 のいずれかに記載のフォトダイオード・アレイ。

【請求項 11】

前記不純物添加エピタキシャル層は P + 型不純物添加層であり、

前記複数の伝導性ビアは、P + + 型不純物添加多結晶填装材を有する不純物添加多結晶シリコン填装材を内部に含んでいる、請求項 10 に記載のフォトダイオード・アレイ。

【請求項 12】

金属を有さず前記第一の表面に形成される複数のフォトダイオードを備える請求項 1 乃至 11 のいずれかに記載のフォトダイオード・アレイと、

前記裏側の第二の表面に形成される読み出し電子回路と
を備えた検出器であって、前記複数のフォトダイオードと前記読み出し電子回路とが前記複数の伝導性ビアにより電氣的に接続されている、検出器。

【請求項 13】

伝導性シリコン貫通電極法を用いてシリコン基材を予備加工するステップと、

該予備加工済みシリコン基材の表面に、複数のダイオード接合を形成するように不純物添加エピタキシャル層を堆積させるステップと、

前記ダイオード接合のアレイを画定するように、前記表面にパターンをエッチングするステップと
を備え、前記パターン付き不純物添加エピタキシャル層は、前記複数の伝導性ビアを覆う、前記複数の伝導性ビアとの非導電性相互接続を形成する、フォトダイオード・アレイを製造する方法。

【請求項 14】

前記不純物添加エピタキシャル層を備えた前記表面の裏側の前記予備加工済みシリコン基材の表面に相補型金属酸化膜半導体 (CMOS) 電子回路を製造するステップと、非イオン注入法を用いてフォトダイオード接合を形成するステップとをさらに含んでいる請求項 13 に記載の方法。