

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和3年9月2日(2021.9.2)

【公開番号】特開2019-75101(P2019-75101A)

【公開日】令和1年5月16日(2019.5.16)

【年通号数】公開・登録公報2019-018

【出願番号】特願2018-173507(P2018-173507)

【国際特許分類】

G 06 F 12/00 (2006.01)

G 06 F 9/305 (2006.01)

G 06 F 9/302 (2006.01)

【F I】

G 06 F 12/00 5 6 0 F

G 06 F 12/00 5 8 0

G 06 F 9/305 A

G 06 F 9/302 A

【手続補正書】

【提出日】令和3年7月21日(2021.7.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

HBM(High-Bandwidth Memory)システムにおいてインメモリのコマンドを処理する方法であって、

処理装置のHBMコントローラによって、FIM(ファンクション・イン・メモリ)命令がスクラッチパッド演算である演算及び指定を含む前記FIM命令をHBMに送信する段階と、

コントローラ、ALU(Arithmetic Logic Unit)、及びスクラッチパッドとして構成されたSRAMを含む前記HBMのロジック部分によって、前記FIM命令を受信する段階と、

前記コントローラと、DRAM、前記ALU、又は前記SRAMのうちの少なくとも1つとを用いる前記ロジック部分によって、前記FIM命令の実行を調整する段階と、を有することを特徴とする方法。

【請求項2】

前記FIM命令の実行を調整する段階は、

前記コントローラによって、前記FIM命令を少なくとも1つのデータ位置を含む計算FIM命令として識別する段階と、

前記コントローラによって、前記少なくとも1つのデータ位置に応じて少なくとも1つのデータを取得する段階と、

前記コントローラによって、前記少なくとも1つのデータ及び前記演算を前記ALUに提供する段階と、

前記ALUによって、前記少なくとも1つのデータに対して前記演算を実行する段階と、

前記実行の結果を前記HBMに格納する段階と、を含むことを特徴とする請求項1に記載の方法。

**【請求項3】**

前記演算は、アトミック演算(atomic operation)及びデータ型を含み、

前記少なくとも1つのデータ位置は、宛先レジスタ、メモリアドレス、ソースレジスタ、定数、又は参照レジスタのうちの少なくとも1つを含むことを特徴とする請求項2に記載の方法。

**【請求項4】**

前記アトミック演算は、ADD、SUBTRACT、EXCHANGE、MAX、MIN、INCREMENT、DECREMENT、COMPARE-AND-SWAP、AND、OR、XOR、又はNOTの関数のうちの少なくとも1つを含むことを特徴とする請求項3に記載の方法。

**【請求項5】**

前記演算は、ALU演算及びSRAMアクセス演算を含み、

前記少なくとも1つのデータ位置は、宛先レジスタ及び少なくとも1つのソースレジスタを含むことを特徴とする請求項2に記載の方法。

**【請求項6】**

前記SRAMアクセス演算は、対のロード命令又は対の格納命令を含むことを特徴とする請求項5に記載の方法。

**【請求項7】**

前記FIM命令の実行を調整する段階は、

前記演算を用いる前記コントローラによって、前記FIM命令をソースレジスタ及び宛先レジスタを含むFIM移動命令として識別する段階と、

前記コントローラによって、前記ソースレジスタに応じて少なくとも1つのデータを前記SRAMから取得する段階と、

前記コントローラによって、前記宛先レジスタに応じて前記少なくとも1つのデータを前記SRAMに格納する段階と、を更に含むことを特徴とする請求項1に記載の方法。

**【請求項8】**

前記FIM命令の実行を調整する段階は、

前記演算を用いる前記コントローラによって、前記FIM命令をソースレジスタ及び宛先レジスタのうちの少なくとも1つを含むFIMスクラッチパッド命令として識別する段階と、

前記コントローラのタイミングパラメータを、DRAMのタイミングパラメータからSRAMのタイミングパラメータに調整する段階と、

前記コントローラによって、前記SRAM上で前記SRAMのタイミングパラメータに応じて前記FIMスクラッチパッド命令を実行する段階と、を更に含むことを特徴とする請求項1に記載の方法。

**【請求項9】**

前記FIM命令は、少なくとも1つのデータ位置を含み、

前記方法は、前記少なくとも1つのデータ位置が処理装置のキャッシュを含むことに応答して、前記HBMコントローラによって、前記処理装置の前記FIM命令の実行を調整する段階を更に有することを特徴とする請求項1に記載の方法。

**【請求項10】**

HBM(High-Bandwidth Memory)であって、

DRAMと、

コントローラ、ALU(Arithmetic Logic Unit)、及びスクラッチパッドとして構成されたSRAMを含んで命令を実行するように構成されたロジック部分と、を備え、

前記命令が前記ロジック部分によって実行されると、FIM(ファンクション・イン・メモリ)命令に基づいて、前記DRAM、前記コントローラ、前記ALU、又は前記SRAMのうちの少なくとも1つを用いる前記ロジック部分によって、前記FIM命令の実行

を調整し、

前記 F I M 命令は、演算、前記 F I M 命令を F I M として識別する F I M の指示子、及び前記 F I M 命令がスクラッチパッド演算であるとの指定を含むことを特徴とする H B M 。

#### 【請求項 1 1】

前記 F I M 命令の実行の調整は、

前記コントローラによって、前記 F I M 命令を少なくとも 1 つのデータ位置を含む計算 F I M 命令として識別し、

前記コントローラによって、前記少なくとも 1 つのデータ位置に応じて少なくとも 1 つのデータを取得し、

前記コントローラによって、前記少なくとも 1 つのデータ及び前記演算を前記 A L U に提供し、

前記 A L U によって、前記少なくとも 1 つのデータに対して前記演算を実行し、

前記実行の結果を前記 H B M に格納することを更に含むことを特徴とする請求項 1 0 に記載の H B M 。

#### 【請求項 1 2】

前記演算は、アトミック演算 (atomic operation) 及びデータ型を含み、

前記少なくとも 1 つのデータ位置は、宛先レジスタ、メモリアドレス、ソースレジスタ、定数、又は参照レジスタのうちの少なくとも 1 つを含むことを特徴とする請求項 1 1 に記載の H B M 。

#### 【請求項 1 3】

前記アトミック演算は、ADD、SUBTRACT、EXCHANGE、MAX、MIN、INCREMENT、DECREMENT、COMPARE-AND-SWAP、AND、OR、XOR、又はNOTの関数のうちの少なくとも 1 つを含むことを特徴とする請求項 1 2 に記載の H B M 。

#### 【請求項 1 4】

前記演算は、A L U 演算及び S R A M アクセス演算を含み、

前記少なくとも 1 つのデータ位置は、宛先レジスタ及び少なくとも 1 つのソースレジスを含むことを特徴とする請求項 1 1 に記載の H B M 。

#### 【請求項 1 5】

前記 S R A M アクセス演算は、対のロード命令又は対の格納命令を含むことを特徴とする請求項 1 4 に記載の H B M 。

#### 【請求項 1 6】

前記 F I M 命令の実行の調整は、

前記演算を用いる前記コントローラによって、前記 F I M 命令をソースレジスタ及び宛先レジスタを含む F I M 移動命令として識別し、

前記コントローラによって、前記ソースレジスタに応じて少なくとも 1 つのデータを前記 S R A M から取得し、

前記コントローラによって、前記宛先レジスタに応じて前記少なくとも 1 つのデータを前記 S R A M に格納することを更に含むことを特徴とする請求項 1 0 に記載の H B M 。

#### 【請求項 1 7】

前記 F I M 命令の実行の調整は、

前記演算を用いる前記コントローラによって、前記 F I M 命令をソースレジスタ及び宛先レジスタのうちの少なくとも 1 つを含む F I M スクラッチパッド命令として識別し、

前記コントローラのタイミングパラメータを、D R A M のタイミングパラメータから S R A M のタイミングパラメータに調整し、

前記コントローラによって、前記 S R A M 上で前記 S R A M のタイミングパラメータに応じて前記 F I M スクラッチパッド命令を実行することを更に含むことを特徴とする請求項 1 0 に記載の H B M 。

**【請求項 18】**

HBM (High-Bandwidth Memory) システムであって、DRAMを含むDRAMダイと、コントローラ、ALU (Arithmetic Logic Unit)、及びスクラッチパッドとして構成されたSRAMを含むロジックダイと、を有するHBMと、

前記HBMから分離して前記コントローラに命令を送信するように構成されたメモリコントローラと、を備え、

前記コントローラは、前記命令を受信し、前記命令が一般命令であることに応答して前記DRAMダイ上の前記DRAMに前記命令を送信し、前記命令がFIM (ファンクション・イン・メモリ)命令であることに応答して前記命令の実行を調整するように構成され、

前記FIM命令は、演算、前記FIM命令をFIMとして識別するFIMの指示子、及び前記FIM命令がスクラッチパッド演算であるとの指定を含み、

前記命令の実行は、前記コントローラと、前記DRAM、前記ALU、又は前記SRAMのうちの少なくとも1つとを用いて実行されることを特徴とするHBMシステム。

**【請求項 19】**

前記FIM命令の実行の調整は、

前記コントローラによって、前記FIM命令を少なくとも1つのデータ位置を含む計算FIM命令として識別し、

前記コントローラによって、前記少なくとも1つのデータ位置に応じて少なくとも1つのデータを取得し、

前記コントローラによって、前記少なくとも1つのデータ及び前記演算を前記ALUに提供し、

前記ALUによって、前記少なくとも1つのデータに対して前記演算を実行し、

前記実行の結果を前記HBMに格納することを特徴とする請求項18に記載のHBMシステム。

**【請求項 20】**

前記演算は、アトミック演算 (atomic operation) 及びデータ型を含み、

前記少なくとも1つのデータ位置は、宛先レジスタ、メモリアドレス、ソースレジスタ、定数、又は参照レジスタのうちの少なくとも1つを含むことを特徴とする請求項19に記載のHBMシステム。

**【請求項 21】**

前記アトミック演算は、ADD、SUBTRACT、EXCHANGE、MAX、MIN、INCREMENT、DECREMENT、COMPARE-AND-SWAP、AND、OR、XOR、又はNOTの関数のうちの少なくとも1つを含むことを特徴とする請求項20に記載のHBMシステム。

**【請求項 22】**

前記演算は、ALU演算及びSRAMアクセス演算を含み、

前記少なくとも1つのデータ位置は、宛先レジスタ及び少なくとも1つのソースレジスタを含むことを特徴とする請求項19に記載のHBMシステム。

**【請求項 23】**

前記SRAMアクセス演算は、対のロード命令又は対の格納命令を含むことを特徴とする請求項22に記載のHBMシステム。

**【請求項 24】**

前記FIM命令の実行の調整は、

前記演算を用いる前記コントローラによって、前記FIM命令をソースレジスタ及び宛先レジスタを含むFIM移動命令として識別し、

前記コントローラによって、前記ソースレジスタに応じて少なくとも1つのデータを前記SRAMから取得し、

前記コントローラによって、前記宛先レジスタに応じて前記少なくとも1つのデータを前記S R A Mに格納することを更に含むことを特徴とする請求項18に記載のH B Mシステム。

【請求項25】

前記F I M命令の実行の調整は、

前記演算を用いる前記コントローラによって、前記F I M命令をソースレジスタ及び宛先レジスタのうちの少なくとも1つを含むF I Mスクラッチパッド命令として識別し、

前記コントローラのタイミングパラメータを、D R A MのタイミングパラメータからS R A Mのタイミングパラメータに調整し、

前記コントローラによって、前記S R A M上で前記S R A Mのタイミングパラメータに応じて前記F I Mスクラッチパッド命令を実行することを更に含むことを特徴とする請求項18に記載のH B Mシステム。