

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6898570号  
(P6898570)

(45) 発行日 令和3年7月7日(2021.7.7)

(24) 登録日 令和3年6月15日(2021.6.15)

(51) Int.Cl. F I  
 H O 1 L 21/822 (2006.01) H O 1 L 27/04 D  
 H O 1 L 27/04 (2006.01)

請求項の数 12 (全 19 頁)

(21) 出願番号	特願2018-520810 (P2018-520810)	(73) 特許権者	514315159
(86) (22) 出願日	平成29年5月22日 (2017.5.22)		株式会社ソシオネクスト
(86) 国際出願番号	PCT/JP2017/019015		神奈川県横浜市港北区新横浜2丁目10番
(87) 国際公開番号	W02017/208887		23
(87) 国際公開日	平成29年12月7日 (2017.12.7)	(74) 代理人	110001427
審査請求日	令和2年4月9日 (2020.4.9)		特許業務法人前田特許事務所
(31) 優先権主張番号	特願2016-110402 (P2016-110402)	(72) 発明者	岡本 淳
(32) 優先日	平成28年6月1日 (2016.6.1)		神奈川県横浜市港北区新横浜二丁目10番
(33) 優先権主張国・地域又は機関			23 株式会社ソシオネクスト内
	日本国(JP)	(72) 発明者	北浦 智靖
(31) 優先権主張番号	特願2017-77462 (P2017-77462)		神奈川県横浜市港北区新横浜二丁目10番
(32) 優先日	平成29年4月10日 (2017.4.10)		23 株式会社ソシオネクスト内
(33) 優先権主張国・地域又は機関		(72) 発明者	武野 紘宜
	日本国(JP)		神奈川県横浜市港北区新横浜二丁目10番
			23 株式会社ソシオネクスト内
			最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

第1方向に並べて配置された複数のスタンダードセルをそれぞれ備え、前記第1方向と垂直をなす方向である第2方向に並べて配置された複数のスタンダードセル列と、

前記第1方向に延びるようにそれぞれ配置されており、前記複数のスタンダードセルに電源を供給する複数の電源配線と、

前記複数の電源配線の上層において前記第2方向に延びるように配置された、複数のストラップ電源配線と、

前記複数の電源配線の上層において前記第2方向に延びるように配置され、前記複数の電源配線とそれぞれ接続された、複数の副ストラップ電源配線と、

前記複数のストラップ電源配線のいずれかと、前記複数の電源配線の中のN本(Nは1以上の整数)からなる配線組との間に設けられており、制御信号に応じて、当該ストラップ電源配線と当該配線組に属する前記電源配線とを電気的に接続するか否かを切替可能に構成された、複数のスイッチセルとを備え、

前記複数のスイッチセルは、前記複数のストラップ電源配線に対してそれぞれ、M(Mは3以上の整数)個の前記配線組毎に1個ずつ、配置されており、

前記複数のスイッチセルの前記第2方向における配置位置は、隣り合う前記ストラップ電源配線において互いに異なっており、かつ、前記第1方向における前記ストラップ電源配線のM本ごとに、同一である

ことを特徴とする半導体集積回路装置。

10

20

## 【請求項 2】

請求項 1 記載の半導体集積回路装置において、

前記複数の副ストラップ電源配線の上層に、前記第 1 方向に延びるように配置されており、前記複数の副ストラップ電源配線とそれぞれ接続された、上層電源配線を備えたことを特徴とする半導体集積回路装置。

## 【請求項 3】

請求項 1 記載の半導体集積回路装置において、

前記副ストラップ電源配線は、前記ストラップ電源配線よりも下層に設けられていることを特徴とする半導体集積回路装置。

## 【請求項 4】

請求項 1 記載の半導体集積回路装置において、

前記ストラップ電源配線は、平面視において、前記スイッチセルと重なりを有していることを特徴とする半導体集積回路装置。

## 【請求項 5】

請求項 1 記載の半導体集積回路装置において、

前記副ストラップ電源配線は、平面視において、前記スイッチセルと重なりを有していることを特徴とする半導体集積回路装置。

## 【請求項 6】

請求項 1 記載の半導体集積回路装置において、

前記複数のストラップ電源配線は、間に前記副ストラップ電源配線が 2 本以上配置された、2 本のストラップ電源配線を含むことを特徴とする半導体集積回路装置。

## 【請求項 7】

請求項 1 記載の半導体集積回路装置において、

前記複数の副ストラップ電源配線は、配置された層が互いに異なる、2 本の副ストラップ電源配線を含むことを特徴とする半導体集積回路装置。

## 【請求項 8】

請求項 1 記載の半導体集積回路装置において、

前記スイッチセルは、トランジスタサイズが互いに異なる、2 個のスイッチセルを含むことを特徴とする半導体集積回路装置。

## 【請求項 9】

第 1 方向に並べて配置された複数のスタンダードセルをそれぞれ備え、前記第 1 方向と垂直をなす方向である第 2 方向に並べて配置された複数のスタンダードセル列と、

前記第 1 方向に延びるようにそれぞれ配置されており、前記複数のスタンダードセルに電源を供給する複数の電源配線と、

前記複数の電源配線の上層において前記第 2 方向に延びるように配置された、複数のストラップ電源配線と、

前記複数の電源配線の上層において前記第 2 方向に延びるように配置され、前記複数の電源配線とそれぞれ接続された、複数の副ストラップ電源配線と、

前記複数のストラップ電源配線のいずれかと、前記複数の電源配線の中の N 本 (N は 1 以上の整数) からなる配線組との間に設けられており、制御信号に応じて、当該ストラップ電源配線と当該配線組に属する前記電源配線とを電氣的に接続するか否かを切替可能に構成された、複数のスイッチセルとを備え、

前記複数のスイッチセルは、前記複数のストラップ電源配線に対してそれぞれ、M (M は 3 以上の整数) 個の前記配線組毎に 1 個ずつ、配置されており、

前記複数のスイッチセルの前記第 2 方向における配置位置は、隣り合う前記ストラップ電源配線において互いに異なっており、かつ、前記第 1 方向における前記ストラップ電源配線の M 本ごとに、同一であり、

10

20

30

40

50

前記複数のスイッチセルは、前記配線組の１つである第１配線組に対してそれぞれ設けられており、前記第１方向において隣り合う第１および第２スイッチセルと、前記第１配線組と前記第２方向において隣り合う前記配線組に対して設けられた第３スイッチセルとを含み、

前記第３スイッチセルは、前記第１スイッチセルが設けられた前記ストラップ電源配線と前記第２スイッチセルが設けられた前記ストラップ電源配線と間の中間位置にある、前記ストラップ電源配線に対して、設けられている  
ことを特徴とする半導体集積回路装置。

#### 【請求項１０】

請求項９記載の半導体集積回路装置において、

Mは４である

ことを特徴とする半導体集積回路装置。

#### 【請求項１１】

第１方向に並べて配置された複数のスタンダードセルをそれぞれ備え、前記第１方向と垂直をなす方向である第２方向に並べて配置された複数のスタンダードセル列と、

前記第１方向に延びるようにそれぞれ配置されており、前記複数のスタンダードセルに電源を供給する複数の電源配線と、

前記複数の電源配線の上層において前記第２方向に延びるように配置された、複数のストラップ電源配線と、

前記複数の電源配線の上層において前記第２方向に延びるように配置され、前記複数の電源配線とそれぞれ接続された、複数の副ストラップ電源配線と、

前記複数のストラップ電源配線のいずれかと、前記複数の電源配線の中のN本（Nは１以上の整数）からなる配線組との間に設けられており、制御信号に応じて、当該ストラップ電源配線と当該配線組に属する前記電源配線とを電氣的に接続するか否かを切替可能に構成された、複数のスイッチセルとを備え、

前記複数のスイッチセルは、前記複数のストラップ電源配線に対してそれぞれ、M（Mは３以上の整数）個の前記配線組毎に１個ずつ、配置されており、

前記複数のスイッチセルの前記第２方向における配置位置は、隣り合う前記ストラップ電源配線において互いに異なっており、かつ、前記第１方向における前記ストラップ電源配線のM本ごとに、同一であり、

前記複数のスイッチセルの配置を、X軸方向に延びる各行が前記配線組に対応し、Y軸方向に延びる各列が前記ストラップ電源配線に対応するマス目で表した場合において、

前記スイッチセルが配置されていない第１マスと、前記スイッチセルが配置されており当該第１マスから最も近い第２マスとの、X座標の差をX、Y座標の差をYとしたとき、

$$X + Y \leq M / 4$$

の関係を満たす

ことを特徴とする半導体集積回路装置。

#### 【請求項１２】

請求項１１記載の半導体集積回路装置において、

Mは４，８，１２，１６のうちのいずれかである

ことを特徴とする半導体集積回路装置。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【０００１】

本開示は、半導体集積回路装置における電源遮断技術に関する。

#### 【背景技術】

#### 【０００２】

半導体集積回路装置の低消費電力化を実現するための技術の一つに、電源遮断技術がある。電源遮断技術とは、半導体集積回路装置の内部を複数の回路ブロックに分割し、動作していない回路ブロックの電源を遮断することによって電力消費の原因となるリーク電流

10

20

30

40

50

を抑制する技術である。特許文献1では、電源遮断領域において、電源を供給/遮断するためのスイッチを各スタンダードセル列に配置し、電源供給制御を実現する構成が開示されている。各スタンダードセルには、ストラップ電源配線からスイッチおよびスタンダードセル電源配線を経由して、電源が供給される。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008-277788号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0004】

特許文献1の構成では、電源遮断を行う回路ブロックにおいて、各スタンダードセル電源配線に対してそれぞれ、電源を供給/遮断するためのスイッチを設ける必要がある。すなわち、多数のスイッチを回路ブロック内に配置する必要がある。このため、スイッチの面積分、回路ブロックの面積が増加することになり、また多数のスイッチの存在により、スタンダードセルの配置の自由度が下がることになる。すなわち、多数のスイッチの存在に起因した面積の増加や、スタンダードセル配置の自由度低下によるタイミング収束性の悪化に起因した設計工数の増大、という問題が生じるおそれがある。

【0005】

また、スイッチ1個当たりで供給可能な電流量は定まっているため、回路ブロック内に配置するスイッチの個数は、当該回路ブロックの総電流量を基にして、必要最小限に設定することができる。ところがこの場合、スイッチの配置位置によっては、スイッチ間の距離が長くなってしまい、スイッチ間の電源配線において電圧降下が大きくなってしまいうおそれがある。電源電圧降下は、回路の誤動作の原因となるため、好ましくない。

20

【0006】

本開示は、電源遮断技術を用いた半導体集積回路装置において、配置するスイッチの個数を少なく抑えつつ、電源電圧降下を効果的に抑制可能にすることを目的とする。

【課題を解決するための手段】

【0007】

本開示の態様では、半導体集積回路装置は、第1方向に並べて配置された複数のスタンダードセルをそれぞれ備え、前記第1方向と垂直をなす方向である第2方向に並べて配置された複数のスタンダードセル列と、前記第1方向に延びるようにそれぞれ配置されており、前記複数のスタンダードセルに電源を供給する複数の電源配線と、前記複数の電源配線の上層において前記第2方向に延びるように配置された、複数のストラップ電源配線と、前記複数の電源配線の上層において前記第2方向に延びるように配置され、前記複数の電源配線とそれぞれ接続された、複数の副ストラップ電源配線と、前記複数のストラップ電源配線のいずれかと、前記複数の電源配線の中のN本(Nは1以上の整数)からなる配線組との間に設けられており、制御信号に応じて、当該ストラップ電源配線と当該配線組に属する前記電源配線とを電氣的に接続するか否かを切替可能に構成された、複数のスイッチセルとを備え、前記複数のスイッチセルは、前記複数のストラップ電源配線に対してそれぞれ、M(Mは3以上の整数)個の前記配線組毎に1個ずつ、配置されており、前記複数のスイッチセルの前記第2方向における配置位置は、隣り合う前記ストラップ電源配線において互いに異なっており、かつ、前記第1方向における前記ストラップ電源配線のM本ごとに、同一である。

30

40

【0008】

この態様によると、各ストラップ電源配線について、スイッチセルは、電源配線のM(Mは3以上の整数)本毎に配置されている。すなわち、配置するスイッチセルの個数は少なく抑えられている。そして、ストラップ電源配線が延びる方向である第2方向における、スイッチセルの配置位置は、隣り合うストラップ電源配線において互いに異なっており、かつ、ストラップ電源配線のM本毎に、同一になっている。このため、スタンダードセ

50

ルは、自己が接続された電源配線に設けられたスイッチセルから離れている場合でも、隣り合う電源配線に設けられたスイッチセルが、その近傍に配置されている。このため、そのスイッチセルから副ストラップ電源配線を介した電源供給がなされるので、電源電圧降下が抑制される。したがって、スイッチセルの個数を少なく抑えつつ、各スタンダードセルにおける電源電圧降下を抑制することができる。

#### 【0009】

そして、前記態様の半導体集積回路装置において、前記複数のスイッチセルは、前記配線組の1つである第1配線組に対してそれぞれ設けられており、前記第1方向において隣り合う第1および第2スイッチセルと、前記第1配線組と前記第2方向において隣り合う前記配線組に対して設けられた第3スイッチセルとを含み、前記第3スイッチセルは、前記第1スイッチセルが設けられた前記ストラップ電源配線と前記第2スイッチセルが設けられた前記ストラップ電源配線と間の中間位置にある、前記ストラップ電源配線に対して、設けられている、としてもよい。

10

#### 【0010】

また、前記態様の半導体集積回路装置において、前記複数のスイッチセルの配置を、X軸方向に延びる各行が前記配線組に対応し、Y軸方向に延びる各列が前記ストラップ電源配線に対応するマス目で表した場合において、前記スイッチセルが配置されていない第1マスと、前記スイッチセルが配置されており当該第1マスから最も近い第2マスとの、X座標の差をX、Y座標の差をYとしたとき、 $X + Y \leq M/4$  の関係を満たす、としてもよい。

20

#### 【発明の効果】

#### 【0011】

本開示によると、電源遮断技術を用いた半導体集積回路装置について、配置するスイッチの個数を少なく抑えつつ、電源電圧降下を効果的に抑制することができる。

#### 【図面の簡単な説明】

#### 【0012】

【図1】第1実施形態に係る半導体集積回路装置の構成を示す平面図

【図2】スイッチセルの構成例を示す模式図

【図3】図1のIII - III断面図

【図4】図1のIV - IV断面図

30

【図5】第1実施形態の変形例に係る半導体集積回路装置の構成を示す平面図

【図6】第1実施形態の変形例に係る半導体集積回路装置の構成を示す平面図

【図7】第1実施形態の変形例に係る半導体集積回路装置の構成を示す平面図

【図8】第2実施形態に係る半導体集積回路装置の構成を示す平面図

【図9】第3実施形態に係る半導体集積回路装置の構成を示す平面図

【図10】第4実施形態に係る半導体集積回路装置の構成を示す平面図

【図11】図1の構成におけるスイッチセル配置を概念的に表す図

【図12】対比例としてのスイッチセル配置を概念的に表す図

【図13】スイッチセルの配置手法を説明するための図

【図14】(a) ~ (d) はスイッチセル配置の他の例を概念的に表す図

40

【図15】(a) ~ (c) はスイッチセル配置の他の例を概念的に表す図

#### 【発明を実施するための形態】

#### 【0013】

以下、実施の形態について、図面を参照して説明する。

#### 【0014】

(第1実施形態)

図1は第1実施形態に係る半導体集積回路装置の構成を示す平面図であり、電源遮断を行う回路ブロックにおけるレイアウトパターンを簡略化して図示している(以降の平面図も同様)。図1に示す半導体集積回路装置は、基板に、複数のスタンダードセル1が配置されている。X方向(図面横方向、第1方向に相当)に並べて配置された複数のスタンダ

50

ードセル 1 を備えたスタンダードセル列 2 が、Y 方向（図面縦方向、第 1 方向と垂直をなす方向である第 2 方向）に複数行配置されている。スタンダードセル 1 は、例えばインバータや論理回路等の機能を有する基本回路素子であり、スタンダードセル 1 を組み合わせて配置配線することによって、所定の機能を実現する半導体集積回路装置を設計・製造することができる。スタンダードセル 1 は、P 型 MOS（Metal Oxide Semiconductor）トランジスタ（PMOS）が形成される N 型領域と N 型 MOS トランジスタ（NMOS）が形成される P 型領域とをそれぞれ有している。本開示では、スタンダードセル 1 は、N 型領域と P 型領域とが Y 方向に並べて配置されており、かつ、スタンダードセル列 2 は、1 行おきに、N 型領域と P 型領域との並びが反転しているものとする。なお、スタンダードセル 1 の内部構造については図示を省略している。

10

#### 【0015】

スタンダードセル列 2 同士の間、スタンダードセル 1 に電源電位を供給するスタンダードセル電源配線 3（右横に V V D D と記す）と、スタンダードセル 1 に接地電位を供給する接地電源配線 4（右横に V S S と記す）とが、交互に、配置されている。スタンダードセル電源配線 3 および接地電源配線 4 はともに、X 方向に延びるように配置されている。スタンダードセル電源配線 3 は、その Y 方向両側のスタンダードセル列 2 に電源電位を供給する。また接地電源配線 4 は、その Y 方向両側のスタンダードセル列 2 に接地電位を供給する。そして、各スタンダードセル電源配線 3 に対して、スイッチセル 20（ハッチを付している）が設けられている。スイッチセル 20 は、スタンダードセル 1 に対する電源供給を遮断するか否かを制御するものであり、制御信号に応じて、スタンダードセル電源配線 3 と、後述するストラップ電源配線 11 とを電氣的に接続するか否かを切替可能に構成されている。制御信号は例えば、電源遮断を制御する制御ブロックから送られる。

20

#### 【0016】

図 2 はスイッチセル 20 の構成例を示す模式図である。なお図 2 では、構成を回路記号によって図示しているが、実際には、拡散領域やゲート配線、メタル配線等からなるレイアウトが形成される。図 2 に示すスイッチセル 20 は、ダブルハイトセルであり、ストラップ電源配線 11 と接続される入力端子 21 と、制御信号を受ける制御端子 22 と、PMOS 23 と、制御端子 22 に与えられた制御信号を受けるバッファ 24 とを備えている。PMOS 23 は、ソースが入力端子 21 と接続され、ドレインがスタンダードセル電源配線 3 と接続され、ゲートにバッファ 24 の出力を受ける。制御信号がハイレベルのとき、PMOS 23 は導通せず、入力端子 21 とスタンダードセル電源配線 3 とは電氣的に遮断される。一方、制御信号がローレベルのとき、PMOS 23 は導通し、入力端子 21 とスタンダードセル電源配線 3 とは電氣的に接続される。なお、図 2 では図示を省略しているが、バッファ 24 には入力端子 21 を介して電源が供給される。

30

#### 【0017】

図 1 に戻り、スタンダードセル列 2 やスタンダードセル電源配線 3 の上層に、Y 方向に延びるように配置されたストラップ電源配線 11 が設けられている。ストラップ電源配線 11 は、その下方に配置されているスイッチセル 20 の入力端子 21 と接続されている。また、スタンダードセル列 2 やスタンダードセル電源配線 3 の上層に、Y 方向に延びるように配置された副ストラップ電源配線 12 が設けられている。副ストラップ電源配線 12 は、ビア構造 13 を介して、その下方を通過するスタンダードセル電源配線 3 と接続されている。図 1 の構成では、ストラップ電源配線 11 は、平面視において、スイッチセル 20 と重なりを有している。また、副ストラップ電源配線 12 も、平面視において、スイッチセル 20 と重なりを有している。なお本願明細書では、「ストラップ電源配線」は、スタンダードセル列 2 の方向と直交する方向に延びる電源配線という意味で用いている。また、図 1 では図示を省略しているが、接地電位を供給するためのストラップ電源配線も、スタンダードセル列 2 やスタンダードセル電源配線 3 の上層に、図面縦方向に延びるように配置されている。

40

#### 【0018】

なお、図 1 では、電源供給元からスイッチセル 20 までの電源配線、すなわちストラッ

50

ブ電源配線 1 1 には「VDD」と記しており、スイッチセル 2 0 を経由した後の電源配線、すなわち副ストラップ電源配線 1 2 およびスタンダードセル電源配線 3 には「VVDD」と記している。以降の図でも同様である、ただし、スイッチセル 2 0 における PMOS 2 3 の導通時に供給される電源電位は、「VDD」と記された電源配線と「VVDD」と記された電源配線とで共通である。

#### 【0019】

図 3 は図 1 の III - III 断面図、図 4 は図 1 の IV - IV 断面図であり、いずれもスイッチセル 2 0 が配置された箇所における断面構造を示している。図 1 の半導体集積回路装置は、基板上に 5 層以上の配線層を有している。図 3 および図 4 に示すように、基板側から順に積層するように、第 1 ~ 第 5 配線層 (M1 ~ M5) が形成されている。ストラップ電源配線 1 1 は第 5 配線層 (M5) に形成されており、副ストラップ電源配線 1 2 は第 3 配線層 (M3) に形成されている。すなわち、ここでは、副ストラップ電源配線 1 2 は、ストラップ電源配線 1 1 よりも下層に設けられている。またスタンダードセル電源配線 3 は、第 1 配線層 (M1) に形成されている。また図示はしていないが、接地電源配線 4 は第 1 配線層に形成されており、スタンダードセル 1 の信号配線は主に第 1 配線層に形成されている。なお図 1 において、第 1、第 2 および第 4 配線層の優先配線方向は X 方向であり、第 3 および第 5 配線層の優先配線方向は Y 方向である。

#### 【0020】

ここで、図 1 の構成におけるスイッチセル 2 0 の配置位置について、説明する。スイッチセル 2 0 は、ストラップ電源配線 1 1 とスタンダードセル電源配線 3 とが平面視で交差する箇所において、当該ストラップ電源配線 1 1 と当該スタンダードセル電源配線 3 との間に、設けられている。ただし、ストラップ電源配線 1 1 とスタンダードセル電源配線 3 とが平面視で交差する箇所であっても、スイッチセル 2 0 が配置されていない箇所がある。

#### 【0021】

図 1 の構成では、各ストラップ電源配線 1 1 について、スイッチセル 2 0 は、スタンダードセル電源配線 3 の 4 本毎に配置されている。言い換えると、各ストラップ電源配線 1 1 について、Y 方向において隣り合うスイッチセル 2 0 同士の間には、3 本のスタンダードセル電源配線 3 が存在する。そして、スイッチセル 2 0 の Y 方向における配置位置は、隣り合うストラップ電源配線 1 1 において互いに異なっている。また、スイッチセル 2 0 の Y 方向における配置位置は、ストラップ電源配線 1 1 の 4 本毎に、同一になっている。

#### 【0022】

例えば、図面下側の 4 本のスタンダードセル電源配線 3 ((1) ~ (4)) を付している) と、図面左側の 4 本のストラップ電源配線 1 1 ((1) ~ (4)) を付している) とに着目する。ストラップ電源配線 1 1 (1) は、スタンダードセル電源配線 3 (1) との間にはのみスイッチセル 2 0 が配置されており、他のスタンダードセル電源配線 3 (2) ~ (4) との間にはスイッチセル 2 0 は配置されていない。同様に、ストラップ電源配線 1 1 (2) は、スタンダードセル電源配線 3 (3) との間にはのみスイッチセル 2 0 が配置されており、ストラップ電源配線 1 1 (3) は、スタンダードセル電源配線 3 (2) との間にはのみスイッチセル 2 0 が配置されており、ストラップ電源配線 1 1 (4) は、スタンダードセル電源配線 3 (4) との間にはのみスイッチセル 2 0 が配置されている。すなわち、4 本のストラップ電源配線 1 1 (1) ~ (4) について、スタンダードセル電源配線 3 (1), (3), (2), (4) の順で、その間にスイッチセル 2 0 が配置されている。そして、このようなスイッチセル 2 0 の配置が、X 方向および Y 方向において繰り返されている。

#### 【0023】

ここで、スタンダードセル 1 A (ハッチを付している) に着目する。図 1 では、スタンダードセル 1 A に対する電源供給経路の一部に矢印付き破線を付している。スタンダードセル 1 A は、スタンダードセル電源配線 3 (2) に接続されるが、スタンダードセル電源配線 3 (2) に設けられたスイッチセル 2 0 1, 2 0 2 からは離れている。このため、電

10

20

30

40

50

源電圧降下が懸念される。この一方で、スタンダードセル電源配線 3 ( 2 ) に隣りあうスタンダードセル電源配線 3 ( 1 ) には、スタンダードセル 1 A に近接した位置に、スイッチセル 2 0 3 が配置されている。このため、スタンダードセル 1 A は、スイッチセル 2 0 3 から副ストラップ電源配線 1 2 を介して電源が供給されるので、電源電圧降下が抑制される。すなわち、第 1 スwitchセルとしてのスイッチセル 2 0 1 と第 2 スwitchセルとしてのスイッチセル 2 0 2 は、スタンダードセル電源配線 3 ( 2 ) に対してそれぞれ設けられており、X 方向において隣り合っている。第 3 スwitchセルとしてのスイッチセル 2 0 3 は、スタンダードセル電源配線 3 ( 2 ) と Y 方向において隣りあうスタンダードセル電源配線 3 ( 1 ) に設けられている。そして、スイッチセル 2 0 3 は、スイッチセル 2 0 1 が設けられたストラップ電源配線 1 1 とスイッチセル 2 0 2 が設けられたストラップ電源配線 1 1 との間の中間位置にある、ストラップ電源配線 1 1 に対して、設けられている。

10

#### 【 0 0 2 4 】

このように、図 1 の構成では、スタンダードセル 1 は、自己が接続されたスタンダードセル電源配線 3 に設けられたスイッチセル 2 0 から離れている場合でも、隣り合うスタンダードセル電源配線 3 に設けられたスイッチセル 2 0 が、その近傍に配置されている。例えば、X 方向において隣り合うスイッチセル 2 0 同士の間の中間位置にあるスタンダードセル 1 に、Y 方向において隣り合う位置に、スイッチセル 2 0 が配置されている。このため、そのスイッチセル 2 0 から副ストラップ電源配線 1 2 を介した電源供給がなされるので、電源電圧降下が抑制される。したがって、本実施形態によると、スイッチセル 2 0 の個数を少なく抑えつつ、各スタンダードセル 1 における電源電圧降下を抑制することができる。

20

#### 【 0 0 2 5 】

なお、図 1 の構成では、副ストラップ電源配線 1 2 は、ストラップ電源配線 1 1 の隣りにそれぞれ並べて配置しているが、これに限られるものではない。例えば、副ストラップ電源配線 1 2 を、ストラップ電源配線 1 1 から間隔を空けて配置し、スイッチセル 2 0 と平面視で重ならないようにしてもかまわない。また、一部のストラップ電源配線 1 1 には、副ストラップ電源配線 1 2 を隣りに並べないようにしてもよい。

#### 【 0 0 2 6 】

また、図 1 の構成では、スイッチセル 2 0 は、ストラップ電源配線 1 1 の下方に配置されており、ストラップ電源配線 1 1 は平面視においてスイッチセル 2 0 と重なりを有しているものとしたが、これに限られるものではない。ただし、スイッチセル 2 0 をストラップ電源配線 1 1 の下方に配置した場合、スイッチセル 2 0 の入力端子 2 1 とストラップ電源配線 1 1 との間の配線やビア等の経路における抵抗値が小さくなるため、電源電圧の電圧降下が抑制される。また、図 1 の構成では、副ストラップ電源配線 1 2 は平面視においてスイッチセル 2 0 と重なりを有しているものとしたが、これに限られるものではない。

30

#### 【 0 0 2 7 】

また、図 1 の構成では、副ストラップ電源配線 1 2 は、下方を通過する全てのスタンダードセル電源配線 3 と電氣的に接続しているが、これに限られるものではない。例えば、下方を通過するスタンダードセル電源配線 3 の一部のみと電氣的に接続するものとしてもよい。

40

#### 【 0 0 2 8 】

##### ( 変形例 1 )

図 1 の構成では、4 本のストラップ電源配線 1 1 ( 1 ) ~ ( 4 ) について、スタンダードセル電源配線 3 ( 1 ) , ( 3 ) , ( 2 ) , ( 4 ) の順で、その間にスイッチセル 2 0 が配置されているものとした。ただし、スイッチセル 2 0 の配置パターンは、図 1 に示したものに限られるものではない。

#### 【 0 0 2 9 】

図 5 は本実施形態の変形例 1 に係る半導体集積回路装置の構成を示す平面図である。スタンダードセル 1 の配置や、スタンダードセル電源配線 3、接地電源配線 4、ストラップ電源配線 1 1 および副ストラップ電源配線 1 2 の配置に関しては、図 1 と同様であり、こ

50



ここではその詳細な説明を省略する。

#### 【 0 0 3 0 】

図 5 の構成では、図 1 の構成と同様に、各ストラップ電源配線 1 1 について、スイッチセル 2 0 は、スタンダードセル電源配線 3 の 4 本毎に配置されている。そして、スイッチセル 2 0 の Y 方向における配置位置は、隣り合うストラップ電源配線 1 1 において互いに異なっている。また、スイッチセル 2 0 の Y 方向における配置位置は、ストラップ電源配線 1 1 の 4 本毎に、同一になっている。

#### 【 0 0 3 1 】

ただし、図 5 の構成では、スイッチセル 2 0 の配置パターンが、図 1 の構成と異なっている。すなわち、ストラップ電源配線 1 1 ( 1 ) は、スタンダードセル電源配線 3 ( 1 ) との間にのみスイッチセル 2 0 が配置されており、他のスタンダードセル電源配線 3 ( 2 ) ~ ( 4 ) との間にはスイッチセル 2 0 は配置されていない。同様に、ストラップ電源配線 1 1 ( 2 ) は、スタンダードセル電源配線 3 ( 2 ) との間にのみスイッチセル 2 0 が配置されており、ストラップ電源配線 1 1 ( 3 ) は、スタンダードセル電源配線 3 ( 3 ) との間にのみスイッチセル 2 0 が配置されており、ストラップ電源配線 1 1 ( 4 ) は、スタンダードセル電源配線 3 ( 4 ) との間にのみスイッチセル 2 0 が配置されている。すなわち、4 本のストラップ電源配線 1 1 ( 1 ) ~ ( 4 ) について、スタンダードセル電源配線 3 ( 1 ) , ( 2 ) , ( 3 ) , ( 4 ) の順に、その間にスイッチセル 2 0 が配置されている。そして、このようなスイッチセル 2 0 の配置が、X 方向および Y 方向において繰り返されている。

#### 【 0 0 3 2 】

図 5 の構成においても、スタンダードセル 1 は、自己が接続されたスタンダードセル電源配線 3 に設けられたスイッチセル 2 0 から離れている場合でも、隣り合うスタンダードセル電源配線 3 に設けられたスイッチセル 2 0 が、その近傍に配置されている。このため、そのスイッチセル 2 0 から副ストラップ電源配線 1 2 を介した電源供給がなされるので、電源電圧降下が抑制される。したがって、スイッチセル 2 0 の個数を少なく抑えつつ、各スタンダードセル 1 における電源電圧降下を抑制することができる。

#### 【 0 0 3 3 】

##### ( 変形例 2 )

図 6 は本実施形態の変形例 2 に係る半導体集積回路装置の構成を示す平面図である。図 6 では、図の簡略化のために、スタンダードセル 1 の配置に関しては図示を省略している。また、スタンダードセル電源配線 3、接地電源配線 4、ストラップ電源配線 1 1 および副ストラップ電源配線 1 2 の配置に関しては、図 1 とほぼ同様であり、ここではその詳細な説明を省略する。

#### 【 0 0 3 4 】

図 6 の構成では、スイッチセル 2 5 は、Y 方向におけるサイズすなわちセル高さが図 1 のスイッチセル 2 0 の 2 倍になっており、スタンダードセル列 2 の 4 列分のセル高さを有している。そして、各スイッチセル 2 5 は、ストラップ電源配線 1 1 と 2 本のスタンダードセル電源配線 3 との間に設けられている。すなわち、2 本のスタンダードセル電源配線 3 を 1 個の「配線組」として捉えたとき、各スイッチセル 2 5 は、ストラップ電源配線 1 1 と配線組との間に設けられている。

#### 【 0 0 3 5 】

そして図 6 の構成では、各ストラップ電源配線 1 1 について、スイッチセル 2 5 は、4 個の配線組毎に配置されている。そして、スイッチセル 2 5 の Y 方向における配置位置は、隣り合うストラップ電源配線 1 1 において互いに異なっている。また、スイッチセル 2 5 の Y 方向における配置位置は、ストラップ電源配線 1 1 の 4 本毎に、同一になっている。

#### 【 0 0 3 6 】

例えば、図面左側の 4 本のストラップ電源配線 1 1 ( ( 1 ) ~ ( 4 ) を付している ) と、図面下側の 4 個の配線組 ( 1 ) ~ ( 4 ) に着目する。ストラップ電源配線 1 1 ( 1 ) は

10

20

30

40

50

、配線組(1)との間にのみスイッチセル25が配置されており、他の配線組(2)~(4)との間にはスイッチセル25は配置されていない。同様に、ストラップ電源配線11(2)は、配線組(3)との間にのみスイッチセル25が配置されており、ストラップ電源配線11(3)は、配線組(2)との間にのみスイッチセル25が配置されており、ストラップ電源配線11(4)は、配線組(4)との間にのみスイッチセル25が配置されている。すなわち、4本のストラップ電源配線11(1)~(4)について、配線組(1),(3),(2),(4)の順に、その間にスイッチセル25が配置されている。そして、このようなスイッチセル25の配置が、X方向およびY方向において繰り返されている。

【0037】

10

すなわち、図6の構成では、図1のスイッチセル20と同様の配置パターンに従って、スイッチセル25が配置されている。したがって、スイッチセル25の個数を少なく抑えつつ、各スタンダードセル1における電源電圧降下を抑制することができる。

【0038】

なお、スイッチセル25の配置パターンは、図1に示したものに限られるものではない。例えば図5の構成と同様に、4本のストラップ電源配線11(1)~(4)について、配線組(1),(2),(3),(4)の順に、その間にスイッチセル25が配置されるようにしてもよい。

【0039】

(変形例3)

20

図7は本実施形態の変形例3に係る半導体集積回路装置の構成を示す平面図である。図7では、図の簡略化のために、スタンダードセル1の配置に関しては図示を省略している。また、スタンダードセル電源配線3、接地電源配線4、ストラップ電源配線11および副ストラップ電源配線12の配置に関しては、図1とほぼ同様であり、ここではその詳細な説明を省略する。

【0040】

図7の構成では、スイッチセル26は、Y方向におけるサイズすなわちセル高さが図1のスイッチセル20の3倍になっており、スタンダードセル列2の6列分のセル高さを有している。そして、各スイッチセル26は、ストラップ電源配線11と3本のスタンダードセル電源配線3との間に設けられている。すなわち、3本のスタンダードセル電源配線3を1個の「配線組」として捉えたとき、各スイッチセル26は、ストラップ電源配線11と配線組との間に設けられている。

30

【0041】

そして図7の構成では、図6の構成と同様に、各ストラップ電源配線11について、スイッチセル26は、4個の配線組毎に配置されている。そして、スイッチセル26のY方向における配置位置は、隣り合うストラップ電源配線11において互いに異なっている。また、スイッチセル26のY方向における配置位置は、ストラップ電源配線11の4本毎に、同一になっている。

【0042】

例えば、図面左側の4本のストラップ電源配線11((1)~(4))を付している)と、図面下側の4個の配線組(1)~(4)に着目する。ストラップ電源配線11(1)は、配線組(1)との間にのみスイッチセル26が配置されており、他の配線組(2)~(4)との間にはスイッチセル26は配置されていない。同様に、ストラップ電源配線11(2)は、配線組(3)との間にのみスイッチセル26が配置されており、ストラップ電源配線11(3)は、配線組(2)との間にのみスイッチセル26が配置されており、ストラップ電源配線11(4)は、配線組(4)との間にのみスイッチセル26が配置されている。すなわち、4本のストラップ電源配線11(1)~(4)について、配線組(1),(3),(2),(4)の順に、その間にスイッチセル26が配置されている。そして、このようなスイッチセル26の配置が、X方向およびY方向において繰り返されている。

40

50

## 【 0 0 4 3 】

すなわち、図 7 の構成は、図 1 の構成と同様の配置パターンに従って、スイッチセル 2 6 が配置されている。したがって、スイッチセル 2 6 の個数を少なく抑えつつ、各スタンダードセル 1 における電源電圧降下を抑制することができる。

## 【 0 0 4 4 】

なお、スイッチセル 2 6 の配置パターンは、図 7 に示したものに限られるものではない。例えば図 5 の構成と同様に、4 本のストラップ電源配線 1 1 ( 1 ) ~ ( 4 ) について、配線組 ( 1 ) , ( 2 ) , ( 3 ) , ( 4 ) の順に、その間にスイッチセル 2 6 が配置されていてもよい。

## 【 0 0 4 5 】

ここで、変形例 2 では、2 本のスタンダードセル電源配線 3 を 1 個の「配線組」として捉えるものとし、変形例 3 では、3 本のスタンダードセル電源配線 3 を 1 個の「配線組」として捉えるものとしたが、配線組に属するスタンダードセル電源配線 3 の本数は、2 本または 3 本に限られるものではない。例えば、4 本のスタンダードセル電源配線 3 を 1 個の「配線組」として捉えて、スタンダードセル列 2 の 8 列分のセル高さを有するスイッチセルを、本実施形態と同様に配置してもよい。また、図 1 や図 5 の構成は、1 本のスタンダードセル電源配線 3 を 1 個の「配線組」として捉えたものに相当する。すなわち、N 本 ( N は 1 以上の整数 ) のスタンダードセル電源配線 3 を 1 個の配線組として捉えて、スイッチセルを配置すればよい。

## 【 0 0 4 6 】

( 第 2 実施形態 )

図 8 は第 2 実施形態に係る半導体集積回路装置の構成を示す平面図である。スタンダードセル 1 の配置や、スタンダードセル電源配線 3、接地電源配線 4、ストラップ電源配線 1 1 および副ストラップ電源配線 1 2 の配置に関しては、図 1 と同様であり、ここではその詳細な説明を省略する。

## 【 0 0 4 7 】

図 8 では、図 1 と対比すると、ストラップ電源配線 1 1 および副ストラップ電源配線 1 2 の上層に、X 方向に延びる上層電源配線 1 4 が配置されている。上層電源配線 1 4 は、その下層にある副ストラップ電源配線 1 2 とビア 1 6 によって接続されている。このように、副ストラップ電源配線 1 2 同士を接続する上層電源配線 1 4 を設けることによって、電源供給の強化ができるので、電源電圧降下をより抑制することが可能になる。

## 【 0 0 4 8 】

なお、図 8 の構成では、上層電源配線 1 4 は、下方を通過する全ての副ストラップ電源配線 1 2 と電氣的に接続されているが、これに限られるものではない。例えば、上層電源配線 1 4 は、下方を通過する副ストラップ電源配線 1 2 の一部のみと電氣的に接続するものとしてもよい。

## 【 0 0 4 9 】

( 第 3 実施形態 )

図 9 は第 3 実施形態に係る半導体集積回路装置の構成を示す平面図である。スタンダードセル 1 の配置や、スタンダードセル電源配線 3、接地電源配線 4 およびストラップ電源配線 1 1 の配置に関しては、図 1 と同様であり、ここではその詳細な説明を省略する。

## 【 0 0 5 0 】

図 9 では、図 1 と対比すると、副ストラップ電源配線の本数が増えている。例えば、領域 A 1 , A 2 では、ストラップ電源配線 1 1 同士の間、副ストラップ電源配線 1 2 が 2 本配置されている。また、領域 A 3 では、ストラップ電源配線 1 1 同士の間、副ストラップ電源配線 1 2 に加えて、副ストラップ電源配線 1 2 とは異なる配線層 ( ここでは第 5 配線層 ( M 5 ) とする ) に形成された副ストラップ電源配線 1 5 が配置されている。なお、ストラップ電源配線 1 1 同士の間、副ストラップ電源配線 1 2 , 1 5 を 3 本以上配置してもかまわない。

## 【 0 0 5 1 】

このように、副ストラップ電源配線 12, 15 の本数を増やすことによって、スイッチセル 20 の個数を増やすことなく、電源供給の強化ができるので、半導体集積回路装置の面積増加を抑制することができる。

#### 【0052】

(第4実施形態)

図10は第4実施形態に係る半導体集積回路装置の構成を示す平面図である。スタンダードセル1の配置や、スタンダードセル電源配線3、接地電源配線4、ストラップ電源配線11および副ストラップ電源配線12の配置に関しては、図1とほぼ同様であり、ここではその詳細な説明を省略する。

#### 【0053】

図10の構成では、標準の駆動能力を有するスイッチセル20aと、高い駆動能力を有するスイッチセル20bとが配置されている。スイッチセル20aとスイッチセル20bとは、トランジスタサイズが互いに異なっている。ここで、破線で囲んだ領域Xは電源供給を強化したい領域である。ところが、領域Xにはスタンダードセル1が高密度で配置されているため、スイッチセル20aをこれ以上追加できない。そこで、領域Xの周囲に、スイッチセル20aよりも駆動能力が高いスイッチセル20bを配置している。これにより、領域X内に、駆動能力が高いスイッチセル20bから副ストラップ電源配線12を介して、電源を供給することができる。

#### 【0054】

(スイッチセルの配置パターンおよび配置手法)

図11は図1の構成におけるスイッチセル20の配置パターンを概念的に示す図である。図11では、X軸方向に延びる各行がスタンダードセル電源配線3に対応し、Y軸方向に延びる各列がストラップ電源配線11に対応している。そして、各マスはそれぞれ、スタンダードセル電源配線3とストラップ電源配線11とが平面視で交差した箇所、言い換えると、スイッチセル20が配置される可能性がある箇所に対応している。そして、灰色のマスはスイッチセル20が配置された箇所を表しており、白いマスはスイッチセル20が配置されていない箇所を表している。なお、図6や図7の構成のように、スイッチセル20よりもセル高さが高いスイッチセル25, 26が、複数のスタンダードセル電源配線3に対して配置されている場合は、図11のX軸方向に延びる各行は、複数のスタンダードセル電源配線3からなる「配線組」に対応することになる。

#### 【0055】

図11において、白いマスには、当該マスに最も近い灰色のマスまでの距離を表す数字が記されている。具体的には、当該マスと灰色のマスとの間の、X座標の差およびY座標の差を加えた値の、最小値を記している。図11では、白いマスは、全て「1」が記されている。すなわち、スイッチセルが配置されていない箇所はいずれも、その上下左右のいずれかにスイッチセルが配置されている。

#### 【0056】

図12は対比例としてのスイッチセルの配置パターンを概念的に示す図である。図12では、スイッチセルはいわゆる千鳥状に配置されている。図12から分かるように、この千鳥状の配置パターンでも、白いマスは全て「1」が記されており、スイッチセルが配置されていない箇所はいずれも、その上下左右のいずれかにスイッチセルが配置されている。したがって、電源電圧降下の抑制効果は得られる。ただし、図11と対比すると分かるように、必要とするスイッチセルの個数が、上述の実施形態の2倍になっており、格段に多くなっている。すなわち、本実施形態では、スイッチセルの個数を少なく抑えつつ、各スタンダードセル1における電源電圧降下を抑制することができる。

#### 【0057】

なお、上述の実施形態では、4本のストラップ電源配線11と、4本のスタンダードセル電源配線3または4個の配線組とを1つの単位として、スイッチセル20, 25, 26の配置パターンが設定されていた。ただし、本開示はこれに限定されるものではない。すなわち、M(Mは3以上の整数)本のストラップ電源配線11と、M本のスタンダードセ

10

20

30

40

50

ル電源配線 3 または M 個の配線組とを 1 つの単位として、スイッチセル 2 0 , 2 5 , 2 6 の配置パターンを設定すればよい。

#### 【 0 0 5 8 】

この場合、スイッチセルの配置パターンは、例えば次のように設定すればよい。図 1 3 を参照して、M = 8 の場合を例にとって、説明する。まず、M 個 × M 個のマスからなるマス目を作成する。マス目において、X 軸方向に延びる各行は、スタンダードセル電源配線 3 または複数のスタンダードセル電源配線 3 からなる配線組に対応し、Y 軸方向に延びる各列は、ストラップ電源配線 1 1 に対応している。まず、左上の座標 ( 1 , 1 ) を出発点とし、スイッチセルを配置する。その後、1 マス下に下りてから m x ( 図 1 3 では m x = 3 ) 段右に移動し、その座標にスイッチセルを配置する。この動作を繰り返し行う。この結果、図 1 3 に示すような配置パターンが得られる。

10

#### 【 0 0 5 9 】

図 1 4 および図 1 5 は上のような手法によって得られたスイッチセルの配置パターンである。図 1 4 において、( a ) は M = 3、( b ) は M = 5、( c ) は M = 6、( d ) は M = 7 の場合であり、図 1 5 において、( a ) は M = 8、( b ) は M = 1 2、( c ) は M = 1 6 の場合である。表現方法は図 1 1 と同一であり、灰色のマスは、スイッチセルが配置された箇所に対応しており、白いマスには、当該マスに最も近い灰色のマス ( すなわち最も近いスイッチセル ) までの距離を表す数字が記されている。

#### 【 0 0 6 0 】

M の値と、移動量 m x の値との関係は次のとおりである。

20

M = 3 : m x = 2

M = 4 : m x = 2 , 3 , 2 の順

M = 5 : m x = 2

M = 6 : m x = 2 , 3 , 4 , 4 , 3 , 2 の順

M = 7 : m x = 3

M = 8 : m x = 3

M = 1 2 : m x = 5

M = 1 6 : m x = 5

#### 【 0 0 6 1 】

ここで、白いマスに記された数字の最大値を D m a x とすると、次のようになる。

30

M = 3 : D m a x = 1

M = 4 : D m a x = 1

M = 5 : D m a x = 1

M = 6 : D m a x = 2

M = 7 : D m a x = 2

M = 8 : D m a x = 2

M = 1 2 : D m a x = 3

M = 1 6 : D m a x = 4

#### 【 0 0 6 2 】

この例では、M = 4 , 5 , 8 , 1 2 , 1 6 では、次の関係が成り立っている。

40

D m a x            M / 4

#### 【 0 0 6 3 】

図 1 4 および図 1 5 に示すスイッチセルの配置パターンを半導体集積回路装置に適用することによって、電源電圧降下を、少ない個数のスイッチセルによって、より効果的に抑制することができる。

#### 【 0 0 6 4 】

( その他の実施形態 )

上の説明では、ストラップ電源配線 1 1 は第 5 配線層に設けられ、副ストラップ電源配線 1 2 , 1 5 は第 3 配線層および第 5 配線層に設けられるものとしたが、ストラップ電源配線や副ストラップ電源配線が形成される配線層はこれらに限られるものではない。ただ

50

し、副ストラップ電源配線は、スタンダードセル電源配線にできるだけ近い配線層に形成することが好ましい。これにより、副ストラップ電源配線とスタンダードセル電源配線との間の配線やビア等の経路における抵抗値が小さくなり、電源電位の低下を抑制することができる。また、上の説明では、スタンダードセル電源配線 3 は第 1 配線層に設けられるものとしたが、これに限られるものではなく、例えば複数の配線層に設けてもかまわない。

#### 【 0 0 6 5 】

また、図 2 に示したスイッチセル 2 0 の構成はあくまでも一例であり、スイッチセル 2 0 は、制御信号に応じて、スタンダードセル電源配線 3 とストラップ電源配線 1 1 とを電氣的に接続するか否かを切替可能に構成されていればよい。例えば図 2 において、バッファ 2 4 に代えてインバータを用いてもよい。この場合は、制御信号の論理と接続 / 遮断との関係が上で説明したものと逆になる。あるいは、図 2 に示した回路構成を 2 組設けてもかまわない。また、図 2 の構成例では、スイッチセル 2 0 はダブルハイトセルとしたが、シングルハイトセルとしてもよい。

10

#### 【 0 0 6 6 】

また、上の説明では、電源電位を供給するスタンダードセル電源配線 3 に対してスイッチセル 2 0 を設けるものとしたが、これに代えて、接地電位を供給する接地電源配線 4 にスイッチセルを設けて、上で説明したものと同様の構成を適用してもよい。この場合は、副ストラップ電源配線は、接地電源配線 4 を接続するように設ければよい。

20

#### 【 産業上の利用可能性 】

#### 【 0 0 6 7 】

本開示では、電源遮断技術を用いた半導体集積回路装置について、スイッチセルを増やすことなく、電源供給の強化が可能になるので、例えば、L S I の消費電力削減や面積削減に有効である。

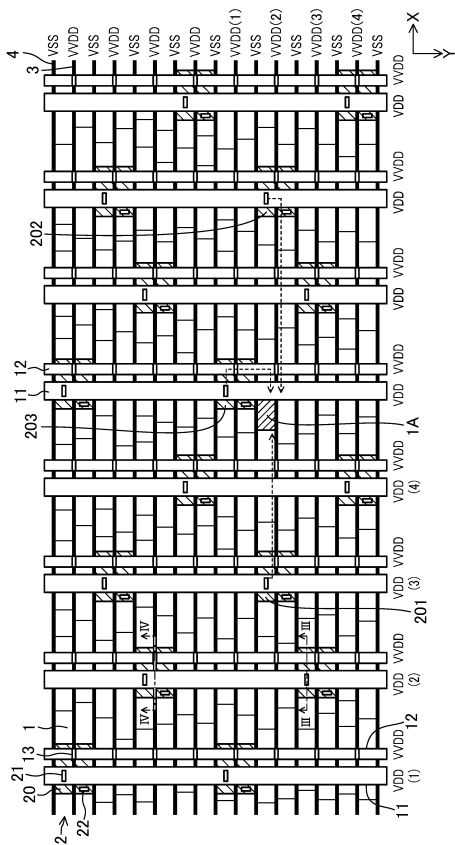
#### 【 符号の説明 】

#### 【 0 0 6 8 】

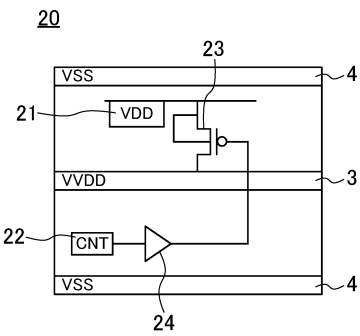
- 1    スタンダードセル
- 2    スタンダードセル列
- 3    スタンダードセル電源配線 ( 電源配線 )
- 1 1   ストラップ電源配線
- 1 2 , 1 5   副ストラップ電源配線
- 1 4   上層電源配線
- 2 0 , 2 0 a , 2 0 b   スwitchセル
- 2 5 , 2 6   スwitchセル
- 2 0 1   第 1 スwitchセル
- 2 0 2   第 2 スwitchセル
- 2 0 3   第 3 スwitchセル

30

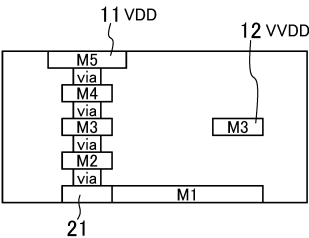
【図 1】



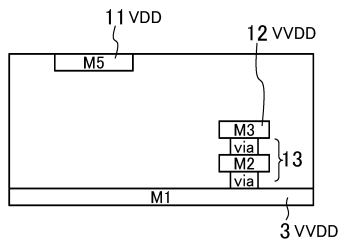
【図 2】



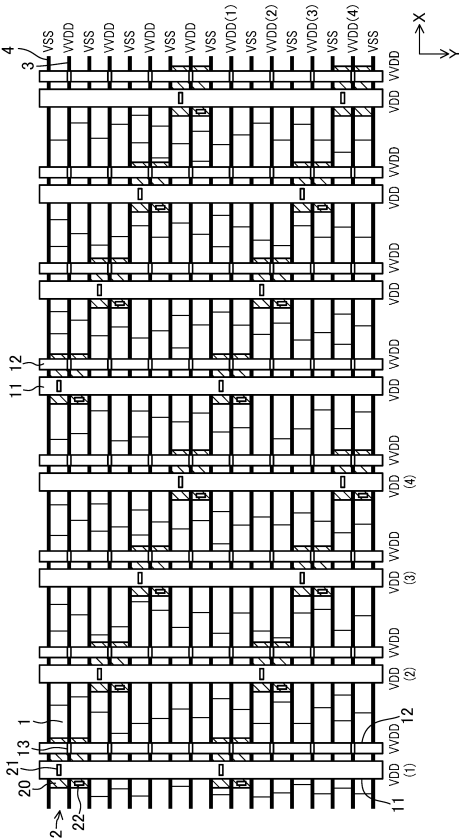
【図 3】



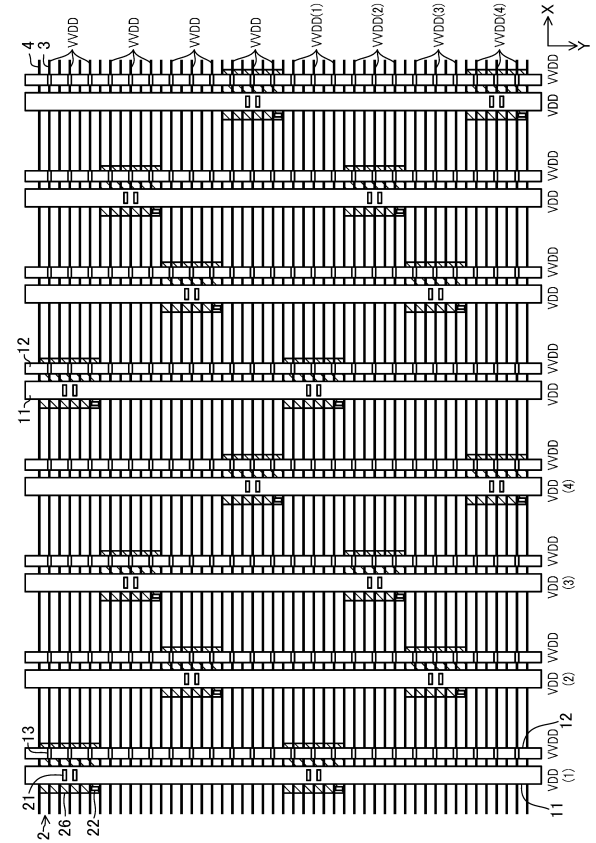
【図 4】



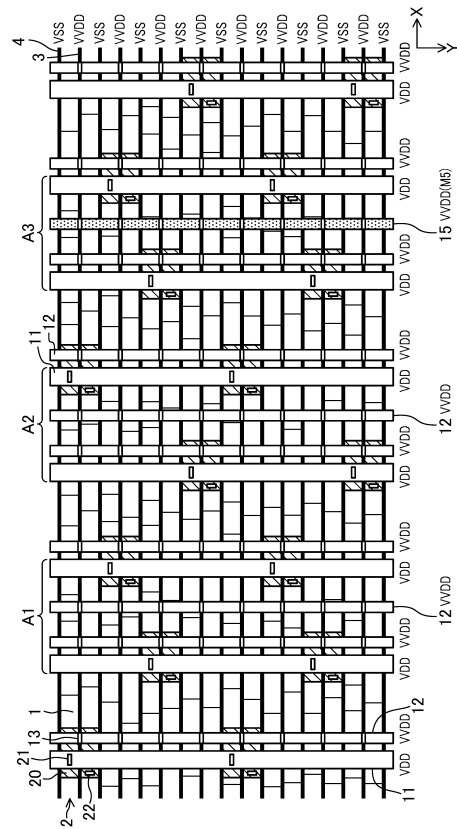
【図 5】



【 図 7 】

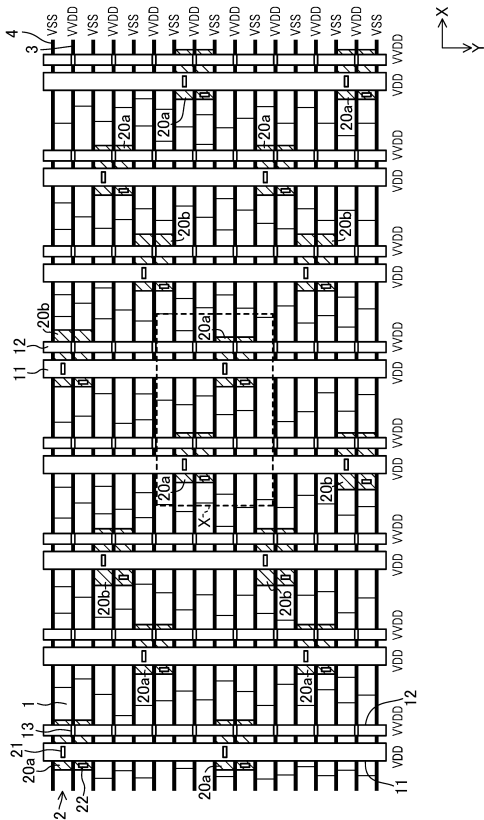


【 図 9 】

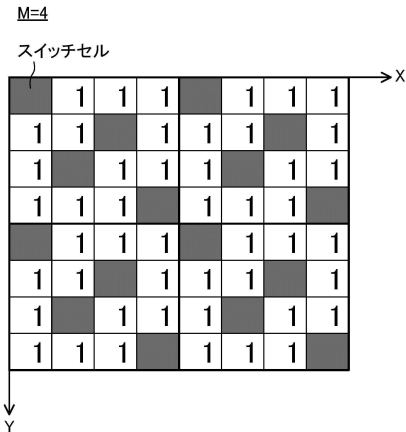




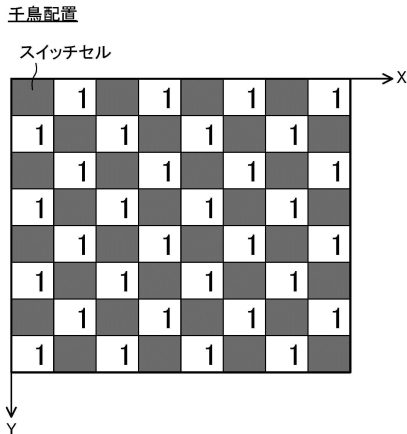
【図 10】



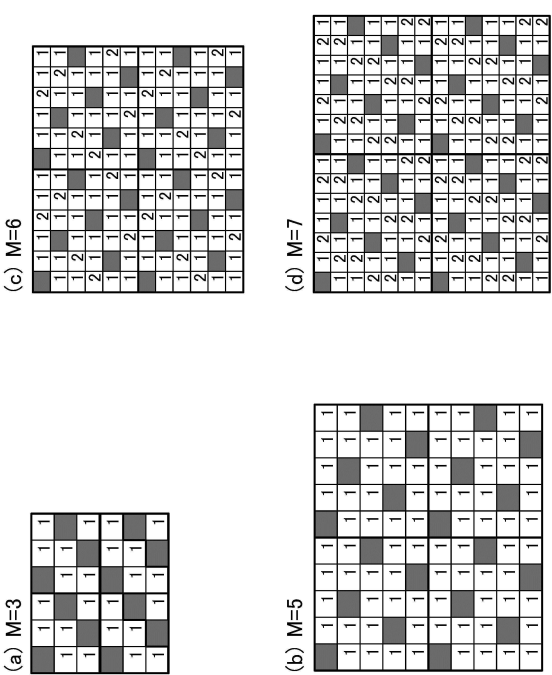
【図 11】



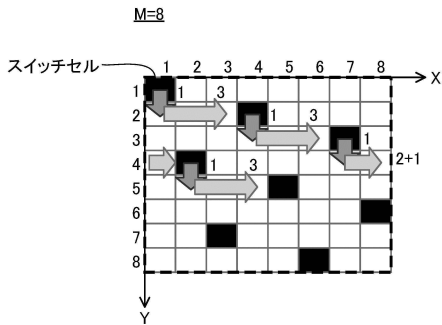
【図 12】



【図 14】



【図 13】



[illegible][illegible]

---

フロントページの続き

審査官 市川 武宜

(56)参考文献 特開 2 0 0 8 - 2 7 7 7 8 8 ( J P , A )  
特開 2 0 0 7 - 0 9 5 7 8 7 ( J P , A )  
特開 2 0 1 1 - 2 1 0 8 7 6 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
H 0 1 L 2 1 / 8 2 2  
H 0 1 L 2 7 / 0 4