

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/115 (2006.01)

H01L 21/8247 (2006.01)

G11C 16/02 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610128843.5

[45] 授权公告日 2009 年 2 月 18 日

[11] 授权公告号 CN 100463189C

[22] 申请日 2006.8.30

[21] 申请号 200610128843.5

[30] 优先权

[32] 2005.9.23 [33] US [31] 11/234,498

[73] 专利权人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区

[72] 发明人 龙翔澜

[56] 参考文献

US6799256B2 2004.9.28

US5168334A 1992.12.1

US6868014B1 2005.3.15

US6011725A 2000.1.4

审查员 方 岩

[74] 专利代理机构 永新专利商标代理有限公司

代理人 韩 宏

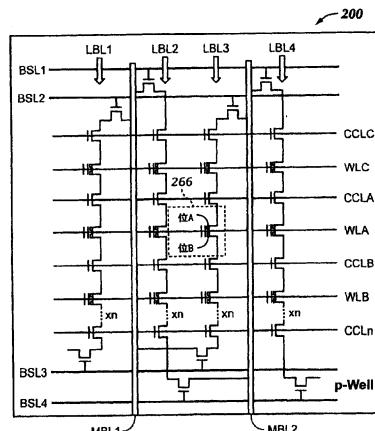
权利要求书 4 页 说明书 13 页 附图 12 页

[54] 发明名称

非易失性存储器阵列及编程与制造方法

[57] 摘要

一种非易失性存储器阵列，包括具有主表面的半导体衬底、第一源极/漏极区域及第二源极/漏极区域。第二源极/漏极区域与第一源极/漏极区域分隔。井区域位于一部份半导体衬底中、第一源极/漏极区域与第二源极/漏极区域之间。多个存储器单元，位于井区域上的主表面上。每一存储器单元包括第一氧化层，形成于衬底的主表面上；电荷储存层，位于相对于半导体衬底的主表面的第一氧化层之上；以及第二氧化层，位于相对于半导体衬底的主表面的电荷储存层之上。多个字线，位于相对于半导体衬底的主表面的第二氧化层之上。



1、一种非易失性存储器阵列，包括：

半导体衬底，具有主表面；

第一源极/漏极区域，位于该半导体衬底接近该主表面的一部分中；

第二源极/漏极区域，位于该半导体衬底接近该主表面的一部分中，且该第一源极/漏极区域与该第二源极/漏极区域分隔；

井区域，位于接近该第一源极/漏极区域与该第二源极/漏极区域之间该主表面的该半导体衬底的一部分中；

多个存储器单元，位于该井区域上方的该半导体衬底的该主表面上，且位于该第一源极/漏极区域与相邻于该第一源极/漏极区域的该第二源极/漏极区域之间，每一该存储器单元包括：

第一氧化层，形成于该半导体衬底的该主表面上，该第一氧化层置于该主表面接近该井区域的一部分之上；

电荷储存层，相对于该半导体衬底的该主表面的，位于该第一氧化层之上；

第二氧化层，相对于该半导体衬底的该主表面的，位于该电荷储存层之上；以及

多个字线，相对于该半导体衬底的该主表面的每个该字线位于该第二氧化层之上。

2、如权利要求 1 所述的非易失性存储器阵列，其中每个该电荷储存层由氮化物材料所形成。

3、如权利要求 2 所述的非易失性存储器阵列，其中每个该电荷储存层由氮化硅所形成。

4、如权利要求 1 所述的非易失性存储器阵列，其中该多个字线由未掺杂的多晶硅、掺杂的多晶硅及金属中的一种所形成。

5、如权利要求1所述的非易失性存储器阵列，还包括：  
多个电流控制线，位于该多个字线的每一侧。

6、一种编程存储器阵列中非易失性存储器单元的方法，该存储器阵列包括半导体衬底、第一源极/漏极区域、第二源极/漏极区域、位于该第一源极/漏极区域与该第二源极/漏极区域之间的井区域、位于该半导体衬底之上该第一源极/漏极区域与该第二源极/漏极区域之间的多个存储器单元、与该多个存储器单元的独立的存储器单元连接的多个字线、位于多个字线的邻近的一对之间的多个电流控制线，每一该存储器单元包括位于该井区域之上的第一氧化层、位于该第一氧化层之上的电荷储存层及位于该电荷储存层之上的第二氧化层，该方法包括：

施加正字线编程电压于该字线，该字线位于欲编程的对应的存储器单元之上；

施加参考电压于该井区域；

施加电流控制线编程电压于电流控制线，该电流控制线紧靠最接近该第二源极/漏极区域的一侧上待被编程的该存储器单元；以及

施加源极/漏极编程电压于该第一源极/漏极区域，且连接该第二源极/漏极区域与该参考电压，该源极/漏极编程电压足以引发从该第二源极/漏极区域通过该井区域至该电荷储存层的电子穿隧，以编程第一位。

7、如权利要求6所述的方法，还包括：

施加该电流控制线编程电压于电流控制线，该电流控制线最接近欲编程的该存储器单元的该第一源极/漏极区域的一侧；以及

施加该源极/漏极编程电压于该第二源极/漏极，且连接该第一源极/漏极与该参考电压，该源极/漏极编程电压有效产生电子穿隧，从该第一源极/漏极通过该井区域至该电荷储存层，以编程第二位。

8、如权利要求 6 所述的方法，其中该正字线编程电压介于 8-12 伏特直流电之间。

9、如权利要求 6 所述的方法，其中该源极/漏极编程电压介于 4-6 伏特直流电之间。

10、如权利要求 6 所述的方法，其中该电流控制线编程电压介于 0.7-2 伏特直流电之间。

11、一种形成非易失性存储器阵列的方法，包括：

提供半导体衬底，该半导体衬底具有主表面；

形成第一源极/漏极区域于该半导体衬底接近该主表面的部分中；

形成第二源极/漏极区域，在该半导体衬底接近该主表面的部分中，且该第一源极/漏极区域与该第二源极/漏极区域分隔，并区域由该半导体衬底中接近该第一源极/漏极区域与该第二源极/漏极区域之间的该主表面一部分所定义；

沉积第一氧化层于该半导体衬底的该主表面之上，该第一氧化层置于该主表面接近该井区域的一部分之上；

形成电荷储存层于相对于该半导体衬底的该主表面的该第一氧化层之上；

沉积第二氧化层于相对于该半导体衬底的该主表面的该电荷储存层之上；

蚀刻部分该第一氧化层、该电荷储存层及该第二氧化层，以形成多个独立的存储器单元于该第一源极/漏极区域与相邻于该第一源极/漏极区域的第二源极/漏极区域之间；以及

形成多个字线，每个该字线连接该多个存储器单元中的一子组。

12、如权利要求 11 所述的方法，还包括：

形成多个电流控制线于该多个字线的每一侧。

13、如权利要求 12 所述的方法，还包括：  
沉积绝缘体，围绕该多个字线及该多个电流控制线。

## 非易失性存储器阵列及编程与制造方法

### 技术领域

本发明涉及一种非易失性存储器半导体设备及制造一种非易失性存储器半导体设备的方法，尤其是关于具有每单元二位与非门(NAND)氮化陷获存储器，及制造具有每单元二位与非门氮化陷获存储器的非易失性存储器半导体设备。

### 背景技术

非易失性存储器("NVM")指半导体存储器，即使将电源从含有如非易失性存储器存储器单元的设备移除时，其仍可持续地储存信息。非易失性存储器包括掩模只读存储器(掩模 ROM)、可编程只读存储器(PROM)、可擦除可编程只读存储器(EPROM)及电可擦除可编程只读存储器(EEPROM)。非易失性存储器一般可以将数据编程、读取且/或擦除，且经编程的数据在擦除之前可以长时间储存，甚至可以长达 10 年。

氮化只读存储器(NROM)为电可擦除可编程只读存储器的一种类型，其使用电荷陷获以储存数据。氮化只读存储器一般由金属氧化物半导体场效应晶体管(MOSFET)所组成，金属氧化物半导体场效应晶体管具有半导体材料的 ONO(氧-氮-氧化物)层于栅极及源极/漏极之间。当设备编程时，在氧-氮-氧层中的氮化层可以"陷获"电荷(电子)。电荷局部化为氮化材料的能力，其储存电荷而不会造成电荷明显的侧向移动通过氮化层。氮化只读存储器使用相对厚的沟道氧化层，其一般对于擦除存储器单元的时间有负面影响。氮化只读存储器可以与公知的"浮动栅极"存储器单元对比，其中浮动电极可导电，且电荷侧向分布于整个浮动栅极且电荷转移通过沟道氧化层。在氮化只读存储器单元中电荷陷获层的编程(即电荷注入)可以通过各种载流子注入方法，如沟道热电子注入(CHE)、源极端注入(SSI)或沟道初始二级电子

(CHISEL)执行，其中所有注入电子至氮化层。执行擦除通过施加正栅极电压，其促进空穴从栅极穿隧氧-氮-氧化物顶介质层。在氮化只读存储器设备的擦除(即电荷移除)一般通过带间热空穴隧道效应(BTBHHT)而执行。然而，带间热空穴隧道效应擦除产生许多氮化只读存储器设备的可靠性问题，且造成氮化只读存储器设备的衰退，即在多次编程/擦除循环之后电荷损失。读取在正向或反向执行。局部化电荷陷获技术允许二个单独的位单元，因此产生成存储器密度重叠。氮化只读存储器可以通过已知的电压施加技术，重复编程、读取、擦除且/或再次编程。

氮化只读存储器因其每单元二位操作及制作流程简单而受到瞩目。然而，氮化只读存储器存储器遭遇功能性限制，如因短沟道效应及源极/漏极崩塌(punch through)造成的尺寸缩小。一般的氮化只读存储器存储器揭示于美国专利号 5,768,192 (Eitan 的'192 号专利)，其内容在此并入参考。氮化只读存储器的源极/漏极形成一般由砷植入 P 井。此掺杂是重掺杂且源极/漏极结是深入的，以产生供编程的沟道热电子注入及供擦除的带间热空穴。因此，即使对虚拟接地阵列结构，氮化只读存储器存储器单元的单元尺寸约 8F<sub>2</sub>-10F<sub>2</sub>，其中 F 为特征尺寸。重且深的源极/漏极限制氮化只读存储器单元的大小。再者，大的热电子编程电流使得千字节(kB)等级的并行编程变得困难，其将限制数据闪存的应用。

另一种一般的电可擦除可编程只读存储器为金属-氮-氧化物-半导体(MNOS)存储器单元。一般的金属-氮-氧化物-半导体存储器单元包括非常薄的绝缘材料层，如二氧化硅(SiO<sub>2</sub>)层，以从半导体设备的栅极及井区域分隔氮化硅电荷储存区域。通过施加正电压于栅极电极而迫使源极、及漏极井区域面对较低电压，而编程金属-氮-氧化物-半导体设备。通过对栅极施加较高电压，产生电场，使得在井区域及半导体的其余部分穿隧氧化层至氮化层。为了使电子可以穿隧氧化层，此氧化层必须相对薄，如 20-30 埃(Å)。

另一种公知的电可擦除可编程只读存储器为硅-氧-氮-氧-硅化物(SONOS)存储器单元。图 1 说明一般公知的硅-氧-氮-氧-硅化物设备

110。公知的硅-氧-氮-氧-硅化物设备 110 包括硅衬底 111、源极 114、漏极 112、井区域 115 及第一氧化层 120 位于井区域 115 的顶上。氮化电荷储存层 124 提供于第一氧化层 120 之上，且第二氧化层 130 提供于氮化电荷储存层 124 之上。多晶硅栅极 125 置于氧-氮-硅堆叠 120、124、130 顶上。通过在氮化层 124 顶上提供第二氧化层 130，则在编程操作期间，可以改善对于控制电荷储存或"陷获"于氮化层 124 内的能力。再者，第二氧化层 124 防止空穴进入下层的栅极 125。使用非对称的电荷陷获的非易失性存储器单元揭示于 Eitan 的'192 号专利。

美国专利号 6,011,725(Eitan 的'725 号专利)的完整内容在此并入参考，其提供多种含分布编程、擦除及读取技术的公知非易失性存储器技术的详细比较。Eitan 的'725 号专利也揭示一种硅-氧-氮-氧-硅存储器单元的类型，可通过局部化电荷储存技术而储存两个数据位。

为了编程一般公知硅-氧-氮-氧-硅设备 110 的第一位，编程电压施加于漏极 112 及栅极 125，而源极 114 接地。编程电压产生从源极 114 至漏极 112，沿沟道 105 的长度的垂直及水平电场，且当电子沿沟道 105 的长度移动时，电子获得能量以"跃迁"底氧化层 120 造成的势能阻障，而至电子被"陷获"或储存的氮化电荷储存层 124。这些产生跃迁的加速电子称为热电子。由于氮化电荷储存层 124 并非真正导电，电子无法扩散到整个氮化电荷储存层 124，但是仍陷获于接近漏极 112 的局部区域。类似地，为了编程一般公知硅-氧-氮-氧-硅设备 110 的第二位，编程电压施加于源极 114 及栅极 125，而漏极 112 接地。编程电压产生从漏极 112 至源极 114，沿沟道 105 的长度的垂直及侧向电场。电场造成被吸引的电子从漏极 112 至源极 114，且当电子沿沟道 105 的长度移动时，电子获得能量以"跃迁"底氧化层 120 造成的势能阻障，而至电子被"陷获"或储存的氮化电荷储存层 124。由于氮化电荷储存层 124 并非真正导电，电子无法扩散到整个氮化电荷储存层 124，但是仍陷获于接近源极 114 的局部区域。为了可以擦除存储器，编程期间必须被限制，这是因为当持续施加编程电压时，电荷陷获区域的宽度变宽且因此难以擦除。

与非门闪速存储器因其具有较小的单元尺寸及较快的编程速度及串行读取，已变成数据闪存的主要技术。然而当尺寸设计降至 70nm 以下时，浮动栅极型与非门遭遇功能性限制。除了其较差的耐用性之外，因相邻浮动栅极之间寄生电容的干扰效应严重恶化单元门限电压的分布。硅-氧-氮-氧-硅化物与非门闪速存储器无此技术性限制(在小于 70nm 的所产生的设计规定)。然而硅-氧-氮-氧-硅化物与非门闪速存储器一般具有较差的电荷保持，其妨碍硅-氧-氮-氧-硅化物与非门闪速存储器使用于高密度与非门闪速存储器。

期待的是提供一种具有每单元二位与非门氮化陷获存储器的非易失性存储器，也期待提供一种非易失性存储器，具有较硅-氧-氮-氧-硅与非门存储器较佳的数据维持性。

## 发明内容

大致来说，本发明包括一种非易失性存储器阵列，包括具有主表面的半导体衬底、在半导体衬底接近该主表面的一部分中的第一源极/漏极区域，以及在半导体衬底接近该主表面的一部分中的第二源极/漏极区域。第二源极/漏极区域与第一源极/漏极区域分隔。井区域位于半导体衬底中接近第一源极/漏极区域与第二源极/漏极区域之间的主表面的一部分内。多个存储器单元位于半导体衬底的主表面之上，且位于第一源极/漏极区域与第二源极/漏极区域之间的井区域之上。每一存储器单元包括第一氧化层，形成于半导体衬底的主表面之上；电荷储存层，位于相对于半导体衬底的主表面的第一氧化层之上；及第二氧化层，位于相对于半导体衬底的主表面的电荷储存层之上。第一氧化层置于主表面接近井区域的部份上。多个字线位于相对于半导体衬底的主表面的第二氧化层之上。

本发明也包括一种编程存储器阵列中非易失性存储器单元的方法，存储器阵列包括半导体衬底、第一源极/漏极区域、第二源极/漏极区域、第一源极/漏极与第二源极/漏极之间的井区域、位于半导体衬底上第一源极/漏极区域与第二源极/漏极区域之间的多个存储器单元、与多个存储器单元的对应存储器单元相关联的多个字线和位于多

个字线的各个字线的任一侧上的多个电流控制线，每一存储器单元包括在井区域之上的第一氧化层、在第一氧化层之上的电荷储存层及在电荷储存层之上的第二氧化层。此方法包括：施加正字线编程电压于字线，该字线位于欲编程的各个存储器单元之上；施加参考电压于井区域；以及施加电流控制线编程电压于一电流控制线，该电流控制线紧靠在最接近第二源极/漏极侧上的欲编程的存储器单元。此方法还包括施加源极/漏极编程电压于第一源极/漏极，且连接第二源极/漏极与参考电压，源极/漏极编程电压有效产生电子穿隧，从第二源极/漏极通过井区域至电荷储存层，以编程第一位。

本发明也包括一种形成非易失性存储器阵列的方法，包括：提供半导体衬底，半导体衬底具有主表面；形成第一源极/漏极区域于半导体衬底接近主表面的一部分；以及形成第二源极/漏极区域于半导体衬底接近主表面的一部分。第一源极/漏极区域与第二源极/漏极区域分隔。井区域由半导体衬底中接近第一源极/漏极区域与第二源极/漏极区域之间的主表面的一部分所定义。第一氧化层沉积于主表面接近井区域的一部份之上。电荷储存层形成于相对于半导体衬底的主表面的第一氧化层之上。第二氧化层沉积于相对于半导体衬底的主表面的电荷储存层之上。部分第一氧化层、电荷储存层及第二氧化层被蚀刻，以形成多个各自的存储器单元于第一及第二源极/漏极区域之间。多个字线形成，每个字线连接多个存储器单元。

## 附图说明

前面的发明内容及实施方式将可通过附图而更清楚的了解。为了说明本发明，示出了较佳的附图实施例。然而，本发明并非限定于图中显示精确的安排及说明。

图 1 为在氧化层之间具有电荷储存层的公知非易失性存储器(NVM)单元的部分剖面放大图；

图 2 为根据本发明的较佳实施例，具有每单元二位与非门氮化陷阱存储器的非易失性存储器(NVM)单元的示意图；

图 3 为根据本发明的较佳实施例，说明存储器读取方法的流程

图；

图 4 为根据本发明的较佳实施例，说明存储器编程方法的流程图；

图 5 为根据本发明的较佳实施例，说明存储器擦除方法的流程图；

图 6 为图 2 的阵列的顶视图；

图 7 为图 6 的阵列的局部位线沿线 7-7 的部分剖面放大图；

图 8 为根据本发明的较佳实施例，说明存储器编程方法的流程图；

图 9 为图 2 的非易失性存储器的部分剖面放大图，说明编程特定单元的第一位；

图 10 为图 2 的非易失性存储器之部分剖面放大图，说明编程特定单元的第二位；

图 11 为图 2 的非易失性存储器之部分剖面放大图，说明读取特定单元的第一位；

图 12 为图 2 的非易失性存储器的部分剖面放大图，说明读取特定单元的第二位；以及

图 13 为图 2 的非易失性存储器的部分剖面放大图，说明擦除特定单元的第一位及第二位。

## 图号说明

110 硅-氧-氮-氧-硅化物存储器单元

111 硅衬底 114 源极

112 漏极 115 井区域

120 第一氧化层 124 氮化电荷储存层

125 多晶硅栅极 130 第二氧化层

105 沟道 202 半导体衬底

205 井区域 212 第二源极/漏极

214 第一源极/漏极 220 第一氧化层

224 氮化电荷储存层 230 第二氧化层

---

245 介质间隙壁	266 存储器单元
251、252 接触窗	202a 主表面
200 非易失性存储器与非门氮化陷获存储器半导体阵列	
LBL1、LBL2、LBL3、LBL4 局部位线	
BSL1、BSL2、BSL3、BSL4 区块选择线	
WLA、WLB、WLC 字线	
CCLA、CCLB、CCLC、CCLn 电流控制线	
MBLA、MBL2 金属位线	

### 具体实施方式

下列说明书中所使用的特定用词仅为便利之用而非限定。字"右"、"左"、"较低"及"较高"表示图中参考设备的方向。字"向内"及"向外"分别表示朝向或远离说明及标示部分的物件的几何中心。这些用词包括上述特定的字、其衍生及相似涵义的字。再者，使用于权利要求及其对应的说明书中的字"一"，表示"至少一"。

—(1)微米( $\mu\text{ m}$ )为 10,000 埃( $\text{\AA}$ )或 1000 纳米(nm)。

如在此使用的，涉及导电性会限于所说明的实施例。然而，本领域的技术人员知道的是可在 p 型导电性可以与 n 型导电性间切换，且设备仍是功能性正确(即第一或第二导电性类型)。因此，在此所使用涉及 n 或 p 也可以 n 及 p 或 p 及 n 取表示。

再者，n+及 p+分别表示重掺杂的 n 及 p 区域；n++及 p++分别表示非常重掺杂的 n 及 p 区域；n-及 p-分别表示淡掺杂的 n 及 p 区域；n--及 p--分别表示非常淡掺杂的 n 及 p 区域。然而，此相对掺杂的用词不应视为限制。

详细参考附图，其中所有图中相似的设备符号代表类似设备。图 2 及图 7 到图 13 为根据本发明的较佳实施例，显示非易失性存储器(NVM)与非门氮化陷获存储器半导体阵列 200，其包括有二位-位 A 及位 B 的存储器单元 266。

具体来说，图 2 显示非易失性存储器阵列 200 的示意图，非易失性存储器阵列 200 包括与非门氮化陷获存储器单元 266。每一存储器

单元 266 配置为储存二位-位 A 及位 B。非易失性存储器阵列 200 包括多个局部位线 LBL1、LBL2、LBL3、LBL4、多个区块选择线 BSL1、BSL2、BSL3、BSL4、多个字线 WLA、WLB、WLC、多个电流控制线 CCLA、CCLB、CCLC、CCLn 及多个金属位线 MBLA、MBL2。每个字线 WLA-WLC 通过介质间隙壁 245(图 6—7)而与每个电流控制线 CCLA-CCLn 分隔。

字线 WLA-WLC 较佳由掺杂或未掺杂的多晶硅所形成，且厚度介于 500-1500 埃之间。电流控制线 CCLA-CCLn 较佳由掺杂或未掺杂的多晶硅所形成，且厚度介于 500-1500 埃之间。

图 6 为一部份的非易失性存储器阵列 200 的顶视图。图 7 为图 6 的阵列的局部位线中，沿线 7-7 的局部放大剖面图。如图 7 所揭示的最佳表示，非易失性存储器阵列 200 包括半导体衬底 202、第一源极/漏极 214、第二源极/漏极 212 及井区域 205。此半导体衬底 202 较佳为未掺杂或掺杂的硅，但是半导体衬底 202 可以是其他半导体材料，并不会因此脱离本发明的实施例。每个存储器单元 266 包括在井区域 205 顶上的第一氧化层 220、在第一氧化层 220 之上的氮化电荷储存层 224、及在氮化电荷储存层 224 之上的第二氧化层 230。代表的字线 WLA-WLC 位于每一存储器单元的氧-氮-氧化物(ONO)堆叠 220、224 230 顶上。第二氧化层 230 使氮化电荷储存层 224 与下层的字线 WLA-WLC 绝缘。金属位线 MBLA、MBL2 分别透过接触窗 251、252 而分别连接源极/漏极 212、源极/漏极 214。在储存电荷于第一位-位 A 及第二位-位 B 的氮化电荷储存层 224 内的一般区域，分别以设备代号-位 A、位 B 遮盖显示。可以了解的是由储存于氮化储存层 224 中电荷所围绕的区域形状可能或可能不会精确地按几何描述。可以了解的是在图 7 中，第一及最终电流控制线 CCLn 覆盖第一及第二源极漏极区域 214、212，以确保第一及第二源极漏极区域 214、212 与反向的局部位线 LBL1-LBL4 连接。

区块选择线 BSL1-BSL4 可以用于切换第一源极/漏极 214 及第二源极漏极 212 的偏压。电流控制线 CCLA-CCLn 控制编程电流且也协助包括第一及第二源极/漏极 214、212 的反转。

介电层 245 较佳由氧化硅(SiO<sub>x</sub>)所形成，且厚度介于 70-150 埃。第一氧化层较佳由氧化硅(SiO<sub>x</sub>)所形成，且厚度介于 30-60 埃。举例来说，第一氧化层 220 可能由二氧化硅(SiO<sub>2</sub>)及其类似者所形成。氮化电荷储存层 224 可能由氮化硅(Si<sub>3</sub>N<sub>4</sub>)及其类似者所形成，其他一般的非导电电荷储存材料当然可以用于电荷储存层 224。第二氧化层较佳由氧化硅(SiO<sub>x</sub>)所形成，且厚度介于 40-80 埃。举例来说，第二氧化层 230 可能由二氧化硅(SiO<sub>2</sub>)及其类似者所形成。

可以了解的是根据本发明的二位存储器单元 266 可以是对称的，因此，词"源极及漏极"可能与公知的一位设备混淆。对于每一存储器单元 266 的第一位-位 A，在编程及读取作业期间，源极/漏极 214 作为漏极端，而源极/漏极 212 作为源极端。类似地，对于每一存储器单元 266 的第二位-位 B，在编程及读取作业期间，源极/漏极 212 作为漏极端，而源极/漏极 214 作为源极端。因此，可以了解的是在第二位-位 B 中源极及漏极端 212、214 为第一位-位 A 中源极及漏极端 212、214 的反转。

为了在第一时间编程多个存储器单元，需要负富勒-诺得汉(FN)重设，以增加整个存储器单元 266 的 V<sub>t</sub>。图 8 显示执行负栅极电压 FN 注入重设的步骤。

参考图 4 及图 9 至图 10，将描述供编程存储器单元 266 的二位-位 A、位 B。编程的方法为 LC 源极端注入(SSI)方法。

为了编程第一位 A，施加相对高的正偏压于字线 WLA，且控制线 CCLA 以相对微弱开启。举例来说，约 8-12 伏特直流电(DC)的编程电压可能施加于字线 WLA，且约 0.7-2 伏特直流电可能施加于 CCLA。其他字线 WLB-WLC 及电流控制线 CCLB-CCLn 为完全开启。举例来说，可能施加约 10-15 伏特直流电于其他字线 WLB-WLC，可能施加约 6-9 伏特直流电于电流控制线 CCLB-CCLn。区块选择线 BSL2 及区块选择线 BSL3 开启。漏极编程电压施加于金属位线 MBL1，因此至源极/漏极区域 214，漏极编程电压可能在约 4-6 伏特直流电的范围内。源极编程电压施加于金属位线 MBL2，因此至源极/漏极区域 212。p 井 205 接地(即约 0 伏特直流电)。源极编程电压约

接地或约 0 伏特直流电。因此，在此配置中，源极/漏极区域 212 作为供编程的源极，源极/漏极区域 214 作为供编程的漏极。图 9 为概略显示形成在源极/漏极区域 212 及字线 WLA 下方的存储器单元 266 之间的通过沟道。在氮化电荷储存区域 224 之内接近源极/漏极区域 212 的区域，变成热电子被陷获的注入点，由此定义编程第一位-位 A。

类似地，为了编程第二位 B，施加相对高的正偏压于字线 WLA，且控制线 CCLB 相对微弱开启。举例来说，约 8-12 伏特直流电(DC)的编程电压可能施加于字线 WLA，且约 0.7-2 伏特直流电可能施加于 CCLB。其他字线 WLB 及 WLC 及电流控制线 CCLA、CCLC-CCLn 为完全开启。举例来说，可能施加约 10-15 伏特直流电于其他字线 WLB 及 WLC，可能施加约 6-9 伏特直流电于电流控制线 CCLA、CCLC-CCLn。区块选择线 BSL2 及区块选择线 BSL3 开启。漏极编程电压施加于金属位线 MBL2，因此至源极/漏极区域 212，漏极编程电压可能在约 4-6 伏特直流电的范围内。源极编程电压施加于金属位线 MBL1，因此至源极/漏极区域 214。p 并 205 接地(即约 0 伏特直流电)。源极编程电压约接地或约 0 伏特直流电。因此，在此配置中，源极/漏极区域 214 作为供编程的源极，源极/漏极区域 212 作为供编程的漏极。图 10 为概略显示形成在源极/漏极区域 214 及字线 WLA 下方的存储器单元 266 之间的通过沟道。在氮化电荷储存区域 224 内接近源极/漏极区域 214 的区域，变成热电子被陷获的注入点，由此定义编程第二位-位 B。

参考图 3 及图 11 至图 12，将描述供读取存储器单元 266 的二位-位 A、位 B。

为了读取第一位 A，将编程电压及擦除电压 Vt 之间的读取偏压电压施加于字线 WLA。举例来说，读取电压可能介于约 1-5 伏特直流电之间，其他字线 WLB-WLC 及电流控制线 CCLA-CCLn 为完全开启。举例来说，可能施加约 10-15 伏特直流电于其他字线 WLB-WLC，可能施加约 6-9 伏特直流电于电流控制线 CCLA-CCLn。区块选择线 BSL2 及区块选择线 BSL3 开启。源极电压施加于金属位线 MBL2，因此至源极/漏极区域 212，源极读取电压可能约接地或约

0 伏特直流电。漏极读取电压施加于金属位线 MBL1，因此至源极/漏极区域 214。p 井 205 接地(即约 0 伏特直流电)。之后检测到沟道 205 中的电流。若第一位-位 A 被编程(即逻辑 0)，则在沟道 205 中的电流会非常低，若第一位-位 A 未被编程(即逻辑 1)，则在沟道 205 中的电流会很高。通过将源极/漏极区域 212 与参考或接地连接，且将源极/漏极区域 214 与正电压连接，则漏极引发能障衰退(DIBL)效应克服电场能障，该电池能障是如果位 B 编程，由电子注入建立的。

同样地，为了读取第二位 B，将编程电压及擦除电压 Vt 之间的读取偏压电压施加于字线 WLA。举例来说，读取电压可能介于约 1-5 伏特直流电之间，其他字线 WLB-WLC 及电流控制线 CCLA-CCLn 为完全开启。举例来说，可能施加约 10-15 伏特直流电于其他字线 WLB-WLC，可能施加约 6-9 伏特直流电于电流控制线 CCLA-CCLn。区块选择线 BSL2 及区块选择线 BSL3 开启。源极电压施加于金属位线 MBL1，因此至源极/漏极区域 214，源极读取电压可能约接地或约 0 伏特直流电。漏极读取电压施加于金属位线 MBL2，因此至源极/漏极区域 212。p 井 205 接地(即约 0 伏特直流电)。之后检测到沟道 205 中的电流。若第二位-位 B 被编程(即逻辑 0)，则在沟道 205 中的电流会非常低，若第二位-位 B 未被编程(即逻辑 1)，则在沟道 205 中的电流将会很高。通过将源极/漏极区域 214 与参考或接地连接，且将源极/漏极区域 212 与正电压连接，则漏极引发能障衰退(DIBL)效应可以避免第二位效应发生。

参考图 5 及图 13，将描述供擦除存储器单元 266 的二位-位 A、位 B。

为了擦除存储器单元 266 的第一及第二位-位 A、位 B，负擦除电压施加于所有字线及电流控制线 CCLA-CCLn。p 井 205 接地或施以负擦除电压。举例来说，若将介于-10 至-15 伏特直流电的电压施加于字线 WLA-WLC，则将约 5-10 伏特直流电的电压施加 p 井 205。但是，若将介于-15 至-20 伏特直流电的电压施加于字线 WLA-WLC，则 p 井 205 接地。此最终结果为在 p 井 205 与-15 至-20 伏特直流电的字线间的有负电位差。所有的 BSL1 至 BSL4 是开启的。

本发明也包括一种形成非挥发存储器阵列 200 的方法。参考图 7，此方法包括提供半导体衬底 202，包括主表面 202a。第一源极/漏极区域 214 形成于一部份的半导体衬底 202 接近主表面 202a 中，第二源极/漏极区域 212 形成于一部份的半导体衬底 202 接近主表面 202a 中。第一源极/漏极区域 214 与第二源极/漏极区域 212 分隔。第一氧化层 220 位于此衬底 202 之主表面 202a 接近井区域 205。电荷储存层 224 相对于半导体衬底 202 的主表面 202a 而形成于第一氧化层 220 之上。第二氧化层 230 相对于半导体衬底 202 的主表面 202a 而位于电荷储存层 224 之上。部分第一氧化层 220、电荷储存层 224 及第二氧化层 230 被蚀刻，以形成多个独立的存储器单元 266 于第一及第二源极/漏极区域 214、212 之间。掩模(未显示)可能使用于执行此蚀刻。形成多个字线 WLA-WLC，且每个字线与一组多个存储器单元 266 连接。多个控制线 CCLA-CCLn 形成于多个字线 WLA-WLC 的每一侧边。绝缘体 245 围绕多个字线 WLA-WLC 及多个控制线 CCLA-CCLn。

非易失性存储器阵列 200 可以是 N 沟道设备，通过如掺杂且/或植入制造第一及第二源极/漏极区域 214、212 两 n 型区域，且留下 p 型区域的井区域 205 于半导体衬底 202 中。非易失性存储器阵列 200 也可以是 P 沟道设备，通过如掺杂且/或植入制造第一及第二源极/漏极区域 214、212 两 p 型区域，且留下 n 型区域的井区域 205 于半导体衬底 202 中。槽(未清楚显示)可能形成于半导体衬底 202 中供预期的第一及第二源极/漏极区域 214、212，且之后视衬底 202 的材料而定，将 n 型或 p 型材料，如重掺杂的 n 型或 p 型多晶硅及类似者重新填入槽中。

各个层 220、224、230 及线 WLA-WLC、CCLA-CCLn、BSL1-BSL4、LBL1-LBL4 可以公知技术中的任一种方式形成。举例来说，各种层 220、224、230 可以长成或沉积，沉积可能是化学气相沉积(CVD)、物理气相沉积(PVD)、蒸镀、溅镀等。图案可能通过光平板印刷或光掩模("掩模")技术而形成于半导体衬底的表面。回蚀各种层 220、224、230 及线 WLA-WLC、CCLA-CCLn、BSL1-BSL4、LBL1-LBL4 可能

通过机械蚀刻或化学蚀刻和/或化学机械蚀刻(CMP)等。多晶硅层可能沉积于其上，且用 CMP 研磨。执行另一个光平板印刷或光掩模及蚀刻步骤，以产生位线 BSL1-BSL4 及控制线 CCLA-CCLn。执行氧化物填充或沉积步骤以隔离各个位线 BSL1-BSL4 及控制线 CCLA-CCLn。接触 271、272 之后通过蚀刻及金属化而形成。再者，公知的掺杂、热处理、扩散、蚀刻、层化、槽、研磨等可能使用于非易失性存储器阵列 200 的制造，而不脱离本发明范围。

根据本发明的优选实施例的与非门氮化陷获存储器阵列容易缩小尺寸，至少一部份是因为场感反转源极/漏极引起的，其用于取代植入埋藏扩散源极/漏极，以改善短沟道效应及贯穿。栅极控制低电流源极端热电子注入编程方法用于较佳实施例中，以降低编程电流及增加编程速度。负栅极电压 FN 擦除方法用于较佳实施例中，以增加擦除速度及改善数据保持能力。

依上述，可以看出本发明涉及具有每单元二位与非门氮化陷获存储器的非易失性存储器半导体设备及制造具有每单元二位与非门氮化陷获存储器的非易失性存储器半导体设备的方法。可以为本领域的技术人员所了解的是可以不脱离广义的本发明内容而将前述的实施例予以变化。因此，可以了解的是本发明并非限于前述的特定实施例，而是涵盖权利要求所界定的本发明的精神及范围内的修改。

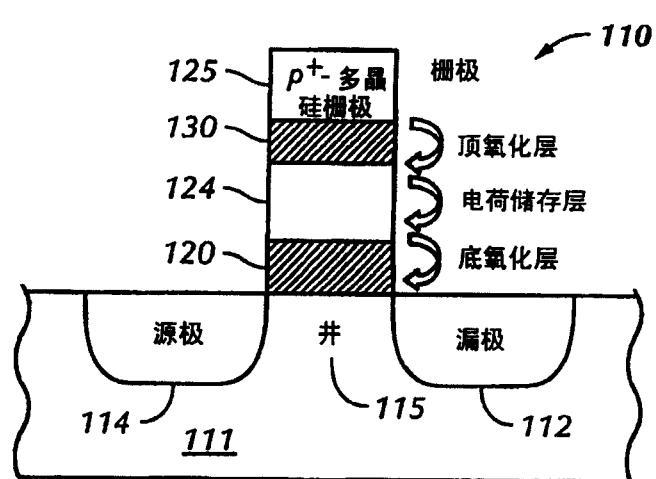


图1

在先技术

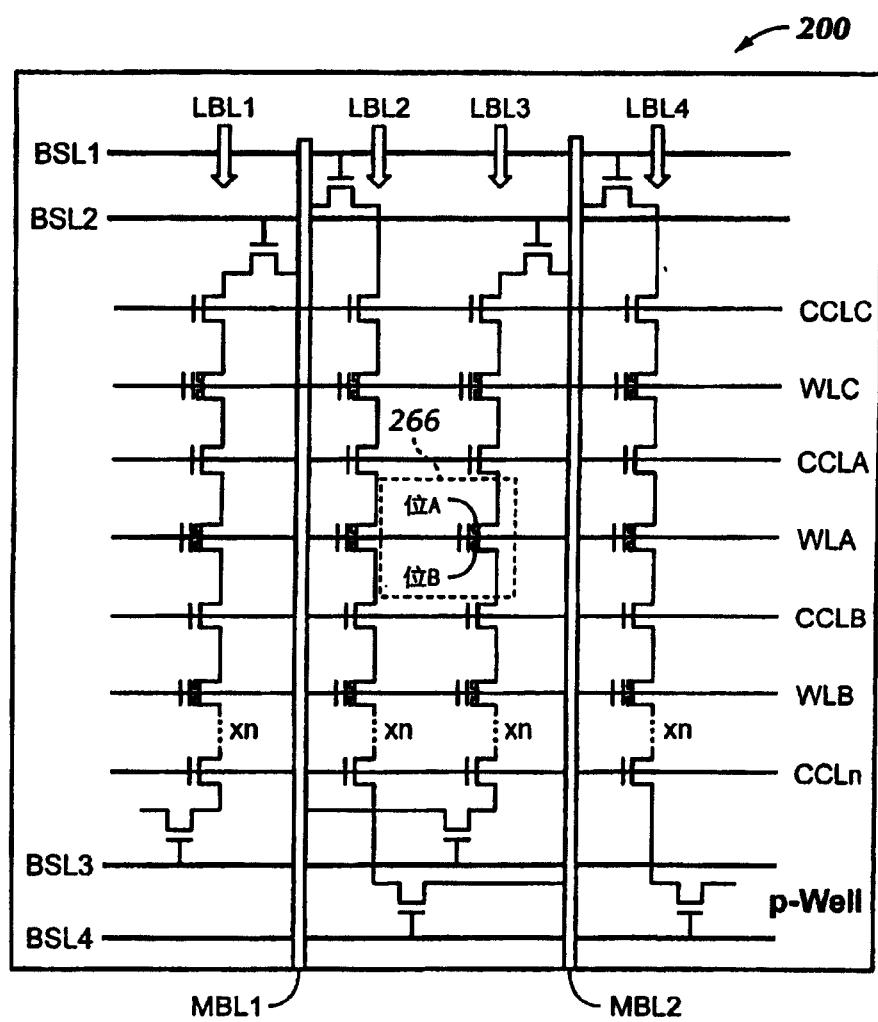


图2

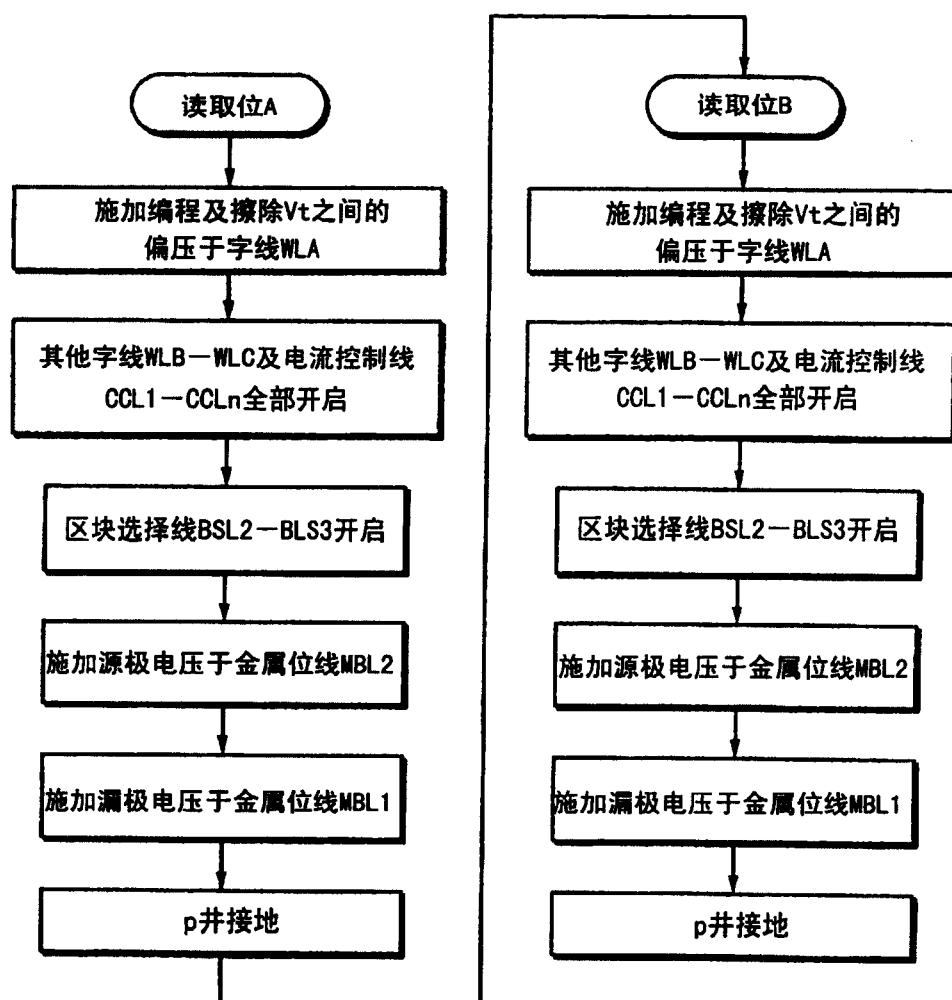


图3

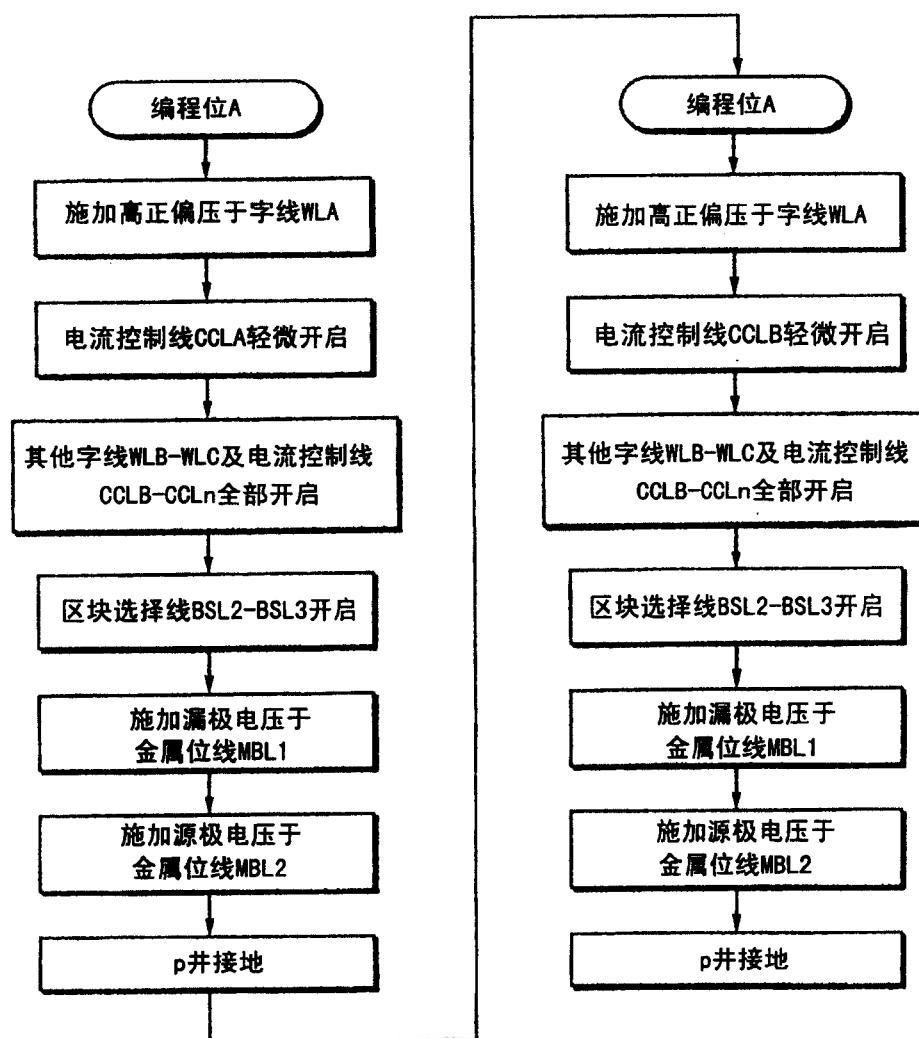


图4

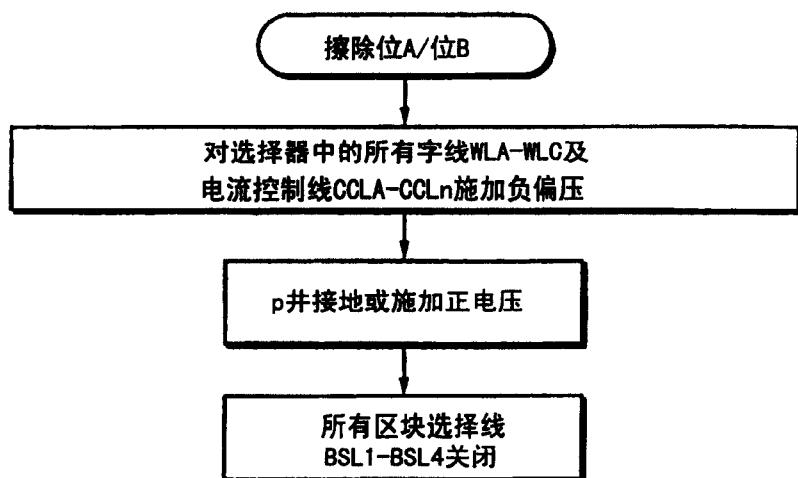


图5

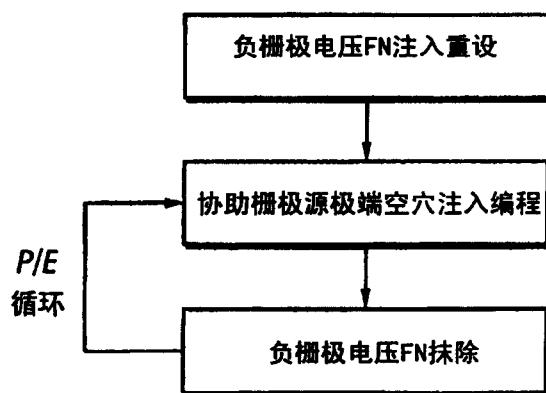


图8

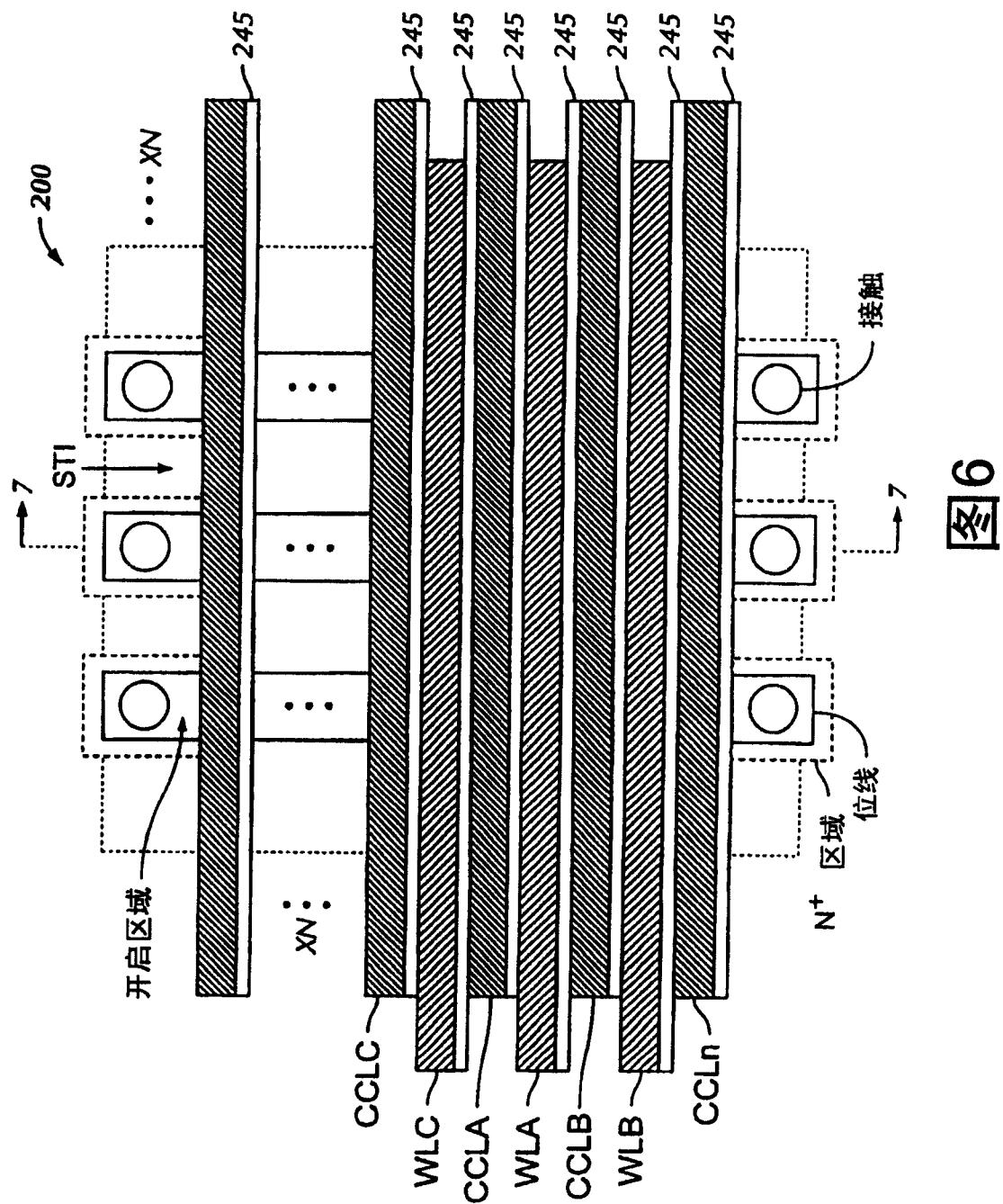


图 6

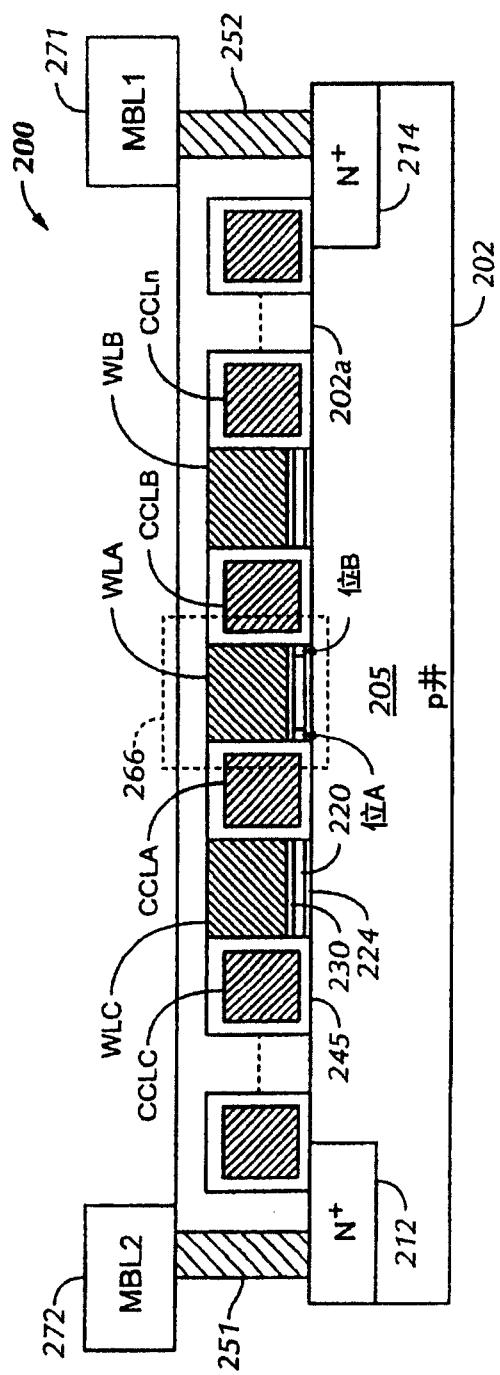
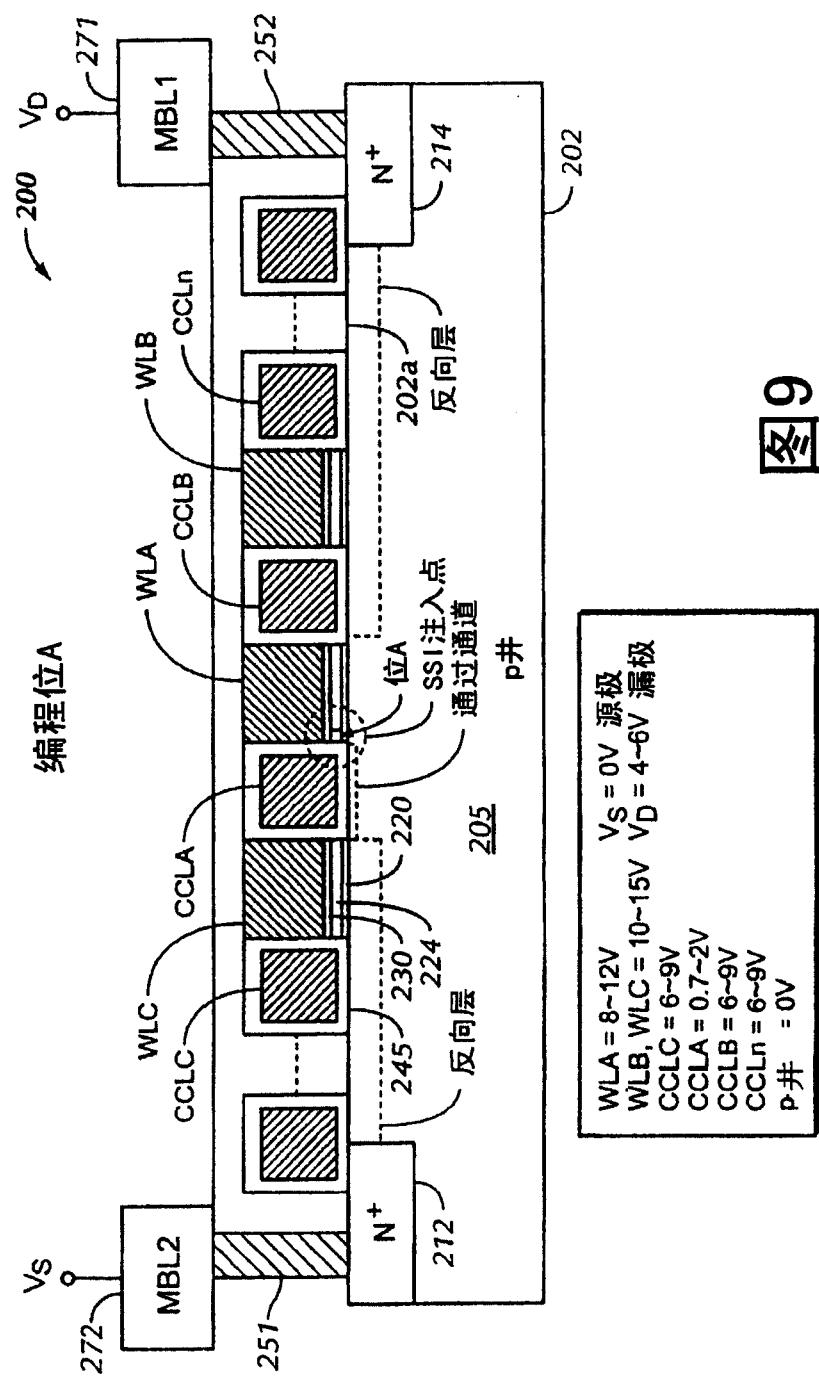
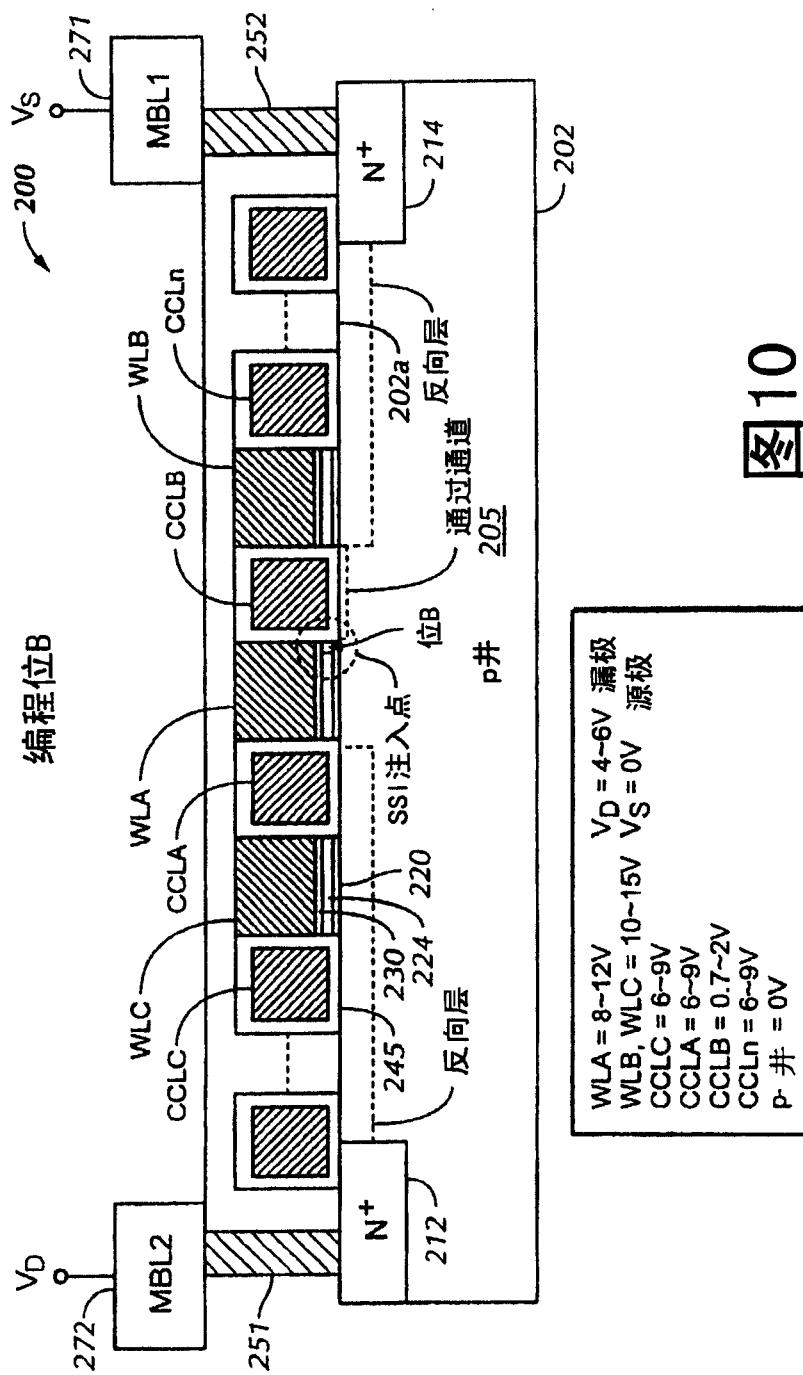
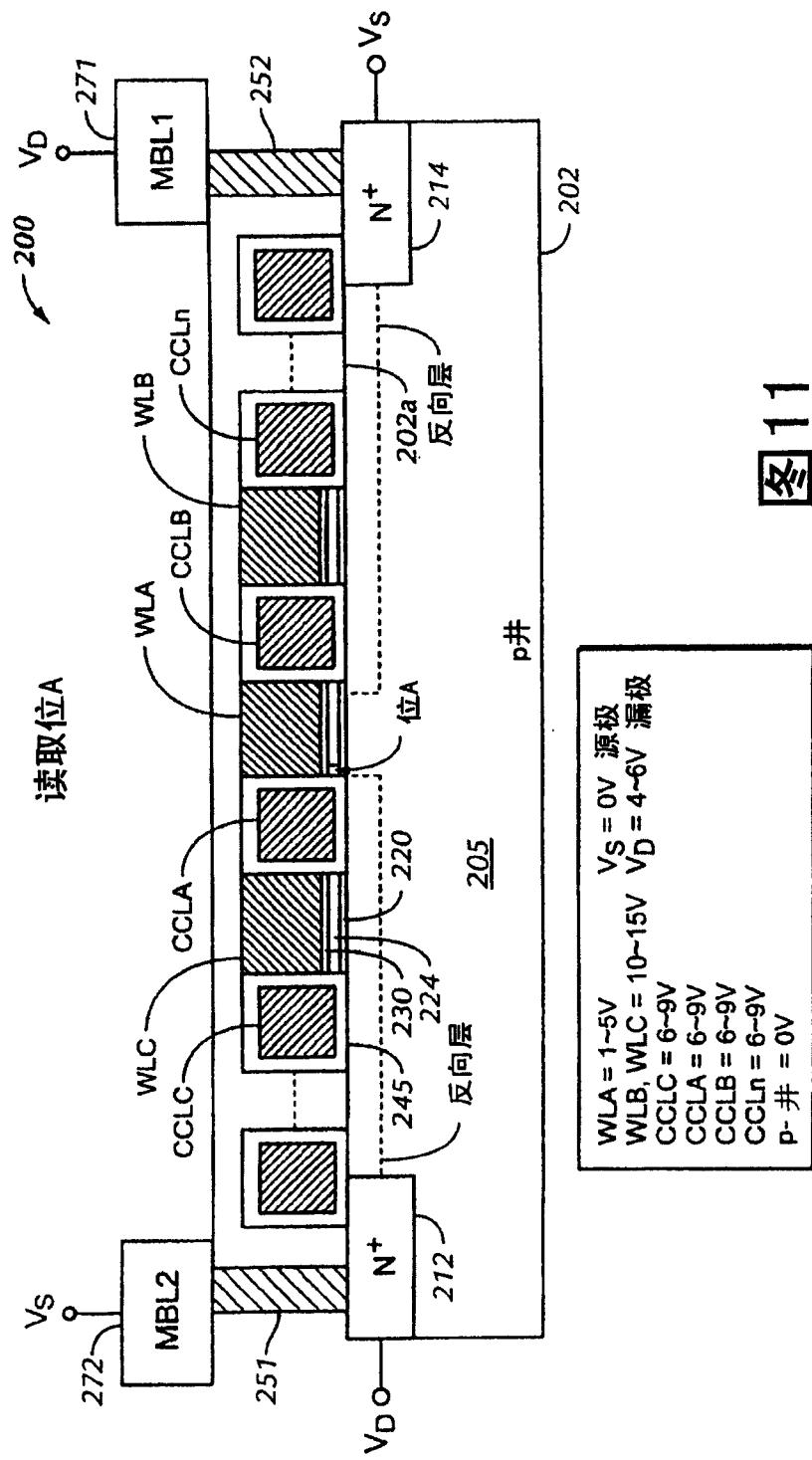
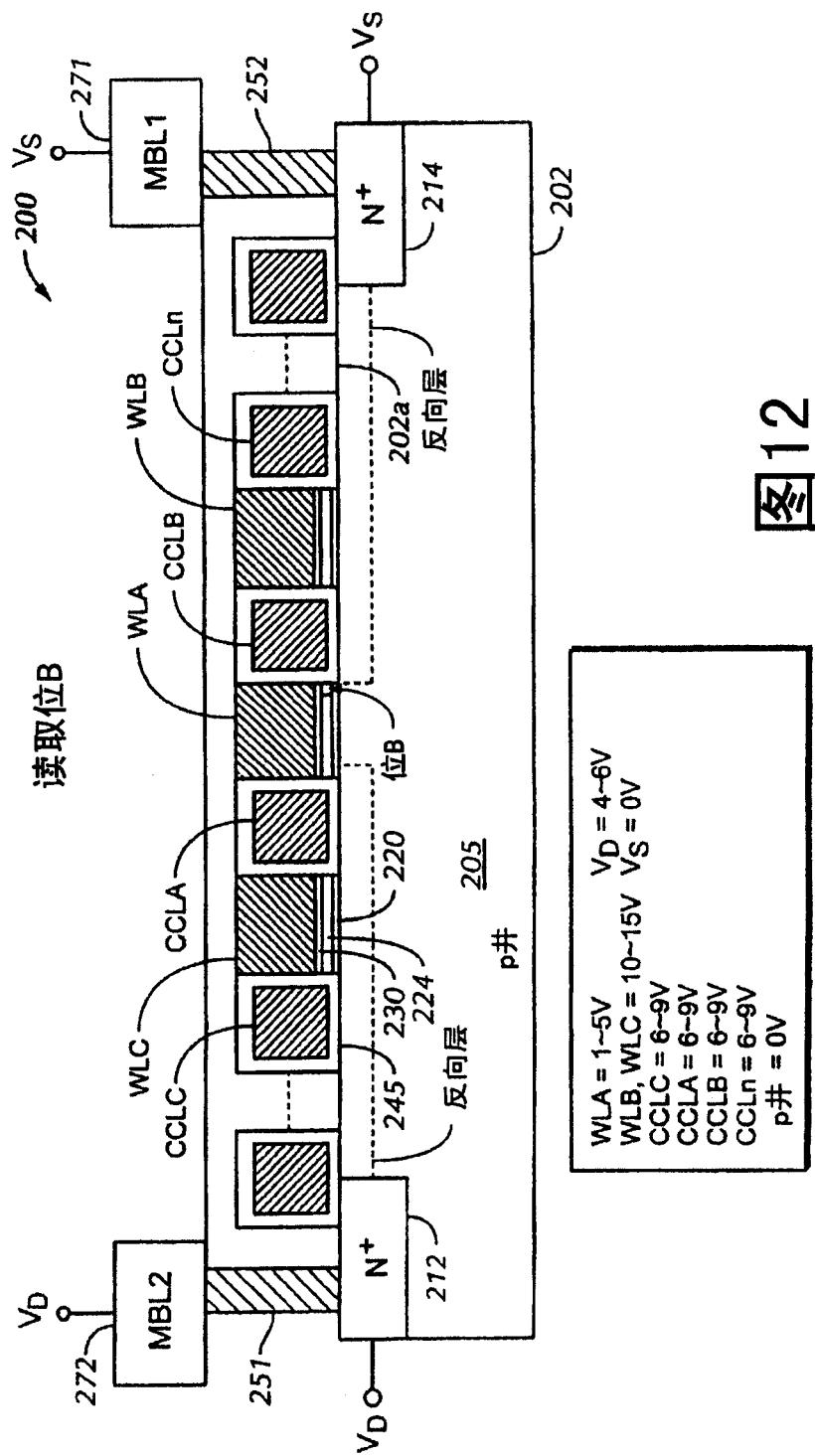


图7









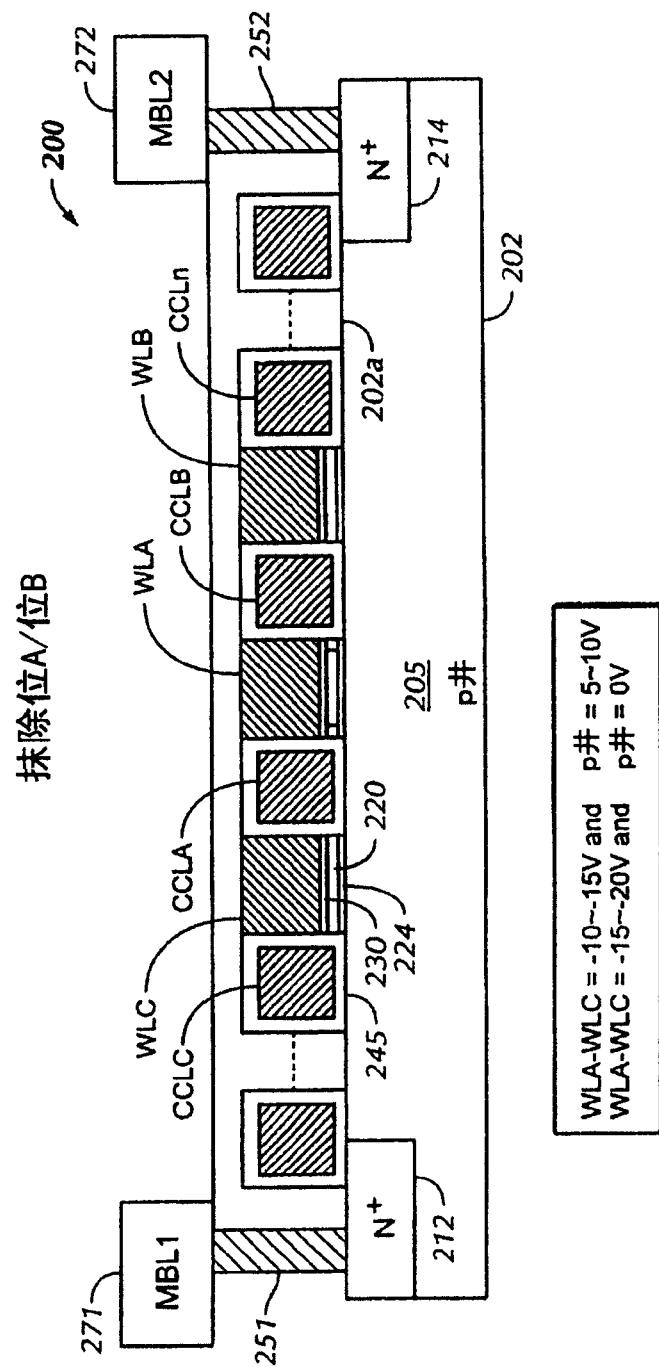


图13