

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6860334号
(P6860334)

(45) 発行日 令和3年4月14日(2021.4.14)

(24) 登録日 令和3年3月30日(2021.3.30)

(51) Int.Cl.

F I

H O 1 L 23/48 (2006.01)

H O 1 L 23/48 L

H O 1 L 29/78 (2006.01)

H O 1 L 29/78 6 5 2 Q

H O 1 L 29/739 (2006.01)

H O 1 L 29/78 6 5 5 Z

H O 1 L 21/3205 (2006.01)

H O 1 L 29/78 6 5 2 M

H O 1 L 21/768 (2006.01)

H O 1 L 29/78 6 5 2 L

請求項の数 5 (全 9 頁) 最終頁に続く

(21) 出願番号 特願2016-236918 (P2016-236918)
 (22) 出願日 平成28年12月6日(2016.12.6)
 (65) 公開番号 特開2018-93114 (P2018-93114A)
 (43) 公開日 平成30年6月14日(2018.6.14)
 審査請求日 平成31年1月29日(2019.1.29)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (73) 特許権者 317011920
 東芝デバイス&ストレージ株式会社
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100111121
 弁理士 原 拓実
 (74) 代理人 100200104
 弁理士 渡邊 実
 (72) 発明者 刀橋 達郎
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

審査官 平林 雅行

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の面を有する半導体チップと、

前記第1の面に設けられた第1の電極と、

前記第1の面に設けられ、前記第1の電極の3辺を囲うように配置された第2の電極と、

前記第1の電極に電氣的に接続された第1の配線と、

前記第2の電極に半田を介することなく直接接続されるとともに、前記半導体チップの
 前記第1の面から前記第1の配線の頂部までの長さより大きい厚みを有し、銅を主材料と
 する第1の層と、

前記第1の層上に設けられた第2の配線と、

前記半導体チップ、前記第1の配線の少なくとも一部、前記第2の配線の一部、前記第
 1の層、を封止するとともに、前記第2の配線の他の一部を露出するよう設けられた半導
 体パッケージと、

を備える半導体装置。

【請求項2】

前記半導体装置は、

前記半導体チップの前記第1の面に対し反対側の第2の面に直接接続して設けられ、銅
 を主材料とする第2の層と、

前記第2の層に電氣的に接続し、前記半導体パッケージから露出した部分を有する第3

の配線と、

を更に備える請求項 1 に記載の半導体装置。

【請求項 3】

前記半導体パッケージは表面実装型である請求項 1 に記載の半導体装置。

【請求項 4】

前記第 1 の層は電界めっき、あるいは無電界めっきにより形成されている、請求項 1 に記載の半導体装置。

【請求項 5】

前記第 1 の層は銀ナノペーストを介して前記第 2 の配線に接続されている、請求項 1 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明による実施形態は、半導体装置に関する。

【背景技術】

【0002】

半導体パワーパッケージ等の半導体装置は、パッケージの上下両面に露出した接続導体を有する表面放熱型がある。リードフレーム等の接続導体は、半田を介して半導体チップに接続されている。また、接続導体と半導体チップとの間に、効率よく放熱するための金属スペーサが設けられている場合がある。金属スペーサは、熱伝導率の低い半田を介して半導体チップに接続されている。そのため、半導体チップから発生する熱は効率よく金属スペーサに伝熱しにくく、場合によっては高い熱抵抗のために短時間で破壊に至る場合がある。また、例えば IGBT を有する半導体チップにおいて、金属スペーサは、半導体チップ上面のエミッタ電極に電氣的に接続している。半導体チップ上面には、エミッタ電極の他にワイヤに接続されたゲート電極や、エミッタ電極に対し電位の異なる部分が設けられている。従って、金属スペーサやリードフレームの実装時に半田がはみ出すことによって、エミッタ電極がエミッタ電極に対し電位の異なる部分やゲート電極とショートしないようにする必要がある。このため、金属スペーサのサイズはエミッタ電極上面の面積より小さくなるよう制限される。あるいは、エミッタ電極とゲート電極間の距離を十分に設ける必要があるため、チップ面積が増大してしまう。以上により、電極間でショートしないよう信頼性を保ちつつ、放熱効率を向上させるには問題があった。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2002 - 110981 号公報

【特許文献 2】特開 2015 - 50347 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

信頼性を保ちつつ、放熱効率を向上させることができる半導体装置を提供する。

【課題を解決するための手段】

【0005】

本実施形態による半導体装置は、第 1 の面を有する半導体チップと、前記第 1 の面に設けられた第 1 の電極と、前記第 1 の面に設けられ、前記第 1 の電極の 3 辺を囲うように配置された第 2 の電極と、を第 1 の面に有する半導体チップと、前記第 1 の電極に接続された第 1 の配線と、前記第 2 の電極に半田を介することなく直接接続され、前記半導体チップの前記第 1 の面から前記第 1 の配線の頂部までの長さより大きい厚みを有し、銅を主材料とする第 1 の層と、前記第 1 の層上に設けられた第 2 の配線と、前記半導体チップ、前記第 1 の配線の少なくとも一部、前記第 2 の配線の一部、前記第 1 の層、を封止するとともに、前記第 2 の配線の他の一部を露出するよう設けられた半導体パッケージと、を備え

10

20

30

40

50

る。

【図面の簡単な説明】

【 0 0 0 6 】

【図 1】第 1 実施形態に係る半導体装置を模式的に示す斜視図。

【図 2】図 1 に示す半導体装置の切断線 I I - I I に沿った断面図。

【図 3】第 1 実施形態に係る半導体装置の内部を説明するための図であり、半導体チップに金属層を設けた構造の斜視図。

【図 4】図 3 に示す半導体装置の内部構造を示す平面図。

【図 5】図 2 に示す半導体装置の一部を拡大した断面図。

【図 6】第 1 実施形態に係る熱抵抗のシミュレーション結果。

【図 7】第 1 実施形態に係る半導体装置の変形例を示す断面図。

【図 8】第 2 実施形態に係る半導体装置の製造方法を説明する図。

【発明を実施するための形態】

【 0 0 0 7 】

以下、図面を参照して本発明に係る実施形態を説明する。本実施形態は、本発明を限定するものではない。

【 0 0 0 8 】

(第 1 実施形態)

図 1 は、第 1 実施形態に係る半導体装置を模式的に示す斜視図である。半導体装置 1 は半導体パワーパッケージに適用することができる。半導体装置 1 は、パッケージ 10 と、リードフレーム 20、30 と、を備える。リードフレーム 20 は、パッケージ 10 の側面から引き出されている。リードフレーム 30 の一部は、パッケージ 10 によって封止されており、また、他の一部、すなわち表面の少なくとも一部は、パッケージ 10 の上面から露出してその上面の一部を構成している。パッケージ 10 の下面には、後に説明される他のリードフレームが設けられている。パッケージ 10 は樹脂からなり、リードフレーム 20 の一部、30 の一部と、後に説明される半導体チップ等をトランスファモールド法により封止している。以上のように半導体装置 1 は、両面放熱タイプの半導体パッケージを構成している。

【 0 0 0 9 】

図 2 は、図 1 に示す半導体装置 1 の切断線 I I - I I に沿った断面図である。半導体装置 1 は、パッケージ 10 と、リードフレーム 20、30、40 と、半導体チップ 50 と、第 1 の層である金属層 60 と、金属層 70 と、半田 80 と、ワイヤ 90 を備える。リードフレーム 20、30、40 は、銅を主材料として形成されている。なおアルミニウム等の金属材料を用いてもよいが、半田接続可能なように、アルミニウム表面にニッケルおよび金をめっきしておく必要がある。リードフレーム 40 の一部は、リードフレーム 30 と同様にパッケージ 10 によって封止されており、また、他の一部、すなわち表面の少なくとも一部は、パッケージ 10 の下面から露出してその下面の一部を構成している。半導体チップ 50 は例えば IGBT である。半導体チップ 50 の第 1 面である上面 501 には、金属層 60 の下面が直接接して、すなわち物理的に接続して設けられている。また、金属層 60 の上面は半田 80 を介してリードフレーム 30 に接続されている。半導体チップ 50 の第 2 面である下面 502 には、金属層 70 の上面が直接接して設けられている。また、金属層 70 の下面は半田 80 を介してリードフレーム 40 に接続されている。すなわち、リードフレーム 30、40 は金属層 60、70 で挟まれた半導体チップ 50 を半田 80 を介して挟むように設けられている。ワイヤ 90 は、半導体チップ 50 の上面 501 の一部とリードフレーム 20 とを接続するように設けられている。

【 0 0 1 0 】

図 3 は第 1 実施形態に係る半導体装置 1 の内部を説明するための図であり、半導体チップ 50 に金属層 60、70 を設けた構造の斜視図である。図 4 は、図 3 に示す半導体装置 1 の内部構造を示す平面図である。図 3、図 4 に示すように、半導体チップ 50 の上面 501 には、第 1 電極であるゲート電極 503 と、第 2 電極であるエミッタ電極 504 と、

10

20

30

40

50

が設けられている。ゲート電極 503 とエミッタ電極 504 はアルミニウムで形成されてもよい。ゲート電極 503 は上面 501 の中央端部に設けられている。エミッタ電極 504 はゲート電極 503 から間隔を空けて、かつゲート電極 503 の 3 方向を囲うように設けられている。なお、図 3、図 4 においてエミッタ電極 504 は、金属層 60 の直下に設けられている。エミッタ電極 504 は 4 つに分離されて設けられており、エミッタ電極 504 間には、図示しないゲート配線が設けられている。また、半導体チップ 50 の周縁部には、図示しないガードリングが設けられている。なお、エミッタ電極 504 は 5 つ以上、あるいは 3 つ以下に分離されていてもよい。エミッタ電極 504 上に設けられた金属層 60 は銅を主材料として、電界めっきあるいは無電界めっきにより形成されている。金属層 60 は、エミッタ電極 504 に直接接し、すなわち物理的に接続し、かつエミッタ電極 504 の上面全体を覆うように設けられている。半導体チップ 50 の下面 502 の全面には、コレクタ電極 505 が設けられている。コレクタ電極 505 はアルミニウムで形成されてもよい。コレクタ電極 505 上に設けられた金属層 70 は、金属層 60 と同様に銅を主材料として、電界めっきあるいは無電界めっきにより形成されている。金属層 70 は、コレクタ電極 505 上面に直接接し、すなわち物理的に接続し、かつ上面全体を覆うように設けられている。

【0011】

図 5 は、図 2 に示す半導体装置の一部を拡大した断面図である。金属層 60 の上面 601 の位置は、ボンディングにより形成されたワイヤ 90 の頂部 901 の位置より高い。すなわち、金属層 60 の上面 601 はワイヤ 90 の頂部 901 よりリードフレーム 30 側に位置する。更には、金属層 60 の厚みは、半導体チップ 50 の上面 501、すなわち、エミッタ電極 504 の上面からワイヤ 90 の頂部までの長さよりも大きい。金属層 60 の厚みは $50\text{ }\mu\text{m}$ 以上であり、より好ましくは $100\text{ }\mu\text{m}$ 以上である。これにより、ワイヤ 90 の頂部 901 がリードフレーム 30 に接触したり、あるいは、金属層 60 とリードフレーム 30 との間からはみ出した半田 80 にワイヤ 90 が接触することがなく、ショートを防止することができる。また、金属層 60 は、エミッタ電極 504 に直接接し、すなわち物理的に接続し、かつエミッタ電極 504 の上面全体を覆うように設けられている。すなわち、金属層 60 の周縁部は、エミッタ電極の周縁部と一致するよう設けることができる。これにより、エミッタ電極 504 の上面全体から金属層 60 へ効率よく伝熱を行うことができ、半導体チップ 50 から効率よく放熱することができる。金属層 60 とエミッタ電極 504 との間には従来のような半田が存在しない。従って銅より熱伝導率の低い半田が熱伝導を律速することがなく、また、半田とゲート電極 503、あるいは半田とエミッタ電極 504 に対し電位の異なる部分とによるショートの問題は生じない。金属層 60 の主材料である銅は電界めっきあるいは無電界めっきにより形成されるため、上記のように、 $50\text{ }\mu\text{m}$ 以上の厚膜に形成可能であり、かつ半田を用いることなく直接エミッタ上に形成され得る。一方、例えばアルミニウムは、銅より低い熱伝導率を有している。また、スパッタによるアルミニウムの成膜工程において、厚膜レジストの形成及び除去が困難であるため、 $50\text{ }\mu\text{m}$ 以上の厚膜のアルミニウムを金属層として形成することは困難である。以上の構造により、ショートを防止して信頼性を保ちつつ、放熱効率を向上させることができる。半導体チップ 50 の下面 502 には、金属層 60 と同じ材料で、かつ略同じ厚みを有する金属層 70 が設けられている。これにより、半導体チップ 50 の半導体基板（例えば Si、SiC など）と金属層 60 との線膨張係数の差により生じる応力を、半導体基板 50 と金属層 70 との間で生じる応力で相殺することによって、半導体チップ 50 の反りを緩和することができる。また、金属層 70 は、半導体チップ 50 の下面 502 に設けられたコレクタ電極 505 に直接接して、すなわち物理的に接続して、コレクタ電極 505 の上面全体を覆うように設けることができる。すなわち、金属層 70 の周縁部は、コレクタ電極 505 の周縁部と面一になるよう設けることができる。これにより、コレクタ電極 505 の上面全体から金属層 70 へ効率よく放熱を行うことができる。金属層 60、70 は、半導体チップの上下面 501、502 にそれぞれ直接接して設けられており、半田を介していない。一方、従来構造の場合、半導体チップと金属層との間、金属層とリードフ

10

20

30

40

50

レーンとの間の接続に半田が用いられるため、リフロー時における半導体チップや金属層の姿勢制御が困難になる。第1実施形態の半導体装置1では、半導体チップ50に直接金属層60が設けられるため、半導体チップに対する金属層の姿勢制御を考慮する必要がなく、よって信頼性の高い半導体装置を得ることができる。

【0012】

図6は、第1実施形態に係る熱抵抗のシミュレーション結果である。このシミュレーションにおいては、アルミニウムを主材料とするエミッタ電極上に金属層を設けていない従来構造が基準構造として用いられる。また、エミッタ電極上に銅を主材料とする金属層を設けた構造が検討構造として用いられる。横軸を時間(sec)、縦軸を基準構造の表面温度に対する検討構造の表面温度比を T_j 比とし、検討構造の時間経過に伴う表面温度変化率、すなわち熱抵抗の変化率を示している。なお、検討構造の金属層の厚みは10 μ m、20 μ m、50 μ mであり、エミッタ電極と接する面に対し反対側の面は断熱しており、放熱はないものとする。グラフから分かるように、金属層の厚みが50 μ mの場合に T_j 比は最小値をとり、約62%である。半導体チップから発生する熱を短時間で効率よく金属層に吸収していることがわかる。基準構造の場合、高い熱抵抗のために、0.01ミリ秒オーダーで半導体チップが短絡して破壊に至る可能性がある。半導体装置には加熱防止保護回路を備えている場合があるが、その作動より前に半導体チップの破壊が生じてしまう。しかしながら、金属層の厚みが50 μ mの場合、0.01ミリ秒時の T_j 比は50%を超えている。従って、基準構造に比べ半導体チップからの熱が短時間で効率よく金属層に吸収され、加熱防止保護回路の作動前の半導体チップの破壊を防止できる。なお、0.01ミリ秒経過以降は、加熱防止保護回路が作動することによって過剰な加熱を防止することができる。以上から本実施形態に係る半導体装置1において、金属層の厚みを50 μ m以上とすることが好ましい。また、ワイヤの頂部にリードフレームが接しないよう十分な間隔を設けるためにも、厚みが100 μ m以上であるとより好ましい。これにより、ショートを防止して信頼性を向上させることができるとともに、短時間での放熱性をより向上させることができる。

【0013】

以上述べたように、本実施形態に係る半導体装置1は、銅を主材料とする金属層60、70を半導体チップの上下の電極に直接接し、すなわち物理的に接続するように設け、かつ電極上面全体に設けることで、効率よく放熱を行うことができる。また、金属層が上述した厚みを有することで、ワイヤ90へのリードフレーム30や半田80の接触を防止することができる。信頼性の高い半導体装置を提供することができる。また同時に、加熱防止保護回路の作動より前の、短時間での放熱性を向上させることができる。本実施形態に係る半導体装置1において、リードフレーム30、40と金属層60、70との接続に半田80を用いたが、AgナノペーストやCuSnのような合金を用いた金属拡散接続でも構わない。また半導体チップ50の材料はシリコンを用いたが、GaNあるいはSiC等でもよい。またチップはIGBTを用いたが、MOSFET、HEMT、ダイオードその他であってもかまわない。半導体装置1は1チップを封止したモジュールについて説明したが、2個以上を封止したモジュールであってもかまわない。また、IGBTとFRDのように、種類の異なるチップを複数封止してもかまわない。半導体チップを複数封止したモジュールの場合、複数の半導体チップの上面の電位が同じであれば、モジュールの表面に露出したリードフレームと、リードフレームに半田を介して接続された金属層とを複数のチップで共有することができる。つまり、図2に示す半導体装置と同様な外観であって、内部に複数のチップを有するモジュールを提供することができる。このモジュールでは、上面に許容される範囲の最大寸法のリードフレームを搭載することができる。また、例えば、結晶欠陥の多いSiC基板を用いて形成される半導体チップは、サイズの上限を制限されるが、本実施形態のモジュールを用いることによって、上面に許容される範囲の最大寸法のリードフレームを複数のSiCからなる半導体チップで共用することができる。

【0014】

(第1実施形態の変形例)

第1実施形態に係る半導体装置1において、半導体チップ50のゲート電極503は、ワイヤ90によりリードフレーム20に接続されていた。本変形例では、図7に示すように、リードフレーム110を半田(図示せず)を介してリフローによって半導体チップ50のゲート電極503に接続している。この場合において、金属層60の上面601の位置は、パッケージ10内部におけるリードフレーム110の上面111の位置より高い。すなわち、金属層60の上面601はリードフレーム110の上面111に対してリードフレーム30側に位置する。更には、金属層60の厚みは、半導体チップ50の上面501からリードフレーム110の上面111、すなわち、パッケージ10の内部におけるリードフレーム110の頂部111、までの距離よりも大きい。金属層60の厚みは50 μ m以上であり、より好ましくは100 μ m以上である。これにより第1実施形態と同様に、リードフレーム111はリードフレーム30や半田80に接することなく、よってショートを避けることができる。その他、第1実施形態と同様の効果を有する。

10

【0015】

(第2実施形態)

第1実施形態では、金属層60、70は、半導体チップ50を電界めっき、あるいは無電界めっきすることにより形成された。第2実施形態では、ウエハを半導体チップに分割する前に、銅板状の金属層がウエハに高温圧着される。図8は第2実施形態に係る半導体装置を形成する工程を示す。ウエハ120にIGBTが形成された後、ウエハ120の上面に金属層602が形成される。金属層602は銅を主材料とし、予めIGBTのエミッタ電極上面の形状と同じ形状になるよう、また、50 μ m以上、好ましくは100 μ m以上の厚みを有するようパターニングされている。ウエハ120の下面全体には、ウエハ120と同じ平面形状の銅板状の金属層702が設けられる。金属層702の厚みは、金属層602の厚みと略同じである。金属層602、702はAuSn合金を介してウエハ120に高温圧着される。この後、ダイシングによって金属層602、702に挟まれた半導体チップ50が得られる。なお、ダイシングラインに対応する金属層702の一部をエッチングで除去することによって、ウエハ120は容易にダイシング可能である。第2実施形態のその後の工程は、第1実施形態の対応する工程と同様でよい。以上の製造工程により形成された第2実施形態に係る半導体装置は、第1実施形態に係る半導体装置と同様の効果を有する。

20

【0016】

30

(第2実施形態の変形例)

第2実施形態では、ウエハ120の上面に形成される金属層602は予めパターニングされていた。第2実施形態の変形例では、予めパターニングされていない板状の銅板をAuSn合金を介してウエハ120に高温圧着する。その後、ウエハ120の上面のゲート電極部分、チップ周辺部分、ダイシングライン部分に対応する銅板の一部をエッチングによって除去し、所望の形状の金属層を得る。ダイシングライン部分に沿ってダイシングすることにより、半導体チップが形成される。なお、ダイシングラインに対応するウエハ120下面の金属層702の一部を、予めエッチングによって除去しておくこと、ウエハ120はより容易にダイシングされる。第2実施形態の変形例のその後の工程は、第1実施形態の対応する工程と同様でよい。以上の製造工程により形成された第2実施形態の変形例に係る半導体装置は、第1実施形態に係る半導体装置と同様の効果を有する。

40

【0017】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

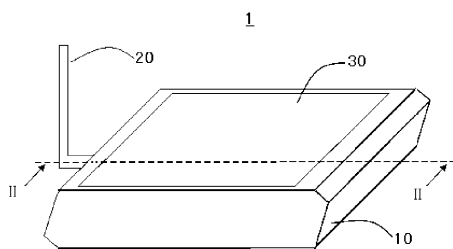
【符号の説明】

【0018】

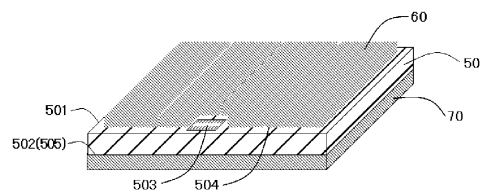
50

- 10 パッケージ
- 20、30、40、110 リードフレーム
- 50 半導体チップ
- 501、601 上面
- 502 下面
- 503 ゲート電極
- 504 エミッタ電極
- 505 コレクタ電極
- 60、70、602、702 金属層
- 80 はんだ
- 90 ワイヤ
- 901、111 頂部
- 120 ウエハ

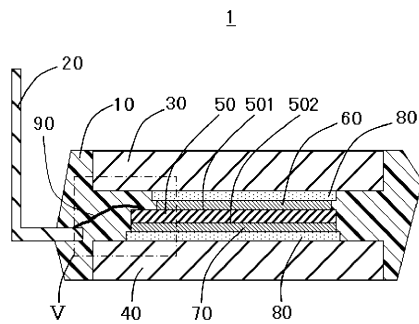
【図1】



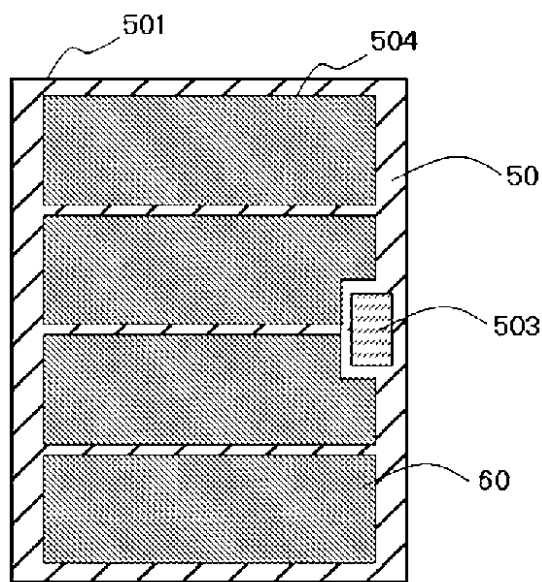
【図3】



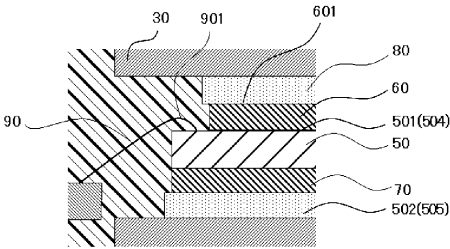
【図2】



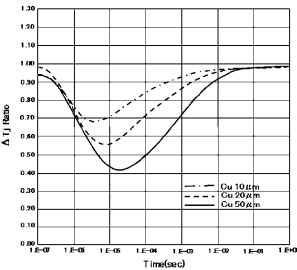
【図 4】



【図 5】

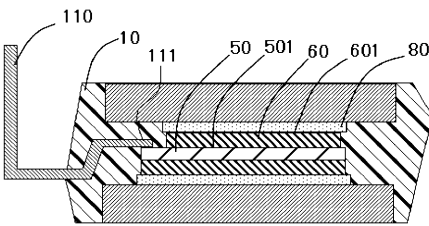


【図 6】

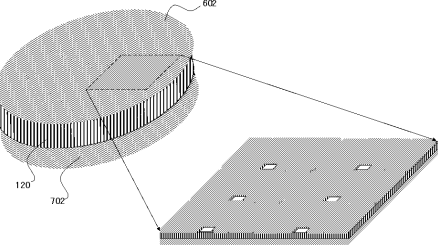


【図 7】

2



【図 8】



フロントページの続き

(51) Int.Cl.			F I		
H 0 1 L	23/522	(2006.01)	H 0 1 L	21/88	T
H 0 1 L	25/07	(2006.01)	H 0 1 L	23/48	G
H 0 1 L	25/18	(2006.01)	H 0 1 L	23/48	M
H 0 1 L	23/50	(2006.01)	H 0 1 L	25/04	C
H 0 1 L	23/36	(2006.01)	H 0 1 L	23/50	S
			H 0 1 L	23/36	Z

(56)参考文献 米国特許出願公開第2007/0145582(US, A1)
 特開2011-216822(JP, A)
 特開2006-352080(JP, A)
 特開2015-149508(JP, A)
 米国特許出願公開第2011/0221005(US, A1)
 国際公開第2013/105161(WO, A1)
 特開2005-158871(JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/3205 - 21/3213
 H 0 1 L 21/336
 H 0 1 L 21/76
 H 0 1 L 21/768
 H 0 1 L 23/29
 H 0 1 L 23/34 - 23/36
 H 0 1 L 23/373 - 23/427
 H 0 1 L 23/44
 H 0 1 L 23/467 - 23/48
 H 0 1 L 23/50
 H 0 1 L 23/522
 H 0 1 L 23/532
 H 0 1 L 25/00 - 25/07
 H 0 1 L 25/10 - 25/11
 H 0 1 L 25/16 - 25/18
 H 0 1 L 29/06
 H 0 1 L 29/12
 H 0 1 L 29/739
 H 0 1 L 29/78