



## 信号生成单元、移位寄存器、显示装置及信号生成方法

### 技术领域

5 本公开涉及显示技术领域中的一种信号生成单元、移位寄存器、显示装置及信号生成方法。

### 背景技术

10 随着显示设备的对于灰度级的要求越来越高，目前纯粹依靠数据信号来控制显示设备的灰度级存在着如下的困难：

1、灰度级越高，则相邻灰度对应的数据信号的差值越小，而依靠现有的芯片实现如此小的电压区分需要付出很大的成本代价。

15 2、当相邻灰度对应的数据信号的差值非常小时，如果驱动晶体管的响应灵敏度不够，则无法实现显示上的亮度区分。因此，显示设备的灰度级越高，对驱动晶体管的灵敏度要求越高，而这对制作工艺以及材料等都提出了非常高的要求，也加大了成本。

### 发明内容

20 本公开的实施例提供了一种信号生成单元。该信号生成单元包括：第一输出晶体管，设置于输出节点和第一电源节点之间，所述第一电源节点被配置为接收高电平电源信号；第二输出晶体管，设置于所述输出节点和第二电源节点之间，所述第二电源节点被配置为接收低电平电源信号；第一节点电位控制模块，被配置为在输入的启动信号的控制下输出第一控制信号到所述第一输出晶体管的栅极；第二节点电位控制模块，被配置为输出与所述第一控制信号反相的第二控制信号到所述第二输出晶体管的栅极；以及第一电容结构，与所述第一输出晶体管的栅极连接，被配置为在所述第一节点电位控制模块输出控制所述第一输出晶体管导通的单脉冲宽度电平信号时进行充电，并在随后的一个脉冲宽度时间内维持所述第一输出晶体管的栅极处于导通状态。

30 本公开的实施例还提供了一种移位寄存器。该移位寄存器包括多个信号

生成单元，其中，所述多个信号生成单元级联形成所述移位寄存器，在相邻的信号生成单元中，在先的信号生成单元的第一输出晶体管的栅极与在后的信号生成单元的启动信号输入接口连接。

5 本公开的实施例还提供了一种显示装置。该显示装置包括位于显示区域的多个像素结构，其中，每一个像素结构包括驱动晶体管、电源信号输入节点、发光器件和设置于电源信号输入节点和发光器件之间的供电控制晶体管。所述显示装置还包括如上所述的移位寄存器，所述移位寄存器中的每一个信号生成单元的输出节点与对应像素结构的驱动晶体管的栅极连接。

本公开的实施例还提供了一种信号生成方法。该信号生成方法包括：

10 在启动信号的控制下输出第一控制信号到第一输出晶体管的栅极，并输出与所述第一控制信号反相的第二控制信号到第二输出晶体管的栅极，其中，所述第一输出晶体管设置于输出节点和接收高电平电源信号的第一电源节点之间，所述第二输出晶体管设置于所述输出节点和接收低电平电源信号的第二电源节点之间；以及

15 在所述第一控制信号为控制所述第一输出晶体管导通的单脉冲宽度电平信号时，对第一电容结构进行充电，使得充电后的所述电容结构在随后的一个脉冲宽度时间内维持所述第一输出晶体管的栅极处于导通状态。

#### 附图说明

20 为了更清楚地说明本公开的实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 示出了一种电流或电压驱动的发光器件像素结构的示意图；

25 图 2 示出了本公开实施例的信号生成单元的结构示意图；

图 3a-图 3d 示出了不同的启动信号（STV 信号）与 A 节点电位状态的对应关系示意图；

图 4 示出了第一节点电位控制模块的一种示例性的实现方式的结构示意图；

30 图 5 示出了截止控制单元的一种示例性的实现方式的结构示意图；

图 6 示出了导通控制单元的一种示例性的实现方式的结构示意图；

图 7a-7d 示出了在不同阶段如图 6 所示的信号生成单元的信号以及晶体管状态的示意图；

图 8 示出了如图 6 所示的信号生成单元所使用到的信号以及节点的状态  
5 转换示意图；

图 9 示出了由信号生成单元形成的移位寄存器的示意图；以及

图 10 示出了本公开实施例提供的一种显示装置的局部结构示意图。

### 具体实施方式

10 下面将结合本公开的实施例中的附图，对本公开的实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开的一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开的保护的范围。

15 在如图 1 所示的一种由电流或电压驱动的发光器件像素结构中，在扫描阶段，栅极控制信号 Gate 会控制扫描晶体管 A2 导通，使得数据信号 DATA 能够输入到驱动晶体管 A1 的控制端并对电容结构 C5 进行充电，之后利用存储在电容结构 C5 中的电量来控制驱动晶体管 A1 的导通程度，实现对发光器件的电流的控制。

20 如图 1 所示，Em 信号需要在整个发光阶段维持供电控制晶体管 A3 的导通，以保证发光器件的发光。一般而言，考虑到功耗因素，供电控制晶体管 A3 通常为一个 P 型管，也就是说，Em 信号是一个常低的脉冲信号。

在相关技术中，可以通过发光器件的工作状态控制与发光器件的电流控制相结合的方式来实现较高的灰度级。例如，参考图 1，在该像素结构中，  
25 发光器件对外呈现的亮度取决于两个因素：发光状态与关闭状态的时间长度比以及发光状态下的亮度。而发光状态下的亮度可以由数据信号进行控制，而发光状态与关闭状态的时间长度比可以由电源信号来控制。如果在发光阶段插入一些高电平的脉冲，则在供电控制晶体管 A3 受到高电平信号控制而关闭时，电源信号 VDD 无法施加到驱动晶体管 A1 的第一极，导致发光器件  
30 无法发光处于关闭状态。也就是，可以通过控制 Em 信号在发光阶段的占空

比来控制发光器件的亮度。Em 信号和 DATA 信号的配合可以实现更高的灰度级。

5 在相关技术中，常低信号的实现基本是通过对于一个常高信号进行反相处理得到。而目前常高信号的脉宽是与时钟信号的脉冲宽度一致，无法实现 Em 信号的占空比的灵活调制，也就无法实现灵活的亮度控制。

10 在本公开的实施例提供的信号生成单元、移位寄存器、显示装置及信号生成方法中，由于电容结构的存在，一个脉冲宽度的启动信号 STV 能够维持驱动晶体管开启两个脉冲宽度的时间，从而输出偶数倍脉冲宽度的、与启动信号 STV 反相的电平信号，改变了现有的反相处理只能得到脉宽相同的信号的方式，从而能够实现信号输出的更加灵活的控制。

本公开实施例的信号生成单元如图 2 所示，包括：

第一输出晶体管 M1，设置于输出节点和接收高电平电源信号 VGH 的第一电源节点之间；

15 第二输出晶体管 M2，设置于输出节点和接收低电平电源信号 VGL 的第二电源节点之间；

第一节点电位控制模块 202，用于在启动信号的控制下输出第一控制信号到所述第一输出晶体管 M1 的栅极；

第二节点电位控制模块 204，用于输出与第一控制信号反相的第二控制信号到所述第二输出晶体管 M2 的栅极；

20 第一电容结构 C1，与所述第一输出晶体管 M1 的栅极连接，用于在所述第一节点电位控制模块输出能够控制所述第一输出晶体管 M1 导通的单脉冲宽度电平信号时进行充电，并在随后的一个脉冲宽度时间内维持所述第一输出晶体管 M1 的栅极处于导通状态。

25 结合图 2 所示，通过上述的第一电容结构 C1 的设置，使得一个脉冲宽度的电平信号 STV 的输入，能够维持 M1 开启两个脉冲宽度的时间，从而输出两个脉冲宽度的、与电平信号 STV 反相的电平信号，改变了现有的反相处理只能得到脉宽相同的信号的方式，从而能够实现信号输出的更加灵活的控制。

30 应当理解的是，在本公开的实施例中，第一电容结构 C1，需要在第一节点电位控制模块输出能够控制所述第一输出晶体管 M1 导通的单脉冲宽度电

平信号时，进行充电。第一电容结构 C1 的一个极板与 M1 的栅极连接，而另一个极板并不局限于如图 2 所示的与接收高电平电源信号 VGH 的第一电源节点连接。例如，另一个极板还可以与其他在第一节点电位控制模块输出控制 M1 导通的单脉冲宽度电平信号时能够提供高电平信号的节点连接，即可确保电容两极板之间的电压差，实现对 C1 的充电。

当该结构用于生成如图 1 所示的 Em 信号时，一个脉冲宽度的低电平信号能够维持驱动晶体管开启两个脉冲宽度，从而输出双脉冲宽度的高电平信号，改变了现有的对常高信号进行反相处理只能得到脉宽相同的常低信号的方式，能够实现对 Em 的占空比的更加灵活的控制，进而提高亮度控制的灵活性。

本公开实施例的信号生成单元可以实现单脉冲宽度的常低信号反相处理成为双脉冲宽度的常高信号，也可以实现单脉冲宽度的常高信号反相处理成为双脉冲宽度的常低信号。当应用于生成图 1 中的 Em 信号时属于后一种情况（即，实现单脉冲宽度的常高信号反相处理成为双脉冲宽度的常低信号），这种情况下，所述第一输出晶体管 M1 和所述第二输出晶体管 M2 为低电平导通的晶体管，所述第一节点电位控制模块输出的能够控制所述第一输出晶体管导通的单脉冲宽度电平信号为单脉冲宽度的低电平信号。

如图 2 所示，上述情况下，单脉冲宽度的低电平信号从第一节点电位控制模块输出后，控制第一输出晶体管 M1 导通，输出节点 OUT 输出高电平信号，同时第一电容结构 C1 在该低电平信号和高电平电源信号 VGH 的控制下充电。在该低电平信号输出结束后，充电后的 C1 继续维持第一输出晶体管 M1 栅极的低电平状态，第一输出晶体管 M1 继续导通，输出节点 OUT 继续输出高电平信号，因此，同时实现了信号的反相和扩幅。

当然，本公开实施例并不局限于上述说明的输出双脉冲宽度的高电平信号，还能实现任意偶数倍脉冲宽度的高电平信号，说明如下。

以启动信号（STV 信号）为低电平信号为例，如图 3a 所示，通过一个单脉冲宽度的低电平信号（STV 信号）实现了到 A 节点的双脉冲宽度的低电平信号的输出（该双脉冲宽度的低电平信号从 A 节点输出到 M1 的栅极），进而实现输出节点 OUT 的双脉冲宽度的高电平信号的输出。

如图 3b 所示，通过两个间隔的低电平信号（STV 信号）实现了到 A 节

点的 4 脉冲宽度的低电平信号的输出 (该 4 脉冲宽度的低电平信号从 A 节点输出到 M1 的栅极), 进而实现输出节点 OUT 的 4 脉冲宽度的高电平信号的输出。

5 如图 3c 所示, 通过三个间隔的低电平信号 (STV 信号) 实现了到 A 节点的 6 脉冲宽度的低电平信号的输出 (该 6 脉冲宽度的低电平信号从 A 节点输出到 M1 的栅极), 进而实现输出节点 OUT 的 6 脉冲宽度的高电平信号的输出。

10 如图 3d 所示, 通过四个间隔的低电平信号 (STV 信号) 实现了到 A 节点的 8 脉冲宽度的低电平信号的输出 (该 8 脉冲宽度的低电平信号从 A 节点输出到 M1 的栅极), 进而实现输出节点 OUT 的 8 脉冲宽度的高电平信号的输出。

15 相似地, 通过  $n$  个间隔的低电平信号 (STV 信号) 实现到 A 节点的  $2n$  个脉冲宽度的低电平信号的输出 (该  $2n$  个脉冲宽度的低电平信号从 A 节点输出到 M1 的栅极), 进而实现输出节点 OUT 的  $2n$  个脉冲宽度的高电平信号的输出。而且, 上述的多脉冲宽度的低电平信号则可以实现对 Em 信号的占空比的灵活控制。

也就是说, 在本公开的实施例中, 所述第一节点电位控制模块在一帧数据处理过程中输出的第一控制信号包括一个或多个单脉冲宽度低电平信号 (STV 信号) 时, 相邻的低电平信号之间间隔一个单脉冲宽度。例如, 如图 20 3b-3d 所示, 当第一控制信号包括多个单脉冲宽度低电平信号时, 相邻的低电平信号之间间隔一个脉冲宽度。

在本公开的实施例中, 第一节点电位控制模块需要在启动信号的控制下输出第一控制信号到所述第一输出晶体管 M1 的栅极, 而该第一控制信号包括至少一个能够控制所述第一输出晶体管导通的单脉冲宽度电平信号。

25 如图 4 所示, 在本公开的实施例中, 所述第一节点电位控制模块为第一电位控制晶体管 M3, 所述第一电位控制晶体管 M3 的栅极和接收第一时钟信号 CKB 的第一时钟节点连接, 第一极接收包括所述单脉冲宽度的低电平信号的启动信号 STV, 第二极连接第一输出晶体管 M1 的栅极。在第一电位控制晶体管 M3 的第一极接收到所述单脉冲宽度的低电平信号时, 所述第一 30 时钟信号 CKB 控制所述第一电位控制晶体管 M3 导通, 从而使得第二极将所

述单脉冲宽度的低电平信号输出到第一输出晶体管 M1 的栅极，控制第一输出晶体管 M1 导通。输出节点 OUT 输出高电平信号，同时第一电容结构 C1 在该低电平信号和高电平电源信号 VGH 的控制下充电。

第二节点电位控制模块可以被配置为提供一个与第一控制信号反相的第二控制信号到第二输出晶体管 M2，使得第一输出晶体管 M1 导通时，第二输出晶体管 M2 截止，输出节点 OUT 输出高电平信号，而第一输出晶体管 M1 截止时，第二输出晶体管 M2 导通，输出节点 OUT 输出低电平信号。

例如，第二节点电位控制模块可以包括：

截止控制单元 402，在所述第一输出晶体管 M1 导通时，输出高电平信号到所述第二输出晶体管 M2 的栅极，关闭所述第二输出晶体管 M2；

导通控制单元 404，在所述第二输出晶体管 M2 截止时，输出低电平信号到所述第二输出晶体管 M2 的栅极，导通所述第二输出晶体管 M2。

如图 5 所示，为了节约信号的数量，在本公开的实施例中，所述截止控制单元包括：与所述第一输出晶体管 M1 类型相同的第二电位控制晶体管 M4，所述第二电位控制晶体管 M4 的栅极与所述第一电位控制晶体管 M3 的第二极连接（即连接到图 5 中的节点 A），第一极与所述第一电源节点连接，所述第二电位控制晶体管 M4 的第二极与所述第二输出晶体管 M2 的栅极连接。

由于第一输出晶体管 M1 和第二电位控制晶体管 M4 类型相同，因此二者同时导通，因此，当 M1 导通时，M4 也导通，输出高电平信号到第二输出晶体管 M2 的栅极，控制 M2 关闭，实现了在 M1 导通时，输出高电平信号到 M2 的栅极，关闭 M2 的功能。

在本公开的实施例中，导通控制单元如图 6 所示，包括：

第二电容结构 C2，所述第二电容结构 C2 的一端连接所述第二输出晶体管 M2 的栅极，另一端和接收第二时钟信号 CK 的第二时钟节点连接；

第三电位控制晶体管 M5，所述第三电位控制晶体管 M5 的栅极和所述第一时钟节点连接，第二极与所述第二输出晶体管 M2 的栅极连接；

第四电位控制晶体管 M6，所述第四电位控制晶体管 M6 的栅极和所述第二时钟节点连接，第一极与所述第二电源节点连接；

第五电位控制晶体管 M7，所述第五电位控制晶体管的第一极与所述第

二时钟节点连接，第二极与所述第四电位控制晶体管 M6 的第二极连接；

第六电位控制晶体管 M8，第六电位控制晶体管 M8 的栅极和所述第二时钟节点连接，第一极与提供所述启动信号的启动节点连接；

5 第七电位控制晶体管 M9，所述第七电位控制晶体管 M9 的栅极和第四电位控制晶体管 M6 的第二极连接，第一极与所述第二电源节点连接，第二极和所述第三电位控制晶体管 M5 的第一极连接；

第八电位控制晶体管 M10，所述第八电位控制晶体管 M10 的栅极和第六电位控制晶体管 M8 的第二极连接，第一极与所述第二时钟节点连接，第二极和所述第三电位控制晶体管 M5 的第一极连接；

10 第三电容结构 C3，其一端连接所述第七电位控制晶体管 M9 的栅极，另一端和所述第二电源节点连接；

第四电容结构 C4，其一端连接所述第八电位控制晶体管 M10 的栅极，另一端和所述第一电源节点连接。

应当理解的是，在上述的图 6 中，虽然示意出了晶体管 M3 和 M4，其仅仅是分别作为第一节点电位控制模块和截止控制单元的一种示例性实现方式，并不表示二者和导通控制单元的一一对应关系。

下面以图 6 为例，结合图 8 所示的时序设计以及图 7a-7d 的晶体管状态示意图对本公开实施例的信号生成单元的具体工作过程进行详细描述。

20 如图 8 所示，本公开实施例的信号生成单元工作分为 4 个阶段，分别说明如下：

(1) 阶段 1 (结合图 7a)

信号：

STV 为低电平信号，CK 为低电平信号，CKB 为高电平信号。

受输入信号控制的晶体管的状态：

25 M6、M8：导通；

M3、M5：关闭。

工作过程：

由于 M3 关闭，所以 A 节点的电位受 C1 控制；

由于 M5 关闭，所以 E 节点的电位受 C2 的控制；

30 在没有信号输入的情况下，C1 和 C2 具有维持上一阶段电位的能力，所

以 A 节点和 E 节点的电位维持上一时刻的状态，结合 Em 信号的设计可知，A 节点为高电平，E 节点为低电平，导致 M1 关闭，M2 导通，输出节点 OUT 输出低电平。

同时，M8 导通会输出低电平信号到 C 节点，使得 C 节点处于低电平。

5 (2) 阶段 2 (结合图 7b)

信号:

STV 为低电平信号，CK 为高电平信号，CKB 为低电平信号。

受输入信号控制的晶体管的状态:

M3、M5: 导通;

10 M6、M8: 关闭。

工作过程:

由于 M3 导通，输出低电平信号到 A 节点，控制 M1 和 M4 同时导通，M1 的导通，输出低电平信号;

而 M4 的导通，会输出高电信号到 E 节点，关闭 M2;

15 同时，在上一阶段，如图 7a，M8 导通之后，输出低电平信号到 C 节点，而本阶段信号切断之后，通过 C4 的维持电位能力使得 C 节点处于低电平，导致 M7 和 M10 导通;

M7 导通之后，输出高电平信号到 M9 栅极，关闭 M9;

20 M10 导通之后，输出高电平信号到 D 节点，进而通过导通的 M5 控制 E 节点处于高电平状态，控制 M2 关闭。

(3) 阶段 3 (结合图 7c)

信号:

STV 为高电平信号，CKB 为高电平信号，CK 为低电平信号。

受输入信号控制的晶体管的状态:

25 M3、M5: 关闭;

M6、M8: 导通。

工作过程:

M3 关闭之后，由于电容 C1 的电位维持能力，保证 A 节点继续处于低电平，导通 M1，输出高电平信号;

30 而 A 节点处于低电平会同时导通 M4，输出高电平信号到 E 节点，关闭

M2。

而 M5 关闭之后，左半部分的电路无法对 E 节点形成影响，本公开在此不作详细分析。

(4) 阶段 4 (结合图 7d)

5 信号:

STV 为高电平信号, CK 为高电平信号, CKB 为低电平信号。

受输入信号控制的晶体管的状态:

M3、M5: 导通;

M6、M8: 关闭。

10 工作过程:

由于 M3 导通, 输出高电平信号到 A 节点, 控制 M1 和 M4 同时关闭;

而 M4 的导通, 会输出高电信号到 E 节点, 关闭 M2;

由于 C4 的电位维持能力, C 节点在本阶段依然维持高电平, 关闭 M7 和 M10;

15 由于 C3 的电位维持能力, B 节点在本阶段依然维持低电平, 导通 M9, 输出低电平信号到 D 节点, 进而通过导通的 M5 控制 E 节点处于低电平状态, 导通 M2, 输出低电平信号到输出节点 OUT。

20 在此需要特别说明的是, 虽然 STV 信号是一个双脉冲宽度的常高信号, 但与 A 节点的双脉冲宽度的长高信号并不是移位得到的, 单纯从 A 节点角度来考虑, 由于在第一阶段 M3 关闭, 所以 STV 信号在第一阶段到底是低电平还是高电平信号, 并不会对 A 节点造成影响。

而 STV 信号在第一阶段为低电平信号, 仅仅是为了输出低电平信号到 C 节点, 进而在第二阶段导通 M7 和 M10。

所以本公开实施例中的脉冲宽度增加是相对如下二者而言的:

25 第二阶段的 STV 低电平信号; 和

第二阶段和第三阶段的 A 节点的电平。

在以上的说明中, 是以在开始阶段输出高电平信号为例进行的说明, 但也可以是在其他阶段输出高电平信号, 来改变 Em 信号的占空比, 在此不作详细说明。

30 如之前所述, 本公开的实施例可以通过重复阶段 2 和 3 的信号输入来实

现不同倍数脉冲宽度的高电平信号的输出，在此不再重复描述。

如之前提到，本公开的实施例中，上述的信号可以作为像素结构的 Em 信号，而 Em 信号具有移位的特性，即相邻级像素结构的 Em 信号错位分布，因此，本公开的实施例的信号生成单元可以级联形成一移位寄存器，生成显示装置的 Em 信号。例如，如图 9 所示，相邻的移位寄存器单元中，在先的移位寄存单元的第一输出晶体管的栅极与在后的移位寄存单元的启动信号输入接口连接。

本公开实施例还提供了一种显示装置，如图 10 所示，该显示装置包括位于显示区域的多个像素结构，每一个像素结构包括驱动晶体管 1004、电源信号输入节点 VDD、发光器件 1006 和设置于电源信号输入节点 VDD 和发光器件 1006 之间的供电控制晶体管 1002。所述显示装置还包括上述的移位寄存器，所述移位寄存器中的每一个信号生成单元 1008 的输出节点 OUT 与对应像素结构的驱动晶体管 1004 的栅极连接。

本公开的实施例还提供了一种信号生成方法，包括：

在启动信号的控制下输出第一控制信号到设置于输出节点 OUT 和接收高电平电源信号 VGH 的第一电源节点之间的第一输出晶体管的栅极，并输出与第一控制信号反相的第二控制信号到设置于输出节点 OUT 和接收低电平电源信号 VGL 的第二电源节点之间的第二输出晶体管的栅极；

在第一控制信号为能够控制所述第一输出晶体管导通的单脉冲宽度电平信号时，对第一电容结构 C1 进行充电，使得充电后的所述电容结构能够在随后的一个脉冲宽度维持所述第一输出晶体管的栅极处于导通状态。

在上述的信号生成方法中，所述第一输出晶体管 M1 和所述第二输出晶体管 M2 为低电平导通的晶体管，能够控制所述第一输出晶体管导通的所述单脉冲宽度电平信号为单脉冲宽度的低电平信号。

在上述的信号生成方法中，在一帧数据处理过程中输出的第一控制信号包括多个单脉冲宽度低电平信号，相邻的低电平信号之间间隔一个脉冲宽度。

本公开实施例所采用的晶体管可以为薄膜晶体管或场效应管或其他特性的相同二极管，由于采用的晶体管的第一极和第二极是对称的，所以其第一极、第二极是没有区别的。

以上实施例中是以 P 型晶体管进行说明的，栅极输入低电平时，晶体管

导通，N型晶体管与此相反。根据上述记载的内容，可以想到的是采用N型晶体管的实现是本领域技术人员可以在不付出创造性劳动前提下轻易想到的，因此也是在本公开实施例的保护范围内的。

需要指出的是，在附图中，为了图示的清晰可能夸大了层和区域的尺寸。

5 而且可以理解，当元件或层被称为在另一元件或层“上”时，它可以直接在其他元件上，或者可以存在中间的层。另外，可以理解，当元件或层被称为在另一元件或层“下”时，它可以直接在其他元件下，或者可以存在一个以上的中间的层或元件。另外，还可以理解，当层或元件被称为在两层或两个元件“之间”时，它可以为两层或两个元件之间惟一的层，或还可以存在一个以上的中间层或元件。通篇相似的参考标记指示相似的元件。

10 而且，在本文中，诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来，而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

20 还需要说明的是，术语“上”、“下”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本公开和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或一体地连接；可以是机械连接，也可以是电连接；可以是直接相连，25 也可以通过中间媒介间接相连，可以是两个元件内部的连通。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本公开中的具体含义。

30 以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

本公开要求于 2016 年 2 月 18 日递交的中国专利申请第 201610091556.5 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

## 权利要求书

1、一种信号生成单元，包括：

5 第一输出晶体管，设置于输出节点和第一电源节点之间，所述第一电源节点被配置为接收高电平电源信号；

第二输出晶体管，设置于所述输出节点和第二电源节点之间，所述第二电源节点被配置为接收低电平电源信号；

第一节点电位控制模块，被配置为在输入的启动信号的控制下输出第一控制信号到所述第一输出晶体管的栅极；

10 第二节点电位控制模块，被配置为输出与所述第一控制信号反相的第二控制信号到所述第二输出晶体管的栅极；以及

15 第一电容结构，与所述第一输出晶体管的栅极连接，被配置为在所述第一节点电位控制模块输出控制所述第一输出晶体管导通的单脉冲宽度电平信号时进行充电，并在随后的一个脉冲宽度时间内维持所述第一输出晶体管的栅极处于导通状态。

2、根据权利要求1所述的信号生成单元，其中，所述第一输出晶体管和所述第二输出晶体管均为低电平导通的晶体管，所述第一节点电位控制模块输出的用于控制所述第一输出晶体管导通的单脉冲宽度电平信号为单脉冲宽度的低电平信号。

20 3、根据权利要求2所述的信号生成单元，其中，所述第一节点电位控制模块在一帧数据处理过程中输出的所述第一控制信号包括多个单脉冲宽度低电平信号，相邻的两个低电平信号之间间隔一个脉冲宽度。

4、根据权利要求2或3所述的信号生成单元，其中，

所述第一节点电位控制模块包括第一电位控制晶体管；

25 所述第一电位控制晶体管的栅极和被配置为接收第一时钟信号的第一时钟节点连接，第一极接收包括所述单脉冲宽度的低电平信号的启动信号，第二极连接所述第一输出晶体管的栅极；以及

在所述第一电位控制晶体管的第一极接收到所述单脉冲宽度的低电平信号时，所述第一时钟信号控制所述第一电位控制晶体管导通。

30 5、根据权利要求2或3所述的信号生成单元，其中，所述第二节点电位

控制模块包括:

截止控制单元, 被配置为在所述第一输出晶体管导通时, 输出高电平信号到所述第二输出晶体管的栅极, 关闭所述第二输出晶体管; 以及

5 导通控制单元, 被配置为在所述第一输出晶体管截止时, 输出低电平信号到所述第二输出晶体管的栅极, 导通所述第二输出晶体管 (M2)。

6、根据权利要求 5 所述的信号生成单元, 其中,

所述截止控制单元包括: 与所述第一输出晶体管类型相同的第二电位控制晶体管;

10 所述第二电位控制晶体管的栅极与所述第一电位控制晶体管的第二极连接, 所述第二电位控制晶体管的第一极与所述第一电源节点连接, 所述第二电位控制晶体管的第二极与所述第二输出晶体管的栅极连接。

7、根据权利要求 6 所述的信号生成单元, 其中, 所述导通控制单元包括:

第二电容结构, 所述第二电容结构的一端连接所述第二输出晶体管的栅极, 另一端和接收第二时钟信号的第二时钟节点连接;

15 第三电位控制晶体管, 所述第三电位控制晶体管的栅极和所述第一时钟节点连接, 第二极与所述第二输出晶体管的栅极连接;

第四电位控制晶体管, 所述第四电位控制晶体管的栅极和所述第二时钟节点连接, 第一极与所述第二电源节点连接;

20 第五电位控制晶体管, 所述第五电位控制晶体管的第一极与所述第二时钟节点连接, 第二极与所述第四电位控制晶体管的第二极连接;

第六电位控制晶体管, 所述第六电位控制晶体管的栅极和所述第二时钟节点连接, 第一极与提供所述启动信号的启动节点连接;

25 第七电位控制晶体管, 所述第七电位控制晶体管的栅极和所述第四电位控制晶体管的第二极连接, 第一极与所述第二电源节点连接, 第二极和所述第三电位控制晶体管的第一极连接;

第八电位控制晶体管, 所述第八电位控制晶体管的栅极和所述第六电位控制晶体管的第二极连接, 第一极与所述第二时钟节点连接, 第二极和所述第三电位控制晶体管的第一极连接;

30 第三电容结构, 所述第三电容结构的一端连接所述第七电位控制晶体管的栅极, 另一端和所述第二电源节点连接; 以及

第四电容结构，所述第四电容结构的一端连接所述第八电位控制晶体管的栅极，另一端和所述第一电源节点连接。

8、一种移位寄存器，包括多个如权利要求 1-7 中任意一项所述的信号生成单元，其中，所述多个信号生成单元级联形成所述移位寄存器，在相邻的信号生成单元中，在先的信号生成单元的第一输出晶体管的栅极与在后的信号生成单元的启动信号输入接口连接。

9、一种显示装置，包括位于显示区域的多个像素结构，其中，每一个像素结构包括驱动晶体管、电源信号输入节点、发光器件和设置于电源信号输入节点和发光器件之间的供电控制晶体管，所述显示装置还包括如权利要求 8 所述的移位寄存器，所述移位寄存器中的每一个信号生成单元的输出节点与对应像素结构的驱动晶体管的栅极连接。

10、一种信号生成方法，包括：

在启动信号的控制下输出第一控制信号到第一输出晶体管的栅极，并输出与所述第一控制信号反相的第二控制信号到第二输出晶体管的栅极，其中，所述第一输出晶体管设置于输出节点和接收高电平电源信号的第一电源节点之间，所述第二输出晶体管设置于所述输出节点和接收低电平电源信号的第二电源节点之间；

在所述第一控制信号为控制所述第一输出晶体管导通的单脉冲宽度电平信号时，对第一电容结构进行充电，使得充电后的所述电容结构在随后的一个脉冲宽度时间内维持所述第一输出晶体管的栅极处于导通状态。

11、根据权利要求 10 所述的信号生成方法，其中，所述第一输出晶体管和所述第二输出晶体管均为低电平导通的晶体管，用于控制所述第一输出晶体管导通的单脉冲宽度电平信号为单脉冲宽度的低电平信号。

12、根据权利要求 11 所述的信号生成方法，其中，在一帧数据处理过程中所述第一控制信号包括多个单脉冲宽度的低电平信号，相邻的低电平信号之间间隔一个脉冲宽度。

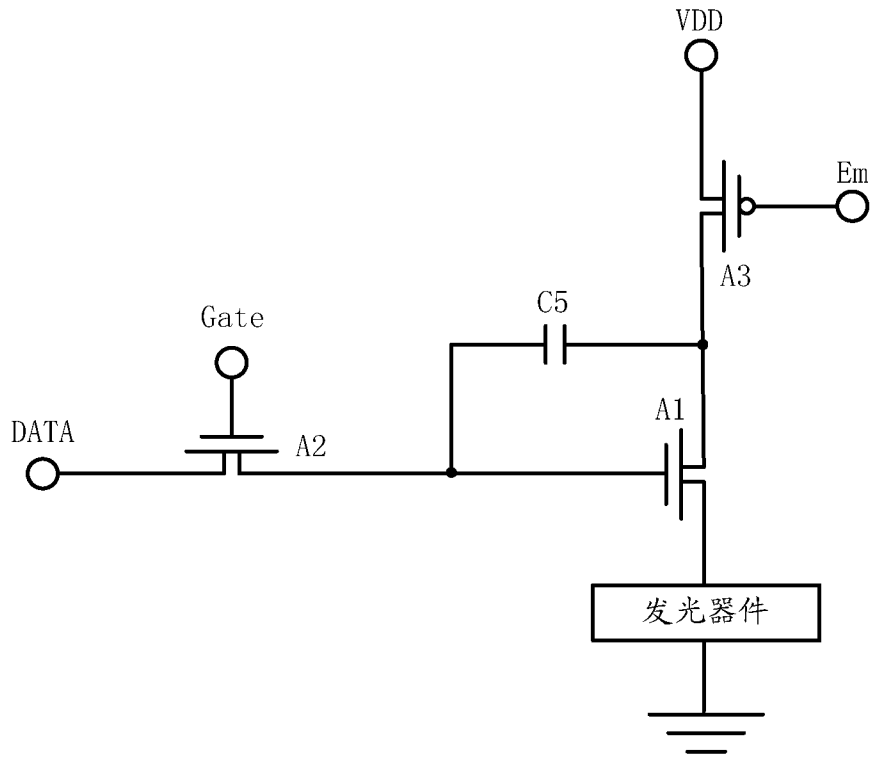


图 1

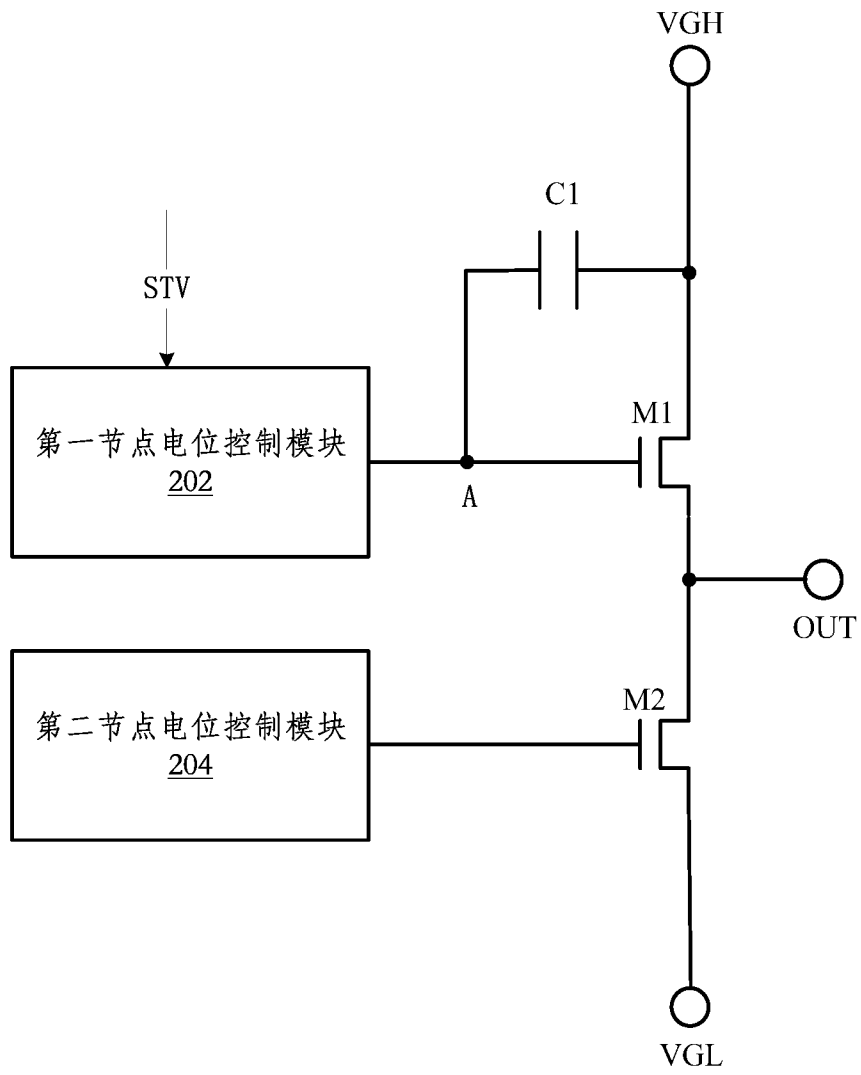


图 2

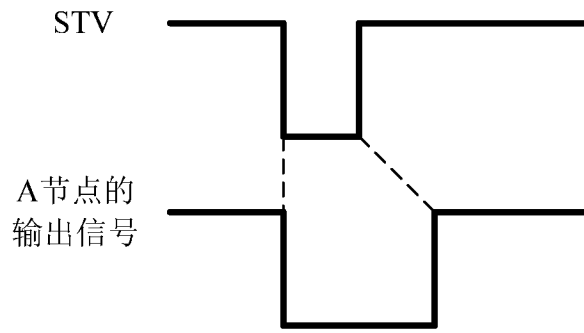


图 3a

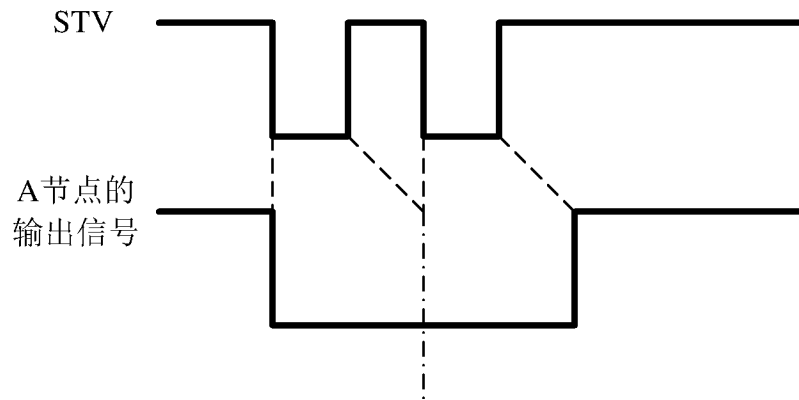


图 3b

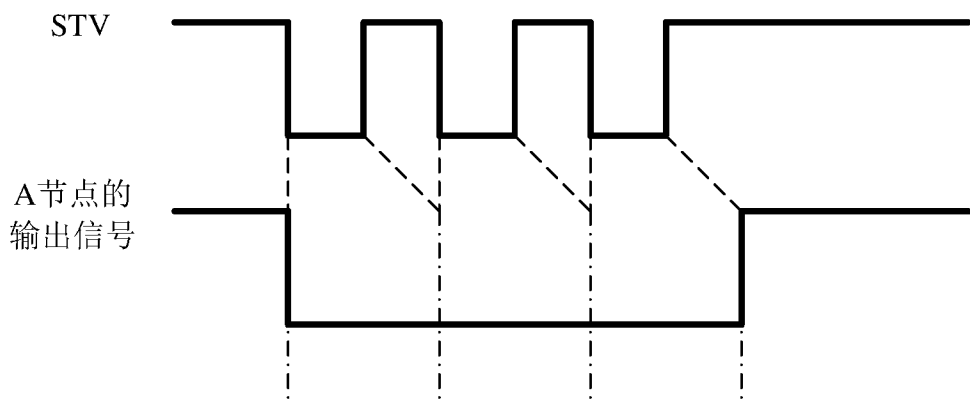


图 3c

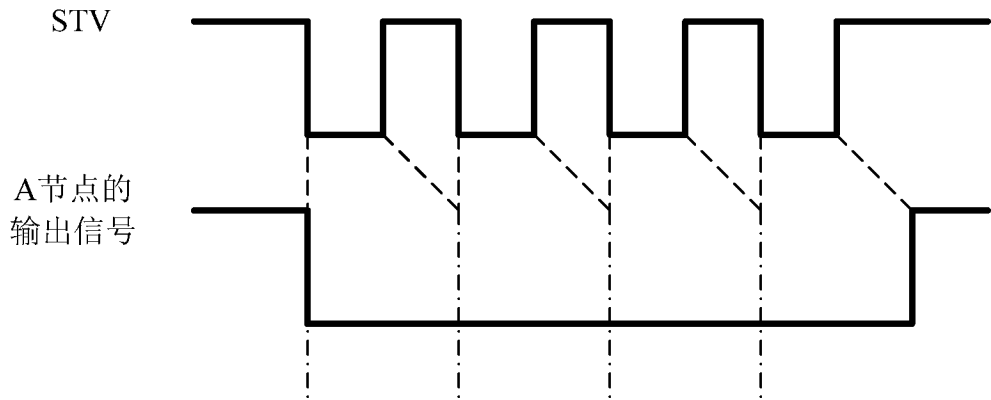


图 3d

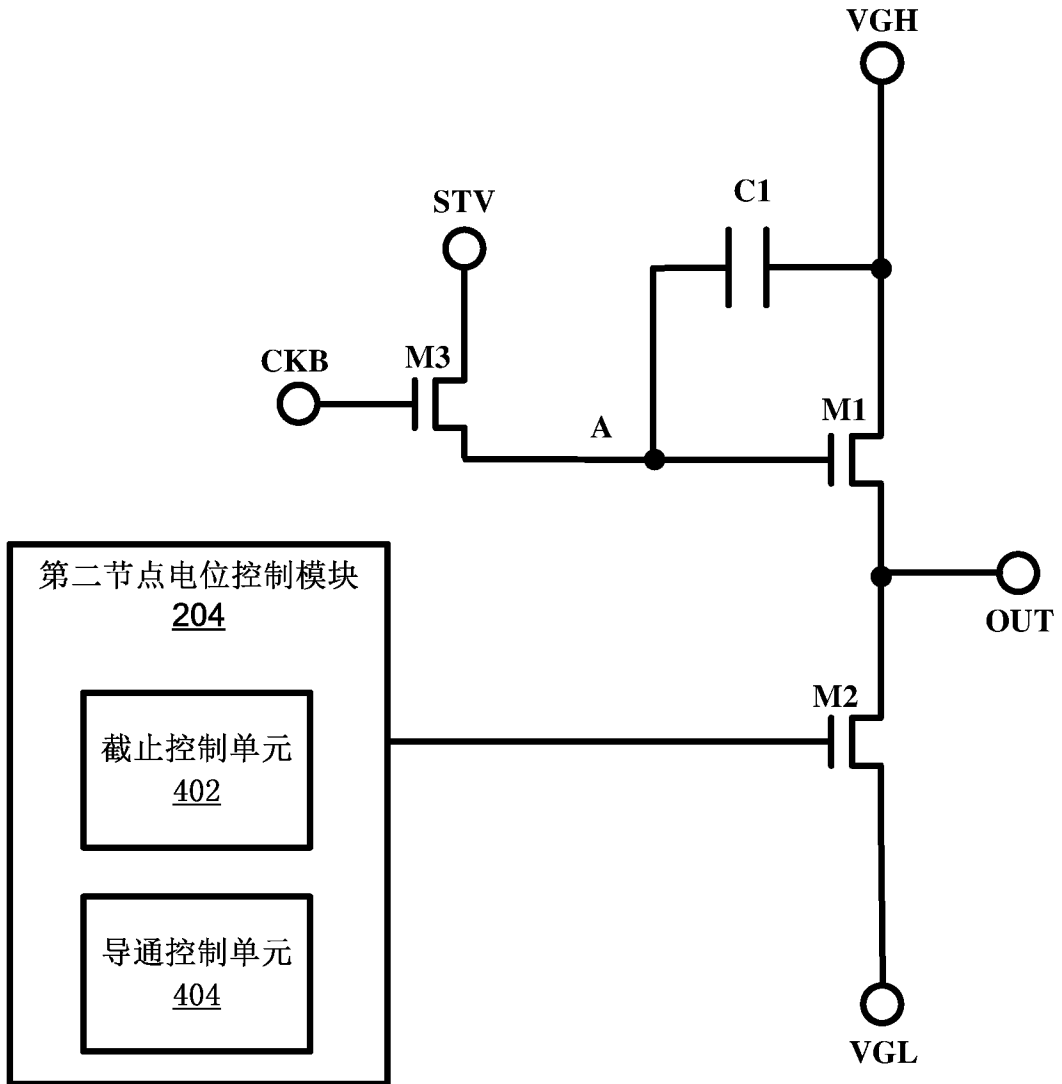


图 4

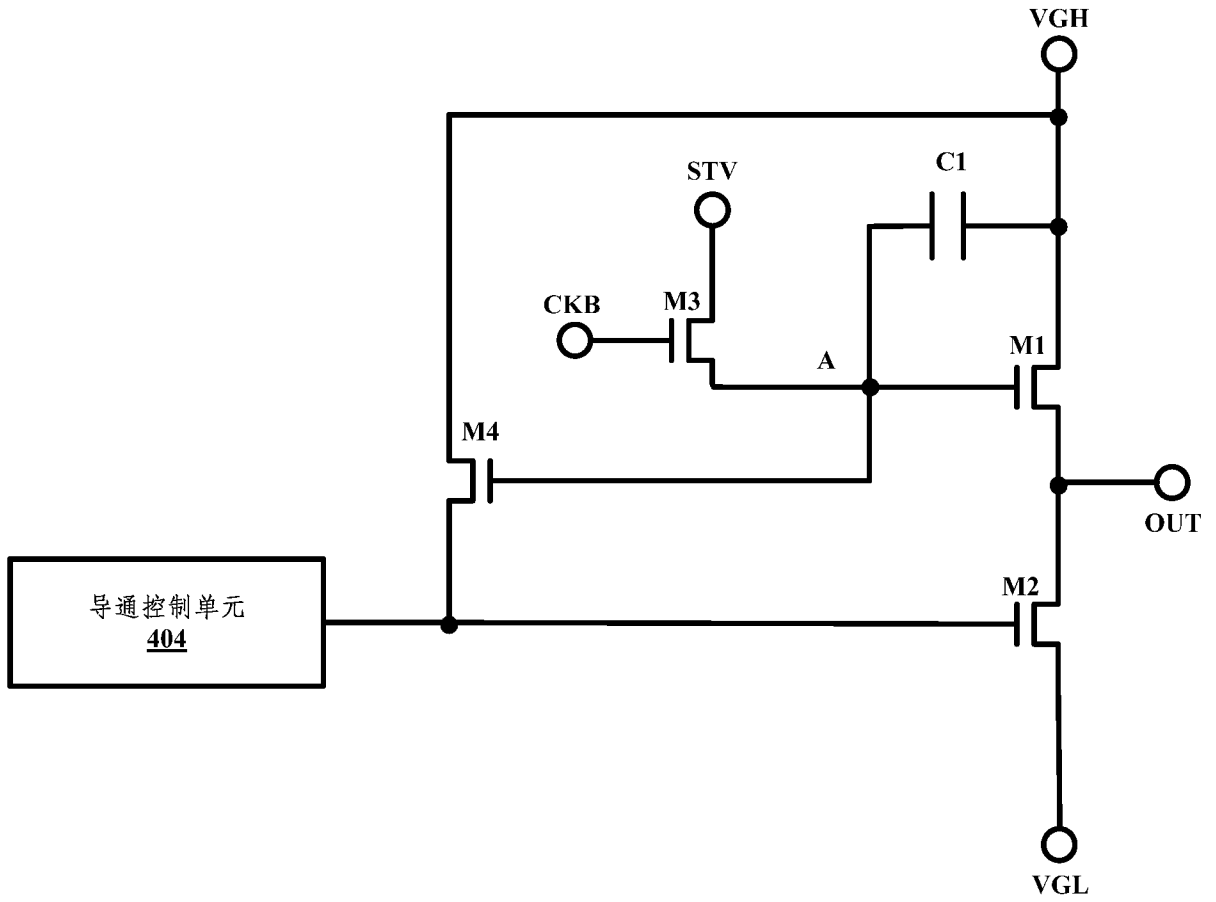


图 5

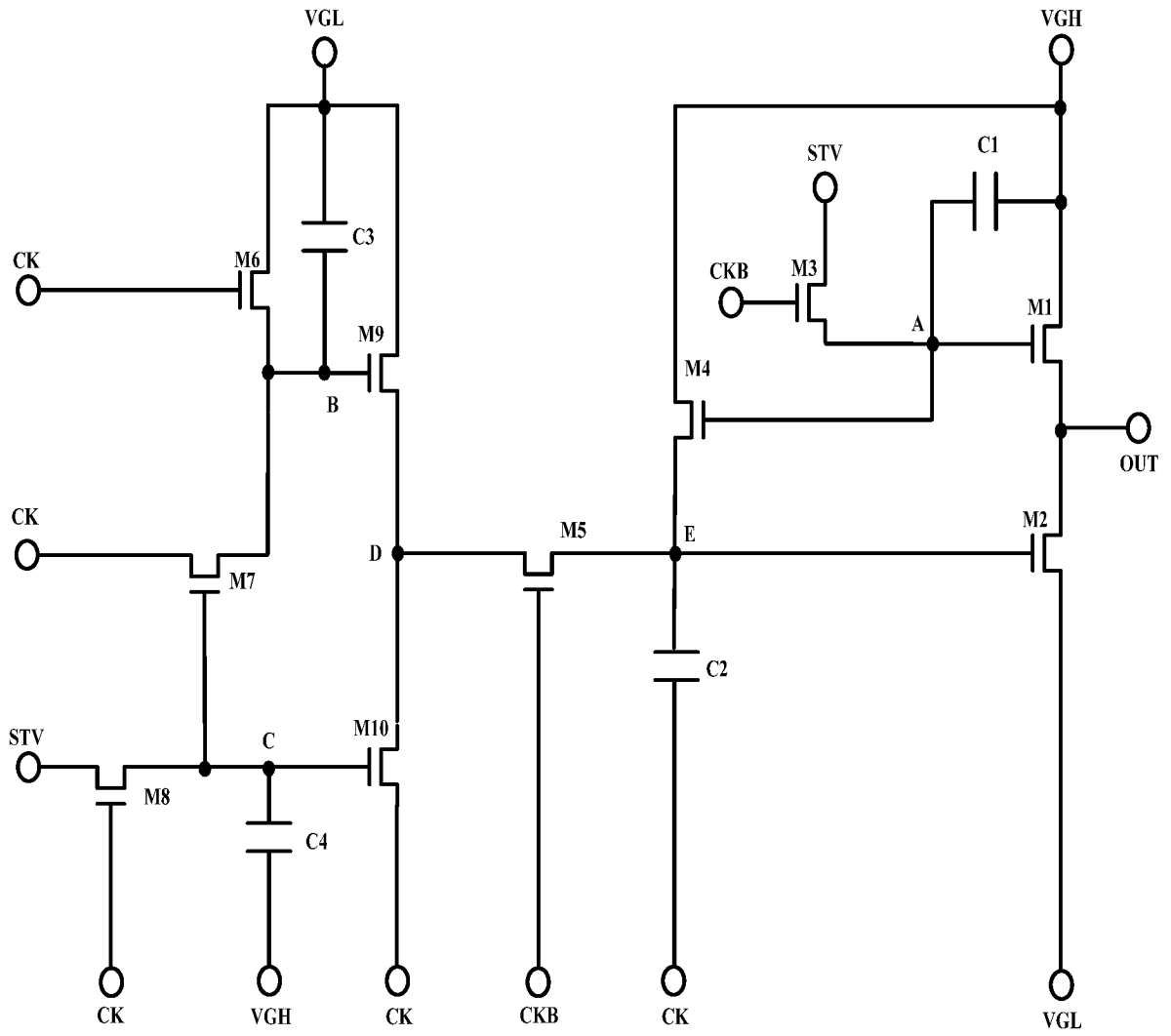


图 6

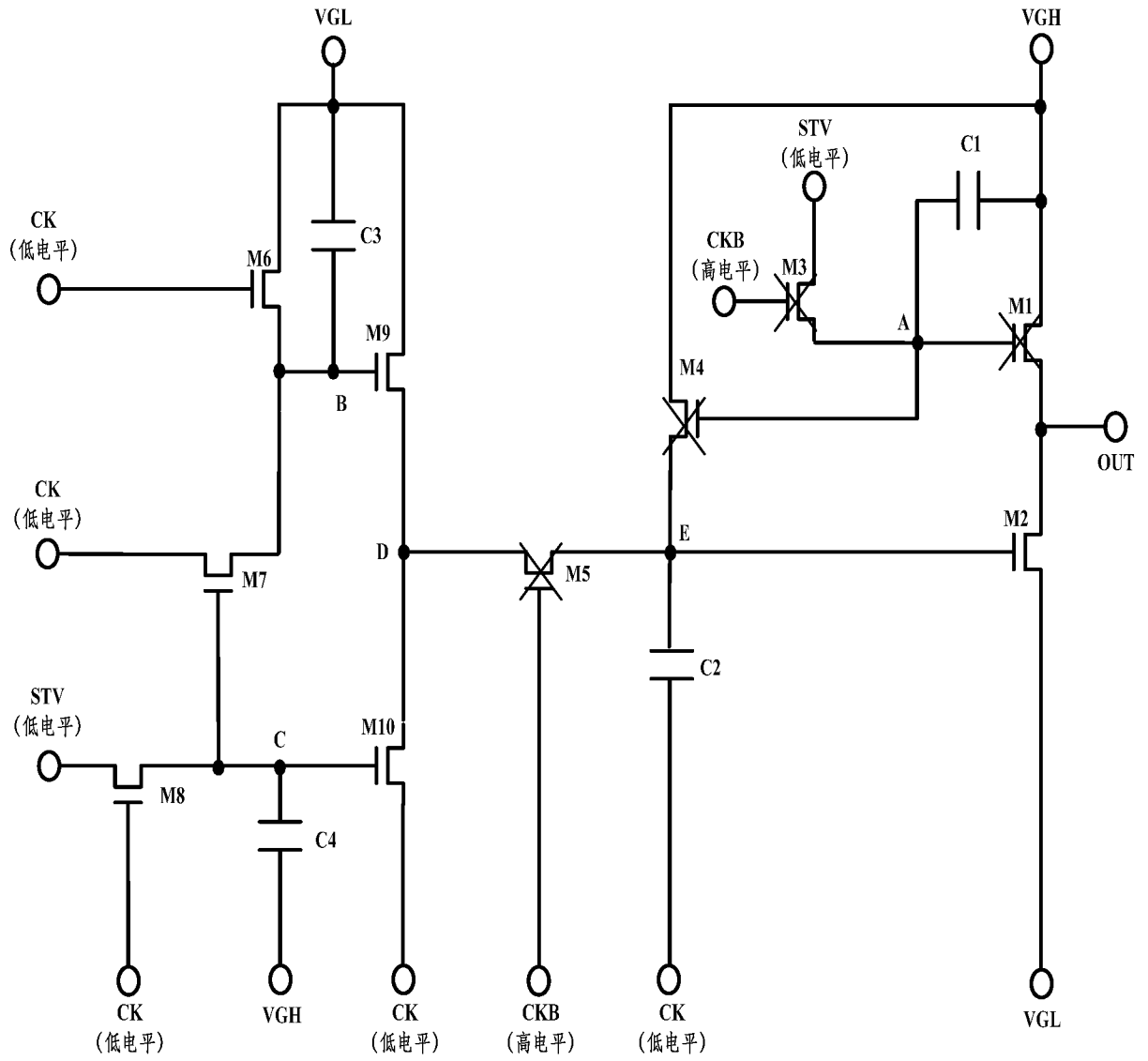


图 7a

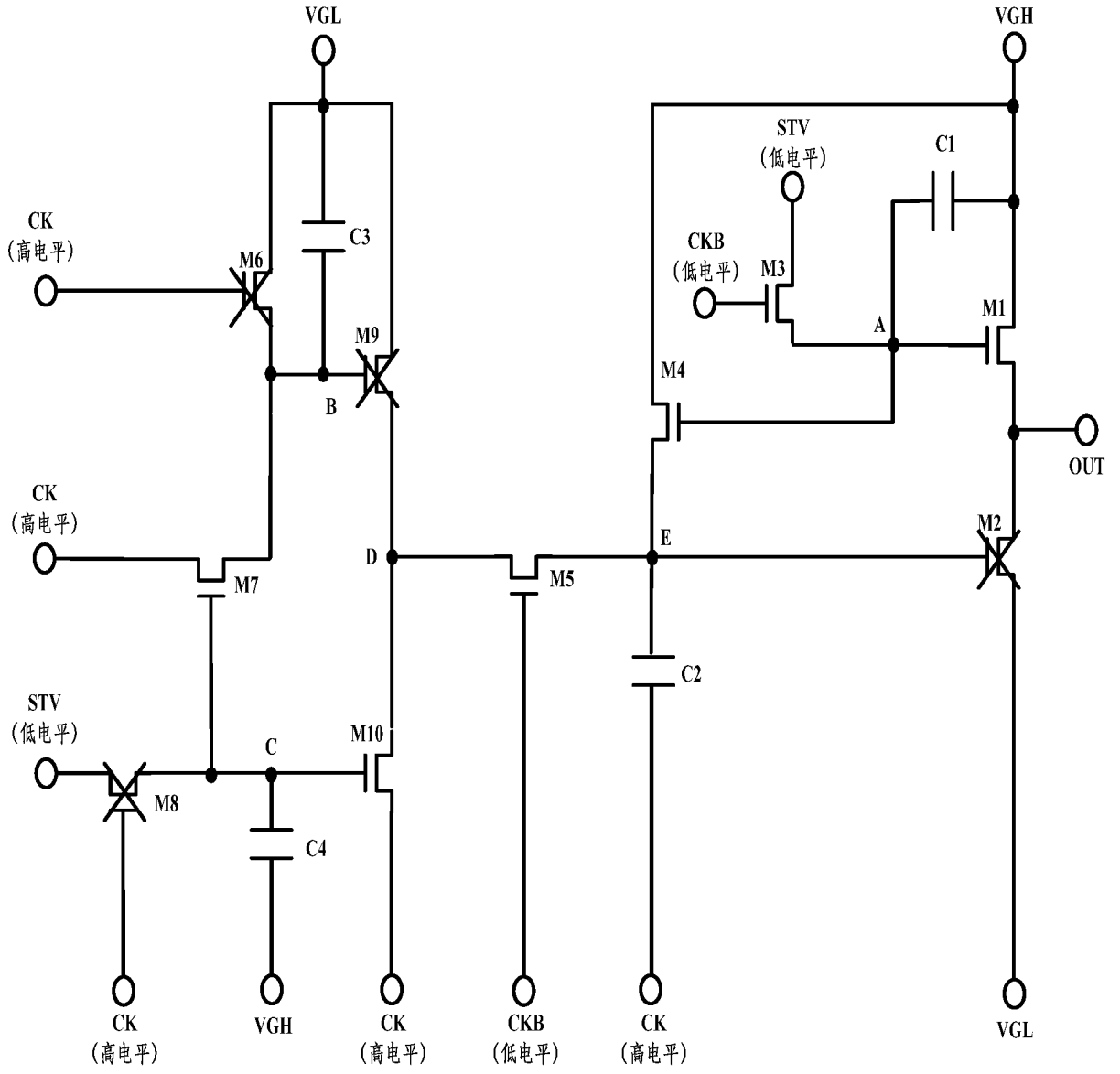


图 7b

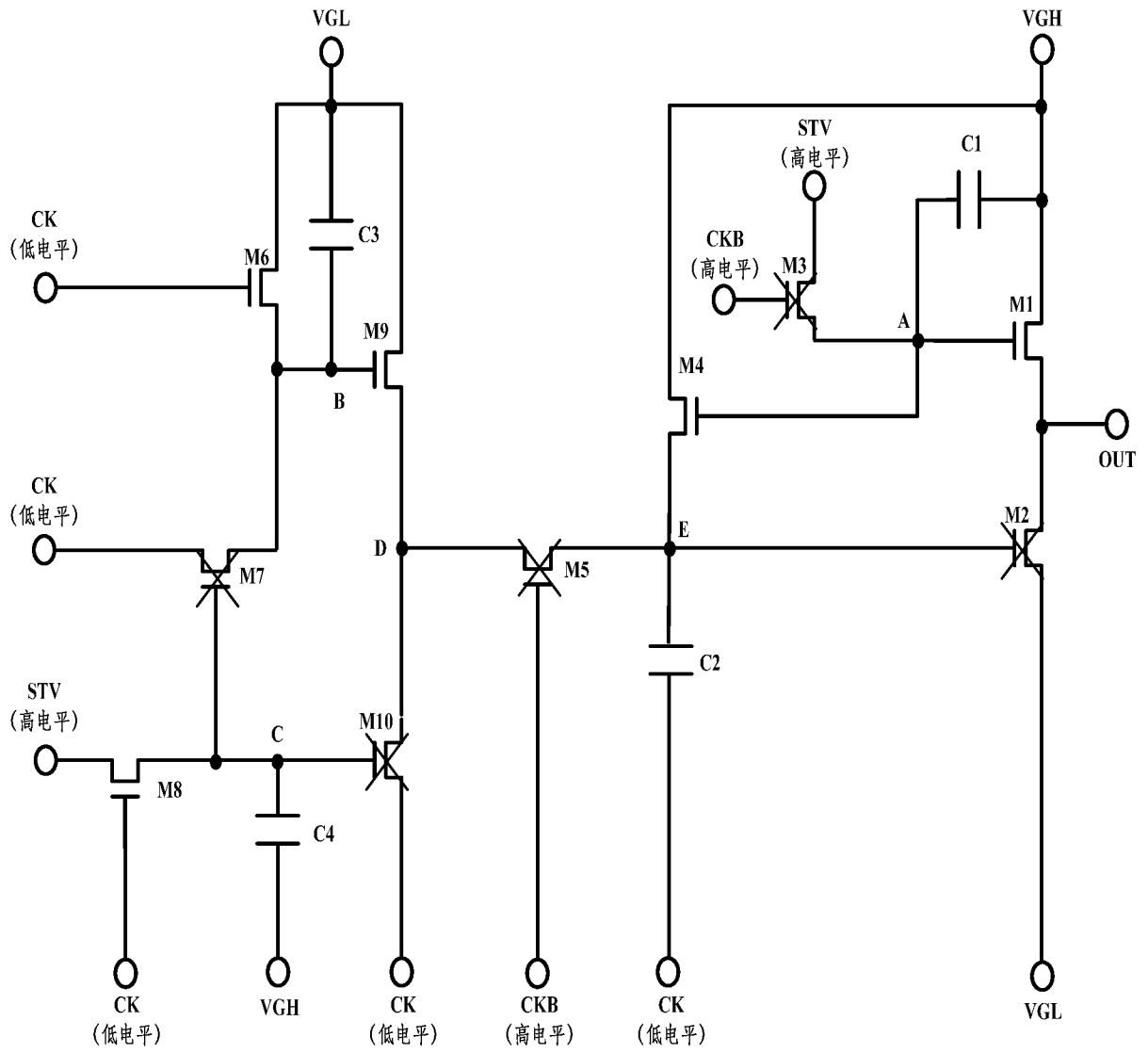


图 7c

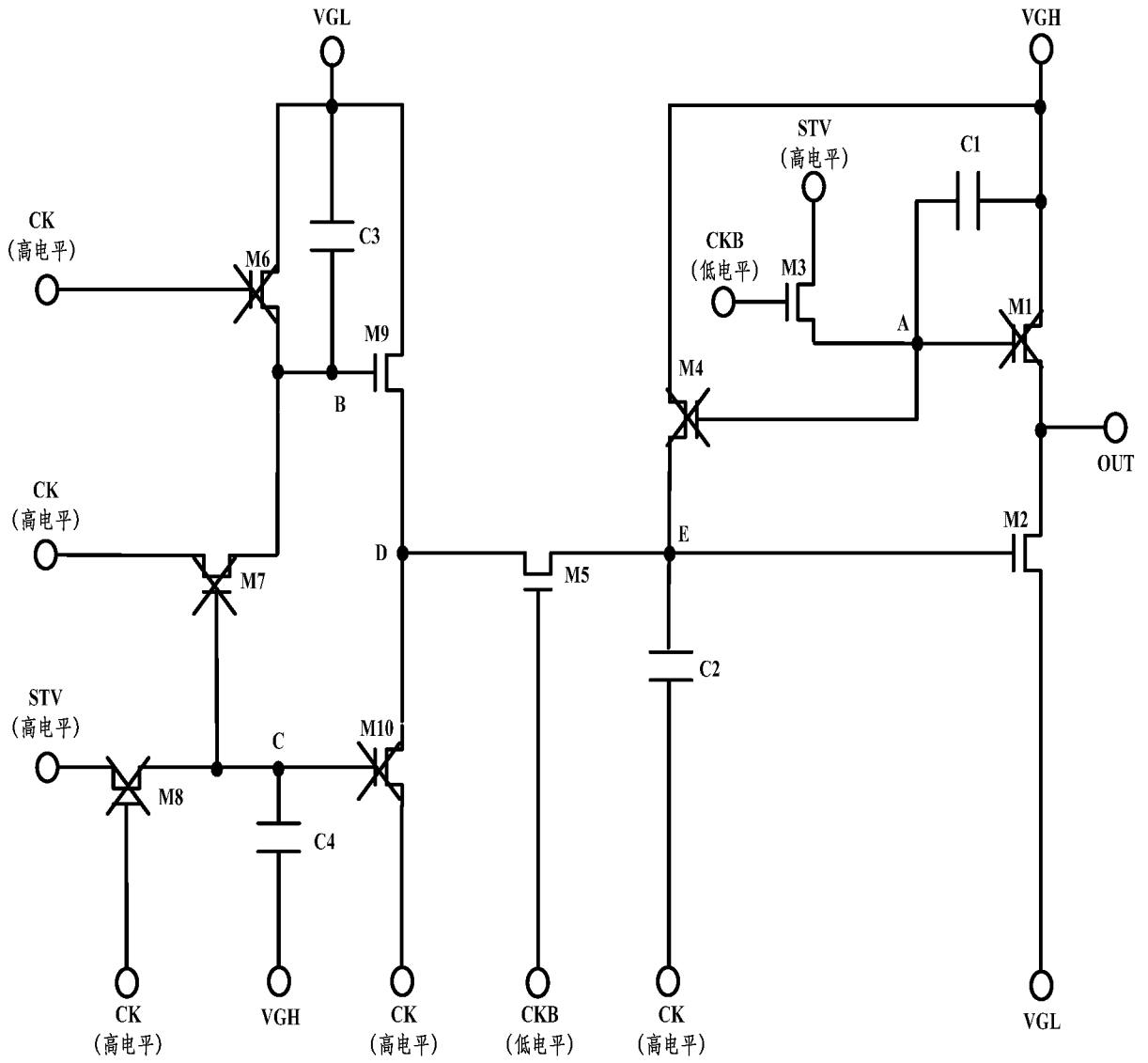


图 7d

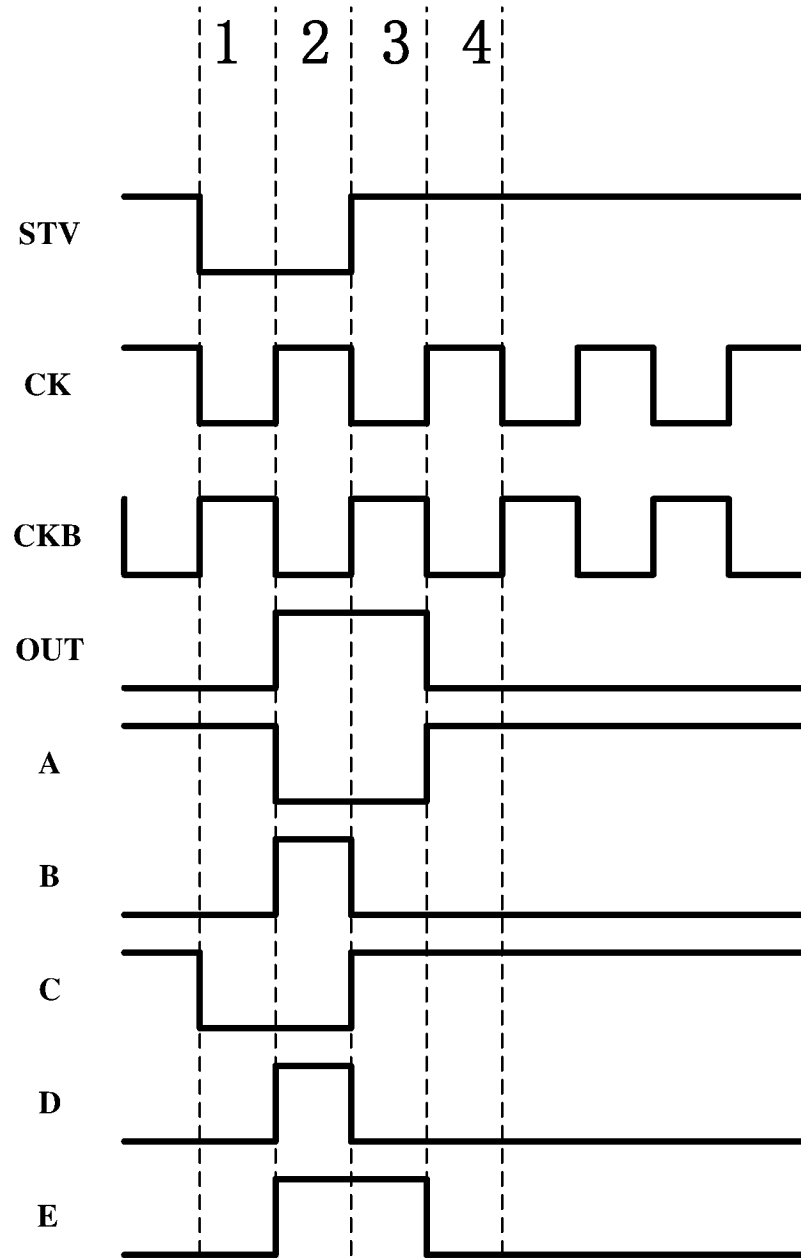


图 8

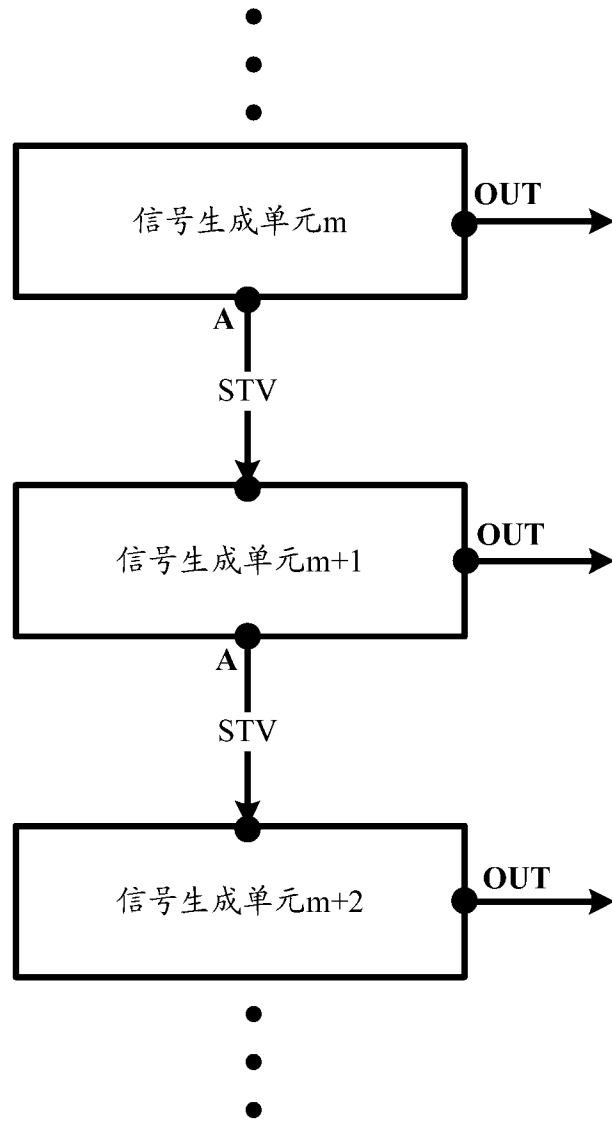


图 9

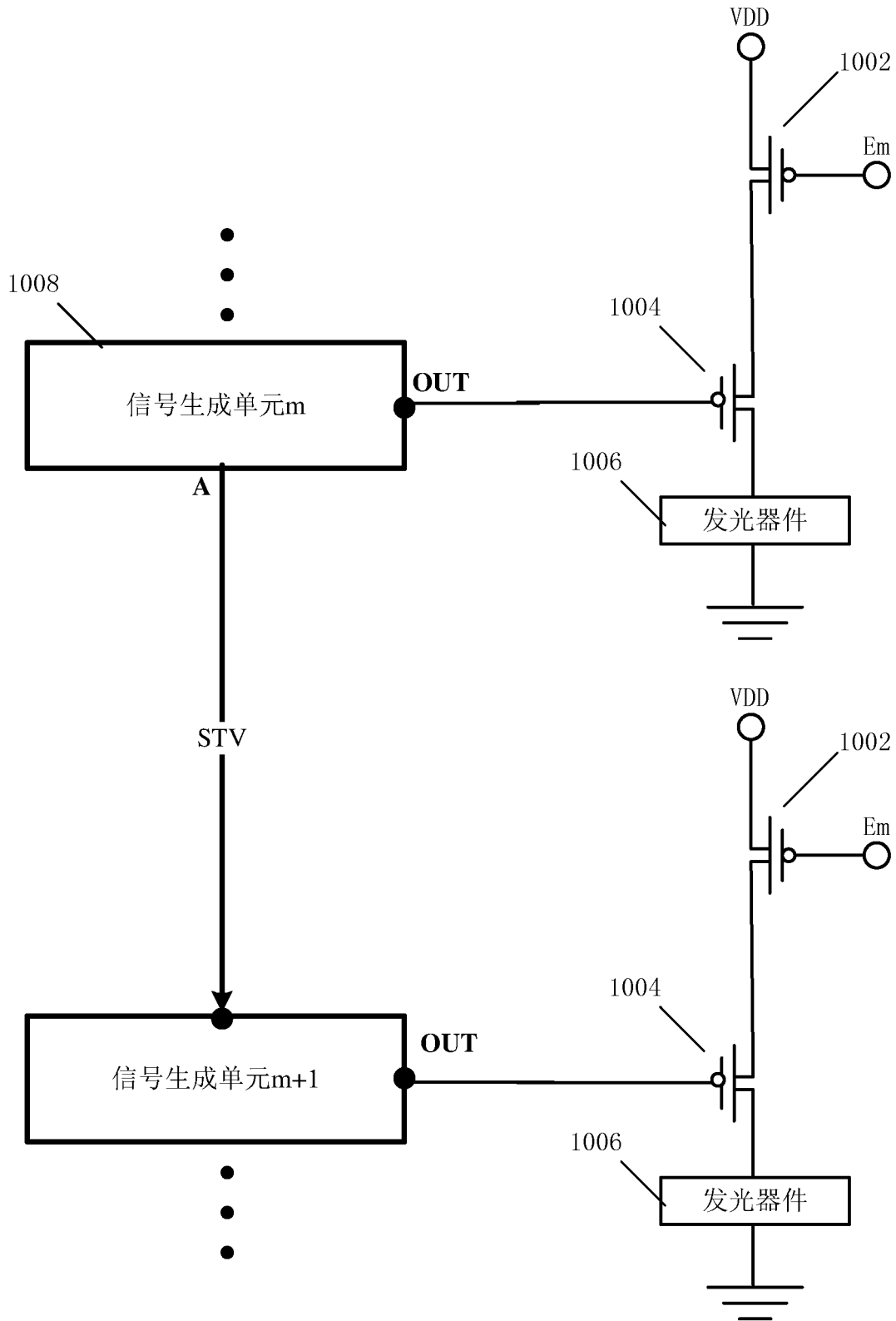


图 10

# INTERNATIONAL SEARCH REPORT

International application No.

**PCT/CN2016/081635**

## A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/34 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G, G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN: gray scale, node level, pulse width, doubl+, twice, multipl+, extend+, prolong+, lengthen+, increas+, expand+, brightness, luminance, lightness, light intensity, brilliance, duty ratio, duty cycle, capacitance, node? potential, pull w up, pull w down, high level, low level, invert+

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104882168 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 02 September 2015 (02.09.2015), description, paragraphs 0124-0130, and figure 1	1-12
A	CN 104332127 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL), 04 February 2015 (04.02.2015), the whole document	1-12
A	CN 101707043 A (AU OPTRONICS CORP.), 12 May 2010 (12.05.2010), the whole document	1-12
A	CN 104134425 A (SHANGHAI TIANMA ORGANIC LUMINESCENT DISPLAY TECHNOLOGY CO., LTD. et al.), 05 November 2014 (05.11.2014), the whole document	1-12
A	JP 2014-10864 A (SEMICONDUCTOR ENERGY LAB), 20 January 2014 (20.01.2014), the whole document	1-12
PX	CN 105529000 A (BOE TECHNOLOGY GROUP CO., LTD.), 27 April 2016 (27.04.2016), claims 1-12	1-12

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>
---	---

Date of the actual completion of the international search  
05 November 2016 (05.11.2016)

Date of mailing of the international search report  
**14 November 2016 (14.11.2016)**

Name and mailing address of the ISA/CN:  
State Intellectual Property Office of the P. R. China  
No. 6, Xitucheng Road, Jimenqiao  
Haidian District, Beijing 100088, China  
Facsimile No.: (86-10) 62019451

Authorized officer  
**KE, Jingjie**  
Telephone No.: (86-10) **62085824**

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

**PCT/CN2016/081635**

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104882168 A	02 September 2015	None	
CN 104332127 A	04 February 2015	None	
CN 101707043 A	12 May 2010	CN 101707043 B	04 July 2012
CN 104134425 A	05 November 2014	US 2015379926 A1	31 December 2015
		DE 102015202848 A1	31 December 2015
JP 2014-10864 A	20 January 2014	JP 5919112 B2	18 May 2016
CN 105529000 A	27 April 2016	None	

国际检索报告

国际申请号

PCT/CN2016/081635

<p>A. 主题的分类</p> <p>G09G 3/34(2006.01)i; G11C 19/28(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G09G, G11C</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS, VEN, 脉宽, 脉冲宽度, 加倍, 翻倍, 增倍, 延长, 增加, 扩大, 亮度, 灰度, 占空比, 电容, 节点电位, 上拉, 下拉, 高电平, 低电平, 反相, pulse width, doubl+, twice, multipl+, extend+, prolong+, lengthen+, increas+, expand+, brightness, luminance, lightness, light intensity, brilliance, duty ratio, duty cycle, capacitance, node? potential, pull w up, pull w down, high level, low level, invert+</p>																							
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 104882168 A (京东方科技集团股份有限公司等) 2015年 9月 2日 (2015 - 09 - 02) 说明书第0124-0130段, 附图1</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 104332127 A (北京大学深圳研究生院) 2015年 2月 4日 (2015 - 02 - 04) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 101707043 A (友达光电股份有限公司) 2010年 5月 12日 (2010 - 05 - 12) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 104134425 A (上海天马有机发光显示技术有限公司等) 2014年 11月 5日 (2014 - 11 - 05) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>JP 特开2014-10864 A (SEMICONDUCTOR ENERGY LAB) 2014年 1月 20日 (2014 - 01 - 20) 全文</td> <td>1-12</td> </tr> <tr> <td>PX</td> <td>CN 105529000 A (京东方科技集团股份有限公司) 2016年 4月 27日 (2016 - 04 - 27) 权利要求1-12</td> <td>1-12</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 104882168 A (京东方科技集团股份有限公司等) 2015年 9月 2日 (2015 - 09 - 02) 说明书第0124-0130段, 附图1	1-12	A	CN 104332127 A (北京大学深圳研究生院) 2015年 2月 4日 (2015 - 02 - 04) 全文	1-12	A	CN 101707043 A (友达光电股份有限公司) 2010年 5月 12日 (2010 - 05 - 12) 全文	1-12	A	CN 104134425 A (上海天马有机发光显示技术有限公司等) 2014年 11月 5日 (2014 - 11 - 05) 全文	1-12	A	JP 特开2014-10864 A (SEMICONDUCTOR ENERGY LAB) 2014年 1月 20日 (2014 - 01 - 20) 全文	1-12	PX	CN 105529000 A (京东方科技集团股份有限公司) 2016年 4月 27日 (2016 - 04 - 27) 权利要求1-12	1-12
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
A	CN 104882168 A (京东方科技集团股份有限公司等) 2015年 9月 2日 (2015 - 09 - 02) 说明书第0124-0130段, 附图1	1-12																					
A	CN 104332127 A (北京大学深圳研究生院) 2015年 2月 4日 (2015 - 02 - 04) 全文	1-12																					
A	CN 101707043 A (友达光电股份有限公司) 2010年 5月 12日 (2010 - 05 - 12) 全文	1-12																					
A	CN 104134425 A (上海天马有机发光显示技术有限公司等) 2014年 11月 5日 (2014 - 11 - 05) 全文	1-12																					
A	JP 特开2014-10864 A (SEMICONDUCTOR ENERGY LAB) 2014年 1月 20日 (2014 - 01 - 20) 全文	1-12																					
PX	CN 105529000 A (京东方科技集团股份有限公司) 2016年 4月 27日 (2016 - 04 - 27) 权利要求1-12	1-12																					
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																							
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&amp;” 同族专利的文件</p>																							
<p>国际检索实际完成的日期</p> <p>2016年 11月 5日</p>	<p>国际检索报告邮寄日期</p> <p>2016年 11月 14日</p>																						
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>	<p>受权官员</p> <p>柯静洁</p> <p>电话号码 (86-10)62085824</p>																						

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2016/081635

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104882168	A	2015年 9月 2日	无			
CN	104332127	A	2015年 2月 4日	无			
CN	101707043	A	2010年 5月 12日	CN	101707043	B	2012年 7月 4日
CN	104134425	A	2014年 11月 5日	US	2015379926	A1	2015年 12月 31日
				DE	102015202848	A1	2015年 12月 31日
JP	特开2014-10864	A	2014年 1月 20日	JP	5919112	B2	2016年 5月 18日
CN	105529000	A	2016年 4月 27日	无			