(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 119522638 A
(43)申请公布日 2025.02.25

(21)申请号 202380051838.0

(22)申请日 2023.06.29

(30)优先权数据
2022-112253 2022.07.13 JP

(85)PCT国际申请进入国家阶段日
2025.01.03

(86)PCT国际申请的申请数据
PCT/IB2023/056731 2023.06.29

(87)PCT国际申请的公布数据
WO2024/013602 JA 2024.01.18

(71)申请人 株式会社半导体能源研究所
地址 日本神奈川县厚木市

(72)发明人 肥冢纯一 神长正美

(74)专利代理机构 中国专利代理(香港)有限公司 72001
专利代理师 何欣亭 陈岚

(51)Int.Cl.
*H10D 30/67*(2025.01)
*H10D 30/01*(2025.01)

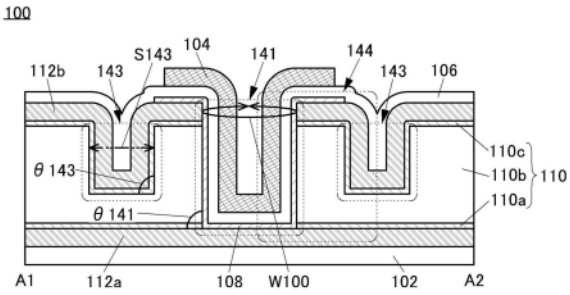
权利要求书3页 说明书65页 附图34页

(54)发明名称

晶体管及晶体管的制造方法

(57)摘要

提供一种微细尺寸的晶体管。该晶体管包括第一导电层、第二导电层、第三导电层、第一绝缘层、第二绝缘层及半导体层。第一绝缘层设置在第一导电层上,并包括到达第一导电层的开口及在从平面看时围绕开口的凹部。第二导电层以覆盖凹部的内壁的方式设置,并具有隔着第一绝缘层与半导体层相对的区域。半导体层以具有与开口重叠的区域的方式设置,并与第一导电层的顶面、第一绝缘层的侧面、第二导电层的侧面及第二导电层的顶面接触。第二绝缘层以与半导体层的顶面接触的方式设置。第三导电层以覆盖开口的内壁的方式设置在第二绝缘层上,并具有隔着第二绝缘层与半导体层相对的区域。




CN 119522638 A

1.一种晶体管,包括第一导电层、第二导电层、第三导电层、第一绝缘层、第二绝缘层及半导体层,

其中,所述第一绝缘层设置在所述第一导电层上,并包括到达所述第一导电层的开口及在从平面看时围绕所述开口的凹部,

所述第二导电层以覆盖所述凹部的内壁的方式设置,并具有隔着所述第一绝缘层与所述半导体层相对的区域,

所述半导体层以与所述开口的内壁及底面接触的方式设置,

所述第二绝缘层以与所述半导体层的顶面接触的方式设置,

并且,所述第三导电层以覆盖所述开口的内壁的方式设置在所述第二绝缘层上,并具有隔着所述第二绝缘层与所述半导体层相对的区域。

2.根据权利要求1所述的晶体管,

其中所述半导体层包括氧化物半导体。

3.根据权利要求1或2所述的晶体管,

其中所述第一绝缘层具有第三绝缘层、所述第三绝缘层上的第四绝缘层及所述第四绝缘层上的第五绝缘层的叠层结构,

并且所述第三绝缘层及所述第五绝缘层具有其膜密度高于所述第四绝缘层的区域。

4.根据权利要求1或2所述的晶体管,

其中在从截面看时,所述开口的所述第二导电层一侧的宽度大于所述第一导电层一侧的宽度,

并且在从截面看时,所述凹部的所述第二导电层一侧的宽度大于所述第一导电层一侧的宽度。

5.根据权利要求1或2所述的晶体管,

其中在从截面看时,所述开口的所述第二导电层一侧的宽度大于所述第一导电层一侧的宽度,

并且在从截面看时,所述凹部的所述第二导电层一侧的宽度小于所述第一导电层一侧的宽度。

6.根据权利要求1或2所述的晶体管,

其中当将所述半导体层所接触的所述第一绝缘层的侧面的从截面看时的长度设定为L1,并且将所述第二导电层中的隔着所述第一绝缘层与所述半导体层相对的区域的从截面看时的长度设定为L2时,L2为L1的0.5倍以上且1.0倍以下。

7.一种晶体管,包括第一导电层、第二导电层、第三导电层、第一绝缘层、第二绝缘层及半导体层,

其中,所述第一绝缘层设置在所述第一导电层上,并包括到达所述第一导电层的第一开口及在从平面看时围绕所述开口的凹部,

所述半导体层与所述开口的内壁及底面以及所述第一绝缘层的顶面接触,

所述第二导电层以覆盖所述凹部的内壁的方式设置,并具有接触于所述半导体层上的区域及隔着所述第一绝缘层与所述半导体层相对的区域,

所述第二绝缘层以与所述半导体层的顶面接触的方式设置,

并且,所述第三导电层以覆盖所述开口的内壁的方式设置在所述第二绝缘层上,并具

有隔着所述第二绝缘层与所述半导体层相对的区域。

8.根据权利要求书7所述的晶体管,

其中所述半导体层包括氧化物半导体。

9.根据权利要求书7或8所述的晶体管,

其中所述第一绝缘层具有第三绝缘层、所述第三绝缘层上的第四绝缘层及所述第四绝缘层上的第五绝缘层的叠层结构,

并且所述第三绝缘层及所述第五绝缘层具有其膜密度高于所述第四绝缘层的区域。

10.根据权利要求书7或8所述的晶体管,

其中在从截面看时,所述开口的所述第二导电层一侧的宽度大于所述第一导电层一侧的宽度,

并且在从截面看时,所述凹部的所述第二导电层一侧的宽度大于所述第一导电层一侧的宽度。

11.根据权利要求书7或8所述的晶体管,

其中在从截面看时,所述开口的所述第二导电层一侧的宽度大于所述第一导电层一侧的宽度,

并且在从截面看时,所述凹部的所述第二导电层一侧的宽度小于所述第一导电层一侧的宽度。

12.根据权利要求书7或8所述的晶体管,

其中当将所述半导体层所接触的所述第一绝缘层的侧面的从截面看时的长度设定为L1,并且将所述第二导电层中的隔着所述第一绝缘层与所述半导体层相对的区域的从截面看时的长度设定为L2时,L2为L1的0.5倍以上且1.0倍以下。

13.一种晶体管的制造方法,包括如下步骤:

形成第一导电层;

在所述第一导电层上形成第一绝缘层;

对所述第一绝缘层进行加工来在所述第一绝缘层中形成凹部;

以覆盖所述第一绝缘层的顶面的方式形成第二绝缘层;

在所述第二绝缘层上形成第一导电膜;

对所述第一导电膜进行加工形成第二导电层,接着,在从平面看时在由所述凹部围绕的区域内形成到达所述第一导电层的开口;

以覆盖所述第二导电层的顶面、所述开口的内壁及所述开口的底面的方式形成金属氧化物膜;

对所述金属氧化物膜进行加工,以具有与所述开口的内壁重叠的区域的方式形成半导体层;

以覆盖所述半导体层及所述第二导电层的顶面的方式形成第三绝缘层;

在所述第三绝缘层上形成第二导电膜;以及

对所述第二导电膜进行加工,以具有与所述开口重叠的区域的方式形成第三导电层。

14.根据权利要求13所述的晶体管的制造方法,

其中在形成所述第一绝缘层之后,进行对所述第一绝缘层供应氧的处理。

15.根据权利要求13或14所述的晶体管的制造方法,

其中所述金属氧化物膜使用溅射法形成。

16.根据权利要求13或14所述的晶体管的制造方法，

其中所述金属氧化物膜使用ALD法形成。

# 晶体管及晶体管的制造方法

## 技术领域

[0001] 本发明的一个方式涉及一种晶体管、半导体装置、显示装置、显示模块及电子设备。本发明的一个方式涉及一种晶体管的制造方法、半导体装置的制造方法及显示装置的制造方法。

[0002] 注意,本发明的一个方式不局限于上述技术领域。作为本发明的一个方式的技术领域的一个例子,可以举出晶体管、半导体装置、显示装置、发光装置、蓄电装置、存储装置、照明装置、输入装置(例如触摸传感器)、输入输出装置(例如触摸面板)、显示模块以及安装它们的电子设备、它们的驱动方法或制造方法。

## 背景技术

[0003] 包括晶体管的半导体装置广泛应用于显示装置及电子设备,需要半导体装置的高集成化及高速化。例如,在高清晰的显示装置中使用半导体装置时,需要高集成的半导体装置。作为提高晶体管的集成度的方法之一,对微细尺寸的晶体管进行开发。

[0004] 近年来,对可用于虚拟现实(VR:Virtual Reality)、增强现实(AR:Augmented Reality)、替代现实(SR:Substitutional Reality)或者混合现实(MR:Mixed Reality)的显示装置的需求很高。将VR、AR、SR及MR总称为XR(Extended Reality:扩展现实)。为了提高现实感及沉浸感,XR用显示装置被要求清晰度高且颜色再现性高。作为可用于上述显示装置的装置,例如可以举出液晶显示装置、具备有机EL(Electro Luminescence:电致发光)器件或发光二极管(LED:Light Emitting Diode)等发光器件(也称为发光元件)的发光装置。

[0005] 专利文献1公开了使用有机EL器件(也称为有机EL元件)的面向VR的显示装置。

[先行技术文献]

[专利文献]

[0006] [专利文献1]国际专利申请公开第2018/087625号

## 发明内容

发明所要解决的技术问题

[0007] 本发明的一个方式的目的之一是提供一种微细尺寸的晶体管及其制造方法。另外,本发明的一个方式的目的之一是提供一种通态电流大的晶体管及其制造方法。另外,本发明的一个方式的目的之一是提供一种电特性良好的晶体管及其制造方法。另外,本发明的一个方式的目的之一是提供一种可靠性高的晶体管及其制造方法。另外,本发明的一个方式的目的之一是提供一种生产率高的晶体管及其制造方法。另外,本发明的一个方式的目的之一是提供一种新颖的晶体管及其制造方法。

[0008] 注意,这些目的的记载并不妨碍其他目的的存在。本发明的一个方式并不需要实现所有上述目的。可以从说明书、附图、权利要求书等的记载抽取上述以外的目的。

解决技术问题的手段

[0009] 本发明的一个方式是一种晶体管,包括第一导电层、第二导电层、第三导电层、第

一绝缘层、第二绝缘层及半导体层,其中,第一绝缘层设置在第一导电层上,并包括到达第一导电层的开口及在从平面看时围绕开口的凹部,第二导电层以覆盖凹部的内壁的方式设置,并具有隔着第一绝缘层与半导体层相对的区域,半导体层以与开口的内壁及底面接触的方式设置,第二绝缘层以与半导体层的顶面接触的方式设置,并且,第三导电层以覆盖开口的内壁的方式设置在第二绝缘层上,并具有隔着第二绝缘层与半导体层相对的区域。

[0010] 在上述结构中,半导体层优选包括氧化物半导体。

[0011] 在上述结构中,优选的是,第一绝缘层具有第三绝缘层、第三绝缘层上的第四绝缘层及第四绝缘层上的第五绝缘层的叠层结构,并且第三绝缘层及第五绝缘层具有其膜密度高于第四绝缘层的区域。

[0012] 在上述结构中,优选的是,在从截面看时,开口的第二导电层一侧的宽度大于第一导电层一侧的宽度,并且在从截面看时,凹部的第二导电层一侧的宽度大于第一导电层一侧的宽度。

[0013] 在上述结构中,在从截面看时,开口的第二导电层一侧的宽度大于第一导电层一侧的宽度,并且在从截面看时,凹部的第二导电层一侧的宽度小于第一导电层一侧的宽度。

[0014] 在上述结构中,优选的是,当将半导体层所接触的第一绝缘层的侧面的从截面看时的长度设定为L1,并且将第二导电层中的隔着第一绝缘层与半导体层相对的区域的从截面看时的长度设定为L2时,L2为L1的0.5倍以上且1.0倍以下。

[0015] 另外,本发明的一个方式是一种晶体管,包括第一导电层、第二导电层、第三导电层、第一绝缘层、第二绝缘层及半导体层,其中,第一绝缘层设置在第一导电层上,并包括到达第一导电层的第一开口及在从平面看时围绕开口的凹部,半导体层与开口的内壁及底面以及第一绝缘层的顶面接触,第二导电层以覆盖凹部的内壁的方式设置,并具有接触于半导体层的顶面的区域及隔着第一绝缘层与半导体层相对的区域,第二绝缘层以与半导体层的顶面接触的方式设置,并且,第三导电层以覆盖开口的内壁的方式设置在第二绝缘层上,并具有隔着第二绝缘层与半导体层相对的区域。

[0016] 在上述结构中,半导体层优选包括氧化物半导体。

[0017] 在上述结构中,优选的是,第一绝缘层具有第三绝缘层、第三绝缘层上的第四绝缘层及第四绝缘层上的第五绝缘层的叠层结构,并且第三绝缘层及第五绝缘层具有其膜密度高于第四绝缘层的区域。

[0018] 在上述结构中,优选的是,在从截面看时,开口的第二导电层一侧的宽度大于第一导电层一侧的宽度,并且在从截面看时,凹部的第二导电层一侧的宽度大于第一导电层一侧的宽度。

[0019] 在上述结构中,优选的是,在从截面看时,开口的第二导电层一侧的宽度大于第一导电层一侧的宽度,并且在从截面看时,凹部的第二导电层一侧的宽度小于第一导电层一侧的宽度。

[0020] 在上述结构中,优选的是,当将半导体层所接触的第一绝缘层的侧面的从截面看时的长度设定为L1,并且将第二导电层中的隔着第一绝缘层与半导体层相对的区域的从截面看时的长度设定为L2时,L2为L1的0.5倍以上且1.0倍以下。

[0021] 另外,本发明的一个方式是一种晶体管的制造方法,包括如下步骤:形成第一导电层;在第一导电层上形成第一绝缘层;对第一绝缘层进行加工来在第一绝缘层中形成凹部;

以覆盖第一绝缘层的顶面的方式形成第二绝缘层;在第二绝缘层上形成第一导电膜;对第一导电膜进行加工来形成第二导电层,接着,在从平面看时在由凹部围绕的区域内形成到达第一导电层的开口;以覆盖第二导电层的顶面、开口的内壁及开口的底面的方式形成金属氧化物膜;对金属氧化物膜进行加工,来以具有与开口的内壁重叠的区域的方式形成半导体层;以覆盖半导体层及第二导电层的顶面的方式形成第三绝缘层;在第三绝缘层上形成第二导电膜;以及对第二导电膜进行加工,来以具有与开口重叠的区域的方式形成第三导电层。

[0022] 在上述制造方法中,优选在形成第一绝缘层之后进行对第一绝缘层供应氧的处理。

[0023] 在上述制造方法中,金属氧化物膜优选使用溅射法形成。

[0024] 在上述制造方法中,金属氧化物膜优选使用ALD法形成。

发明效果

[0025] 根据本发明的一个方式可以提供一种微细尺寸的晶体管及其制造方法。另外,根据本发明的一个方式可以提供一种通态电流大的晶体管及其制造方法。另外,根据本发明的一个方式可以提供一种电特性良好的晶体管及其制造方法。另外,根据本发明的一个方式可以提供一种可靠性高的晶体管及其制造方法。另外,根据本发明的一个方式可以提供一种生产率高的晶体管的制造方法。另外,根据本发明的一个方式可以提供一种新颖的晶体管及其制造方法。

[0026] 注意,这些效果的记载并不妨碍其他效果的存在。本发明的一个方式并不需要具有所有上述效果。可以从说明书、附图、权利要求书的记载中抽取上述效果以外的效果。

附图简要说明

[0027] 图1A是示出晶体管的一个例子的平面图。图1B是示出晶体管的一个例子的截面图。

图2A及图2B是示出晶体管的一个例子的截面图。

图3A及图3B是示出晶体管的一个例子的截面图。

图4A及图4B是示出晶体管的一个例子的截面图。

图5A及图5B是示出晶体管的一个例子的截面图。

图6A及图6B是示出晶体管的一个例子的截面图。

图7A及图7B是示出晶体管的一个例子的截面图。

图8A是示出晶体管的一个例子的平面图。图8B是示出晶体管的一个例子的截面图。

图9A至图9C是示出晶体管的制造方法的一个例子的截面图。

图10A至图10C是示出晶体管的制造方法的一个例子的截面图。

图11A至图11C是示出晶体管的制造方法的一个例子的截面图。

图12是示出显示装置的一个例子的立体图。

图13是示出显示装置的一个例子的截面图。

图14是示出显示装置的一个例子的截面图。

图15是示出显示装置的一个例子的截面图。

图16是示出显示装置的一个例子的截面图。

图17是示出显示装置的一个例子的截面图。

图18是示出显示装置的一个例子的截面图。

图19是示出显示装置的一个例子的截面图。

图20A至图20F是示出显示装置的制造方法的一个例子的截面图。

图21A及图21B是像素电路的电路图。

图22A及图22B是像素电路的电路图。

图23是像素电路的电路图。

图24是示出时序电路的结构例子的图。

图25A至图25D是示出电子设备的一个例子的图。

图26A至图26F是示出电子设备的一个例子的图。

图27A至图27G是示出电子设备的一个例子的图。

实施发明的方式

[0028] 参照附图对实施方式进行详细说明。注意,本发明不局限于以下说明,而所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0029] 注意,在下面说明的发明结构中,在不同的附图中共用相同的符号来显示相同的部分或具有相同功能的部分,而省略反复说明。此外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加附图标记。

[0030] 为了便于理解,有时附图中示出的各构成的位置、大小及范围等并不表示其实际的位置、大小及范围等。因此,所公开的发明并不必然限于附图中公开的位置、大小及范围等。

[0031] 另外,根据情况或状态,可以互相调换“膜”和“层”。例如,可以将“导电层”变换为“导电膜”。此外,可以将“绝缘膜”变换为“绝缘层”。

[0032] 在本说明书等中,有时将使用金属掩模或FMM(Fine Metal Mask,高精细金属掩模)制造的器件称为具有MM(Metal Mask)结构的器件。此外,在本说明书等中,有时将不使用金属掩模或FMM制造的器件称为具有MML(Metal Mask Less)结构的器件。

[0033] 在本说明书等中,有时将在发光波长不同的发光器件中至少分别制造发光层的结构称为SBS(Side By Side)结构。SBS结构由于可以对各发光器件使材料及结构最优化,材料及结构的选择自由度得到提高,可以容易实现亮度及可靠性的提高。

[0034] 在本说明书等中,有时将空穴或电子表示为“载流子”。具体而言,有时将空穴注入层或电子注入层称为“载流子注入层”,将空穴传输层或电子传输层称为“载流子传输层”,将空穴阻挡层或电子阻挡层称为“载流子阻挡层”。注意,上述载流子注入层、载流子传输层及载流子阻挡层有时无法根据其截面形状或特性等明确地进行区分。另外,有时一个层兼具载流子注入层、载流子传输层和载流子阻挡层中的两者或三者的功能。

[0035] 在本说明书等中,发光元件在一对电极间包括EL层。EL层至少包括发光层。在此,作为EL层所包括的层(也被称为功能层),可以举出发光层、载流子注入层(空穴注入层及电子注入层)、载流子传输层(空穴传输层及电子传输层)及载流子阻挡层(空穴阻挡层及电子阻挡层)。

[0036] 在本说明书等中,受光器件(也被称为受光元件)在一对电极之间至少包括被用作光电转换层的活性层。

[0037] 在本说明书等中,岛状是指以同一工序形成并使用同一材料的两个以上的层物理分离的状态。例如,岛状发光层是指该发光层与相邻的发光层物理分离的状态。

[0038] 在本说明书等中,锥形形状是指构成要素的侧面的至少一部分相对于衬底面或被形成面倾斜地设置的形状。例如,优选的是,包括倾斜的侧面与衬底面或被形成面所形成的角度(也称为锥形角)小于90度的区域,包括上述角度为45度以上且小于90度的区域,更优选包括上述角度为50度以上且小于90度的区域,更优选包括上述角度为55度以上且小于90度的区域,更优选包括上述角度为60度以上且小于90度的区域,更优选包括上述角度为60度以上且85度以下的区域,更优选包括上述角度为65度以上且85度以下的区域,更优选包括上述角度为65度以上且80度以下的区域,更优选包括上述角度为70度以上且80度以下的区域。在此,构成要素的侧面、衬底面及被形成面不一定必须完全平坦,也可以是具有微细曲率的近似平面状或具有微细凹凸的近似平面状。

[0039] 在本说明书等中,牺牲层(也称为掩模层)至少位于发光层(更具体而言是构成EL层的层中被加工为岛状的层)的上方,并且在制造工序中具有保护该发光层的功能。

[0040] 在本说明书等中,断开是指层、膜或电极因被形成面的形状(例如,台阶等)而断开的现象。

[0041] 在本说明书等中,平面形状是指从平面看时的形状,即从上方看时的形状。另外,在本说明书等中,“平面形状大致一致”是指叠层中的每一个层的边缘的至少一部分重叠。例如,包括上层及下层通过同一的掩模图案或其一部分同一的掩模图案被加工的情况。但是,实际上有边缘不重叠的情况,有时上层位于下层的内侧或者上层位于下层的外侧,该情况也可以说“平面形状大致一致”。

[0042] 注意,在本说明书等中,“高度大致一致”是指在从截面看时距成为基准的面(例如,衬底表面等平坦的面)的高度大致相等的结构。

[0043] (实施方式1)

在本实施方式中,说明本发明的一个方式的晶体管及其制造方法等。

[0044] <晶体管的结构例子>

说明本发明的一个方式的晶体管。图1A示出晶体管100的平面图(也称为俯视图)。图1B示出沿着图1A所示的点划线A1-A2的截面图,图2A示出沿着图1A所示的点划线B1-B2的截面图。图2B示出图1B所示的区域144的放大图。注意,在图1A中省略晶体管100的构成要素的一部分(绝缘层等)。关于晶体管等的平面图,在后面的附图中也与图1A同样地省略构成要素的一部分。

[0045] 晶体管100设置在衬底102上。晶体管100包括导电层104、绝缘层106、半导体层108、导电层112a、导电层112b及绝缘层110(绝缘层110a、绝缘层110b及绝缘层110c)。导电层104被用作第一栅电极。绝缘层106的一部分被用作第一栅极绝缘层。导电层112a被用作源电极和漏电极中的一个,导电层112b被用作源电极和漏电极中的另一个。在半导体层108中,在源电极与漏电极之间隔着第一栅极绝缘层与第一栅电极重叠的区域的整体被用作沟道形成区域。此外,在半导体层108中,与源电极接触的区域被用作源区域,与漏电极接触的区域被用作漏区域。

[0046] 导电层112b被用作第二栅电极(也称为背栅电极)。另外,绝缘层110的一部分被用作第二栅极绝缘层。换言之,在本发明的一个方式的晶体管中,导电层112b可以兼具源电极和漏电极中的另一个的功能及第二栅电极的功能。由此可以提高晶体管的Id-Vd特性的饱和性。注意,在本说明书等中,有时将晶体管的Id-Vd特性中的饱和区域的电流变化小(倾斜度小)的情况表现为“饱和性高”。此外,还可以提高晶体管的可靠性。再者,与分别设置源电极和漏电极中的另一个及第二栅电极的情况相比,在包括该晶体管的电路中可以减少布线数。因此,可以实现电路整体的简化。另外,制造时的工序数得到减少,而可以实现生产率的提高。

[0047] 如图1B及图2A所示,衬底102上设置有导电层112a。导电层112a上设置有绝缘层110(绝缘层110a、绝缘层110b及绝缘层110c)。绝缘层110上设置有导电层112b。以与导电层112a的顶面的一部分、绝缘层110的侧面、导电层112b的侧面及导电层112b的顶面的一部分接触的方式设置有半导体层108。以与半导体层108的顶面及侧面以及导电层112b的顶面接触的方式设置有绝缘层106。绝缘层106的顶面以具有与半导体层108的顶面及绝缘层110的侧面重叠的区域的方式设置有导电层104。

[0048] 绝缘层110及导电层112b中设置有到达导电层112a的开口141。该开口141在从平面看时(参照图1A)具有近似圆形的形状。在图1A中,以点划线A1-A2与点划线B1-B2的交点为中心且宽度D141为直径的近似圆形表示开口141。

[0049] 另外,绝缘层110b中设置有凹部143。该凹部143在从平面看时(参照图1A)以包括开口141在内的方式具有宽度S143的环状形状。换言之,可以说凹部143以围绕开口141的方式设置。另外,凹部143的底面在从截面看时(参照图1B及图2A)位于导电层112a的顶面的上方。就是说,在绝缘层110b中,凹部143形成得比开口141浅。注意,在图1B及图2A中,将形成有凹部143的区域中的绝缘层110b的侧面与顶面所形成的角度表示为角度θ143。

[0050] 绝缘层110b的下方设置有绝缘层110a。也就是说,导电层112a上依次层叠有绝缘层110a及绝缘层110b。与绝缘层110b的凹部143重叠的区域中的绝缘层110b的侧面(也可以称为凹部143的内壁)、与凹部143重叠的区域中的绝缘层110b的顶面(也可以称为凹部143的底面)以及不与凹部143重叠的区域中的绝缘层110b的顶面以与它们接触的方式设置有绝缘层110c。

[0051] 绝缘层110c上设置有导电层112b。导电层112b以覆盖凹部143的内壁及底面的方式设置。导电层112b的凹部143内的区域优选以具有隔着绝缘层110与半导体层108重叠(相对)的区域的方式设置。

[0052] 另外,以具有与开口141重叠的区域的方式且以与导电层112a的顶面(也可以称为开口141的底面)、绝缘层110及导电层112b的侧面(也可以称为开口141的内壁)以及导电层112b的顶面接触的方式设置有半导体层108。半导体层108的顶面及侧面以及导电层112b的顶面以与它们接触的方式设置有绝缘层106。绝缘层106上以具有与开口141重叠的区域的方式设置有导电层104。导电层104以覆盖开口141的内壁及底面的方式设置。导电层104优选以具有在开口141内隔着绝缘层106与半导体层108重叠(相对)的区域的方式设置。

[0053] 通过本发明的一个方式的晶体管具有上述结构,导电层112a可以被用作源电极和漏电极中的一个。另外,导电层112b可以被用作源电极和漏电极中的另一个。另外,导电层104可以被用作第一栅电极。另外,绝缘层106的一部分(位于导电层112a与导电层112b之间

的高度处且与导电层104重叠的区域)可以被用作第一栅极绝缘层。另外,半导体层108中的与第一栅极绝缘层重叠的部分可以被用作沟道形成区域。

[0054] 另外,导电层112b可以被用作第二栅电极。另外,绝缘层110的一部分(绝缘层110b及绝缘层110c的夹在导电层112b与半导体层108之间的区域。也可以说是在从平面看时夹在开口141与凹部143之间的区域)可以被用作第二栅极绝缘层。

[0055] 也就是说,在晶体管100中,导电层112b可以被用作源电极和漏电极中的另一个,也可以被用作第二栅电极。

[0056] 导电层112b中的隔着绝缘层110与半导体层108重叠(相对)的部分被用作第二栅电极。在图2B中,以虚线的双箭头表示导电层112b中的用作第二栅电极的部分的长度L112b。

[0057] 当导电层112b被用作第二栅电极时,半导体层108的与导电层112b相对一侧的区域(也称为背沟道区域)的电位被固定,由此可以提高晶体管100的Id-Vd特性的饱和性。

[0058] 通过本发明的一个方式的晶体管包括第二栅电极,与不包括第二栅电极的情况相比,阈值电压的控制性得到提高,可以更确实地实现常关闭特性。

[0059] 此外,通过本发明的一个方式的晶体管包括第二栅电极,有时可以降低多个晶体管之间的特性不均匀。例如,有时可以降低多个晶体管之间的阈值的不均匀。

[0060] 用作第二栅电极的导电层112b优选被供应源极电位和漏极电位中的低电位一侧的电位。因此,优选的是,在本发明的一个方式的晶体管为n沟道型晶体管的情况下,导电层112b被用作源电极,导电层112a被用作漏电极。在本发明的一个方式的晶体管为n沟道型晶体管的情况下,通过使一个导电层(导电层112b)兼具源电极的功能及第二栅电极的功能,可以抑制电子陷阱对背沟道区域带来的影响等,从而可以提高晶体管的可靠性。

[0061] 或者,在本发明的一个方式的晶体管为n沟道型晶体管的情况下,也可以将导电层112a用作源电极且将导电层112b用作漏电极。在此情况下,例如,通过使用作第一栅电极的导电层104与导电层112b电连接,可以将本发明的一个方式的晶体管用作二极管。

[0062] 另外,优选的是,在本发明的一个方式的晶体管为p沟道型晶体管的情况下,导电层112b被用作漏电极,导电层112a被用作源电极。在本发明的一个方式的晶体管为p沟道型晶体管的情况下,通过使一个导电层(导电层112b)兼具漏电极的功能及第二栅电极的功能,有时可以提高晶体管的可靠性。

[0063] 或者,在本发明的一个方式的晶体管为p沟道型晶体管的情况下,也可以将导电层112b用作源电极且将导电层112a用作漏电极。在此情况下,例如,通过使用作第一栅电极的导电层104与导电层112a电连接,可以将本发明的一个方式的晶体管用作二极管。

[0064] 另外,通过使导电层112b延伸,也可以将其用作布线。也就是说,通过使导电层112b延伸,可以使导电层112b兼具晶体管100的源电极和漏电极中的另一个的功能、第二栅电极的功能及布线的功能的三个功能。由此,在包括该晶体管的电路中可以减少布线数,因此可以实现电路整体的简化。另外,制造时的工序数得到减少,而可以实现生产率的提高。

[0065] 如图1B等所示,在本发明的一个方式的晶体管中,源电极及漏电极的相对于衬底面的高度彼此不同,所以漏电流在高度方向(纵向方向)上流过。因此,本发明的一个方式的晶体管也可以被称为纵向晶体管、纵向沟道晶体管或VFET(Vertical Field Effect Transistor:垂直场效应晶体管)等。

[0066] 另外,在晶体管100中,半导体层108的底面(衬底102一侧的面)与用作源电极和漏电极中的一个的导电层112a的顶面及用作源电极和漏电极中的另一个的导电层112b的顶面接触。因此,晶体管100也可以被称为底接触(Bottom Contact)型晶体管。

[0067] 接着,说明晶体管100的沟道长度及沟道宽度。

[0068] 晶体管100的沟道长度为源区域与漏区域之间的距离。图2B中以虚线的双箭头表示晶体管100的沟道长度L100。沟道长度L100也可以说是源电极与漏电极之间与半导体层108接触的绝缘层110(绝缘层110a、绝缘层110b及绝缘层110c)的侧面的长度。

[0069] 在此,晶体管100的沟道长度L100根据绝缘层110(绝缘层110a、绝缘层110b及绝缘层110c)的厚度、绝缘层110的侧面与绝缘层110a的被形成面(导电层112a的顶面)所形成的角度θ141等决定,不会受到用于晶体管的制造的曝光装置的性能的影响。因此,例如可以将沟道长度L100设为比曝光装置的极限分辨率小的值,可以实现微细尺寸的晶体管。

[0070] 如上所述,在晶体管100中,导电层112b的一部分被用作第二栅电极。因此,从导电层112b向半导体层108一侧施加的电场优选至少施加到背沟道区域的一半以上。例如,导电层112b中的用作第二栅电极的部分的长度L112b优选至少具有晶体管100的沟道长度L100的一半以上的长度。就是说,L112b优选为L100的0.5倍以上,更优选为0.5倍以上且1.0倍以下。由此,可以进一步提高导电层112b被用作第二栅电极的效果。

[0071] 沟道长度L100例如优选为2μm以下、1μm以下、750nm以下、500nm以下、400nm以下、300nm以下、200nm以下、100nm以下、75nm以下、60nm以下、50nm以下、40nm以下、30nm以下、20nm以下、15nm以下、12nm以下或10nm以下且2nm以上、3nm以上、5nm以上或8nm以上。

[0072] 通过缩小沟道长度L100,可以增大晶体管100的通态电流。通过使用通态电流大的晶体管100,可以制造能够高速工作的电路。再者,可以缩小电路的占有面积。因此,通过将本发明的一个方式的晶体管应用于半导体装置,可以实现装置的小型化。

[0073] 此外,例如,通过将本发明的一个方式的晶体管应用于显示装置,可以缩小显示装置的边框。另外,例如,在将本发明的一个方式的晶体管应用于大型显示装置或高清晰显示装置的情况下,即使布线数增加也可以降低各布线中的信号延迟,因此可以抑制显示不均匀。

[0074] 一般而言,在沟道长度小时,晶体管的Id-Vd特性中的饱和性倾向于下降。但是,因为本发明的一个方式的晶体管包括第二栅电极,所以可以实现高饱和性。

[0075] 在本发明的一个方式的晶体管中,半导体层108沿着开口141的内壁及底面设置。因此,在本说明书等中,以与沟道长度方向正交的方向上的半导体层108与导电层112b接触的区域的宽度(长度)为晶体管100的沟道宽度进行说明。在图1A、图1B及图2A中,以实线的双箭头表示晶体管100的沟道宽度W100。沟道宽度W100在从平面看时(参照图1A)相当于开口141的周长。

[0076] 沟道宽度W100由开口141的平面形状决定。在图1A中,以双点划线的双箭头表示相当于近似圆形的开口141的直径的宽度D141。如晶体管100那样,在开口141的平面形状为近似圆形时,沟道宽度W100可以被算出大约为“D141×π”。宽度D141例如为0.20μm以上且小于5.0μm。

[0077] 如上所述,在本发明的一个方式的晶体管中,通过控制绝缘层110等的厚度,可以将沟道长度设定为极小的值。另外,通过控制开口141的直径,可以将沟道宽度设为大值而

不使衬底面内的晶体管的占有面积大幅度增加。因此,通过适当地设定沟道长度和沟道宽度,可以进一步增大晶体管100的通态电流。

[0078] 以下,说明可用于本发明的一个方式的晶体管的材料。

[0079] [半导体层108]

对可用于半导体层108的半导体材料没有特别的限制。例如,可以使用单一材料的半导体或化合物半导体。作为单一材料的半导体例如可以使用硅或锗。作为化合物半导体例如可以举出砷化镓、硅锗。作为化合物半导体可以使用具有半导体特性的有机物或具有半导体特性的金属氧化物(也称为氧化物半导体)。这些半导体材料也可以包含杂质作为掺杂剂。

[0080] 对用于半导体层108的半导体材料的结晶性没有特别的限制,可以使用非晶半导体或具有结晶性的半导体(单晶半导体、多晶半导体、微晶半导体或其一部分具有结晶区域的半导体)。当使用具有结晶性的半导体时可以抑制晶体管的特性劣化,所以是优选的。

[0081] 半导体层108可以使用硅。作为硅可以举出单晶硅、多晶硅、微晶硅及非晶硅。作为多晶硅例如可以举出低温多晶硅(LTPS:Low Temperature Poly Silicon)。

[0082] 作为半导体层108使用非晶硅的晶体管可以形成在大型玻璃衬底上,可以以低成本制造。作为半导体层108使用多晶硅的晶体管具有高场效应迁移率而能够进行高速工作。此外,作为半导体层108使用微晶硅的晶体管与使用非晶硅的晶体管相比具有高场效应迁移率而能够进行高速工作。

[0083] 半导体层108优选包含金属氧化物。作为可用于半导体层108的金属氧化物例如可以举出铟氧化物、镓氧化物及锌氧化物。金属氧化物优选至少包含铟或锌。此外,金属氧化物优选包含选自铟、元素M和锌中的两个或三个。注意,元素M为与氧的键能高的金属元素或半金属元素,例如为与氧的键能比铟高的金属元素或半金属元素。具体而言,作为元素M,可以举出铝、镓、锡、钇、钛、钒、铬、锰、铁、钴、镍、锆、钼、铪、钽、钨、镧、铈、钕、镁、钙、锶、钡、硼、硅、锗及锑等。金属氧化物所包含的元素M优选为上述元素中的一种或多种,更优选为选自铝、镓、锡和钇中的一种或多种,进一步优选为镓。注意,在本说明书等中,有时将金属元素与半金属元素统称为“金属元素”,本说明书等所记载的“金属元素”有时包括半金属元素。

[0084] 半导体层108例如可以使用铟锌氧化物(In-Zn氧化物)、铟锡氧化物(In-Sn氧化物)、铟钛氧化物(In-Ti氧化物)、铟镓氧化物(In-Ga氧化物)、铟镓铝氧化物(In-Ga-Al氧化物)、铟镓锡氧化物(In-Ga-Sn氧化物)、镓锌氧化物(Ga-Zn氧化物,也记为GZO)、铝锌氧化物(Al-Zn氧化物)、铟铝锌氧化物(In-Al-Zn氧化物,也记为IAZO)、铟锡锌氧化物(In-Sn-Zn氧化物,也记为ITZO(注册商标))、铟钛锌氧化物(In-Ti-Zn氧化物)、铟镓锌氧化物(In-Ga-Zn氧化物,也记为IGZO)、铟镓锡锌氧化物(In-Ga-Sn-Zn氧化物,也记为IGZTO)、铟镓铝锌氧化物(In-Ga-Al-Zn氧化物,也记为IGAZO、IGZAO或IAGZO)等。或者,可以使用含硅的铟锡氧化物、镓锡氧化物(Ga-Sn氧化物)、铝锡氧化物(Al-Sn氧化物)等。

[0085] 金属氧化物可以适当地利用溅射法或原子层沉积(ALD:Atomic Layer Deposition)法形成。注意,在利用溅射法形成金属氧化物的情况下,有时靶材的原子数比与该金属氧化物的原子数比不同。尤其是,金属氧化物中的锌的原子数比有时小于靶材中的锌的原子数比。具体而言,该锌的原子数比有时为靶材中的锌的原子数比的40%以上且

90％以下左右。

[0086] 作为利用ALD法形成半导体层108的具体例子,优选利用热ALD法或PEALD(Plasma Enhanced ALD:等离子体增强原子层沉积)法等沉积方法。热ALD法具有极高的台阶覆盖性,所以是优选的。此外,PEALD法不仅呈现高台阶覆盖性还可以进行低温沉积,所以是优选的。

[0087] 半导体层108所包含的金属氧化物的组成对晶体管100的电特性及可靠性带来很大的影响。

[0088] 例如,通过提高金属氧化物中的铟含有率,可以实现通态电流大的晶体管。

[0089] 在作为半导体层108使用In-Zn氧化物的情况下,优选使用铟的原子数比为锌的原子数比以上的金属氧化物。例如,作为半导体层108可以使用金属元素的原子数比为In:Zn=1:1、In:Zn=2:1、In:Zn=3:1、In:Zn=4:1、In:Zn=5:1、In:Zn=7:1、In:Zn=10:1或其附近的金属氧化物。

[0090] 在作为半导体层108使用In-Sn氧化物的情况下,优选使用铟的原子数比为锡的原子数比以上的金属氧化物。例如,作为半导体层108可以使用金属元素的原子数比为In:Sn=1:1、In:Sn=2:1、In:Sn=3:1、In:Sn=4:1、In:Sn=5:1、In:Sn=7:1、In:Sn=10:1或其附近的金属氧化物。

[0091] 在作为半导体层108使用In-Sn-Zn氧化物的情况下,可以使用铟的原子数比高于锡的原子数比的金属氧化物。再者,优选使用锌的原子数比高于锡的原子数比的金属氧化物。例如,作为半导体层108可以使用金属元素的原子数比为In:Sn:Zn=2:1:3、In:Sn:Zn=3:1:2、In:Sn:Zn=4:2:3、In:Sn:Zn=4:2:4.1、In:Sn:Zn=5:1:3、In:Sn:Zn=5:1:6、In:Sn:Zn=5:1:7、In:Sn:Zn=5:1:8、In:Sn:Zn=6:1:6、In:Sn:Zn=10:1:3、In:Sn:Zn=10:1:6、In:Sn:Zn=10:1:7、In:Sn:Zn=10:1:8、In:Sn:Zn=5:2:5、In:Sn:Zn=10:1:10、In:Sn:Zn=20:1:10、In:Sn:Zn=40:1:10或其附近的金属氧化物。

[0092] 在作为半导体层108使用In-Al-Zn氧化物的情况下,可以使用铟的原子数比高于铝的原子数比的金属氧化物。再者,优选使用锌的原子数比高于铝的原子数比的金属氧化物。例如,作为半导体层108可以使用金属元素的原子数比为In:Al:Zn=2:1:3、In:Al:Zn=3:1:2、In:Al:Zn=4:2:3、In:Al:Zn=4:2:4.1、In:Al:Zn=5:1:3、In:Al:Zn=5:1:6、In:Al:Zn=5:1:7、In:Al:Zn=5:1:8、In:Al:Zn=6:1:6、In:Al:Zn=10:1:3、In:Al:Zn=10:1:6、In:Al:Zn=10:1:7、In:Al:Zn=10:1:8、In:Al:Zn=5:2:5、In:Al:Zn=10:1:10、In:Al:Zn=20:1:10、In:Al:Zn=40:1:10或其附近的金属氧化物。

[0093] 在作为半导体层108使用In-Ga-Zn氧化物的情况下,可以使用相对于金属元素的原子数的铟的原子数比高于镓的原子数比的金属氧化物。再者,更优选使用锌的原子数比高于镓的原子数比的金属氧化物。例如,作为半导体层108可以使用金属元素的原子数比为In:Ga:Zn=2:1:3、In:Ga:Zn=3:1:2、In:Ga:Zn=4:2:3、In:Ga:Zn=4:2:4.1、In:Ga:Zn=5:1:3、In:Ga:Zn=5:1:6、In:Ga:Zn=5:1:7、In:Ga:Zn=5:1:8、In:Ga:Zn=6:1:6、In:Ga:Zn=10:1:3、In:Ga:Zn=10:1:6、In:Ga:Zn=10:1:7、In:Ga:Zn=10:1:8、In:Ga:Zn=5:2:5、In:Ga:Zn=10:1:10、In:Ga:Zn=20:1:10、In:Ga:Zn=40:1:10或其附近的金属氧化物。

[0094] 在作为半导体层108使用In-M-Zn氧化物的情况下,可以使用相对于金属元素的原子数的铟的原子数比高于元素M的原子数比的金属氧化物。再者,更优选使用锌的原子数比高于元素M的原子数比的金属氧化物。例如,作为半导体层108可以使用金属元素的原子数

比为In:M:Zn=2:1:3、In:M:Zn=3:1:2、In:M:Zn=4:2:3、In:M:Zn=4:2:4.1、In:M:Zn=5:1:3、In:M:Zn=5:1:6、In:M:Zn=5:1:7、In:M:Zn=5:1:8、In:M:Zn=6:1:6、In:M:Zn=10:1:3、In:M:Zn=10:1:6、In:M:Zn=10:1:7、In:M:Zn=10:1:8、In:M:Zn=5:2:5、In:M:Zn=10:1:10、In:M:Zn=20:1:10、In:M:Zn=40:1:10或其附近的金属氧化物。

[0095] 注意,在作为元素M包含多个金属元素的情况下,该金属元素的原子数比的总计可以为元素M的原子数比。例如,在采用作为元素M包含镓及铝的In-Ga-Al-Zn氧化物时,镓的原子数比和铝的原子数比的总计可以为元素M的原子数比。此外,铟、元素M及锌的原子数比优选在上述范围内。例如,在采用作为元素M包含镓及锡的In-Ga-Sn-Zn氧化物时,镓的原子数比和锡的原子数比的总计可以为元素M的原子数比。此外,铟、元素M及锌的原子数比优选在上述范围内。

[0096] 优选使用如下金属氧化物:金属氧化物中的相对于所含有的金属元素的原子数的铟的原子数的比率为30原子%以上且100原子%以下,优选为30原子%以上且95原子%以下,更优选为35原子%以上且95原子%以下,更优选为35原子%以上且90原子%以下,更优选为40原子%以上且90原子%以下,更优选为45原子%以上且90原子%以下,更优选为50原子%以上且80原子%以下,更优选为60原子%以上且80原子%以下,更优选为70原子%以上且80原子%以下。例如,在作为半导体层108使用In-Ga-Zn氧化物的情况下,相对于铟、元素M及锌的原子数的总计的铟的原子数的比率优选在上述范围内。

[0097] 在本说明书等中,相对于所含有的金属元素的原子数的铟的原子数的比率有时记载为铟的含有率。其他金属元素也是同样的。

[0098] 通过提高金属氧化物的铟的含有率,可以实现通态电流大的晶体管。通过将该晶体管用于需要大的通态电流的晶体管,可以实现具有优异的电特性的半导体装置。

[0099] 金属氧化物的组成的分析例如可以使用能量色散X射线分析法(EDX:Energy Dispersive X-ray Spectrometry)、X射线光电子能谱法(XPS:X-ray Photoelectron Spectroscopy)、电感耦合等离子体质谱分析法(ICP-MS:Inductively Coupled Plasma-Mass Spectrometry)或电感耦合等离子体原子发射光谱法(ICP-AES:Inductively Coupled Plasma-Atomic Emission Spectrometry)。或者,也可以组合多个上述方法而分析。注意,含有率低的元素有时受分析精度的影响,实际上的含有率与分析所得的含有率不同。例如,当元素M的含有率低时,有时分析所得的元素M的含有率低于实际上的含有率。

[0100] 在本说明书等中,附近的组成包括所希望的原子数比的±30%的范围。例如,当记载为原子数比为In:M:Zn=4:2:3或其附近的组成时包括如下情况:铟的原子数比为4时,M的原子数比为1以上且3以下,锌的原子数比为2以上且4以下。此外,当记载为原子数比为In:M:Zn=5:1:6或其附近的组成时包括如下情况:铟的原子数比为5时,M的原子数比大于0.1且为2以下,锌的原子数比为5以上且7以下。此外,当记载为原子数比为In:M:Zn=1:1:1或其附近的组成时包括如下情况:铟的原子数比为1时,M的原子数比大于0.1且为2以下,锌的原子数比大于0.1且为2以下。

[0101] 这里,说明晶体管的可靠性。作为评价晶体管的可靠性的指标之一,有在高温下保持对栅极施加电场的状态的GBT(Gate Bias Temperature:栅极偏置)应力测试。其中,相对于源极电位及漏极电位,在高温下保持对栅极施加正电位(正偏压)的状态的测试称为PBTS(Positive Bias Temperature Stress)测试,在高温下保持对栅极施加负电位(负偏压)的

状态的测试称为NBTS(Negative Bias Temperature Stress)测试。此外,将在照射光的状态下进行的PBTS测试及NBTS测试分别称为PBTIS(Positive Bias Temperature Illumination Stress)测试及NBTIS(Negative Bias Temperature Illumination Stress)测试。

[0102] 在n型晶体管中,使晶体管开启状态(流过电流的状态)时对栅极施加正电位,因此PBTS测试的阈值电压的变动量是作为晶体管的可靠性指标要着眼的重要因素之一。

[0103] 通过在半导体层108中使用不包含镓或镓的含有率低的金属氧化物,可以实现对于正偏压施加的可靠性高的晶体管。也就是说,可以实现PBTS测试中的阈值电压的变动量小的晶体管。此外,在使用含镓的金属氧化物时,镓的含有率优选比铟的含有率低。由此,可以实现可靠性高的晶体管。

[0104] 作为PBTS测试中的阈值电压的变动的原因之一,可以举出在半导体层和栅极绝缘层的界面或界面附近由缺陷态引起的载流子(在此是电子)俘获。缺陷态密度越大,越多的载流子在上述界面被俘获,因此PBTS测试中的劣化越显著。通过降低半导体层的与栅极绝缘层接触的区域的镓的含有率,可以抑制该缺陷态的生成,因此可以抑制PBTS测试中的阈值电压的变动。

[0105] 作为通过使用不包含镓或镓的含有率低的金属氧化物作为半导体层可以抑制PBTS测试中的阈值电压的变动的理由例如可以考虑如下。包含在金属氧化物中的镓与其他金属元素(例如铟或锌)相比更容易抽吸氧。因此,可推测在包含较多的镓的金属氧化物与栅极绝缘层的界面,由于镓与栅极绝缘层中的过剩氧键合,容易产生载流子(这里是电子)陷阱位点(trap site)。因此,当对栅极施加正电位时,在半导体层与栅极绝缘层的界面载流子被俘获,阈值电压会变动。

[0106] 更具体而言,在作为半导体层108使用In-Ga-Zn氧化物的情况下,可以将铟的原子数比高于镓的原子数比的金属氧化物用于半导体层108。更优选使用锌的原子数比高于镓的原子数比的金属氧化物。换言之,优选将金属元素的原子数比满足In>Ga且Zn>Ga的金属氧化物用于半导体层108。

[0107] 半导体层108优选使用如下金属氧化物:相对于所含有的金属元素的原子数的镓的原子数的比率高于0原子%且为50原子%以下,优选为0.1原子%以上且40原子%以下,更优选为0.1原子%以上且35原子%以下,更优选为0.1原子%以上且30原子%以下,更优选为0.1原子%以上且25原子%以下,更优选为0.1原子%以上且20原子%以下,更优选为0.1原子%以上且15原子%以下,更优选为0.1原子%以上且10原子%以下。通过降低半导体层中的镓的含有率,可以实现对于PBTS测试的耐性高的晶体管。注意,通过在金属氧化物中含有镓,具有不容易在金属氧化物中产生氧空位($V_O$:Oxygen Vacancy)的效果。

[0108] 作为半导体层108,也可以使用不包含镓的金属氧化物。例如,可以将In-Zn氧化物用于半导体层108。此时,当提高金属氧化物中的相对于所含有的金属元素的原子数的铟的原子数比时,可以提高晶体管的场效应迁移率。另一方面,当提高金属氧化物中的相对于所含有的金属元素的原子数的锌的原子数比时,金属氧化物具有高结晶性,因此晶体管的电特性的变动得到抑制,可以提高可靠性。此外,作为半导体层108也可以使用氧化铟等不包含镓及锌的金属氧化物。通过使用不包含镓的金属氧化物,尤其是可以使PBTS测试中的阈值电压的变动极为小。

[0109] 例如,可以作为半导体层108使用包含铟及锌的氧化物。此时,可以使用例如金属元素的原子数比为In:Zn=2:3或其附近的金属氧化物。

[0110] 注意,以镓为例进行说明,但也可以应用于使用元素M代替镓的情况。作为半导体层108优选使用铟的原子数比高于元素M的原子数比的金属氧化物。此外,优选使用锌的原子数比高于元素M的原子数比的金属氧化物。

[0111] 通过作为半导体层108使用元素M的含有率低的金属氧化物,可以实现对于正偏压施加具有高可靠性的晶体管。通过将该晶体管用于需要对于正偏压施加具有高可靠性的晶体管,可以实现具有高可靠性的半导体装置。

[0112] 接着,说明对于光的晶体管的可靠性。

[0113] 由于光入射到晶体管,有时晶体管的电特性变动。尤其优选的是,用于光有可能入射的区域的晶体管在光照射下的电特性变动小且对于光具有高可靠性。对于光的可靠性例如可以通过NBTIS测试中的阈值电压的变动量进行评价。

[0114] 通过提高金属氧化物的元素M的含有率,可以实现对于光具有高可靠性的晶体管。也就是说,可以实现NBTIS测试中的阈值电压的变动量小的晶体管。具体而言,元素M的原子数比为铟的原子数比以上的金属氧化物的带隙更大,可以使晶体管的NBTIS测试中的阈值电压的变动量减少。半导体层108所包含的金属氧化物的带隙优选为2.0eV以上,更优选为2.5eV以上,更优选为3.0eV以上,更优选为3.2eV以上,更优选为3.3eV以上,更优选为3.4eV以上,更优选为3.5eV以上。

[0115] 例如,半导体层108可以使用金属元素的原子数比为In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=1:3:2、In:M:Zn=1:3:3、In:M:Zn=1:3:4或其附近的金属氧化物。

[0116] 半导体层108尤其可以适当地使用如下金属氧化物:相对于所含有的金属元素的原子数的元素M的原子数的比率为20原子%以上且70原子%以下,优选为30原子%以上且70原子%以下,更优选为30原子%以上且60原子%以下,更优选为40原子%以上且60原子%以下,更优选为50原子%以上且60原子%以下。

[0117] 在作为半导体层108使用In-Ga-Zn氧化物时,可以使用相对于所含有的金属元素的原子数的铟的原子数比为镓的原子数比以下的金属氧化物。例如,可以使用金属元素的原子数比为In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:1.2、In:Ga:Zn=1:3:2、In:Ga:Zn=1:3:3、In:Ga:Zn=1:3:4或其附近的金属氧化物。

[0118] 半导体层108尤其优选使用如下金属氧化物:相对于所含有的金属元素的原子数的镓的原子数的比率为20原子%以上且60原子%以下,优选为20%原子%以上且50原子%以下,更优选为30原子%以上且50原子%以下,更优选为40%原子%以上且60原子%以下,更优选为50%原子%以上且60原子%以下。

[0119] 通过对半导体层108使用元素M的含有率高的金属氧化物,可以实现对于光具有高可靠性的晶体管。通过将该晶体管用作需要对于光具有高可靠性的晶体管,可以实现具有高可靠性的半导体装置。

[0120] 如上所述,根据用于半导体层108的金属氧化物的组成而晶体管的电特性及可靠性不同。因此,通过根据晶体管所需的电特性及可靠性使金属氧化物的组成不同,可以实现兼具优异的电特性及高可靠性的半导体装置。

[0121] 半导体层108也可以具有包括两个以上的金属氧化物层的叠层结构。半导体层108

所包括的两个以上的金属氧化物层的组成也可以彼此相同或大致相同。通过采用组成相同的金属氧化物层的叠层结构,例如可以使用相同的溅射靶材形成,因此可以降低制造成本。

[0122] 半导体层108所包括的两个以上的金属氧化物层的组成也可以彼此不同。例如,可以适当地使用In:M:Zn=1:3:4[原子数比]或其附近的组成的第一金属氧化物层以及设置于该第一金属氧化物层上的In:M:Zn=1:1:1[原子数比]或其附近的组成的第二金属氧化物层的叠层结构。此外,作为元素M特别优选使用镓或铝。例如,也可以使用选自铟氧化物、铟镓氧化物和IGZO中的任一个及IAZO、IAGZO和ITZO(注册商标)中的任一个的叠层结构。

[0123] 作为半导体层108优选使用具有结晶性的金属氧化物层。例如,可以使用具有CAAC(c-axis aligned crystal)结构、多晶结构、微晶(nc:nano-crystal)结构等的金属氧化物层。通过将具有结晶性的金属氧化物层用于半导体层108,可以降低半导体层108中的缺陷态密度,由此可以实现可靠性高的晶体管。

[0124] 用于半导体层108的金属氧化物层的结晶性越高,越可以降低半导体层108中的缺陷态密度。另一方面,通过使用结晶性低的金属氧化物层,可以实现能够流过大电流的晶体管。

[0125] 半导体层108也可以具有结晶性不同的两个以上的金属氧化物层的叠层结构。例如,可以具有第一金属氧化物层及设置在该第一金属氧化物层上的第二金属氧化物层的叠层结构,第二金属氧化物层可以包括结晶性比第一金属氧化物层高的区域。或者,第二金属氧化物层可以包括结晶性比第一金属氧化物层低的区域。半导体层108所包括的两个以上的金属氧化物层的组成也可以彼此相同或大致相同。通过采用组成相同的金属氧化物层的叠层结构,例如可以使用相同的溅射靶材形成,因此可以降低制造成本。例如,通过使用相同的溅射靶材且使氧流量比或氧分压不同,可以形成结晶性不同的两个以上的金属氧化物层的叠层结构。注意,半导体层108所包括的两个以上的金属氧化物层的组成也可以彼此不同。

[0126] 半导体层108的厚度优选为3nm以上且100nm以下,更优选为5nm以上且100nm以下,更优选为10nm以上且100nm以下,更优选为10nm以上且70nm以下,更优选为15nm以上且70nm以下,更优选为15nm以上且50nm以下,更优选为20nm以上且50nm以下,更优选为20nm以上且40nm以下,更优选为25nm以上且40nm以下。

[0127] 在此,对有可能在半导体层108中形成的氧空位进行说明。

[0128] 在半导体层108使用氧化物半导体的情况下,有时氧化物半导体中的氢与键合于金属原子的氧起反应而成为水,在氧化物半导体中形成氧空位($V_O$)。再者,有时氢进入氧空位中的缺陷(以下记作$V_OH$)被用作供体而产生作为载流子的电子。此外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用包含多量的氢的氧化物半导体的晶体管容易具有常开启特性。此外,因为氧化物半导体中的氢因受热、电场等作用而容易移动,所以当氧化物半导体包含多量的氢时可能会导致晶体管的可靠性降低。

[0129] $V_OH$可被用作氧化物半导体的供体。然而,难以对该缺陷定量地进行评价。于是,在氧化物半导体中,有时不是根据供体浓度而是根据载流子浓度进行评价。由此,在本说明书等中,有时作为氧化物半导体的参数,不采用供体浓度而采用假定不被施加电场的状态下的载流子浓度。也就是说,有时也可以将本说明书等所记载的“载流子浓度”称为“供体浓度”。

[0130] 由此,当作为半导体层108使用氧化物半导体时,优选尽量减少半导体层108中的$V_0H$以使其成为高纯度本征或实质上高纯度本征。为了得到这种$V_0H$被充分减少的氧化物半导体,重要的是:去除氧化物半导体中的水、氢等杂质(有时记载为脱水、脱氢化处理);以及对氧化物半导体供应氧来修复氧空位($V_0$)。通过将$V_0H$等杂质被充分减少的氧化物半导体用于晶体管的沟道形成区域,可以赋予稳定的电特性。注意,有时将氧供应给氧化物半导体来修复氧空位($V_0$)的处理记为加氧化处理。

[0131] 当作为半导体层108使用氧化物半导体时,用作沟道形成区域的区域的氧化物半导体的载流子浓度优选为$1\times10^{18}cm^{-3}$以下,更优选为低于$1\times10^{17}cm^{-3}$,进一步优选为低于$1\times10^{16}cm^{-3}$,更优选的是低于$1\times10^{13}cm^{-3}$,进一步优选的是低于$1\times10^{12}cm^{-3}$。对用作沟道形成区域的区域的氧化物半导体的载流子浓度的下限值没有特殊限定,例如,可以将其设定为$1\times10^{-9}cm^{-3}$。

[0132] 与使用非晶硅的晶体管相比,使用氧化物半导体的晶体管(以下记为OS晶体管)的场效应迁移率非常高。另外,OS晶体管的关闭状态下的源极-漏极间的泄漏电流(以下,也称为关态电流(off-state current))极小,可以长期间保持与该晶体管串联连接的电容中储存的电荷。另外,通过将OS晶体管用于半导体装置,可以降低半导体装置的功耗。

[0133] OS晶体管例如可以应用于显示装置。在提高显示装置的像素电路所包括的发光器件的发光亮度时,需要增大流过发光元件的电流量。为此,需要提高像素电路所包括的驱动晶体管的源极-漏极间电压。因为OS晶体管的源极-漏极间的耐压比使用硅的晶体管(以下记为Si晶体管)高,所以可以对OS晶体管的源极-漏极间施加高电压。由此,通过将OS晶体管用于像素电路的驱动晶体管,可以增大流过发光元件的电流量而提高发光元件的发光亮度。

[0134] 当晶体管在饱和区域中工作时,与Si晶体管相比,OS晶体管可以使对于栅极-源极间电压的变化的源极-漏极间电流的变化细小。因此,通过作为像素电路所包括的驱动晶体管使用OS晶体管,可以根据栅极-源极间电压的变化详细决定流过源极-漏极间的电流,所以可以致密地控制流过发光元件的电流量。由此,可以增加像素电路的灰度数。

[0135] 关于晶体管在饱和区域中工作时流过的电流的饱和特性,与Si晶体管相比,OS晶体管即使逐渐地提高源极-漏极间电压也可以使稳定的电流(饱和电流)流过。因此,通过将OS晶体管用作驱动晶体管,即使例如发光元件的电流-电压特性发生不均匀,也可以使稳定的电流流过发光元件。也就是说,OS晶体管当在饱和区域中工作时即使提高源极-漏极间电压,源极-漏极间电流也几乎不变,因此可以使发光元件的发光亮度稳定。

[0136] 如上所述,通过作为像素电路所包括的驱动晶体管使用OS晶体管,可以实现“黑色模糊的抑制”、“发光亮度的上升”、“多灰度化”、“发光元件不均匀的抑制”等。

[0137] OS晶体管的因被照射放射线而引起的电特性变动小,即对于放射线的耐受性高,因此可以在有可能入射放射线的环境下也适当地使用。OS晶体管也可以说是对于放射线具有高可靠性。例如,可以适当地使用OS晶体管作为X射线的平板探测器的像素电路。此外,OS晶体管可以适当地用于在宇宙空间中使用的半导体装置。作为放射线,可以举出电磁辐射线(例如,X射线及γ射线)及粒子放射线(例如,α射线、β射线、质子辐射及中子辐射)。

[0138] [绝缘层110、绝缘层106]

在本发明的一个方式的晶体管以及使用本发明的一个方式的晶体管的半导体装

置、显示装置等中,作为绝缘层(绝缘层110、绝缘层106)可以使用无机绝缘材料或有机绝缘材料。此外,作为绝缘层(绝缘层110、绝缘层106)也可以使用无机绝缘材料和有机绝缘材料的叠层结构。

[0139] 作为无机绝缘材料,可以使用氧化物、氧氮化物、氮氧化物和氮化物中的一个或多个。

[0140] 注意,在本说明书等中,氧氮化物是指在其组成中含氧量多于含氮量的材料。氮氧化物是指在其组成中含氮量多于含氧量的材料。例如,氧氮化硅是指在其组成中含氧量多于含氮量的材料,而氮氧化硅是指在其组成中含氮量多于含氧量的材料。

[0141] 例如可以利用二次离子质谱分析技术(SIMS:Secondary Ion Mass Spectrometry)或X射线光电子能谱技术(XPS:X-ray Photoelectron Spectrometry)等分析技术分析出氧及氮的含量。在目的元素的含有率高(例如为0.5atomic%以上或1atomic%以上)时,优选采用XPS进行分析。另一方面,在目的元素的含有率低(例如低于0.5atomic%或低于1atomic%)时,优选采用SIMS进行分析。在比较元素含量时,更优选采用SIMS和XPS的双方分析技术进行复合分析。

[0142] 另外,绝缘层等的膜密度的评价例如可以利用卢瑟福背散射分析(RBS:Rutherford Backscattering Spectrometry)或X射线反射(XRR:X-Ray Reflection)。此外,膜密度的不同有时可以由截面的透射电子显微镜(TEM:Transmission Electron Microscopy)图像进行评价。在TEM观察中,膜密度高则透射电子(TE)图像浓(暗),膜密度低则透射电子(TE)图像淡(亮)。注意,即使在绝缘层使用相同的材料的情况下,在膜密度不同时,有时在截面的TEM图像中也可以以对比度的不同观察到这些边界。

[0143] 绝缘层的氮含有量例如可以利用EDX确认。例如,当绝缘层使用氮化硅、氧氮化硅等时,可以利用相对于硅的峰高度的氮的峰高度之比来评价氮含有量。注意,在EDX中,某个元素的峰是指:在横轴表示特征X射线的能量且纵轴表示特征X射线的计数(检测值)的谱图中,该元素的计数取极大值的点。或者,也可以使用该元素固有的特征X射线的能量时的计数以相对于硅的计数的氮的计数之比确认含氮量的差异。例如,硅可以使用1.739keV(Si-Kα)时的计数,氮可以使用0.392keV(N-Kα)时的计数。

[0144] 绝缘层的氢浓度例如可以利用SIMS进行评价。

[0145] 通过作为与半导体层108接触的绝缘层或者位于半导体层108附近的绝缘层使用释放氧的绝缘层,可以从该绝缘层对半导体层108供应氧。通过将氧供应到半导体层108的沟道形成区域,可以减少半导体层108中的氧空位($V_O$)及$V_OH$,可以实现具有良好的电特性及高可靠性的晶体管。注意,作为对半导体层108供应氧的处理,还有含氧的气氛下的加热处理或含氧的气氛下的等离子体处理等。

[0146] 在氢扩散到半导体层108时,与包含在氧化物半导体中的氧原子起反应而成为水,有时形成氧空位($V_O$)。再者,形成$V_OH$,有时载流子密度变高。通过作为与半导体层108接触的绝缘层或者位于半导体层108附近的绝缘层使用抑制氢扩散的阻挡膜,可以降低半导体层108中的氧空位($V_O$)及$V_OH$,由此可以实现呈现良好的电特性且可靠性高的晶体管。

[0147] 晶体管100的沟道形成区域中的氧空位($V_O$)及$V_OH$优选少。尤其是,在沟道长度L100小时,沟道形成区域的氧空位($V_O$)及$V_OH$给电特性及可靠性带来较大的影响。例如,在$V_OH$从源区域或漏区域扩散到沟道形成区域时,有时沟道形成区域的载流子浓度增高而导致晶体

管100的阈值电压的变动或可靠性的下降。晶体管100的沟道长度L100越小,这样的$V_0H$扩散给电特性及可靠性带来的影响越大。通过减少半导体层108尤其是半导体层108的沟道形成区域中的氧空位($V_0$)及$V_0H$,可以实现一种具有良好的电特性及高可靠性的沟道长度小的晶体管。

[0148] 优选的是,与半导体层108接触的绝缘层或者位于半导体层108附近的绝缘层本身释放的杂质(例如,水及氢)少。通过减少所释放的杂质,可以抑制杂质扩散到半导体层108,从而可以实现呈现良好的电特性且可靠性高的晶体管。

[0149] 氧有时因形成半导体层108后的工序施加的热而从半导体层108脱离。但是,由于氧从与半导体层108接触的绝缘层或者位于半导体层108附近的绝缘层被供应到半导体层108,所以可以抑制氧空位($V_0$)及$V_0H$的增加。另外,在形成半导体层108后的工序中,可以提高处理温度的自由度。具体而言,在形成半导体层108后的工序中也可以增高处理温度。因此,可以形成呈现良好的电特性且可靠性高的晶体管100。

[0150] 作为绝缘层110可以使用无机绝缘材料或有机绝缘材料。绝缘层110b也可以具有无机绝缘材料和有机绝缘材料的叠层结构。

[0151] 作为绝缘层110可以适当地使用无机绝缘材料。作为无机绝缘材料,可以使用氧化物、氧氮化物、氮氧化物和氮化物中的一个或多个。作为绝缘层110例如可以使用氧化硅、氧氮化硅、氧化铝、氧化铪、氧化钇、氧化锆、氧化镓、氧化钽、氧化镁、氧化镧、氧化铈、氧化钕、氮化硅、氮氧化硅和氮化铝中的一个或多个。

[0152] 绝缘层110也可以具有两层以上的叠层结构。在图1B等中,绝缘层110具有绝缘层110a、绝缘层110a上的绝缘层110b及绝缘层110b上的绝缘层110c的三层叠层结构。绝缘层110a、绝缘层110b及绝缘层110c都可以使用上述材料。注意,绝缘层110ba、绝缘层110b及绝缘层110c可以使用相同材料或不同材料。

[0153] 优选的是,从绝缘层110a、绝缘层110b及绝缘层110c本身释放的杂质(例如水及氢)少。

[0154] 绝缘层110b的厚度可以大于绝缘层110a的厚度。另外,绝缘层110b的厚度可以大于绝缘层110c的厚度。绝缘层110b的沉积速度优选快。通过提高厚度大的膜的沉积速度,可以提高生产率。

[0155] 绝缘层110a及绝缘层110c被用作抑制气体从绝缘层110b脱离的阻挡膜。绝缘层110a及绝缘层110c优选使用不容易扩散气体的材料。绝缘层110a优选包括与绝缘层110b相比膜密度高的区域。另外,绝缘层110c优选包括与绝缘层110b相比膜密度高的区域。通过提高绝缘层的膜密度,可以提高杂质(例如水及氢)的阻挡性。通过降低绝缘层的沉积速度,膜密度变高,而可以提高杂质的阻挡性。

[0156] 作为绝缘层110b优选使用氧化物或氧氮化物。作为绝缘层110b优选使用通过加热释放氧的膜。作为绝缘层110b例如可以适当地使用氧化硅或氧氮化硅。

[0157] 通过绝缘层110b释放氧,可以将氧从绝缘层110b供应到半导体层108。绝缘层110b优选具有高氧扩散系数。通过提高氧扩散系数,氧容易在绝缘层110b中扩散,由此可以高效地将氧供应到半导体层108。

[0158] 绝缘层110a、绝缘层110b及绝缘层110c优选利用溅射法、ALD法或等离子体CVD法等沉积方法形成。

[0159] 尤其是,通过利用溅射法经不将氢气体用于沉积气体的沉积方法进行沉积,可以沉积氢含有量极少的膜。因此,可以抑制半导体层108被供应氢而实现晶体管100的电特性的稳定化。在利用溅射法沉积氧化硅时,例如可以在包含氧气体的气氛下使用硅靶材进行沉积。另外,在利用溅射法形成氮化硅的情况下,例如可以在包含氮气体的气氛下使用硅靶材进行沉积。在利用溅射法沉积氧化铝时,例如可以在包含氧气体的气氛下使用铝靶材进行沉积。

[0160] 此外,氧化硅及氮化硅例如可以利用PEALD法沉积。此外,氧化铝及氧化铪例如可以利用热ALD法沉积。通过利用PEALD法及热ALD法沉积绝缘层,可以形成致密的绝缘层,因此可以提高对氧及氢的阻挡性。

[0161] 绝缘层110a可以使用氮含有量比绝缘层110b多的材料。另外,绝缘层110c可以使用氮含有量比绝缘层110b多的材料。通过增加绝缘层的氮含有量,可以提高杂质(例如水及氢)的阻挡性。

[0162] 绝缘层110a及绝缘层110c都优选不容易透过氧。绝缘层110a及绝缘层110c都被用作抑制氧从绝缘层110b脱离的阻挡膜。再者,绝缘层110a及绝缘层110c都优选不容易透过氢。绝缘层110a及绝缘层110c都被用作抑制氢从晶体管的外侧通过绝缘层110a及绝缘层110c扩散到半导体层108的阻挡膜。绝缘层110a及绝缘层110c的膜密度优选高。通过提高膜密度,可以提高氧及氢的阻挡性。当作为绝缘层110b使用氧化硅或氧氮化硅时,绝缘层110a及绝缘层110c可以使用氮化硅或氮氧化硅。此外,作为绝缘层110a及绝缘层110c可以适当地使用氧化铪或氧化铝。

[0163] 另外,作为绝缘层110a及绝缘层110c,可以采用层叠选自氮化硅、氮氧化硅、氧化铪和氧化铝中的两个以上的结构。

[0164] 在绝缘层110b所包含的氧从绝缘层110b的不与半导体层108接触的区域(例如绝缘层110b的顶面)向上方扩散时,有时从绝缘层110b供应到半导体层108的氧的量减少。通过在绝缘层110b上设置绝缘层110c,可以抑制包含在绝缘层110b中的氧从绝缘层110b的不与半导体层108接触的区域向上方扩散。同样地,通过在绝缘层110b下设置绝缘层110a,可以抑制包含在绝缘层110b中的氧从绝缘层110b的不与半导体层108接触的区域向下方扩散。因此,从绝缘层110b供应到半导体层108的氧的量得到增加,因此可以降低半导体层108中的氧空位($V_0$)及$V_0H$。

[0165] 有时由于包含在绝缘层110b中的氧,导电层112a及导电层112b被氧化,因此电阻变高。由于导电层112a及导电层112b被氧化,有时从绝缘层110b供应到半导体层108的氧的量变少。通过在绝缘层110b和导电层112a之间设置绝缘层110a,可以抑制导电层112a被氧化而电阻变高。同样地,通过在绝缘层110b和导电层112b之间设置绝缘层110c,可以抑制导电层112b被氧化而电阻变高。同时,从绝缘层110b供应到半导体层108的氧的量得到增加,可以降低半导体层108中的氧空位($V_0$)及$V_0H$。

[0166] 此外,通过设置绝缘层110a及绝缘层110c,可以抑制氢扩散到半导体层108,从而可以减少半导体层108中的氧空位($V_0$)及$V_0H$。

[0167] 绝缘层110a及绝缘层110c优选具有被用作氧及氢的阻挡膜的厚度。在厚度小时,有时作为阻挡膜的功能降低。另一方面,在厚度大时,与绝缘层110b接触的半导体层108的区域变小,有时供应到半导体层108的氧的量变少。绝缘层110a及绝缘层110c的厚度都优选

为1nm以上、2nm以上,优选为200nm以下、100nm以下、60nm以下、50nm以下、40nm以下、30nm以下、20nm以下、10nm以下或5nm以下。

[0168] 用作栅极绝缘层的绝缘层106的缺陷密度优选低。在绝缘层106的缺陷密度较低时,可以实现呈现良好的电特性的晶体管。再者,绝缘层106优选具有高绝缘耐压。由于绝缘层106的绝缘耐压高,所以可以形成可靠性高的晶体管。

[0169] 绝缘层106例如可以使用具有绝缘性的氧化物、氧氮化物、氮氧化物和氮化物中的一个或多个。绝缘层106可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝、氧化铪、氧氮化铪、氧化镓、氧氮化镓、氧化钇、氧氮化钇和Ga-Zn氧化物中的一个或多个。绝缘层106也可以为单层或叠层。绝缘层106例如也可以具有氧化物及氮化物的叠层结构。

[0170] 注意,在微细尺寸的晶体管中,在栅极绝缘层的厚度小时,有时泄漏电流增大。通过栅极绝缘层使用相对介电常数高的材料(也称为high-k材料),可以在保持物理厚度的同时实现晶体管工作时的低电压化。作为high-k材料,可以举出氧化镓、氧化铪、氧化锆、含有铝及铪的氧化物、含有铝及铪的氧氮化物、含有硅及铪的氧化物、含有硅及铪的氧氮化物或含有硅及铪的氮化物。

[0171] 优选的是,从绝缘层106本身释放的杂质(例如,水及氢)少。由于从绝缘层106释放的杂质少,所以可以抑制杂质扩散到半导体层108,从而可以实现呈现良好的电特性且可靠性高的晶体管。

[0172] 由于绝缘层106形成于半导体层108上,所以优选为在对半导体层108造成的损伤少的条件下形成的膜。例如,可以在沉积速度(也称为沉积速率)充分低的条件下形成。例如,在利用等离子体CVD法形成绝缘层106时,通过在低功率的条件下形成,可以使对半导体层108造成的损伤较小。

[0173] 这里,以半导体层108使用金属氧化物的结构为例,对绝缘层106进行具体说明。

[0174] 为了提高与半导体层108的界面特性,绝缘层106中的至少与半导体层108接触一侧优选使用氧化物或氧氮化物。绝缘层106例如可以适当地使用氧化硅和氧氮化硅中的一个以上。此外,绝缘层106更优选使用通过加热释放氧的膜。

[0175] 注意,绝缘层106也可以具有叠层结构。绝缘层106可以具有接触于半导体层108一侧的氧化物膜与接触于导电层104一侧的氮化物膜的叠层结构。作为该氧化物膜,例如可以适当地使用氧化硅和氧氮化硅中的一个以上。作为该氮化物膜,例如可以适当地使用氮化硅。

[0176] 绝缘层106的厚度优选为0.5nm以上且20nm以下,更优选为0.5nm以上且15nm以下,进一步优选为0.5nm以上且10nm以下。绝缘层106的至少一部分包括上述厚度的区域即可。

[0177] 另外,绝缘层106优选具有向半导体层108供应氧的功能。

[0178] [导电层112a、导电层112b、导电层104]

用作源电极和漏电极中的一个的导电层112a、用作源电极和漏电极中的另一个及第二栅电极的导电层112b都可以使用铬、铜、铝、金、银、锌、钼、钛、钨、锰、镍、铁、钴、钼、铌和钌中的一个或多个或者以上述金属中的一个或多个为成分的合金形成。导电层112a及导电层112b都可以适当地使用包含铜、银、金和铝中的一个或多个的低电阻导电材料。铜或铝在量产性上尤其具有优势,因此是优选的。

[0179] 导电层112a及导电层112b都可以使用具有导电性的金属氧化物(也称为氧化物导电体)。作为氧化物导电体(OC:Oxide Conductor),例如可以举出In-Sn氧化物(ITO)、In-W氧化物、In-W-Zn氧化物、In-Ti氧化物、In-Ti-Sn氧化物、In-Zn氧化物、In-Sn-Si氧化物(ITSO)及In-Ga-Zn氧化物。

[0180] 这里,对氧化物导电体(OC)进行说明。例如,在具有半导体特性的金属氧化物中形成氧空位($V_0$),对该氧空位添加氢而在导带附近形成施主能级。其结果,金属氧化物的导电性增高,而成为导电体。可以将成为导电体的金属氧化物称为氧化物导电体。

[0181] 作为导电层112a及导电层112b,也可以采用含有上述氧化物导电体(金属氧化物)的导电膜和含有金属或合金的导电膜的叠层结构。通过使用含有金属或合金的导电膜,可以降低电阻。

[0182] 作为导电层112a及导电层112b,也可以应用Cu-X合金膜(X为Mn、Ni、Cr、Fe、Co、Mo、Ta或Ti)。通过使用Cu-X合金膜,可以以湿蚀刻工艺进行加工,从而可以抑制制造成本。

[0183] 注意,导电层112a及导电层112b可以使用彼此相同的材料或不同的材料。

[0184] 这里,以作为半导体层108使用金属氧化物的结构为例,对导电层112a及导电层112b进行具体说明。

[0185] 在作为半导体层108使用氧化物半导体时,由于包含在半导体层108中的氧而导电层112a及导电层112b被氧化,有时电阻变高。由于包含在半导体层108中的氧而导电层112a及导电层112b被氧化,有时半导体层108中的氧空位($V_0$)增加。

[0186] 导电层112a及导电层112b优选都使用不容易被氧化的材料、即使被氧化也保持低电阻的导电材料或氧化物导电体。例如,可以适当地使用In-Sn氧化物(ITO)或In-Sn-Si氧化物(ITSO)。导电层112a及导电层112b也可以都使用氮化物导电体。作为氮化物导电体可以举出氮化钽及氮化钛。导电层112a及导电层112b也可以具有上述材料的叠层结构。

[0187] 通过导电层112a及导电层112b使用不容易被氧化的材料,可以抑制导电层112a及导电层112b由于包含在半导体层108中的氧被氧化而电阻变高。此外,可以抑制半导体层108中的氧空位($V_0$)的增加。

[0188] 如上所述,与半导体层108接触的导电层112a及导电层112b优选使用不容易被氧化的材料。但是,在使用不容易被氧化的材料的情况下,导电层112a及导电层112b的电阻有时变高。例如,当使导电层112a及导电层112b延伸而用作布线时,导电层112a及导电层112b的电阻优选低。因此,通过在导电层112a及导电层112b都具有叠层结构的情况下具有与半导体层108接触的区域一侧的导电层使用不容易被氧化的材料且不具有与半导体层108接触的区域一侧的导电层使用低电阻材料,可以降低导电层112a及导电层112b整体的电阻。并且,可以减少半导体层108中的氧空位($V_0$)及$V_0H$。

[0189] 如上所述,尤其在沟道长度L100较小时,沟道形成区域的氧空位($V_0$)及$V_0H$给电特性及可靠性带来的影响较大。当导电层112a及导电层112b都使用不容易被氧化的材料时,可以抑制半导体层108中的氧空位($V_0$)及$V_0H$的增加。因此,可以实现一种具有良好的电特性及高可靠性的沟道长度小的晶体管。

[0190] 当导电层112a及导电层112b具有叠层结构时,作为具有与半导体层108接触的区域一侧的导电层,可以适当地使用氧化物导电体和氮化物导电体中的一个或多个。另一方面,作为不具有与半导体层108接触的区域一侧的导电层,优选使用其电阻比上述材料低的

材料。例如可以适当地使用铜、铝、钛、钨和钼中的一个或多个或者以上述金属的一个或多个为成分的合金。例如,作为具有与半导体层108接触的区域一侧的导电层可以适当地使用In-Sn-Si氧化物(ITSO),作为不具有与半导体层108接触的区域一侧的导电层可以适当地使用钨。

[0191] 注意,导电层112a的结构根据导电层112a被要求的布线电阻而决定即可。例如,当布线(导电层112a)的长度较小而被要求较高的布线电阻时,作为导电层112a也可以采用单层结构并使用不容易被氧化的材料。另一方面,当布线(导电层112a)的长度较大而被要求较低的布线电阻时,作为导电层112a优选采用不容易被氧化的材料和低电阻材料的叠层结构。

[0192] 作为被用作第一栅电极的导电层104,例如可以使用铬、铜、铝、金、银、锌、钼、钛、钨、锰、镍、铁、钴、钼和铌中的一个或多个或者以上述金属中的一个或多个为成分的合金形成。另外,作为导电层104,也可以使用上述可用于导电层112a及导电层112b的氮化物及氧化物。

[0193] 另外,导电层104也可以采用两层叠层结构。例如,作为下层的导电层可以使用氮化物或氧化物,作为上层的导电层可以使用铬、铜、铝、金、银、锌、钼、钼、钛、钨、锰、镍、铁、钴和铌中的一个或多个或者以上述金属中的一个或多个为成分的合金。

[0194] [衬底102]

虽然对衬底102的材料没有特别的限制,但是至少需要具有能够承受后续的加热处理的耐热性。例如,可以使用以硅或碳化硅为材料的单晶半导体衬底或多晶半导体衬底、硅锗等化合物半导体衬底、SOI(Silicon On Insulator)衬底、玻璃衬底、石英衬底、蓝宝石衬底、陶瓷衬底或有机树脂衬底作为衬底102。另外,也可以将上述衬底上设置有半导体元件的衬底用作衬底102。注意,半导体衬底及绝缘性衬底的形状可以为圆形或角形。

[0195] 作为衬底102,也可以使用柔性衬底,并且在柔性衬底上直接形成晶体管100等。或者,也可以在衬底102与晶体管100等之间设置剥离层。当剥离层上制造半导体装置的一部分或全部,然后将其从衬底102分离并转置到其他衬底上时可以使用剥离层。此时,也可以将晶体管100等转置到耐热性低的衬底或柔性衬底上。

[0196] 以下,说明上述晶体管的变形例子。注意,有时关于与上述重复的部分参照该部分而省略说明。

[0197] <晶体管的变形例子1>

图3A所示的晶体管100A主要在开口141及凹部143的截面形状上与图1B所示的晶体管100不同。

[0198] 具体而言,在晶体管100中,开口141的内壁(绝缘层110a、绝缘层110b、绝缘层110c及导电层112b的侧面)及凹部143的内壁(绝缘层110b的侧面)都形成为大致垂直于衬底面,而在晶体管100A中,开口141的内壁及凹部143的内壁都具有锥形形状。

[0199] 开口141具有越是靠近于底面的宽度(从平面看时的开口141的直径)越小的形状。就是说,在开口141中,导电层112a一侧的宽度比导电层112b一侧的宽度小。在本说明书等中,有时将具有在从截面看时越是靠近于底面的宽度越小的形状的开口称为“正锥形形状”的开口。在开口141具有正锥形形状时,角度θ141大于0度且小于90度。

[0200] 同样地,凹部143也具有正锥形形状。就是说,在凹部143中,导电层112a一侧的宽

度(从平面看时的凹部143的直径)比导电层112b一侧的宽度小。在此情况下,角度θ143大于90度且小于180度。

[0201] 通过开口141及凹部143都具有正锥形形状,可以提高沉积在开口141及凹部143内的膜的覆盖性。另外,可以扩大沉积装置的选择范围。

[0202] <晶体管的变形例子2>

图3B所示的晶体管100B主要在开口141及凹部143的截面形状上与图1B所示的晶体管100及图3A所示的晶体管100A不同。

[0203] 具体而言,在晶体管100中,开口141的内壁及凹部143的内壁都形成为大致垂直于衬底面,而在晶体管100B中,开口141的内壁及凹部143的内壁都具有锥形形状。另外,在晶体管100A中,开口141及凹部143都具有正锥形形状,而在晶体管100B中,开口141及凹部143的锥形形状不同。

[0204] 与晶体管100A同样,开口141具有正锥形形状。就是说,角度θ141大于0度且小于90度。

[0205] 另一方面,凹部143具有越是靠近于底面的宽度(从平面看时的凹部143的直径)越大的形状。就是说,在凹部143中,导电层112a一侧的宽度大于导电层112b一侧的宽度。在本说明书等中,有时将具有在从截面看时越是靠近于底面的宽度越大的形状的凹部称为“反锥形形状”的凹部。在凹部143具有反锥形形状时,角度θ143大于0度且小于90度。

[0206] 就是说,在晶体管100B中,开口141具有正锥形形状,凹部143具有反锥形形状。在图3B中,晶体管100B的角θ141的大小与角θ143的大小大致相同。换言之,开口141的内壁与与该内壁相对的凹部143的内壁大致平行。

[0207] 在开口141的内壁与凹部143的内壁大致平行时,可以使晶体管100B的第二栅极绝缘层(绝缘层110b及绝缘层110c的夹在导电层112b与半导体层108间的区域。也可以说是在从平面看时夹在开口141与凹部143间的区域)的厚度大致均匀。由此,可以将来自用作第二栅电极的导电层112b的电场大致均匀地施加到与导电层112b相对的半导体层108的背沟道区域。由此,可以实现具有稳定的电特性及可靠性的晶体管。

[0208] <晶体管的变形例子3>

图4A所示的晶体管100C主要在凹部143的深度上与图1B所示的晶体管100不同。

[0209] 具体而言,在晶体管100中,凹部143的底面位于绝缘层110b的膜中,而在晶体管100C中,凹部143的底面位于绝缘层110a的顶面。也就是说,在晶体管100C中,可以说凹部143的深度比晶体管100深。

[0210] 在晶体管100C中,导电层112b中的用作第二栅电极的部分的长度L112b比晶体管100中的长度L112b长。因此,可以对半导体层108的背沟道区域的几乎整个面施加来自导电层112b的电场。由此,可以实现具有稳定的电特性及可靠性的晶体管。

[0211] <晶体管的变形例子4>

图4B所示的晶体管100D主要在导电层112a的形状及凹部143的深度上与图1B所示的晶体管100及图4A所示的晶体管100C不同。

[0212] 具体而言,在晶体管100及晶体管100C中,在点划线A1-A2间的衬底102的整个面上设置有导电层112a,在该导电层112a上设置有开口141及凹部143。另一方面,在晶体管100D中,只在点划线A1-A2间的衬底102的一部分上设置有导电层112a,以嵌入该导电层112a的

方式设置有绝缘层103。另外,开口141设置在导电层112a上,凹部143设置在不包括导电层112a的区域中。再者,凹部143的底面位于绝缘层110a的下方的绝缘层103的膜中,以嵌入该凹部143的方式设置有绝缘层110c及导电层112b。另外,绝缘层103可以使用上述可用于绝缘层110、绝缘层106的材料。

[0213] 也就是说,在晶体管100D中,可以说凹部143的深度比晶体管100及晶体管100C深。因此,在晶体管100D中,导电层112b中的用作第二栅电极的部分的长度L112b比晶体管100中的长度L112b及晶体管100C中的长度L112b长。因此,可以确实地对半导体层108的背沟道区域的整个面施加来自导电层112b的电场。由此,可以实现具有稳定的电特性及可靠性的晶体管。

[0214] <晶体管的变形例子5>

图5A所示的晶体管100E主要在凹部143的宽度(从平面看时的凹部143的径)上与图1B所示的晶体管100不同。

[0215] 具体而言,在晶体管100E中,凹部143的宽度S143比晶体管100小。

[0216] 例如,通过以从平面看时(参照图1A)的凹部143的直径变小的方式使凹部143的宽度S143变小(即,使凹部143的外周一侧的直径变小),可以减少衬底面内的晶体管的占有面积。由此,可以实现晶体管的微型化,并可以实现包括该晶体管的半导体装置的高集成化。

[0217] 另外,例如,通过以从平面看时(参照图1A)的凹部143的内周一侧的直径变大的方式使凹部143的宽度S143变小,可以减少后面形成开口141时可能发生的错位的影响。注意,对本发明的一个方式的晶体管的制造方法将在后面进行说明。

[0218] <晶体管的变形例子6>

图5B所示的晶体管100F主要在凹部143的宽度(从平面看时的凹部143的径)上与图1B所示的晶体管100及图5A所示的晶体管100E不同。

[0219] 具体而言,在晶体管100F中,凹部143的宽度S143大于晶体管100及晶体管100E。

[0220] 通过扩大凹部143的宽度S143,可以确实地将绝缘层110c、导电层112b及绝缘层106形成到凹部143的底面,可以减少在这些层与凹部143的底面之间产生空洞等空间。

[0221] <晶体管的变形例子7>

图6A所示的晶体管100G主要在用作第一栅电极的导电层104的形状上与图1B所示的晶体管100不同。

[0222] 具体而言,在晶体管100中,导电层104的端部延伸到开口141的外侧并位于绝缘层106的大致平坦的顶面(绝缘层110、导电层112b及半导体层108重叠的区域上)。另一方面,在晶体管100G中,导电层104的端部位于晶体管100的内侧(开口141一侧)。

[0223] 在晶体管100中,导电层104与导电层112b重叠的区域可以被用作寄生电容。因此,如晶体管100G那样,通过尽量减小延伸到开口141的外部的导电层104的区域,可以减少产生在导电层104与导电层112b之间的寄生电容。由此,可以抑制该寄生电容对晶体管的电特性带来负面影响。

[0224] <晶体管的变形例子8>

图6B所示的晶体管100H主要在用作第一栅电极的导电层104的形状上与图1B所示的晶体管100及图6A所示的晶体管100G不同。

[0225] 具体而言,在晶体管100及晶体管100G中,导电层104具有沿着开口141的内壁及底

面的形状,在开口141的内部,导电层104的顶面具有凹部。另一方面,在晶体管100H中,以完全填充开口141的方式设置有导电层104,并且导电层104的顶面具有大致平坦的形状。

[0226] 通过使导电层104具有上述形状,可以减少晶体管的顶面的凹凸。因此,可以提高形成在晶体管上的层的覆盖性。

[0227] <晶体管的变形例子9>

图7A所示的晶体管100I主要在用作源电极和漏电极中的一个的导电层的结构上与图1B所示的晶体管100不同。

[0228] 具体而言,在晶体管100中,用作源电极和漏电极中的一个的导电层具有只由导电层112a构成的单层结构。另一方面,在晶体管100I中,用作源电极和漏电极中的一个的导电层的一部分具有导电层112a与导电层112c的叠层结构。

[0229] 导电层112c以夹着开口141的方式设置在导电层112a上。绝缘层110a以与半导体层108的底面(背沟道区域一侧的面)、导电层112a的顶面的一部分以及隔着开口141相对的导电层112c的侧面及顶面接触的方式设置。

[0230] 在晶体管100I中,导电层112a和导电层112c的叠层被用作源电极和漏电极中的一个。

[0231] 导电层112a是具有与半导体层108接触的区域的导电层。因此,作为导电层112a优选使用不容易被氧化的材料。另一方面,作为不具有与半导体层108接触的区域的导电层112c可以使用其电阻比导电层112a低的材料。另外,关于可用于导电层112a的不容易被氧化的材料及可用于导电层112c的电阻低的材料的详细内容,可以参照上述记载内容。如晶体管100I那样,通过作为源电极和漏电极中的一个使用不容易被氧化的导电层(导电层112a)与电阻低的导电层(导电层112c)的叠层,也可以将该叠层用作布线。

[0232] <晶体管的变形例子10>

图7B所示的晶体管100J主要在半导体层108与导电层112b的位置关系上与图1B所示的晶体管100不同。

[0233] 具体而言,在晶体管100J中,绝缘层110中设置有到达导电层112a的开口145,半导体层108以具有与开口145重叠的区域的方式且以与导电层112a的顶面(也可以称为开口145的底面)、绝缘层110的侧面(也可以称为开口145的内壁)及绝缘层110的顶面接触的方式设置。并且,以与半导体层108的顶面及侧面以及绝缘层110的顶面接触的方式设置有导电层112b。导电层112b以嵌入凹部143的方式设置,并且在凹部143内具有隔着绝缘层110与半导体层108重叠(相对)的区域。

[0234] 就是说,晶体管100是半导体层108的底面(衬底102一侧的面)与用作源电极和漏电极中的另一个的导电层112b的顶面接触的底接触型晶体管,另一方面,晶体管100J是半导体层108的顶面与用作源电极和漏电极中的另一个的导电层112b的底面(衬底102一侧的面)接触的顶接触(Top contact)型晶体管。

[0235] 如此,根据用途或制造方法等,本发明的一个方式的晶体管可以为底接触型晶体管或顶接触型晶体管。

[0236] <晶体管的变形例子11>

图8A示出晶体管100K的平面图。另外,图8B示出晶体管100K的对应于图8A所示的点划线C1-C2的截面图。晶体管100K主要在开口141及凹部143的平面形状上与图1A所示的

晶体管100不同。

[0237] 具体而言,在晶体管100中,开口141及凹部143的平面形状都为近似圆形(参照图1A)。相对于此,在晶体管100K中,开口141及凹部143的平面形状都为近似四边形(参照图8A)。另一方面,关于截面形状,晶体管100与晶体管100K之间几乎没有差异(参照图1B及图8B)。

[0238] 如此,在本发明的一个方式的晶体管中,开口141及凹部143的平面形状也可以为圆形以外的形状。注意,虽然图8A示出开口141及凹部143的平面形状为近似四边形的例子,但是不局限于此。开口141及凹部143的平面形状例如也可以都为圆形、椭圆形、三角形、四边形(包括矩形、菱形、正方形)、五边形等多边形或这些多边形的角部呈圆形的形状。

[0239] 另外,开口141的平面形状和凹部143的平面形状优选都为相同的形状。例如,在开口141的平面形状为圆形的情况下,凹部143的平面形状也优选为圆形,在开口141的平面形状为四边形的情况下,凹部143的平面形状也优选为四边形。另外,在从平面看(参照图1A及图8A)时,开口141的中心与凹部143的中心优选尽可能一致。由此,可以使本发明的一个方式的晶体管中的第二栅极绝缘层的厚度在任何区域中都大致均匀。由此,可以将来自用作第二栅电极的导电层112b的电场大致均匀地施加到与导电层112b相对的半导体层108的背沟道区域。由此,可以实现具有稳定的电特性及可靠性的晶体管。

[0240] 如上所述,由于本发明的一个方式的晶体管包括第二栅电极,所以可以提高晶体管的Id-Vd特性的饱和性。由此,例如,在将该晶体管用于包括显示部的半导体装置的情况下,可以增加显示部的灰度数。此外,可以稳定显示部的发光亮度。

[0241] 另外,本发明的一个方式的晶体管具有高可靠性。因此,可以提高使用该晶体管的半导体装置的可靠性。尤其是,可以抑制对第一栅电极施加电压的状态下的晶体管特性的劣化。例如,在n沟道型晶体管中,可以抑制对第一栅电极施加相对于源极电位的正电位的状态下的特性劣化。

[0242] 另外,在本发明的一个方式的晶体管中,可以适当地控制阈值电压而容易实现常关闭特性。例如,在n沟道型晶体管中,通过采用第二栅电极与源电极电连接的结构(兼作第二栅电极与源电极的结构),可以适当地防止阈值成为负值。

[0243] 另外,本发明的一个方式的晶体管可以将沟道长度设定为极小的值,所以可以实现通态电流大的晶体管。因此,例如可以提高晶体管的频率特性。另外,例如可以提高使用该晶体管的半导体装置的工作速度。

[0244] 如上所述,在本发明的一个方式的晶体管中,一个导电层(导电层112b)兼具源电极和漏电极中的另一个的功能及第二栅电极的功能。因此,与分别设置源电极和漏电极中的另一个及第二栅电极的情况相比,在包括本发明的一个方式的晶体管的电路中,可以减少布线数。因此,可以实现电路整体的简化。另外,制造时的工序数得到减少,而可以实现生产率的提高。

[0245] <晶体管的制造方法例子>

下面,参照附图(图9A至图11C)说明本发明的一个方式的晶体管的制造方法。注意,这里以制造图1B所示的晶体管100的情况为例进行说明。

[0246] 构成晶体管100的薄膜(绝缘膜、半导体膜及导电膜等)可以利用溅射法、化学气相沉积(CVD:Chemical Vapor Deposition)法、真空蒸镀法、脉冲激光沉积(PLD:Pulsed

Laser Deposition)法、ALD法等形成。

[0247] 作为溅射法,可以举出将高频电源用于溅射用电源的RF溅射法、利用直流电源的DC溅射法、以脉冲方式改变施加到电极的电压的脉冲DC溅射法。RF溅射法主要在沉积绝缘膜时使用,DC溅射法主要在沉积金属导电膜时使用。此外,脉冲DC溅射法主要在利用反应性溅射法沉积氧化物、氮化物或碳化物等化合物时使用。

[0248] CVD法可以分为利用等离子体的等离子体CVD(PECVD)法、利用热的热CVD(TCVD:Thermal CVD)法及利用光的光CVD(Photo CVD)法等。再者,可以根据使用的源气体分为金属CVD(MCVD:Metal CVD)法、有机金属CVD(MOCVD:Metal Organic CVD)法。

[0249] 通过利用等离子体CVD法,可以以较低的温度得到高品质的膜。此外,因为不使用等离子体,热CVD法是能够减少对被处理物造成的等离子体损伤的沉积方法。例如,包括在半导体装置中的布线、电极及元件(晶体管及电容器等)等有时因从等离子体接收电荷而会产生电荷积聚。此时,有时由于所累积的电荷而使包括在半导体装置中的布线、电极或元件等受损伤。另一方面,因为在不使用等离子体的热CVD法的情况下不产生上述等离子体损伤,所以能够提高半导体装置的成品率。此外,在热CVD法中,不产生沉积时的等离子体损伤,因此能够得到缺陷较少的膜。

[0250] 作为ALD法,可以利用如下方法:只利用热能使前驱物及反应物起反应的热ALD法;使用受到等离子体激发的反应物的PEALD法;等。

[0251] CVD法及ALD法不同于从靶材等中被释放的粒子沉积的溅射法。因此,ALD法是不易受被处理物的形状的影响而具有良好的台阶覆盖性的沉积方法。尤其是,ALD法具有良好的台阶覆盖性和厚度均匀性,所以例如适合用于形成覆盖纵横比高的开口部的表面的膜等。但是,ALD法的沉积速度比较慢,所以有时优选与沉积速度快的CVD法等其他沉积方法组合而利用。

[0252] 此外,当使用CVD法时,可以根据源气体的流量比沉积任意组成的膜。例如,当使用CVD法时,可以通过在进行沉积的同时改变源气体的流量比来沉积其组成连续变化的膜。当在改变源气体的流量比的同时进行沉积时,因为不需要传送或调整压力所需的时间,所以与使用多个沉积室进行沉积的情况相比可以缩短沉积时间。因此,有时可以提高半导体装置的生产率。

[0253] 当使用ALD法时,通过同时导入不同的多种前驱物,可以沉积任意组成的膜。或者,在导入不同的多种前驱物时,通过控制各前驱物的循环次数可以沉积任意组成的膜。

[0254] 构成晶体管100的薄膜(绝缘膜、半导体膜、导电膜等)可以利用旋涂法、浸渍法、喷涂法、喷墨法、分配器法、丝网印刷法、胶版印刷法、刮刀(doctor knife)法、狭缝式涂布法、辊涂法、帘式涂布法、刮刀式涂布法等方法形成。

[0255] 当对构成晶体管100的薄膜进行加工时,可以利用光刻法等。另外,可以利用纳米压印法、喷砂法、剥离法等对薄膜进行加工。此外,可以通过利用金属掩模等遮蔽掩模的沉积方法直接形成岛状的薄膜。

[0256] 光刻法典型地有如下两种方法。一个是在要进行加工的薄膜上形成抗蚀剂掩模,通过蚀刻等对该薄膜进行加工,并去除抗蚀剂掩模的方法。另一个是形成具有感光性的薄膜之后进行曝光而显影,将该薄膜加工为所希望的形状的方法。

[0257] 在光刻法中,作为用于曝光的光,例如可以使用i线(波长365nm)、g线(波长

436nm)、h线(波长405nm)或将这些光混合了的光。另外,还可以使用紫外光、KrF激光或ArF激光等。此外,也可以利用液浸曝光技术进行曝光。此外,作为用于曝光的光,也可以使用极紫外(EUV:Extreme Ultra-violet)光或X射线。此外,代替用于曝光的光,也可以使用电子束。当使用极紫外光、X射线或电子束时,可以进行极其微细的加工,所以是优选的。注意,在通过利用电子束等光束进行扫描而进行曝光时,不需要光掩模。

[0258] 作为薄膜的蚀刻方法,例如可以利用干蚀刻法、湿蚀刻法或喷砂法。此外,也可以组合这些蚀刻方法而使用。

[0259] 下面,说明晶体管100的制造方法的一个例子。

[0260] 首先,在衬底102上形成导电层112a,在导电层112a上依次形成绝缘层110a、绝缘层110b(参照图9A)。

[0261] 作为衬底102,例如可以使用上述材料。

[0262] 导电层112a例如可以使用上述材料通过溅射法形成。

[0263] 绝缘层110a及绝缘层110b例如可以使用上述材料通过PECVD法形成。绝缘层110a及绝缘层110b优选以不暴露于大气的方式在真空中连续形成。由此,可以抑制来源于大气的杂质附着于绝缘层110a的表面上。作为该杂质,例如可以举出水及有机物。

[0264] 形成绝缘层110a及绝缘层110b时的衬底温度都优选为180℃以上且450℃以下,更优选为200℃以上且450℃以下,更优选为250℃以上且450℃以下,更优选为300℃以上且450℃以下,更优选为300℃以上且400℃以下,更优选为350℃以上且400℃以下。通过将形成该绝缘层(膜)时的衬底温度设定为上述范围,可以减少从绝缘层(膜)本身释放的杂质(例如,水及氢),并且可以抑制杂质扩散到将在后面形成的半导体层108。由此,可以实现具有良好电特性和高可靠性的晶体管。

[0265] 注意,绝缘层110a及绝缘层110b在形成半导体层108之前形成,所以没有因形成该绝缘层(膜)时施加的热而氧从半导体层108脱离的担忧。

[0266] 另外,也可以在形成绝缘层110b之后进行加热处理。通过进行该加热处理,可以使水及氢从绝缘层110b的表面及膜中脱离。

[0267] 加热处理的温度优选为150℃以上且低于衬底的应变点,更优选为200℃以上且450℃以下,更优选为250℃以上且450℃以下,更优选为300℃以上且450℃以下,更优选为300℃以上且400℃以下,更优选为350℃以上且400℃以下。可以在包含稀有气体、氮和氧中的一个以上的气氛下进行加热处理。作为含氮气氛或含氧气氛,也可以使用干燥空气(CDA:Clean Dry Air)。注意,该气氛中氢或水等的含量优选为尽可能少。作为该气氛,优选使用露点为-60℃以下,优选为-100℃以下的高纯度气体。通过使用氢、水等的含量尽可能少的气氛,可以尽可能地防止氢、水等被绝缘层110吸收。该加热处理可以使用烘箱或快速热退火(RTA:Rapid Thermal Annealing)装置等。通过使用RTA装置,可以缩短加热处理时间。

[0268] 另外,也可以在形成绝缘层110b之后进行对绝缘层110b供氧的处理。

[0269] 在本发明的一个方式中,通过在形成绝缘层110b之后在绝缘层110b上形成金属氧化物层,对绝缘层110b供应氧。另外,也可以在形成金属氧化物层之后进行加热处理。通过在形成金属氧化物层之后进行加热处理,可以有效地从金属氧化物层对绝缘层110b供应氧而使绝缘层110b中含有氧。通过供应到绝缘层110b的氧在后面的工序中被供应到半导体层108,可以减少半导体层108中的氧空位($V_O$)及$V_OH$。

[0270] 在形成金属氧化物层之后或在上述加热处理之后也可以还将氧通过金属氧化物层供应到绝缘层110b。作为氧的供应方法,例如可以使用离子注入法、离子掺杂法、等离子体浸没离子注入法或等离子体处理。作为该等离子体处理,可以适当地使用以高频功率使氧气体等离子体化的装置。作为以高频功率使气体等离子体化的装置,例如可以举出等离子体蚀刻装置及等离子体灰化装置。

[0271] 金属氧化物层既可以是绝缘层又可以是导电层。金属氧化物层例如也可以使用氧化铝、氧化铪、铝酸铪、铟氧化物、铟锡氧化物(ITO)或含硅的铟锡氧化物(ITSO)。

[0272] 作为金属氧化物层,优选使用包含一个以上的与半导体层108相同的元素的氧化物材料。尤其是,优选使用可应用于半导体层108的氧化物半导体材料。

[0273] 金属氧化物层例如优选在含氧气氛下形成。尤其是,优选在含氧气氛下利用溅射法形成。由此,在形成金属氧化物层时可以适当地将氧供应给绝缘层110b。

[0274] 接着,去除金属氧化物层。金属氧化物层的去除例如可以适当地利用湿蚀刻法。

[0275] 对绝缘层110b供应氧的处理不局限于上述方法。例如,可以利用离子掺杂法、离子注入法、等离子体处理等对绝缘层110b供应氧自由基、氧原子、氧原子离子、氧分子离子等。另外,也可以在绝缘层110b上形成抑制氧脱离的膜之后,经过该膜对绝缘层110b供应氧。优选在供应氧之后去除该膜。作为上述抑制氧脱离的膜,可以使用含有铟、锌、镓、锡、铝、铬、钽、钛、钼、镍、铁、钴和钨的一种以上的导电膜或半导体膜。

[0276] 接着,通过光刻工序在绝缘层110b上形成抗蚀剂掩模(未图示),然后对绝缘层110b进行加工,由此在绝缘层110b中形成凹部143(参照图9B)。当形成凹部143时,例如可以适当地使用干蚀刻法。

[0277] 接着,以覆盖绝缘层110b的顶面(包括凹部143的内壁及底面)的方式形成绝缘层110c(参照图9C)。绝缘层110c例如可以使用上述材料通过PECVD法形成。绝缘层110c优选以与绝缘层110a相同材料形成。

[0278] 接着,在绝缘层110c上形成将在后面成为导电层112b的导电膜112bf(参照图10A)。导电膜112bf例如可以使用上述材料通过溅射法形成。

[0279] 接着,通过光刻工序在导电膜112bf上形成抗蚀剂掩模(未图示)。该抗蚀剂掩模在从平面看时(参照图1A)形成在除了由凹部143围绕的区域(尽可能接近该区域内的中心的位置)以外的位置上。然后,通过对导电膜112bf、绝缘层110c、绝缘层110b及绝缘层110a分别进行加工,在导电膜112bf、绝缘层110c、绝缘层110b及绝缘层110a中形成到达导电层112a的开口141(参照图10B)。另外,通过该加工,由导电膜112bf形成导电层112b。

[0280] 如此,在本发明的一个方式中,在绝缘层110b中预先形成凹部143,然后对由凹部143围绕的区域内的导电膜112bf进行加工,由此形成开口141及导电层112b。导电层112b是后面被用作晶体管100的源电极和漏电极中的另一个及第二栅电极的导电层。因此,与分别形成源电极和漏电极中的另一方及第二栅电极的情况相比,可以减少工序数。

[0281] 接着,以覆盖导电层112b的顶面、导电层112a的顶面(即,开口141的底面)以及导电层112b、绝缘层110c、绝缘层110b及绝缘层110a的侧面(即,开口141的内壁)的方式形成将在后面成为半导体层108的金属氧化物膜108f(参照图10C)。金属氧化物膜108f优选利用使用金属氧化物靶材的溅射法形成。

[0282] 金属氧化物膜108f优选为缺陷尽可能少的致密的膜。此外,金属氧化物膜108f优

选为高纯度的膜,其中尽可能降低含氢元素的杂质。尤其是,作为金属氧化物膜108f优选使用具有结晶性的金属氧化物膜。

[0283] 在沉积金属氧化物膜108f时,也可以混合氧气体和惰性气体(例如,氦气体、氩气体、氙气体等)。有时在沉积金属氧化物膜108f时的沉积气体整体中所占的氧气体的比率(氧流量比)越高,金属氧化物膜108f的结晶性可以越高。由此,可以实现具有高可靠性的晶体管100。另一方面,有时氧流量比越低,金属氧化物膜108f的结晶性越低。由此,有时可以实现通态电流大的晶体管100。

[0284] 在形成金属氧化物膜108f时的衬底温度较高时,有时可以形成结晶性更高且致密的金属氧化物膜。另一方面,在衬底温度较低时,有时可以形成结晶性更低且导电性更高的金属氧化物膜108f。

[0285] 形成金属氧化物膜108f时的衬底温度可以为室温以上且250℃以下,优选为室温以上且200℃以下,更优选为室温以上且140℃以下。例如,衬底温度优选为室温以上且140℃以下,由此可以提高生产率。

[0286] 在半导体层108具有叠层结构的情况下,优选的是,在沉积下层的金属氧化物膜之后,以不使其表面暴露于大气的方式连续地沉积上层的金属氧化物膜。

[0287] 另外,例如,在将金属氧化物用于半导体层108时,可以使用包含构成该金属氧化物的金属元素的前驱物及氧化剂通过ALD法进行沉积。

[0288] 例如,当沉积In-Ga-Zn氧化物时,可以使用包含铟的前驱体、包含镓的前驱体及包含锌的前驱体的三种前驱体。或者,也可以使用包含铟的前驱体、包含镓及锌的前驱体的两种前驱体。

[0289] 作为包含铟的前驱体,可以使用三乙基铟、三(2,2,6,6-四甲基-3,5-庚二酮酸)铟、环戊二烯基铟、氯化铟(III)、(3-(二甲基胺基)丙基)二甲基铟等。

[0290] 作为包含镓的前驱物,可以使用三甲基镓、三乙基镓、三(二甲基酰胺)镓(III)、乙酰丙酮镓(III)、三(2,2,6,6-四甲基-3,5-庚二酮酸)镓、二甲基氯镓、二乙基氯镓、氯化镓(III)等。

[0291] 此外,作为包含锌的前驱体,可以使用二甲基锌、二乙基锌、双(2,2,6,6-四甲基-3,5-庚二酮酸)锌、氯化锌等。

[0292] 作为氧化剂,例如可以使用臭氧、氧、水等。

[0293] 作为控制所得到的膜的组成的方法,可以举出源气体的流量比、源气体的流动时间、源气体的流动顺序等的调节。另外,通过调节它们,还可以沉积组成连续地变化的膜。另外,也可以连续地沉积组成不同的膜。

[0294] 此外,也可以在形成金属氧化物膜108f之后进行加热处理。通过进行该加热处理,可以使水及氢从金属氧化物膜108f的表面及膜中脱离。此外,通过该加热处理,可以将氧从绝缘层110b供应给金属氧化物膜108f。此外,通过该加热处理,有时金属氧化物膜108f的膜品质得到提高(例如,缺陷的降低、结晶性的提高等)。此外,作为加热处理的条件,可以采用可用于在上述的绝缘层110a及绝缘层110b的形成后使用的加热处理的条件。

[0295] 注意,若不需要也可以不进行该加热处理。此外,也可以在该工序中不进行加热处理而将在后面的工序中进行的加热处理用作在该工序中的加热处理。此外,有时后面的工序中的高温下的处理(例如,沉积工序等)等可以兼作该加热处理。

[0296] 接着,以具有重叠于开口141的内壁的区域的方式将金属氧化物膜108f加工为岛状,由此形成半导体层108(参照图11A)。

[0297] 在形成半导体层108时,可以使用湿蚀刻法和干蚀刻法中的一方或双方。在形成半导体层108时,例如可以适当地使用湿蚀刻法。

[0298] 接着,以覆盖半导体层108及导电层112b的顶面的方式形成绝缘层106(参照图11B)。绝缘层106例如可以使用上述材料通过PECVD法形成。

[0299] 在作为半导体层108使用氧化物半导体时,作为绝缘层106优选使用氢得到减少且包含氧的绝缘材料。由此,具有接触于绝缘层106的区域的半导体层108不容易被n型化。另外,可以高效地将氧从绝缘层106供应给半导体层108,所以可以减少半导体层108的氧空位($V_O$)。半导体层108是将在后面用作形成晶体管100的沟道的半导体层的层。因此,通过作为绝缘层106使用上述材料,可以实现具有良好电特性和高可靠性的晶体管100。

[0300] 通过提高形成用作晶体管100的栅极绝缘层的绝缘层106时的温度,可以形成缺陷少的绝缘层。然而,在形成绝缘层106时的温度高时,有时氧从半导体层108脱离而增加半导体层108中的氧空位($V_O$)及当氢进入该氧空位时产生的$V_OH$。形成绝缘层106时的衬底温度优选为180℃以上且450℃以下,更优选为200℃以上且450℃以下,更优选为250℃以上且450℃以下,更优选为300℃以上且450℃以下,更优选为300℃以上且400℃以下。通过将形成绝缘层106时的衬底温度设定为上述范围内,可以在减少绝缘层106的缺陷的同时抑制氧从半导体层108脱离。因此,可以实现具有良好电特性和高可靠性的晶体管100。

[0301] 在形成绝缘层106之前也可以对半导体层108的表面进行等离子体处理。通过该等离子体处理,可以降低吸附在半导体层108的表面的水等杂质。因此,可以降低半导体层108与绝缘层106的界面的杂质,从而可以实现具有高可靠性的晶体管100。尤其是,在半导体层108的形成至绝缘层106的形成之间半导体层108的表面暴露于大气的情况下,进行等离子体处理是优选的。等离子体处理可以例如在氧、臭氧、氮、一氧化二氮、氩等气氛下进行。等离子体处理与绝缘层106的沉积优选以不暴露于大气的方式连续地进行。

[0302] 接着,在绝缘层106上形成将在后面成为导电层104的导电膜104f(参照图11C)。导电膜104f例如可以使用上述材料通过溅射法形成。

[0303] 接着,通过光刻工序在导电膜104f上形成抗蚀剂掩模(未图示)。另外,该抗蚀剂掩模以至少具有与开口141重叠的区域的方式设置。然后,通过隔着该抗蚀剂掩模对导电膜104f进行加工,形成具有与开口141重叠的区域的导电层104。导电层104是将成为晶体管100的栅电极的导电层。在形成导电层104时,可以使用湿蚀刻法和干蚀刻法中的一方或双方。在形成导电层104时,例如可以适当地使用湿蚀刻法。

[0304] 通过上述工序,可以制造晶体管100(参照图1B)。

[0305] 如上所述,本发明的一个方式的晶体管是纵向晶体管的一种,因此可以在衬底上重叠设置源电极、半导体层及漏电极。因此,例如与平面型晶体管等相比,可以大幅度缩小衬底面内的晶体管的占有面积。另外,本发明的一个方式的晶体管可以使沟道长度极小且包括第二栅电极,所以可以增大通态电流且提高Id-Vd特性的饱和性。此外,还可以提高可靠性。再者,在本发明的一个方式的晶体管中,一个导电层兼具源电极和漏电极中的另一个的功能及第二栅电极的功能。因此,与分别设置源电极和漏电极中的另一个及第二栅电极的情况相比,在包括该晶体管的电路中可以减少布线数,而可以实现电路整体的简化。另

外,制造时的工序数得到减少,而可以实现生产率的提高。

[0306] 本实施方式可以与其他实施方式适当地组合。此外,在本说明书中,在一个实施方式中示出多个结构例子的情况下,可以适当地组合该结构例子。

[0307] (实施方式2)

在本实施方式中,参照图12至图20F说明包括本发明的一个方式的晶体管的显示装置。

[0308] 本实施方式的显示装置可以为高分辨率显示装置或大型显示装置。因此,例如可以将本实施方式的显示装置用作如下装置的显示部:具有较大的屏幕的电子设备诸如电视装置、台式或笔记本型个人计算机、用于计算机等的显示器、数字标牌、弹珠机等大型游戏机等;数码相机;数码摄像机;数码相框;移动电话机;便携式游戏机;便携式信息终端;声音再现装置。

[0309] 另外,本实施方式的显示装置可以为高清晰显示装置。因此,例如可以将本实施方式的显示装置用作手表型及手镯型等信息终端设备(可穿戴设备)的显示部以及头戴显示器(HMD)等VR用设备及眼镜型AR用设备等可戴在头上的可穿戴设备的显示部。

[0310] 本发明的一个方式的半导体装置可以用于显示装置或包括该显示装置的模块。作为包括该显示装置的模块,可以举出该显示装置安装有柔性印刷电路板(Flexible printed circuit,下面记为FPC)或TCP(Tape Carrier Package:带载封装)等连接器的模块、通过COG(Chip On Glass:玻璃覆晶封装)方式或COF(Chip On Film:薄膜覆晶封装)方式等安装有集成电路(IC)的模块等。

[0311] [显示装置50A]

图12示出显示装置50A的立体图。

[0312] 显示装置50A具有贴合衬底152与衬底151的结构。在图12中,以虚线表示衬底152。

[0313] 显示装置50A包括显示部162、连接部140、电路部164、布线165等。图12示出显示装置50A安装有IC173及FPC172的例子。因此,也可以将图12所示的结构称为包括显示装置50A、IC及FPC的显示模块。

[0314] 连接部140设置在显示部162的外侧。连接部140可以沿着显示部162的一个边或多个边设置。连接部140也可以为一个或多个。图12示出以围绕显示部的四个边的方式设置连接部140的例子。在连接部140中,显示元件的公共电极与导电层电连接,可以对公共电极供应电位。

[0315] 电路部164例如包括扫描线驱动电路(也称为栅极驱动器)。另外,电路部164也可以包括扫描线驱动电路和信号线驱动电路(也称为源极驱动器)的双方。

[0316] 布线165具有对显示部162及电路部164供应信号及电力的功能。该信号及电力从外部经由FPC172输入到布线165或者从IC173输入到布线165。

[0317] 图12示出通过COG方式或COF方式等在衬底151上设置IC173的例子。作为IC173,例如可以使用包括扫描线驱动电路和信号线驱动电路中的一方或双方的IC。注意,显示装置50A及显示模块不一定必须设置有IC。另外,也可以利用COF方式等将IC安装于FPC。

[0318] 本发明的一个方式的晶体管例如可以用于显示装置50A的显示部162和电路部164中的一方或双方。

[0319] 例如,在将本发明的一个方式的晶体管用于显示装置的像素电路时,可以缩小像

素电路的占有面积而可以实现高清晰显示装置。此外,例如在将本发明的一个方式晶体管用于显示装置的驱动电路(例如,栅极线驱动电路和源极线驱动电路中的一方或双方)时,可以缩小驱动电路的占有面积而可以实现窄边框的显示装置。另外,本发明的一个方式的晶体管具有良好的电特性,通过将该晶体管用于显示装置,可以提高显示装置的可靠性。

[0320] 显示部162是显示装置50A中的图像显示区域,包括周期性地排列的多个像素210。图12中示出一个像素210的放大图。

[0321] 对本实施方式的显示装置中的像素的排列没有特别的限制,可以采用各种方法。作为像素的排列,例如可以举出条纹排列、S条纹排列、矩阵状排列、Delta排列、拜耳排列(Bayer arrangement)及Pentile排列。

[0322] 图12所示的像素210包括呈现红色光的子像素11R、呈现绿色光的子像素11G以及呈现蓝色光的子像素11B。

[0323] 子像素11R、11G、11B都包括显示元件以及控制该显示元件的驱动的电路。

[0324] 作为显示元件可以使用各种元件,例如可以举出液晶元件及发光元件。除此之外,还可以使用快门方式或光干涉方式的MEMS(Micro Electro Mechanical Systems:微电子机械系统)元件、采用微囊方式、电泳方式、电润湿方式或电子粉流体(注册商标)方式等的显示元件等。另外,也可以使用利用光源以及采用量子点材料的颜色转换技术的QLED(量子点LED:Quantum-dot LED)。

[0325] 作为液晶元件,例如可以举出透射型液晶元件、反射型液晶元件及半透射型液晶元件。

[0326] 作为发光元件,例如可以举出LED、OLED(Organic LED)、半导体激光器等自发光性发光元件。作为LED,例如可以使用小型LED、微型LED等。

[0327] 作为发光元件含有的发光物质,例如可以举出发射荧光的物质(荧光材料)、发射磷光的物质(磷光材料)、呈现热活化延迟荧光的物质(热活化延迟荧光(Thermally activated delayed fluorescence:TADF)材料)及无机化合物(量子点材料等)。

[0328] 发光元件的发光颜色可以为红外、红色、绿色、蓝色、青色、品红色、黄色或白色等。此外,当发光元件具有微腔结构时,可以进一步提高颜色纯度。

[0329] 在发光元件所包括的一对电极中,一方的电极被用作阳极且另一方的电极被用作阴极。

[0330] 在本实施方式中,主要以作为显示元件使用发光元件的情况为例进行说明。

[0331] 本发明的一个方式的显示装置也可以采用如下结构中的任意个:向与形成有发光元件的衬底相反的方向发射光的顶部发射(top emission)型、向形成有发光元件的衬底一侧发射光的底部发射(bottom emission)型、向双面发射光的双面发射(dual emission)型。

[0332] 图13示出显示装置50A的包括FPC172的区域的一部分、电路部164的一部分、显示部162的一部分、连接部140的一部分及包括端部的区域的一部分的截面的一个例子。

[0333] 图13所示的显示装置50A在衬底151与衬底152之间包括晶体管205D、205R、205G、205B、发光元件130R、发光元件130G、发光元件130B等。发光元件130R是呈现红色光的子像素11R所包括的显示元件,发光元件130G是呈现绿色光的子像素11G所包括的显示元件,发光元件130B是呈现蓝色光的子像素11B所包括的显示元件。

[0334] 显示装置50A采用SBS结构。在SBS结构中,可以分别进行各发光元件的材料及结构的最优化,材料及结构的选择自由度增大,亮度的提高以及可靠性的提高变得容易。

[0335] 另外,显示装置50A采用顶部发射型。在顶部发射型中,可以以与发光元件的发光区域重叠的方式配置晶体管等,所以与底部发射型相比可以进一步提高像素的开口率。

[0336] 晶体管205D、205R、205G、205B都形成在衬底151上。这些晶体管可以使用同一材料及同一工序制造。

[0337] 在本实施方式中,示出作为晶体管205D、205R、205G、205B使用OS晶体管的例子。作为晶体管205D、205R、205G、205B,可以使用本发明的一个方式的晶体管。就是说,在显示装置50A中,显示部162和电路部164的双方包括本发明的一个方式的晶体管。通过在显示部162中使用本发明的一个方式的晶体管,可以缩小像素尺寸而可以实现高清晰化。另外,通过在电路部164中使用本发明的一个方式的晶体管,可以缩小电路部164的占有面积而可以实现窄边框化。关于本发明的一个方式的晶体管可以参照上述实施方式的记载。

[0338] 具体而言,晶体管205D、205R、205G、205B例如都包括用作第一栅电极的导电层104、用作第一栅极绝缘层的绝缘层106、用作源电极和漏电极中的一个的导电层112a、用作源电极和漏电极中的另一个及第二栅电极的导电层112b、包含金属氧化物的半导体层108以及用作第二栅极绝缘层的绝缘层110(绝缘层110a、绝缘层110b及绝缘层110c)。在此,通过对同一导电膜进行加工而得到的多个层由相同的阴影线表示。绝缘层110位于导电层112b与半导体层108之间。绝缘层106位于导电层104与半导体层108之间。

[0339] 注意,本实施方式的显示装置所包括的晶体管不局限于本发明的一个方式的晶体管。例如,也可以组合包括本发明的一个方式的晶体管和其他结构的晶体管。

[0340] 本实施方式的显示装置例如可以包括平面晶体管、交错型晶体管和反交错型晶体管中的任一个以上。本实施方式的显示装置所包括的晶体管具有顶栅型和底栅型中的任何一个结构。或者,也可以在形成沟道的半导体层上下设置有栅电极。

[0341] 此外,本实施方式的显示装置也可以包括将硅用于沟道形成区域的晶体管(Si晶体管)。

[0342] 作为硅,可以举出单晶硅、多晶硅、非晶硅等。尤其是,可以使用在半导体层中包含LTPS的晶体管(以下也称为LTPS晶体管)。LTPS晶体管具有高场效应迁移率以及良好的频率特性。

[0343] 在提高像素电路所包括的发光元件的发光亮度时,需要增大流过发光元件的电流量。为此,需要提高像素电路所包括的驱动晶体管的源极-漏极间电压。因为OS晶体管的源极-漏极间的耐压比Si晶体管高,所以可以对OS晶体管的源极-漏极间施加高电压。由此,通过作为像素电路所包括的驱动晶体管使用OS晶体管,可以增大流过发光元件的电流量而提高发光元件的发光亮度。

[0344] 当晶体管在饱和区域中工作时,与Si晶体管相比,OS晶体管可以使对于栅极-源极间电压的变化的源极-漏极间电流的变化细小。因此,通过作为像素电路所包括的驱动晶体管使用OS晶体管,可以根据栅极-源极间电压的变化详细决定流过源极-漏极间的电流,所以可以控制流过发光元件的电流量。由此,可以增加像素电路的灰度数。

[0345] 另外,关于晶体管在饱和区域中工作时流过的电流的饱和特性,与Si晶体管相比,OS晶体管即使逐渐地提高源极-漏极间电压也可以使稳定的电流(饱和电流)流过。因此,通

过将OS晶体管用作驱动晶体管,即使例如EL元件的电流-电压特性发生不均匀,也可以使稳定的电流流过发光元件。也就是说,OS晶体管当在饱和区域中工作时即使改变源极-漏极间电压,源极-漏极间电流也几乎不变,因此可以稳定发光元件的发光亮度。

[0346] 电路部164所包括的晶体管和显示部162所包括的晶体管既可以具有相同的结构,又可以具有不同的结构。电路部164所包括的多个晶体管既可以具有相同的结构,又可以具有两种以上的不同结构。与此同样,显示部162所包括的多个晶体管既可以具有相同的结构,又可以具有两种以上的不同结构。

[0347] 显示部162所包括的所有晶体管都可以为OS晶体管,显示部162所包括的所有晶体管都可以为Si晶体管,显示部162所包括的部分晶体管也可以为OS晶体管且剩下的晶体管也可以为Si晶体管。

[0348] 例如,通过在显示部162中使用LTPS晶体管和OS晶体管的双方,可以实现具有低功耗及高驱动能力的显示装置。此外,有时将组合LTPS晶体管和OS晶体管的结构称为LTPO。作为更优选的例子,可以举出如下结构:将OS晶体管用于被用作控制布线间的导通/非导通的开关的晶体管等且将LTPS晶体管用于控制电流的晶体管等。

[0349] 例如,显示部162所包括的晶体管之一被用作用来控制流过发光元件的电流的晶体管且也可以称为驱动晶体管。驱动晶体管的源极和漏极中的一个与发光元件的像素电极电连接。该驱动晶体管优选使用LTPS晶体管。由此,可以增大在像素电路中流过发光元件的电流。

[0350] 另外,显示部162所包括的晶体管的其他之一被用作用来控制像素的选择和非选择的开关,也可以被称为选择晶体管。选择晶体管的栅极与栅极线电连接,源极和漏极中的一个与源极线(信号线)电连接。选择晶体管优选使用OS晶体管。由此,即便使帧频显著小(例如,1fps以下)也可以维持像素的灰度,因此通过在显示静态图像时停止驱动器,可以降低功耗。

[0351] 以覆盖晶体管205D、205R、205G、205B的方式设置有绝缘层218,绝缘层218上设置有绝缘层235。

[0352] 绝缘层218优选被用作晶体管的保护层。绝缘层218优选使用不容易扩散水及氢等杂质的材料。由此,可以将绝缘层218用作阻挡层。通过采用这种结构,可以有效地抑制杂质从外部扩散到晶体管中,从而可以提高显示装置的可靠性。

[0353] 绝缘层218优选包括一层以上的无机绝缘膜。作为无机绝缘膜,例如可以举出氧化绝缘膜、氮化绝缘膜、氧氮化绝缘膜及氮氧化绝缘膜。上述无机绝缘膜的具体例子是如上所述的。

[0354] 绝缘层235优选被用作平坦化层,适合使用有机绝缘膜。作为能够用于有机绝缘膜的材料,例如可以举出丙烯酸树脂、聚酰亚胺树脂、环氧树脂、聚酰胺树脂、聚酰亚胺酰胺树脂、硅氧烷树脂、苯并环丁烯类树脂、酚醛树脂及这些树脂的前体等。此外,绝缘层235也可以采用有机绝缘膜及无机绝缘膜的叠层结构。绝缘层235的最表面层优选被用作蚀刻保护层。由此,在对像素电极111R、111G、111B等进行加工时,可以抑制在绝缘层235中形成凹部。或者,也可以在对像素电极111R、111G、111B等进行加工时在绝缘层235中设置凹部。

[0355] 绝缘层235上设置有发光元件130R、130G、130B。

[0356] 发光元件130R包括绝缘层235上的像素电极111R、像素电极111R上的EL层113R以

及EL层113R上的公共电极115。图13所示的发光元件130R发射红色光(R)。EL层113R包括发射红色光的发光层。

[0357] 发光元件130G包括绝缘层235上的像素电极111G、像素电极111G上的EL层113G以及EL层113G上的公共电极115。图13所示的发光元件130G发射绿色光(G)。EL层113G包括发射绿色光的发光层。

[0358] 发光元件130B包括绝缘层235上的像素电极111B、像素电极111B上的EL层113B以及EL层113B上的公共电极115。图13所示的发光元件130B发射蓝色光(B)。EL层113B包括发射蓝色光的发光层。

[0359] 注意,在图13中以相同厚度示出EL层113R、113G、113B,但不局限于此。EL层113R、113G、113B的各厚度也可以不同。例如,优选对应加强EL层113R、113G、113B的所发射的光的光程来设定厚度。由此,可以实现微腔结构来提高从各发光元件发射的光的色纯度。

[0360] 像素电极111R通过设置在绝缘层106、绝缘层218及绝缘层235中的开口与晶体管205R所包括的导电层112b电连接。同样地,像素电极111G与晶体管205G所包括的导电层112b电连接,像素电极111B与晶体管205B所包括的导电层112b电连接。

[0361] 像素电极111R、111G、111B的各端部被绝缘层237覆盖。绝缘层237被用作分隔壁(也称为堤、堤坝、间隔物)。绝缘层237可以使用无机绝缘材料和有机绝缘材料中的一方或双方设置为单层结构或叠层结构。绝缘层237例如可以使用可用于绝缘层218的材料及可用于绝缘层235的材料。绝缘层237可以使像素电极与公共电极电绝缘。另外,绝缘层237可以使彼此相邻的发光元件电绝缘。

[0362] 公共电极115是发光元件130R、130G、130B共用的连续的膜。多个发光元件共用的公共电极115与设置在连接部140中的导电层123电连接。导电层123优选使用利用与像素电极111R、111G、111B相同的材料且通过与像素电极111R、111G、111B相同的工序形成的导电层。

[0363] 在本发明的一个方式的显示装置中,作为像素电极和公共电极中的提取光一侧的电极使用透射可见光的导电膜。此外,作为不提取光一侧的电极,优选使用反射可见光的导电膜。

[0364] 另外,不提取光一侧的电极也可以使用透射可见光的导电膜。在此情况下,优选在反射层与EL层间配置该电极。换言之,EL层的发光也可以被该反射层反射而从显示装置提取。

[0365] 作为形成发光元件的一对电极的材料,可以适当地使用金属、合金、导电化合物及它们的混合物等。作为该材料,具体地可以举出铝、镁、钛、铬、锰、铁、钴、镍、铜、镓、锌、铟、锡、钼、钽、钨、钯、金、铂、银、钇及钕等金属以及适当地组合它们的合金。另外,作为该材料,可以举出铟锡氧化物(也称为In-Sn氧化物、ITO)、In-Si-Sn氧化物(也称为ITSO)、铟锌氧化物(In-Zn氧化物)及In-W-Zn氧化物等。另外,作为该材料,可以举出铝、镍和镧的合金(Al-Ni-La)等含铝合金(铝合金)、银和镁的合金及银、钯和铜的合金(也记作Ag-Pd-Cu、APC)等含银合金。另外,作为该材料,可以举出以上没有列举的属于元素周期表中第1族或第2族的元素(例如,锂、铯、钙、锶)、铕、镱等稀土金属、适当地组合它们的合金以及石墨烯等。

[0366] 发光元件优选采用微腔谐振器(微腔)结构。因此,发光元件所包括的一对电极中的一个优选包括具有可见光透射性及反射性的电极(半透射-半反射电极),另一个优选包

括具有可见光反射性的电极(反射电极)。当发光元件具有微腔结构时,可以在两个电极之间使从发光层得到的发光谐振,并且可以增强从发光元件发射的光。

[0367] 透明电极的光透射率为40%以上。例如,优选将可见光(波长为400nm以上且小于750nm的光)透射率为40%以上的电极用作发光元件的透明电极。半透射-半反射电极的可见光反射率为10%以上且95%以下,优选为30%以上且80%以下。反射电极的可见光反射率为40%以上且100%以下,优选为70%以上且100%以下。另外,这些电极的电阻率优选为$1\times10^{-2}\Omega$cm以下。

[0368] EL层113R、113G、113B都被设置为岛状。在图13中,相邻的EL层113R的端部与EL层113G的端部重叠,相邻的EL层113G的端部与EL层113B的端部重叠。另外,虽然未图示,相邻的EL层113R的端部与EL层113B的端部重叠。如图13所示,在使用高精细金属掩模沉积岛状EL层的情况下,有时彼此相邻的EL层的端部重叠,但本发明不局限于此。也就是说,彼此相邻的EL层也可以不重叠而分离。另外,在显示装置中也可以存在彼此相邻的EL层重叠的部分和彼此相邻的EL层不重叠而分离的部分的双方。

[0369] EL层113R、113G、113B都至少包括发光层。发光层包含一种或多种发光物质。作为发光物质,适当地使用呈现蓝色、紫色、蓝紫色、绿色、黄绿色、黄色、橙色或红色等发光颜色的物质。此外,作为发光物质,也可以使用发射近红外光的物质。

[0370] 作为发光物质,可以举出荧光材料、磷光材料、TADF材料及量子点材料等。

[0371] 发光层除了发光物质(客体材料)以外还可以包含一种或多种有机化合物(主体材料、辅助材料等)。作为一种或多种有机化合物,可以使用空穴传输性高的物质(空穴传输材料)和电子传输性高的物质(电子传输材料)中的一或双方。此外,作为一种或多种有机化合物,也可以使用双极性物质(电子传输性及空穴传输性高的物质)或TADF材料。

[0372] 例如,发光层优选包含磷光材料、容易形成激基复合物的空穴传输材料及电子传输材料的组合。通过采用这样的结构,可以高效地得到利用从激基复合物到发光物质(磷光材料)的能量转移的ExTET(Exciplex-Triplet Energy Transfer:激基复合物-三重态能量转移)的发光。另外,通过选择形成发射与发光物质的最低能量一侧的吸收带的波长重叠的光的激基复合物的组合,可以使能量转移变得顺利,从而高效地得到发光。通过采用上述结构,可以同时实现发光元件的高效率、低电压驱动以及长寿命。

[0373] EL层除了发光层之外还可以包括包含空穴注入性高的物质的层(空穴注入层)、包含空穴传输材料的层(空穴传输层)、包含电子阻挡性高的物质的层(电子阻挡层)、包含电子注入性高的物质的层(电子注入层)、包含电子传输材料的层(电子传输层)和包含空穴阻挡性高的物质的层(空穴阻挡层)中的一个或多个。除此之外,EL层也可以包含双极性材料和TADF材料中的一方或双方。

[0374] 发光元件可以使用低分子化合物或高分子化合物,还可以包含无机化合物。构成发光元件的层可以通过蒸镀法(包括真空蒸镀法)、转印法、印刷法、喷墨法、涂敷法等的方法形成。

[0375] 发光元件可以采用单结构(只有一个发光单元的结构),也可以采用串联结构(包括多个发光单元的结构)。发光单元至少包括一个发光层。串联结构具有多个发光单元通过电荷产生层串联连接的结构。电荷产生层具有在对一对电极间施加电压时向两个发光单元中的一方注入电子且向另一方注入空穴的功能。通过采用串联结构,可以实现能够以高亮

度发光的发光元件。此外,串联结构由于与单结构相比可以降低为了得到相同的亮度的电流,所以可以提高可靠性。另外,也可以将串联结构称为叠层结构。

[0376] 在图13中使用串联结构的发光元件时,优选的是,EL层113R包括发射红色光的多个发光单元,EL层113G包括发射绿色光的多个发光单元,并且EL层113B包括发射蓝色光的多个发光单元。

[0377] 发光元件130R、130G、130B上设置有保护层131。保护层131和衬底152由粘合层142粘合。衬底152设置有遮光层117。作为发光元件的密封,例如可以采用固体密封结构或中空密封结构。在图13中,衬底152和衬底151之间的空间被粘合层142填充,即采用固体密封结构。或者,也可以采用使用惰性气体(氮或氩等)填充该空间的中空密封结构。此时,粘合层142也可以以不与发光元件重叠的方式设置。另外,也可以使用与设置为框状的粘合层142不同的树脂填充该空间。

[0378] 保护层131至少设置在显示部162中,优选以覆盖显示部162整体的方式设置。保护层131优选以除了显示部162以外还覆盖连接部140及电路部164的方式设置。另外,保护层131优选以延伸至显示装置50A的端部的方式设置。另一方面,为了使FPC172与导电层167电连接,连接部204中有没有设置保护层131的部分。

[0379] 通过在发光元件130R、130G、130B上设置保护层131,可以提高发光元件的可靠性。

[0380] 保护层131既可以为单层结构,又可以为两层以上的叠层结构。另外,对保护层131的导电性没有限制。作为保护层131,可以使用绝缘膜、半导体膜和导电膜中的至少一种。

[0381] 当保护层131包括无机膜时,可以抑制发光元件的劣化,诸如防止公共电极115的氧化、抑制杂质(水分、氧等)进入发光元件中等,由此可以提高显示装置的可靠性。

[0382] 作为保护层131例如可以使用氧化绝缘膜、氮化绝缘膜、氧氮化绝缘膜及氮氧化绝缘膜等无机绝缘膜。上述无机绝缘膜的具体例子是如上所述的。尤其是,保护层131优选包括氮化绝缘膜或氮氧化绝缘膜,更优选包括氮化绝缘膜。

[0383] 另外,作为保护层131也可以使用包含ITO、In-Zn氧化物、Ga-Zn氧化物、Al-Zn氧化物或IGZO等的无机膜。该无机膜优选具有高电阻,具体而言,该无机膜优选具有比公共电极115高的电阻。该无机膜还可以包含氮。

[0384] 在经过保护层131提取发光元件的发光的情况下,保护层131的可见光透射性优选高。例如,ITO、IGZO以及氧化铝都是可见光透射性高的无机材料,所以是优选的。

[0385] 作为保护层131,例如可以采用氧化铝膜和氧化铝膜上的氮化硅膜的叠层结构或者氧化铝膜和氧化铝膜上的IGZO膜的叠层结构。通过使用该叠层结构,可以抑制杂质(水及氧等)进入EL层一侧。

[0386] 并且,保护层131也可以包括有机膜。例如,保护层131也可以包括有机膜和无机膜的双方。作为可用于保护层131的有机膜,例如可以举出可用于绝缘层235的有机绝缘膜等。

[0387] 在衬底151与衬底152不重叠的区域中设置连接部204。在连接部204中,布线165通过导电层166、167及连接层242与FPC172电连接。附图示出布线165采用对与导电层112a同一的导电膜进行加工而得的导电层的单层结构的例子。附图示出导电层166采用对与导电层112b同一的导电膜进行加工而得的导电层的单层结构的例子。附图示出导电层167采用对与像素电极111R、111G、111B同一的导电膜进行加工而得的导电层的单层结构的例子。在连接部204的顶面上露出导电层167。由此,通过连接层242可以使连接部204与FPC172电连

接。

[0388] 显示装置50A采用顶部发射型。发光元件所发射的光射出到衬底152一侧。衬底152优选使用可见光透射性高的材料。像素电极111R、111G、111B包含反射可见光的材料,对置电极(公共电极115)包含使可见光透射的材料。

[0389] 优选在衬底152的衬底151一侧的面设置遮光层117。遮光层117可以设置在相邻的发光元件之间、连接部140及电路部164等中。

[0390] 另外,也可以在衬底152的衬底151一侧的面或保护层131上设置滤色片等着色层。在与发光元件重叠地设置滤色片时,可以提高从像素发射的光的色纯度。

[0391] 此外,可以在衬底152的外侧(与衬底151相反一侧的面)配置各种光学构件。作为光学构件,例如可以举出偏振片、相位差板、光扩散层(扩散薄膜等)、防反射层及聚光薄膜(condensing film)。此外,在衬底152的外侧也可以配置抑制尘埃的附着的抗静电膜、不容易被弄脏的具有拒水性的膜、抑制使用时的损伤的硬涂膜、冲击吸收层等表面保护层。例如,通过作为表面保护层设置玻璃层或二氧化硅层($SiO_x$层),可以抑制表面被弄脏或受到损伤,所以是优选的。另外,作为表面保护层也可以使用DLC(类金刚石碳)、氧化铝($AlO_x$)、聚酯类材料或聚碳酸酯类材料等。另外,作为表面保护层优选使用可见光透射率高的材料。另外,表面保护层优选使用硬度高的材料。

[0392] 衬底151及衬底152分别可以使用玻璃、石英、陶瓷、蓝宝石、树脂、金属、合金、半导体等。从发光元件提取光一侧的衬底使用使该光透射的材料。通过将具有柔性的材料用于衬底151及衬底152,可以提高显示装置的柔性,由此可以实现柔性显示器。作为衬底151和衬底152中的至少一方,也可以使用偏振片。

[0393] 作为衬底151及衬底152,分别可以使用如下材料:聚对苯二甲酸乙二醇酯(PET)或聚萘二甲酸乙二醇酯(PEN)等聚酯树脂、聚丙烯腈树脂、丙烯酸树脂、聚酰亚胺树脂、聚甲基丙烯酸甲酯树脂、聚碳酸酯(PC)树脂、聚醚砜(PES)树脂、聚酰胺树脂(尼龙、芳族聚酰胺等)、聚硅氧烷树脂、环烯烃树脂、聚苯乙烯树脂、聚酰胺-酰亚胺树脂、聚氨酯树脂、聚氯乙烯树脂、聚偏二氯乙烯树脂、聚丙烯树脂、聚四氟乙烯(PTFE)树脂、ABS树脂以及纤维素纳米纤维等。此外,也可以作为衬底151和衬底152中的至少一方使用其厚度为具有柔性程度的玻璃。

[0394] 在将圆偏振片重叠于显示装置的情况下,优选将光学各向同性高的衬底用作显示装置所包括的衬底。光学各向同性高的衬底的双折射较低(也可以说双折射量较少)。作为光学各向同性高的薄膜,可以举出三乙酸纤维素(TAC,也称为三醋酸纤维素)薄膜、环烯烃聚合物(COP)薄膜、环烯烃共聚物(COC)薄膜及丙烯酸树脂薄膜等。

[0395] 作为粘合层142,可以使用紫外线固化粘合剂等光固化粘合剂、反应固化粘合剂、热固化粘合剂、厌氧粘合剂等各种固化粘合剂。作为这些粘合剂,可以举出环氧树脂、丙烯酸树脂、硅酮树脂、酚醛树脂、聚酰亚胺树脂、酰亚胺树脂、PVC(聚氯乙烯)树脂、PVB(聚乙烯醇缩丁醛)树脂、EVA(乙烯-醋酸乙烯酯)树脂等。尤其是,优选使用环氧树脂等透湿性低的材料。此外,也可以使用两液混合型树脂。此外,也可以使用粘合薄片等。

[0396] 作为连接层242,可以使用各向异性导电膜(ACF:Anisotropic Conductive Film)、各向异性导电膏(ACP:Anisotropic Conductive Paste)等。

[0397] [显示装置50B]

在图14所示的显示装置50B中各颜色的子像素中使用包括被发光元件共用的EL层113的发光元件、以及着色层(滤色片等),这点与显示装置50A主要不同。注意,在后述的显示装置的说明中,有时省略说明与先前说明的显示装置同样的部分。

[0398] 图14所示的显示装置50B在衬底151与衬底152间包括晶体管205D、205R、205G、205B、发光元件130R、130G、130B、透射红色光的着色层132R、透射绿色光的着色层132G及透射蓝色光的着色层132B等。

[0399] 发光元件130R包括像素电极111R、像素电极111R上的EL层113以及EL层113上的公共电极115。发光元件130R的发光通过着色层132R作为红色光提取到显示装置50B的外部。

[0400] 发光元件130G包括像素电极111G、像素电极111G上的EL层113以及EL层113上的公共电极115。发光元件130G的发光通过着色层132G作为绿色光提取到显示装置50B的外部。

[0401] 发光元件130B包括像素电极111B、像素电极111B上的EL层113以及EL层113上的公共电极115。发光元件130B的发光通过着色层132B作为蓝色光提取到显示装置50B的外部。

[0402] 发光元件130R、130G、130B共用EL层113及公共电极115。与各颜色的子像素分别设置有不同EL层的结构相比,各颜色的子像素共用EL层113的结构可以减少制造工序数。

[0403] 例如,图14所示的发光元件130R、130G、130B都发射白色光。发光元件130R、130G、130B所发射的白色光分别透射着色层132R、132G、132B,由此可以得到所希望的颜色的光。

[0404] 白色发光元件优选包括两个以上的发光层。在使用两个发光层得到白色发光的情况下,以两个发光层的各发光颜色处于补色关系的方式选择发光层即可。例如,通过使第一发光层的发光颜色与第二发光层的发光颜色处于补色关系,可以得到在发光元件整体上以白色发光的结构。此外,在使用三个以上的发光层得到白色发光的情况下,三个以上的发光层的各发光颜色组合而得到在发光元件整体上以白色发光的结构即可。

[0405] EL层113优选例如包括含有发射蓝色光的发光物质的发光层以及含有发射比蓝色波长长的可见光的发光物质的发光层。EL层113优选例如包括发射黄色光的发光层及发射蓝色光的发光层。或者,EL层113优选例如包括发射红色光的发光层、发射绿色光的发光层及发射蓝色光的发光层。

[0406] 发射白色光的发光元件优选采用串联结构。具体而言,可以采用:包括发射黄色光的发光单元及发射蓝色光的发光单元的两级串联结构;包括发射红色光及绿色光的发光单元以及发射蓝色光的发光单元的两级串联结构;依次包括发射蓝色光的发光单元、发射黄色光、黄绿色光或绿色光的发光单元以及发射蓝色光的发光单元的三级串联结构;或者依次包括发射蓝色光的发光单元、发射黄色光、黄绿色光或绿色光及红色光的发光单元以及发射蓝色光的发光单元的三级串联结构等。例如,作为发光单元的叠层数及颜色顺序,可以举出从阳极一侧层叠B和Y的两级结构、层叠B和发光单元X的两级结构、层叠B、Y和B的三级结构、层叠B、X和B的三级结构,作为发光单元X中的发光层的叠层数及颜色顺序,可以采用从阳极一侧层叠R和Y的两层结构、层叠R和G的两层结构、层叠G和R的两层结构、层叠G、R和G的三层结构或层叠R、G和R的三层结构等。另外,也可以在两个发光层之间设置其他层。

[0407] 或者,例如图14所示的发光元件130R、130G、130B都发射蓝色光。此时,EL层113包括一层以上的发射蓝色光的发光层。关于呈现蓝色光的子像素11B,可以提取发光元件130B所发射的蓝色光。另外,关于呈现红色光的子像素11R及呈现绿色光的子像素11G,通过在发光元件130R或发光元件130G与衬底152之间设置颜色转换层,可以使发光元件130R或发光

元件130G所发射的蓝色光转换为更长波长的光而提取为红色光或绿色光。并且,优选的是,在发光元件130R上的颜色转换层与衬底152之间设置着色层132R并在发光元件130G上的颜色转换层与衬底152之间设置着色层132G。发光元件所发射的光的一部分有时不经颜色转换层的转换而透射。通过经由着色层提取透射颜色转换层的光,可以由着色层吸收所希望的颜色光之外的光而提高子像素所呈现的光的色纯度。

[0408] [显示装置50C]

图15所示的显示装置50C为底部发射型显示装置,这点与显示装置50B主要不同。

[0409] 发光元件所发射的光射出到衬底151一侧。衬底151优选使用可见光透射性高的材料。另一方面,对用于衬底152的材料的透光性没有限制。

[0410] 在衬底151与晶体管之间优选形成遮光层117。图15示出如下例子:衬底151上设置有遮光层117,遮光层117上设置有绝缘层153,并且绝缘层153上设置有晶体管205D、晶体管205R(未图示)、晶体管205G及晶体管205B等。另外,绝缘层218上设置有着色层132R(未图示)、着色层132G及着色层132B,着色层132R、着色层132G及着色层132B上设置有绝缘层235。

[0411] 与着色层132R重叠的发光元件130R(未图示)包括像素电极111R(未图示)、EL层113及公共电极115。

[0412] 与着色层132G重叠的发光元件130G包括像素电极111G、EL层113及公共电极115。

[0413] 与着色层132B重叠的发光元件130B包括像素电极111B、EL层113及公共电极115。

[0414] 像素电极111R、111G、111B各自使用可见光透射性高的材料。公共电极115优选使用反射可见光的材料。因为在底部发射型显示装置中可以将电阻低的金属等用于公共电极115,所以可以抑制发生因公共电极115的电阻导致的电压下降,而可以实现高显示品质。

[0415] 本发明的一个方式的晶体管可以实现微型化而减小衬底面内的晶体管的占有面积,所以可以在底部发射型显示装置中提高像素的开口率或减小像素的尺寸。

[0416] [显示装置50D]

图16所示的显示装置50D包括受光元件130S,这点与显示装置50A主要不同。

[0417] 显示装置50D在像素中包括发光元件及受光元件。在显示装置50D中,优选的是,作为发光元件使用有机EL元件并作为受光元件使用有机光电二极管。有机EL元件及有机光电二极管可以形成在同一衬底上。因此,可以将有机光电二极管安装在使用有机EL元件的显示装置中。

[0418] 在像素包括发光元件及受光元件的显示装置50D中,像素具有受光功能,所以该显示装置可以在显示图像的同时检测出对象物的接触或接近。因此,显示部162除了图像显示功能之外还具有摄像功能和感测功能中的一方或双方。例如,不仅是在显示装置50D所包括的所有的子像素中显示图像,而是可以用一部分的子像素作为光源发射光,用其他一部分的子像素进行光检测且用剩下子像素显示图像。

[0419] 因此,不需要与显示装置50D另行设置受光部及光源,而可以减少电子设备的构件数量。例如,不需要另行设置安装在电子设备中的生物识别装置或者用于滚动等的静电电容式的触摸面板等。因此,通过使用显示装置50D,可以提供一种制造成本降低的电子设备。

[0420] 当将受光元件用于图像传感器时,显示装置50D能够使用受光元件拍摄图像。例如,可以使用图像传感器进行用来利用指纹、掌纹、虹膜、脉形状(包括静脉形状、动脉形状)

或脸等的个人识别的摄像。

[0421] 另外,受光元件可以用于触摸传感器(也称为直接触摸传感器)或非接触传感器(也称为悬浮传感器、悬浮触摸传感器、非触摸传感器)等。触摸传感器在对象物(手指、手或笔等)直接接触显示装置时可以检测出对象物。另外,非接触传感器即使对象物没有接触显示装置也可以检测出该对象物。

[0422] 发光元件130S包括绝缘层235上的像素电极111S、像素电极111S上的功能层113S、功能层113S上的公共电极115。光Lin从显示装置50D的外部入射到功能层113S。

[0423] 像素电极111S通过设置在绝缘层106、绝缘层218及绝缘层235中的开口与晶体管205S所包括的导电层112b电连接。

[0424] 像素电极111S的端部被绝缘层237覆盖。

[0425] 公共电极115是受光元件130S、发光元件130R(未图示)、发光元件130G和发光元件130B共用的连续的膜。发光元件和受光元件共用的公共电极115与设置在连接部140中的导电层123电连接。

[0426] 功能层113S至少包括活性层(也称为光电转换层)。活性层包含半导体。作为该半导体,可以举出硅等无机半导体及包含有机化合物的有机半导体。在本实施方式中,示出使用有机半导体作为活性层含有的半导体的例子。通过使用有机半导体,可以以相同方法(例如真空蒸镀法)形成发光层和活性层,并可以共同使用制造设备,所以是优选的。

[0427] 功能层113S也可以还包括包含空穴传输性高的物质、电子传输性高的物质或双极性物质(电子传输性及空穴传输性都高的物质)等的层作为活性层以外的层。另外,不局限于此,也可以还包括包含空穴注入性高的物质、空穴阻挡材料、电子注入性高的材料或电子阻挡材料等的层。作为受光元件所包括的活性层以外的层例如可以使用上述可用于发光元件的材料。

[0428] 受光元件可以使用低分子化合物或高分子化合物,还可以包含无机化合物。构成受光元件的层可以通过蒸镀法(包括真空蒸镀法)、转印法、印刷法、喷墨法、涂敷法等的方法形成。

[0429] [显示装置50E]

图17所示的显示装置50E是采用MML(Metal Mask Less)结构的显示装置的一个例子。也就是说,显示装置50E包括不用高精细金属掩模制造的发光元件。注意,衬底151至绝缘层235的叠层结构以及保护层131至衬底152的叠层结构是与显示装置50A同样的,所以省略说明。

[0430] 在图17中,绝缘层235上设置有发光元件130R、130G、130B。

[0431] 发光元件130R包括绝缘层235上的导电层124R、导电层124R上的导电层126R、导电层126R上的层133R、层133R上的公共层114以及公共层114上的公共电极115。图17所示的发光元件130R发射红色光(R)。层133R包括发射红色光的发光层。在发光元件130R中,可以将层133R及公共层114统称为EL层。可以将导电层124R和导电层126R中的一方或双方称为像素电极。

[0432] 发光元件130G包括绝缘层235上的导电层124G、导电层124G上的导电层126G、导电层126G上的层133G、层133G上的公共层114以及公共层114上的公共电极115。图17所示的发光元件130G发射绿色光(G)。层133G包括发射绿色光的发光层。在发光元件130G中,可以将

层133G及公共层114统称为EL层。可以将导电层124G和导电层126G中的一方或双方称为像素电极。

[0433] 发光元件130B包括绝缘层235上的导电层124B、导电层124B上的导电层126B、导电层126B上的层133B、层133B上的公共层114以及公共层114上的公共电极115。图17所示的发光元件130B发射蓝色光(B)。层133B包括发射蓝色光的发光层。在发光元件130B中,可以将层133B及公共层114统称为EL层。可以将导电层124B和导电层126B中的一方或双方称为像素电极。

[0434] 在本说明书等中,将发光元件所包括的EL层中的对各发光元件设置的岛状层记为层133B、层133G或层133R且将多个发光元件共用的层记为公共层114。另外,在本说明书等中,有时将不包括公共层114的层133R、层133G及层133B称为岛状的EL层、形成为岛状的EL层等。

[0435] 层133R、层133G及层133B彼此分离。通过在各发光元件中设置岛状的EL层,可以抑制相邻的发光元件间的泄漏电流。因此,可以防止起因于非意图性的发光的串扰,从而可以实现对比度极高的显示装置。

[0436] 另外,在图17中,以相同厚度示出层133R、133G、133B的厚度,但是不局限于此。层133R、133G、133B的各厚度也可以不同。

[0437] 导电层124R通过设置在绝缘层106、绝缘层218及绝缘层235中的开口与晶体管205R所包括的导电层112b电连接。同样地,导电层124G与晶体管205G所包括的导电层112b电连接,导电层124B与晶体管205B所包括的导电层112b电连接。

[0438] 导电层124R、124G、124B以覆盖设置在绝缘层235中的开口的方式形成。导电层124R、124G、124B的凹部分别填充有层128。

[0439] 层128具有使导电层124R、124G、124B的凹部平坦化的功能。导电层124R、124G、124B及层128上设置有与导电层124R、124G、124B电连接的导电层126R、126G、126B。因此,与导电层124R、124G、124B的凹部重叠的区域也可以被用作发光区域,由此可以提高像素的开口率。导电层124R及导电层126R、导电层124G及导电层126G以及导电层124B及导电层126B优选使用用作反射电极的导电层。

[0440] 层128可以为绝缘层或导电层。层128可以适当地使用各种无机绝缘材料、有机绝缘材料及导电材料。尤其是,层128优选使用绝缘材料形成,尤其优选使用有机绝缘材料形成。作为层128例如可以使用上述可用于绝缘层237的有机绝缘材料。

[0441] 虽然图17示出层128的顶面具有平坦部的例子,但是对层128的形状没有特别的限制。层128的顶面可以具有凸曲面、凹曲面和平面中的至少一个形状。

[0442] 另外,层128的顶面的高度与导电层124R的顶面的高度既可以一致或大致一致,也可以互不相同。例如,层128的顶面的高度可以低于或高于导电层124R的顶面的高度。

[0443] 导电层126R的端部也可以与导电层124R的端部对齐,并也可以覆盖导电层124R的端部的侧面。导电层124R及导电层126R的各端部优选具有锥形形状。具体而言,导电层124R及导电层126R的各端部优选具有锥角小于90°的锥形形状。在像素电极的端部具有锥形形状时,沿着像素电极的侧面设置的层133R具有锥形形状。通过使像素电极的侧面具有锥形形状,可以使沿着像素电极的侧面设置的EL层的覆盖性良好。

[0444] 关于导电层124G、126G以及导电层124B、126B是与导电层124R、126R同样的,所以

省略详细说明。

[0445] 导电层126R的顶面及侧面被层133R覆盖。同样地,导电层126G的顶面及侧面被层133G覆盖,导电层126B的顶面及侧面被层133B覆盖。因此,可以将设置有导电层126R、126G、126B的整个区域用作发光元件130R、130G、130B的发光区域,由此可以提高像素的开口率。

[0446] 层133R、层133G及层133B的各顶面的一部分及侧面被绝缘层125、127覆盖。层133R、层133G、层133B及绝缘层125、127上设置有公共层114,公共层114上设置有公共电极115。公共层114及公共电极115都是多个发光元件共用的连续的膜。

[0447] 在图17中,导电层126R与层133R之间没有设置图13等所示的绝缘层237。也就是说,显示装置50E没有设置接触像素电极并覆盖像素电极的顶面端部的绝缘层(也称为分隔壁、堤坝、间隔物等)。因此,可以使相邻的发光元件间的间隔非常小。另外,也不需要用来形成该绝缘层的掩模,由此可以减少显示装置的制造成本。

[0448] 如上所述,层133R、层133G及层133B都包括发光层。层133R、层133G及层133B优选包括发光层以及发光层上的载流子传输层(电子传输层或空穴传输层)。另外,层133R、层133G及层133B优选包括发光层以及发光层上的载流子阻挡层(空穴阻挡层或电子阻挡层)。另外,层133R、层133G及层133B也可以包括发光层、发光层上的载流子阻挡层以及载流子阻挡层上的载流子传输层。层133R、层133G及层133B的表面在显示装置的制造工序中露出,所以通过在发光层上设置载流子传输层和载流子阻挡层中的一方或双方,可以抑制发光层露出到最外表面而可以减少发光层所受到的损伤。由此,可以提高发光元件的可靠性。

[0449] 公共层114例如包括电子注入层或空穴注入层。或者,公共层114既可以具有电子传输层与电子注入层的叠层,又可以具有空穴传输层与空穴注入层的叠层。发光元件130R、130G、130B共用公共层114。

[0450] 层133R、层133G及层133B的各侧面被绝缘层125覆盖。绝缘层127隔着绝缘层125覆盖层133R、层133G及层133B的各侧面。

[0451] 通过由绝缘层125和绝缘层127中的至少一个覆盖层133R、层133G及层133B的侧面(甚至覆盖其顶面的一部分),可以抑制公共层114(或公共电极115)与像素电极以及层133R、133G及133B的侧面接触,由此可以抑制发光元件的短路。由此,可以提高发光元件的可靠性。

[0452] 绝缘层125优选与层133R、层133G及层133B的各侧面接触。通过采用绝缘层125与层133R、层133G及层133B接触的结构,可以防止层133R、层133G及层133B的膜剥离,而可以提高发光元件的可靠性。

[0453] 绝缘层127以填充绝缘层125的凹部的方式设置在绝缘层125上。绝缘层127优选覆盖绝缘层125的侧面的至少一部分。

[0454] 通过设置绝缘层125及绝缘层127可以填埋相邻的岛状的层之间,所以可以减少设置在岛状的层上的层(例如,载流子注入层、公共电极等)的被形成面的极端的凹凸而进一步实现平坦化。因此,可以提高载流子注入层及公共电极等的覆盖性。

[0455] 公共层114及公共电极115设置在层133R、层133G、层133B、绝缘层125及绝缘层127上。在设置绝缘层125及绝缘层127之前,产生起因于设置有像素电极及岛状EL层的区域及不设置像素电极及岛状EL层的区域(发光元件间的区域)的台阶。本发明的一个方式的显示装置通过包括绝缘层125及绝缘层127而可以使该台阶平坦化,由此可以提高公共层114及

公共电极115的覆盖性。因此,可以抑制公共层114及公共电极115的断开导致的连接不良。或者,可以抑制因台阶导致公共电极115局部薄膜化而使电阻上升。

[0456] 绝缘层127的顶面优选具有平坦性更高的形状。绝缘层127的顶面也可以具有平面、凸曲面和凹曲面中的至少一个形状。例如,绝缘层127的顶面优选具有平坦性高的平滑的凸曲面形状。

[0457] 绝缘层125可以为包含无机材料的绝缘层。作为绝缘层125例如可以使用氧化绝缘膜、氮化绝缘膜、氧氮化绝缘膜及氮氧化绝缘膜等无机绝缘膜。上述无机绝缘膜的具体例子是如上所述的。绝缘层125可以为单层结构,也可以为叠层结构。尤其是在蚀刻中氧化铝与EL层的选择比高,在后面说明的绝缘层127的形成中,具有保护EL层的功能,因此是优选的。尤其是,通过将利用ALD法形成的氧化铝膜、氧化铪膜或氧化硅膜等无机绝缘膜用于绝缘层125,可以形成针孔较少且保护EL层的功能良好的绝缘层125。另外,绝缘层125也可以采用利用ALD法形成的膜与利用溅射法形成的膜的叠层结构。绝缘层125例如可以采用利用ALD法形成的氧化铝膜与利用溅射法形成的氮化硅膜的叠层结构。

[0458] 绝缘层125优选具有相对于水和氧中的至少一方的阻挡绝缘层的功能。绝缘层125优选具有抑制水和氧中的至少一方的扩散的功能。另外,绝缘层125优选具有俘获或固定(也被称为吸杂)水和氧中的至少一方的功能。

[0459] 在本说明书等中,阻挡绝缘层是指具有阻挡性的绝缘层。另外,在本说明书等中,阻挡性是指抑制所对应的物质的扩散的功能(也可以说透过性低)。或者,是指俘获或固定所对应的物质(也称为吸杂)的功能。

[0460] 在绝缘层125被用作阻挡绝缘层或者具有吸杂功能时,可以具有抑制可能会从外部扩散到各发光元件的杂质(典型的是,水和氧中的至少一方)的进入的结构。通过采用该结构,可以提供一种可靠性高的发光元件,并且可以提供一种可靠性高的显示装置。

[0461] 另外,绝缘层125的杂质浓度优选低。由此,可以抑制杂质从绝缘层125混入到EL层而EL层劣化。另外,通过降低绝缘层125中的杂质浓度,可以提高对水和氧中的至少一方的阻挡性。例如,优选的是,绝缘层125中的氢浓度和碳浓度中的一方充分低,优选为氢浓度和碳浓度中的双方充分低。

[0462] 设置在绝缘层125上的绝缘层127具有使形成在相邻的发光元件间的绝缘层125的极端的凹凸平坦化的功能。换言之,通过包括绝缘层127,产生提高形成公共电极115的面的平坦性的效果。

[0463] 作为绝缘层127,可以适当地使用包含有机材料的绝缘层。作为有机材料,优选使用感光性有机树脂,例如优选使用包括丙烯酸树脂的感光性树脂组成物。注意,在本说明书等中,丙烯酸树脂不是仅指聚甲基丙烯酸酯或甲基丙烯酸树脂,有时也指广义上的丙烯酸类聚合物整体。

[0464] 另外,作为绝缘层127也可以使用丙烯酸树脂、聚酰亚胺树脂、环氧树脂、酰亚胺树脂、聚酰胺树脂、聚酰亚胺酰胺树脂、硅酮树脂、硅氧烷树脂、苯并环丁烯类树脂、酚醛树脂及上述树脂的前体等。另外,作为绝缘层127,也可以使用聚乙烯醇(PVA)、聚乙烯醇缩丁醛、聚乙烯吡咯烷酮、聚乙二醇、聚甘油、普鲁兰多糖、水溶性纤维素或者醇可溶性聚酰胺树脂等有机材料。另外,作为感光性有机树脂也可以使用光致抗蚀剂。作为感光性有机树脂,可以使用正型材料或负型材料。

[0465] 作为绝缘层127也可以使用吸收可见光的材料。通过绝缘层127吸收来自发光元件的发光,可以抑制光从发光元件经过绝缘层127泄漏到相邻的发光元件(杂散光)。因此,能够提高显示装置的显示品质。另外,即使在显示装置中不使用偏振片也可以提高显示品质,所以可以实现显示装置的轻量化及薄型化。

[0466] 作为吸收可见光的材料,可以举出包括黑色等的颜料的材料、包括染料的材料、具有光吸收性的树脂材料(例如,聚酰亚胺等)以及可用于滤色片的树脂材料(滤色片材料)。尤其是,在使用混合或层叠两种颜色或三种以上的颜色的滤色片材料而成的树脂材料时可以提高遮蔽可见光的效果,所以是优选的。尤其是,通过混合三种以上的颜色的滤色片材料,可以实现黑色或近似于黑色的树脂层。

[0467] [显示装置50F]

在图18所示的显示装置50F中各颜色的子像素中使用包括层133的发光元件、以及着色层(滤色片等),这点与显示装置50F主要不同。

[0468] 图18所示的显示装置50F在衬底151与衬底152间包括晶体管205D、205R、205G、205B、发光元件130R、130G、130B、透射红色光的着色层132R、透射绿色光的着色层132G及透射蓝色光的着色层132B等。

[0469] 发光元件130R的发光通过着色层132R作为红色光提取到显示装置50F的外部。同样地,发光元件130G的发光通过着色层132G作为绿色光提取到显示装置50F的外部。发光元件130B的发光通过着色层132B作为蓝色光提取到显示装置50F的外部。

[0470] 发光元件130R、130G、130B都包括层133。这些三个层133由同一工序和同一材料形成。另外,这些三个层133彼此分离。通过在各发光元件中设置岛状的EL层,可以抑制相邻的发光元件间的泄漏电流。因此,可以防止起因于非意图性的发光的串扰,从而可以实现对比度极高的显示装置。

[0471] 例如,图18所示的发光元件130R、130G、130B发射白色光。发光元件130R、130G、130B所发射的白色光透射着色层132R、132G、132B,由此可以得到所希望的颜色的光。

[0472] 或者,例如图18所示的发光元件130R、130G、130B发射蓝色光。此时,层133包括一层以上的发射蓝色光的发光层。关于呈现蓝色光的子像素11B,可以提取发光元件130B所发射的蓝色光。另外,关于呈现红色光的子像素11R及呈现绿色光的子像素11G,通过在发光元件130R或发光元件130G与衬底152之间设置颜色转换层,可以使发光元件130R或发光元件130G所发射的蓝色光转换为更长波长的光而提取为红色光或绿色光。并且,优选的是,在发光元件130R上的颜色转换层与衬底152之间设置着色层132R并在发光元件130G上的颜色转换层与衬底152之间设置着色层132G。通过经由着色层提取透射颜色转换层的光,可以由着色层吸收所希望的颜色光之外的光而提高子像素所呈现的光的色纯度。

[0473] [显示装置50G]

图19所示的显示装置50G为底部发射型显示装置,这点与显示装置50F主要不同。

[0474] 发光元件所发射的光射出到衬底151一侧。衬底151优选使用可见光透射性高的材料。另一方面,对用于衬底152的材料的透光性没有限制。

[0475] 在衬底151与晶体管之间优选形成遮光层117。图19示出如下例子:衬底151上设置有遮光层117,遮光层117上设置有绝缘层153,并且绝缘层153上设置有晶体管205D、晶体管205R(未图示)、晶体管205G及晶体管205B等。另外,绝缘层218上设置有着色层132R(未图

示)、着色层132G及着色层132B,着色层132R(未图示)、着色层132G及着色层132B上设置有绝缘层235。

[0476] 与着色层132R重叠的发光元件130R(未图示)包括导电层124R(未图示)、导电层126R(未图示)、层133、公共层114及公共电极115。

[0477] 与着色层132G重叠的发光元件130G包括导电层124G、导电层126G、层133、公共层114及公共电极115。

[0478] 与着色层132B重叠的发光元件130B包括导电层124B、导电层126B、层133、公共层114及公共电极115。

[0479] 导电层124R、124G、124B、导电层126R、126G及126B各自使用可见光透射性高的材料。公共电极115优选使用反射可见光的材料。因为在底部发射型显示装置中可以将电阻低的金属等用于公共电极115,所以可以抑制发生因公共电极115的电阻导致的电压下降,而可以实现高显示品质。

[0480] 本发明的一个方式的晶体管可以实现微型化而减小衬底面内的晶体管的占有面积,所以可以在底部发射型显示装置中提高像素的开口率或减小像素的尺寸。

[0481] [显示装置的制造方法例子]

以下参照图20A至图20F说明采用MML结构的显示装置的制造方法。在此,详细说明不用高精细金属掩模制造发光元件的工序。图20A至图20F示出各工序中的显示部162所包括的三个发光元件和连接部140的截面图。

[0482] 当制造发光元件时,可以利用蒸镀法等真空工艺以及旋涂法、喷墨法等溶液工艺。作为蒸镀法,可以举出溅射法、离子镀法、离子束蒸镀法、分子束蒸镀法、真空蒸镀法等物理蒸镀法(PVD法)以及化学气相沉积法(CVD法)等。尤其是,可以利用蒸镀法(真空蒸镀法)、涂敷法(浸涂法、染料涂布法、棒式涂布法、旋涂法、喷涂法等)、印刷法(喷墨法、丝网印刷(孔版印刷)法、胶版印刷(平版印刷)法、柔版印刷(凸版印刷)法、照相凹版印刷法或微接触印刷法等)等方法形成包括在EL层中的功能层(空穴注入层、空穴传输层、空穴阻挡层、发光层、电子阻挡层、电子传输层、电子注入层、电荷产生层等)。

[0483] 以下说明的显示装置的制造方法中制造的岛状的层(包括发光层的层)不是使用高精细金属掩模形成,而是在整个面上沉积发光层之后通过光刻法进行加工来形成。因此,可以实现至今难以实现的高清晰显示装置或高开口率显示装置。再者,由于可以按每种颜色分别形成发光层,所以可以实现极为鲜明、对比度高且显示品质高的显示装置。另外,通过在发光层上设置牺牲层,可以降低在显示装置的制造工序中发光层受到的损伤,而可以提高发光元件的可靠性。

[0484] 例如,在使用发射蓝色光的发光元件、发射绿色光的发光元件及发射红色光的发光元件这三种构成显示装置时,可以通过重复三次发光层的沉积及光刻的加工来形成三种岛状的发光层。

[0485] 首先,在设置有晶体管205R、205G、205B等(未图示)的衬底151上形成像素电极111R、111G、111B及导电层123(图20A)。

[0486] 在形成将成为像素电极的导电膜时,例如可以使用溅射法或真空蒸镀法。通过在该导电膜上利用光刻工序形成抗蚀剂掩模之后对该导电膜进行加工,可以形成像素电极111R、111G、111B及导电层123。该导电膜的加工可以利用湿蚀刻法和干蚀刻法中的一方或

双方。

[0487] 接着,在像素电极111R、111G、111B上形成将在后面成为层133B的膜133Bf。膜133Bf(后面的层133B)包括发射蓝色光的发光层。

[0488] 在本实施方式中示出首先形成发射蓝色光的发光元件中的岛状EL层然后形成发射其他颜色的光的发光元件中的岛状EL层的例子。

[0489] 在形成岛状EL层的工序中,在以第二个以后的顺序形成的颜色的发光元件中的像素电极有时会在之前的工序受到损伤。因此,有时在以第二个以后的顺序形成的颜色的发光元件的驱动电压变高。

[0490] 于是,优选的是,在制造本发明的一个方式的显示装置时,从所发射的光的波长最短的发光元件(例如蓝色发光元件)的岛状EL层开始制造。例如,优选按蓝色、绿色、红色的顺序或蓝色、红色、绿色的顺序制造岛状EL层。

[0491] 由此,可以良好地保持蓝色发光元件中像素电极与EL层的界面的状态,从而可以抑制蓝色发光元件的驱动电压变高。另外,可以延长蓝色发光元件的寿命并提高可靠性。注意,与蓝色发光元件相比,红色及绿色的发光元件受到的驱动电压上升等的影响较小,因此通过采用上述制造顺序可以降低显示装置整体的驱动电压并提高可靠性。

[0492] 注意,岛状EL层的制造顺序不局限于上述顺序,例如也可以按红色、绿色、蓝色的顺序制造岛状EL层。

[0493] 如图20A所示,导电层123上不形成有膜133Bf。例如,可以使用范围掩模将膜133Bf只沉积在所希望的区域。通过采用使用范围掩模的沉积工序及使用抗蚀剂掩模的加工工序,可以以较简单的工艺制造发光元件。

[0494] 包含在膜133Bf中的化合物的耐热温度优选为100℃以上且180℃以下,更优选为120℃以上且180℃以下,进一步优选为140℃以上且180℃以下。由此,可以提高发光元件的可靠性。另外,可以提高在显示装置的制造工序中可施加的温度的上限。因此,可以扩大用于显示装置的材料及形成方法的选择范围,由此可以实现成品率的提高及可靠性的提高。

[0495] 作为耐热温度例如可以采用玻璃化转变温度、软化点、熔点、热分解温度和5%失重温度中的任意温度,优选采用上述温度中最低的温度。

[0496] 膜133Bf例如可以利用蒸镀法形成,具体而言可以利用真空蒸镀法形成。另外,膜133Bf也可以利用转印法、印刷法、喷墨法或涂敷法等方法形成。

[0497] 接着,在膜133Bf及导电层123上形成牺牲层118B(图20A)。通过在将在后面成为牺牲层118B的膜上利用光刻工序形成抗蚀剂掩模之后对该膜进行加工,可以形成牺牲层118B。

[0498] 通过在膜133Bf上设置牺牲层118B,可以降低在显示装置的制造工序中膜133Bf受到的损伤,而可以提高发光元件的可靠性。

[0499] 牺牲层118B优选以覆盖像素电极111R、111G、111B的各端部的方式设置。由此,将在后面的工序中形成的层133B的端部位于像素电极111B的端部的外侧。由于可以将像素电极111B的顶面整体用作发光区域,因此可以提高像素的开口率。另外,层133B的端部有可能在形成层133B后的工序中受到损伤,因此优选使其位于像素电极111B的端部的外侧。即层133B的端部优选不被用作发光区域。由此,可以抑制发光元件的特性不均匀,而可以提高可靠性。

[0500] 另外,通过由层133B覆盖像素电极111B的顶面及侧面,可以在像素电极111B不露出的状态下进行形成层133B后的各工序。在像素电极111B的端部露出时,在蚀刻工序等中有时会发生腐蚀。通过抑制像素电极111B的腐蚀,可以提高发光元件的成品率及特性。

[0501] 另外,优选还在重叠于导电层123的位置上设置牺牲层118B。由此,可以抑制导电层123在显示装置的制造工序中受到损伤。

[0502] 作为牺牲层118B使用对膜133Bf的加工条件的耐性高的膜,具体而言,使用与膜133Bf的蚀刻选择比大的膜。

[0503] 牺牲层118B以低于膜133Bf所包含的各化合物的耐热温度的温度形成。形成牺牲层118B时的衬底温度典型地为200℃以下,优选为150℃以下,更优选为120℃以下,进一步优选为100℃以下,更进一步优选为80℃以下。

[0504] 在膜133Bf所包含的化合物的耐热温度高时可以提高牺牲层118B的沉积温度,所以是优选的。例如,也可以将形成牺牲层118B时的衬底温度设为100℃以上、120℃以上或140℃以上。沉积温度越高越可以形成致密且阻挡性高的无机绝缘膜。因此,通过以上述温度沉积牺牲层,可以进一步减少膜133Bf受到的损伤,由此可以提高发光元件的可靠性。

[0505] 关于形成在膜133Bf上的其他各层(例如绝缘膜125f)的沉积温度也是与上述同样的。

[0506] 牺牲层118B例如可以利用溅射法、ALD法(包括热ALD法、PEALD法)、CVD法或真空蒸镀法形成。另外,也可以使用上述湿法沉积方法形成。

[0507] 牺牲层118B(在牺牲层118B具有叠层结构时,以接触于膜133Bf的方式设置的层)优选利用对膜133Bf带来的损伤较低的形成方法形成。例如,与溅射法相比,更优选利用ALD法或真空蒸镀法。

[0508] 牺牲层118B可以利用湿蚀刻法或干蚀刻法加工。牺牲层118B的加工优选通过各向异性蚀刻进行。

[0509] 通过利用湿蚀刻法,与利用干蚀刻法的情况相比,可以降低在对牺牲层118B进行加工时膜133Bf受到的损伤。在利用湿蚀刻法时,例如优选使用显影液、四甲基氢氧化铵(TMAH)水溶液、稀氢氟酸、草酸、磷酸、乙酸、硝酸或包含上述两个以上的混合溶液等。此外,在利用湿蚀刻法时,也可以使用包含水、磷酸、稀氢氟酸及硝酸的混酸类药液。注意,用于湿蚀刻处理的药液可以为碱性或酸性。

[0510] 作为牺牲层118B,例如可以使用金属膜、合金膜、金属氧化物膜、半导体膜、无机绝缘膜和有机绝缘膜中的一种或多种。

[0511] 作为牺牲层118B例如各自可以使用金、银、铂、镁、镍、钨、铬、钼、铁、钴、铜、钯、钛、铝、钇、锆及钽等金属材料或者包含该金属材料的合金材料。

[0512] 牺牲层118B可以使用In-Ga-Zn氧化物、氧化铟、In-Zn氧化物、In-Sn氧化物、铟钛氧化物(In-Ti氧化物)、铟锡锌氧化物(In-Sn-Zn氧化物)、铟钛锌氧化物(In-Ti-Zn氧化物)、铟镓锡锌氧化物(In-Ga-Sn-Zn氧化物)、包含硅的铟锡氧化物等的金属氧化物。

[0513] 注意,也可以使用元素M(M为选自铝、硅、硼、钇、铜、钒、铍、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨和镁中的一种或多种)代替上述镓。

[0514] 例如,作为非常适合半导体的制造工艺的材料,可以使用硅或锗等的半导体材料。另外,可以使用上述半导体材料的氧化物或氮化物。另外,可以使用碳等的非金属材料或其

化合物。另外,可以使用钛、钽、钨、铬、铝等金属或包含它们中的一个以上的合金。另外,可以使用氧化钛或氧化铬等包含上述金属的氧化物或者氮化钛、氮化铬或氮化钽等氮化物。

[0515] 另外,作为牺牲层118B,可以使用能够用于保护层131的各种无机绝缘膜。尤其是,氧化绝缘膜与膜133Bf的密接性比氮化绝缘膜与膜133Bf的密接性高,所以是优选的。例如,可以将氧化铝、氧化铪及氧化硅等无机绝缘材料用于牺牲层118B。作为牺牲层118B,例如可以利用ALD法形成氧化铝膜。通过利用ALD法,可以减轻对基底(尤其是膜133Bf)的损伤,所以是优选的。

[0516] 例如,作为牺牲层118B可以采用利用ALD法形成的无机绝缘膜(例如,氧化铝膜)和利用溅射法形成的无机膜(例如,In-Ga-Zn氧化物膜、硅膜或钨膜)的叠层结构。

[0517] 另外,作为牺牲层118B和后面形成的绝缘层125的双方可以使用相同无机绝缘膜。例如,作为牺牲层118B和绝缘层125的双方可以使用利用ALD法形成的氧化铝膜。在此,牺牲层118B和绝缘层125既可以采用相同沉积条件,又可以采用不同沉积条件。例如,通过以与绝缘层125同样的条件沉积牺牲层118B,可以形成牺牲层118B作为对水和氧中的至少一方的阻挡性高的绝缘层。另一方面,牺牲层118B是其大部分或全部在后面的工序中被去除的层,所以优选容易被加工。因此,牺牲层118B优选以与绝缘层125相比沉积时的衬底温度低的条件沉积。

[0518] 作为牺牲层118B也可以使用有机材料。例如,作为有机材料也可以使用可溶解于至少对位于膜133Bf的最上部的膜在化学上稳定的溶剂的材料。尤其是,可以适当地使用溶解于水或醇的材料。当沉积上述材料时,优选的是,在将材料溶解于水或醇等溶剂的状态下通过上述湿法沉积方法涂布该材料,然后进行用来使溶剂蒸发的加热处理。此时,通过在减压气氛下进行加热处理,可以以低温且短时间去除溶剂,所以可以减少膜133Bf的热损伤,所以是优选的。

[0519] 牺牲层118B也可以使用聚乙烯醇(PVA)、聚乙烯醇缩丁醛、聚乙烯吡咯烷酮、聚乙二醇、聚甘油、普鲁兰多糖、水溶性纤维素、可溶解于醇的聚酰胺树脂或全氟聚合物等氟树脂等有机树脂。

[0520] 例如,作为牺牲层118B可以采用利用蒸镀法和上述湿法沉积方法中的任意个形成的有机膜(例如,PVA膜)和利用溅射法形成的无机膜(例如,氮化硅膜)的叠层结构。

[0521] 注意,有时牺牲膜的一部分作为牺牲层残留在本发明的一个方式的显示装置中。

[0522] 接着,将牺牲层118B用作硬掩模对膜133Bf进行加工来形成层133B(图20B)。

[0523] 由此,如图20B所示,层133B和牺牲层118B的叠层结构残留在像素电极111B上。另外,像素电极111R及像素电极111G露出。另外,在相当于连接部140的区域中,牺牲层118B残留在导电层123上。

[0524] 膜133Bf的加工优选利用各向异性蚀刻进行。尤其优选使用各向异性干蚀刻。或者,也可以利用湿蚀刻。

[0525] 然后,至少改变发光材料而反复进行两次与膜133Bf的形成工序、牺牲层118B的形成工序及层133B的形成工序同样的工序,由此在像素电极111R上形成层133R和牺牲层118R的叠层结构并在像素电极111G上形成层133G和牺牲层118G的叠层结构(图20C)。具体而言,层133R以包括发射红色光的发光层的方式形成,层133G以包括发射绿色光的发光层的方式形成。牺牲层118R、118G可以使用可用于牺牲层118B的材料,并且可以使用同一材料或者不

同的材料。

[0526] 注意,层133B、层133G、层133R的侧面优选分别垂直或大致垂直于被形成面。例如,被形成面与这些侧面所成的角度优选为60度以上且90度以下。

[0527] 如上所述,利用光刻法形成的层133B、层133G及层133R中的相邻的两个层之间的距离可以减小到8μm以下、5μm以下、3μm以下、2μm以下或1μm以下。在此,该距离例如可以以层133B、层133G及层133R中的相邻的两个相对端部间的距离规定。通过如上述那样减小岛状EL层间的距离,可以提供一种具有高清晰度及高开口率的显示装置。

[0528] 接着,以覆盖像素电极、层133B、层133G、层133R、牺牲层118B、牺牲层118G及牺牲层118R的方式形成将在后面成为绝缘层125的绝缘膜125f,并在绝缘膜125f上形成绝缘层127(图20D)。

[0529] 作为绝缘膜125f,优选形成3nm以上、5nm以上或10nm以上且200nm以下、150nm以下、100nm以下或50nm以下的厚度的绝缘膜。

[0530] 绝缘膜125f例如优选利用ALD法形成。通过利用ALD法,可以减少沉积损伤,且可以沉积覆盖性高的膜,所以是优选的。作为绝缘膜125f,例如优选利用ALD法形成氧化铝膜。

[0531] 除此之外,绝缘膜125f也可以利用其沉积速度高于ALD法的溅射法、CVD法或PECVD法形成。由此,可以高生产率地制造可靠性高的显示装置。

[0532] 将成为绝缘层127的绝缘膜优选例如使用含有丙烯酸树脂的感光性树脂组成物通过上述湿法沉积方法(例如旋涂法)形成。优选的是,在沉积后进行加热处理(也称为前烘)来去除该绝缘膜中的溶剂。接着,对该绝缘膜的一部分照射可见光线或紫外线而使绝缘膜的一部分感光。接着,进行显影来去除绝缘膜中的曝光区域。接着,进行加热处理(也被称为后烘)。由此,可以形成图20D所示的绝缘层127。注意,绝缘层127的形状不局限于图20D所示的形状。例如,绝缘层127的顶面可以具有凸曲面、凹曲面和平面中的一个或多个形状。另外,绝缘层127也可以覆盖牺牲层118B、牺牲层118G和牺牲层118R中的至少一个端部的侧面。

[0533] 接着,如图20E所示,将绝缘层127用作掩模进行蚀刻处理,去除绝缘膜125f及牺牲层118B、牺牲层118G、牺牲层118R的一部分。由此,在绝缘膜125f、牺牲层118B、牺牲层118G及牺牲层118R中分别形成开口,并且形成绝缘层125,层133B、层133G、层133R及导电层123的顶面露出。注意,有时牺牲层118B、牺牲层118G、牺牲层118R的一部分残留在与绝缘层127及绝缘层125重叠的位置(牺牲层119B、牺牲层119G、牺牲层119R)。

[0534] 蚀刻处理可以以干蚀刻或湿蚀刻进行。另外,在使用与牺牲层118B、118G、118R同样的材料沉积绝缘膜125f时,可以一次性进行蚀刻处理,所以是优选的。

[0535] 如上所述,通过设置绝缘层127、绝缘层125、牺牲层118B、牺牲层118G及牺牲层118R,在各发光元件间,可以抑制公共电极115中发生因断开部分的连接不良及因局部厚度较小的部分的电阻上升。由此,本发明的一个方式的显示装置可以提高显示品质。

[0536] 接着,在绝缘层127、层133B、层133G及层133R上依次形成公共层114及公共电极115(图20F)。

[0537] 公共层114可以通过蒸镀法(包括真空蒸镀法)、转印法、印刷法、喷墨法、涂布法等的方法形成。

[0538] 公共电极115例如可以利用溅射法或真空蒸镀法形成。或者,也可以层叠利用蒸镀

法形成的膜与利用溅射法形成的膜。

[0539] 如上所述,在本发明的一个方式的显示装置的制造方法中,岛状的层133B、岛状的层133G及岛状的层133R不是使用高精细金属掩模形成,而是在整个面上沉积膜之后进行加工来形成,所以可以以均匀的厚度形成岛状层。因此,可以实现高清晰显示装置或者高开口率显示装置。另外,即使清晰度或开口率高且子像素间距离极小,也可以抑制相邻的子像素中层133B、层133G及层133R彼此接触。由此,可以抑制子像素间产生泄漏电流。因此,可以防止起因于非意图的发光的串扰,由此可以实现对比度极高的显示装置。

[0540] 另外,通过在相邻的岛状EL层间设置端部具有锥形形状的绝缘层127,可以抑制在公共电极115的形成时发生断开,并且可以防止公共电极115中形成局部厚度较小的部分。由此,可以抑制在公共层114及公共电极115中发生因断开部分的连接不良以及因局部厚度较小的部分的电阻上升。由此,本发明的一个方式的显示装置可以同时实现高清晰化和高显示品质。

[0541] 本实施方式可以与其他实施方式适当地组合。

[0542] (实施方式3)

在本实施方式中,对可用于本发明的一个方式的晶体管的显示装置的电路进行说明。

[0543] <像素电路的结构例子>

图21A及图21B、图22A及图22B以及图23示出像素230的结构例子。像素230例如对应于上述实施方式的图12所示的像素210。像素230包括像素电路51(像素电路51A、像素电路51B、像素电路51C、像素电路51D或像素电路51E)及发光元件61。

[0544] 在此,本实施方式等所说明的发光元件是指有机EL元件(也被称为OLED)等自发光型发光元件。另外,电连接到像素电路的发光元件可以为LED、微型LED、QLED、半导体激光器等自发光型发光元件。

[0545] 图21A所示的像素电路51A是包括晶体管52A、晶体管52B及电容器53的2Tr1C型像素电路。

[0546] 晶体管52A的源极和漏极中的一个与布线SL电连接,晶体管52A的栅极与布线GL电连接。晶体管52A的源极和漏极中的另一个与晶体管52B的栅极及电容器53的一个端子电连接。晶体管52B的源极和漏极中的一个与布线ANO电连接。晶体管52B的源极和漏极中的另一个与电容器53的另一个端子及发光元件61的阳极电连接。发光元件61的阴极与布线VCOM电连接。晶体管52A的源极和漏极中的另一个、晶体管52B的栅极及电容器53的一个端子电连接的区域被用作节点ND。

[0547] 布线GL是对进行显示的像素230供应用来使该像素所包括的晶体管52A成为开启状态的电位的布线。布线SL是供应用来对该晶体管52A供应图像信号的电位的布线。布线VCOM是供应用来给发光元件61提供电流的电位的布线。晶体管52A具有根据布线GL的电位控制布线SL和晶体管52B的栅极之间的导通状态或非导通状态的功能。例如,布线ANO被供应VDD且布线VCOM被供应VSS。

[0548] 通过使晶体管52A处于开启状态,图像信号从布线SL供应到节点ND。然后,通过使晶体管52A处于关闭状态,图像信号保持在节点ND中。为了确实保持供应到节点ND的图像信号,优选作为晶体管52A使用关态电流小的晶体管。例如,作为晶体管52A优选使用OS晶体

管。

[0549] 晶体管52B具有控制流过发光元件61的电流量的功能。电容器53具有保持晶体管52B的栅极电位的功能。发光元件61所发射的光的强度根据供应到晶体管52B的栅极(节点ND)的图像信号被控制。

[0550] 在图21A所示的像素电路51A中,晶体管52B包括第二栅极(也称为背栅极)。晶体管52B的第二栅极与晶体管52B的源极和漏极中的另一个电连接。

[0551] 作为晶体管52B,例如可以使用上述实施方式所示的晶体管100等。通过作为晶体管52B使用晶体管100等,可以增加显示装置所包括的显示部的灰度数。此外,可以稳定显示装置所具有的发光亮度。此外,可以提高显示装置的可靠性。此外,可以提高显示装置的显示品质。

[0552] 图21B所示的像素电路51B是包括晶体管52A、晶体管52B、晶体管52C及电容器53的3Tr1C型像素电路。图21B所示的像素电路51B具有对图21A所示的像素电路51A追加晶体管52C而成的结构。

[0553] 晶体管52C的源极和漏极中的一个与晶体管52B的源极和漏极中的另一个电连接。晶体管52C的源极和漏极中的另一个与布线V0电连接。例如,布线V0被供应基准电位。

[0554] 晶体管52C具有根据布线GL的电位控制晶体管52B的源极和漏极中的另一个和布线V0之间的导通状态或非导通状态的功能。布线V0是用来供应基准电位的布线。当作为晶体管52B使用n沟道型晶体管时,可以由经过晶体管52C供应的布线V0的基准电位抑制晶体管52B的栅极-源极间电压的不均匀。

[0555] 此外,可以使用布线V0取得可用于像素参数的设定的电流值。更具体而言,布线V0可以被用作将流过晶体管52B的电流或流过发光元件61的电流输出到外部的监控线。输出到布线V0的电流可以由源极跟随电路等转换为电压并输出到外部。或者,可以由A/D转换器等转换为数字信号并输出到外部。

[0556] 在图21B所示的像素电路51B中,晶体管52B包括第二栅极。晶体管52B的第二栅极与晶体管52B的源极和漏极中的另一个电连接。

[0557] 作为晶体管52B,例如可以使用上述实施方式所示的晶体管100等。

[0558] 图22A所示的像素电路51C具有对图21B所示的像素电路51B追加晶体管52D的结构。图22A所示的像素电路51C是包括晶体管52A、晶体管52B、晶体管52C、晶体管52D及电容器53的4Tr1C型像素电路。

[0559] 晶体管52D的源极和漏极中的一个与节点ND电连接,源极和漏极中的另一个与布线V0电连接。

[0560] 像素电路51C与布线GL1、布线GL2及布线GL3电连接。布线GL1与晶体管52A的栅极电连接,布线GL2与晶体管52C的栅极电连接,布线GL3与晶体管52D的栅极电连接。注意,在本实施方式等中,有时将布线GL1、布线GL2及布线GL3总称为布线GL。因此,布线GL不局限于一个,有时为多个。

[0561] 通过同时使晶体管52C及晶体管52D处于导通状态,晶体管52B的源极及栅极成为相同电位,所以可以使晶体管52B处于非导通状态。由此,可以强制性地遮断流过发光元件61的电流。这种像素电路是在使用交替地设置显示期间及关灯期间的显示方法时优选的。

[0562] 图22B所示的像素电路51D是对上述像素电路51C追加电容器53A的例子。电容器

53A被用作存储电容器。图22A所示的像素电路51C是4Tr1C型像素电路。此外,图22B所示的像素电路51D是4Tr2C型像素电路。

[0563] 在图22A所示的像素电路51C及图22B所示的像素电路51D中,晶体管52B包括第二栅极。晶体管52B的第二栅极与晶体管52B的源极和漏极中的另一个电连接。作为晶体管52B,例如可以使用上述实施方式所示的晶体管100等。

[0564] 图23所示的像素电路51E是包括晶体管52A、晶体管52B、晶体管52C、晶体管52D、晶体管52E、晶体管52F及电容器53的6Tr1C型像素电路。晶体管52B包括第二栅极。

[0565] 晶体管52A的源极和漏极中的一个与布线SL电连接,晶体管52A的栅极与布线GL2电连接。晶体管52D的源极和漏极中的一个与布线ANO电连接,晶体管52D的栅极与布线GL1电连接。晶体管52D的源极和漏极中的另一个与晶体管52B的源极和漏极中的一个电连接。晶体管52B的源极和漏极中的另一个与晶体管52A的源极和漏极中的另一个以及晶体管52F的源极和漏极中的一个电连接。晶体管52F的栅极与布线GL3电连接。

[0566] 晶体管52E的源极和漏极中的一个与晶体管52D的源极和漏极中的另一个以及晶体管52B的源极和漏极中的一个电连接。晶体管52E的源极和漏极中的另一个与晶体管52B的栅极以及电容器53的一个端子电连接。电容器53的另一个端子与晶体管52F的源极和漏极中的另一个、发光元件61的阳极及晶体管52C的源极和漏极中的一个电连接。晶体管52E的栅极及晶体管52C的栅极与布线GL4电连接。晶体管52C的源极和漏极中的另一个与布线V0电连接。晶体管52E的源极和漏极中的另一个、晶体管52B的栅极以及电容器53的一个端子电连接的区域被用作节点ND。

[0567] 在图23中,晶体管52B包括第二栅极。晶体管52B的第二栅极与晶体管52B的源极和漏极中的另一个电连接。

[0568] 作为晶体管52B,例如可以使用上述实施方式所示的晶体管100等。或者,作为晶体管52D及晶体管52F等,有时可以使用晶体管100等。

[0569] 通过将根据本发明的一个方式的晶体管用于显示装置的像素电路,可以缩小像素电路的占有面积。因此,可以提高显示装置的清晰度。例如,可以实现清晰度为1000ppi以上、优选为2000ppi以上、更优选为3000ppi以上、进一步优选为4000ppi以上、还优选为5000ppi以上、再进一步优选为6000ppi以上且10000ppi以下、9000ppi以下或8000ppi以下的显示装置。

[0570] 另外,通过缩小像素电路的占有面积,可以增加显示装置的像素数(提高分辨率)。例如,可以实现HD(像素数为1280×720)、FHD(像素数为1920×1080)、WQHD(像素数为2560×1440)、WQXGA(像素数为2560×1600)、4K2K(像素数为3840×2160)或8K4K(像素数为7680×4320)等分辨率极高的显示装置。

[0571] 因此,通过将根据本发明的一个方式的晶体管用于显示装置的像素电路,可以提高显示装置的显示品质。另外,在使用EL元件的底发射型显示装置中可以提高像素的开口率。开口率高的像素可以以与开口率较低的像素相比更低的电流密度实现具有与开口率较低的像素相同的亮度的发光。因此,可以提高显示装置的可靠性。

[0572] <时序电路的结构例子>

图24示出时序电路10的结构例子。时序电路10包括电路11和电路12。电路11和电路12通过布线15a及布线15b电连接。例如,时序电路可以用于显示装置的驱动电路的一部

分。尤其是,时序电路可以适当地用于显示装置的扫描线驱动电路(也称为栅极驱动电路)的一部分。

[0573] 电路12具有根据信号LIN的电位及信号RIN的电位向布线15a及布线15b分别输出第一信号及第二信号的功能。在此,第二信号为使第一信号反转的信号。就是说,当第一信号及第二信号各自具有高电位和低电位的两种电位的情况下,在从电路12向布线15a输出高电位时向布线15b输出低电位,在从电路12向布线15a输出低电位时向布线15b输出高电位。

[0574] 电路11包括晶体管21、晶体管22及电容器C1。晶体管21及晶体管22各自为n沟道型晶体管。晶体管21及晶体管22可以适当地使用呈现半导体特性的金属氧化物(以下也称为氧化物半导体)作为形成沟道的半导体。此外,不局限于氧化物半导体,可以使用硅(单晶硅、多晶硅或者非晶硅)、锗等的半导体,也可以使用化合物半导体。

[0575] 作为晶体管21及晶体管22,可以适当地使用本发明的一个方式的晶体管。例如作为晶体管21,可以适当地使用上述实施方式所示的晶体管100等。

[0576] 晶体管21包括一对栅极(以下,称为第一栅极、第二栅极)。在晶体管21中,第一栅极与布线15b电连接,第二栅极与晶体管21的源极和漏极中的一个及被供应电位VSS(也称为第一电位)的布线电连接,源极和漏极中的另一个与晶体管22的源极和漏极中的一个电连接。在晶体管22中,栅极与布线15a电连接,源极和漏极中的另一个与被供应信号CLK的布线电连接。电容器C1包括一对电极,一个电极与晶体管22的源极和漏极中的一个及晶体管21的源极和漏极中的另一个电连接,另一个电极与晶体管22的栅极及布线15a电连接。此外,晶体管21的源极和漏极中的另一个、晶体管22的源极和漏极中的一个及电容器C1的一个电极与输出端子OUT电连接。注意,输出端子OUT为被供应来自电路11的输出电位的部分,也可以为布线的一部分或电极的一部分。

[0577] 晶体管22的源极和漏极中的另一个作为信号CLK交替被供应第二电位及第三电位。第二电位可以为比电位VSS高的电位(例如电位VDD)。第三电位可以为比第二电位低的电位。作为第三电位,可以适当地使用电位VSS。注意,也可以采用向晶体管22的源极和漏极中的另一个供应电位VDD代替信号CLK的结构。

[0578] 在布线15a被供应高电位且布线15b被供应低电位时,晶体管22成为导通状态,晶体管21成为非导通状态。此时,输出端子OUT与被供应信号CLK的布线之间成为导通状态。

[0579] 在电路11中,输出端子OUT与晶体管22的栅极通过电容器C1电连接,因此随着输出端子OUT的电位通过自举效应上升,而晶体管22的栅极电位上升。在此,在不包括电容器C1的情况下,在信号CLK的第二电位及供应到布线15a的高电位使用相同的电位(电位VDD)时,输出端子OUT的电位会成为从电位VDD减去晶体管22的阈值电压的电位。但是,通过包括电容器C1,晶体管22的栅极的电位上升到接近电位VDD的两倍的电位(具体而言,接近电位VDD与电位VSS之差的两倍的电位或接近电位VDD与第三电位之差的两倍的电位),因此可以向输出端子OUT输出电位VDD而不受到晶体管22的阈值电压的影响。由此,可以在不增加电源电位的种类的同时实现输出性能高的时序电路10。

[0580] 另一方面,在向布线15a和布线15b分别供应低电位和高电位时,晶体管22成为非导通状态,晶体管21成为导通状态。此时,输出端子OUT与被供应电位VSS的布线之间成为导通状态,向输出端子OUT输出电位VSS。

[0581] 在此,时序电路10可以被用作显示装置的驱动电路。尤其是,可以适当地被用作扫描线驱动电路。此时,在使输出端子OUT与连接于显示装置的多个像素的扫描线连接的情况下,从时序电路10输出到输出端子OUT中的输出信号的占空比要明显小于信号CLK等的占空比。此时,晶体管21处于导通状态的期间明显长于处于非导通状态的期间。就是说,晶体管21的第一栅极被供应高电位的期间明显长于被供应低电位的期间,有可能引起晶体管特性的劣化。但是,如上所述,由于本发明的一个方式的晶体管具有高可靠性,所以通过将本发明的一个方式的晶体管用作晶体管21,可以抑制第一栅极被供应高电位的状态下的晶体管特性的劣化。

[0582] 另外,通过将本发明的一个方式的晶体管用作晶体管21,可以适当地防止阈值电压成为负值,从而容易使晶体管21具有常关闭特性。当晶体管21具有常开启特性的情况下,在晶体管21的第二栅极和源极的电压为0V时产生源极与漏极间的泄漏电流而无法保持输出端子OUT的电位。因此,为了使晶体管21变为关闭状态,需要向晶体管21的第二栅极供应低于电位VSS的电位,并且需要多个电源。但是,如上所述,由于本发明的一个方式的晶体管具有第二栅极与源极电连接的结构(一个导电层兼作第二栅极及源极),所以通过将本发明的一个方式的晶体管用作晶体管21,可以在不增加电源电位的种类的同时实现输出性能高的时序电路10。

[0583] 另外,通过将本发明的一个方式的晶体管用作晶体管21,可以提高晶体管21的Id-Vd特性的饱和性。由此易于设计电路11,可以使电路11稳定地工作。

[0584] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而使用。

[0585] (实施方式4)

在本实施方式中,使用图25A至图27G对本发明的一个方式的电子设备进行说明。

[0586] 本实施方式的电子设备在显示部中包括本发明的一个方式的显示装置。本发明的一个方式的显示装置容易实现高清晰化及高分辨率化。因此,可以用于各种电子设备的显示部。

[0587] 作为电子设备,例如除了电视装置、台式或笔记本型个人计算机、用于计算机等的显示器、数字标牌、弹珠机等大型游戏机等具有较大的屏幕的电子设备以外,还可以举出数码相机、数码摄像机、数码相框、移动电话机、便携式游戏机、便携式信息终端、声音再现装置等。

[0588] 特别是,因为本发明的一个方式的显示装置可以提高清晰度,所以可以适合用于包括较小的显示部的电子设备。作为这种电子设备可以举出手表型及手镯型信息终端设备(可穿戴设备)、可戴在头上的可穿戴设备等诸如头戴显示器等VR用设备、眼镜型AR用设备及MR用设备等。

[0589] 本发明的一个方式的显示装置优选具有极高的分辨率诸如HD(像素数为1280×720)、FHD(像素数为1920×1080)、WQHD(像素数为2560×1440)、WQXGA(像素数为2560×1600)、4K(像素数为3840×2160)、8K(像素数为7680×4320)等。尤其是,优选设定为4K、8K或其以上的分辨率。另外,本发明的一个方式的显示装置中的像素密度(清晰度)优选为100ppi以上,优选为300ppi以上,更优选为500ppi以上,进一步优选为1000ppi以上,更进一步优选为2000ppi以上,更进一步优选为3000ppi以上,还进一步优选为5000ppi以上,进一步优选为7000ppi以上。通过使用上述具有高分辨率和高清晰度中的一方或双方的显示装

置,可以进一步提高真实感及纵深感等。此外,对本发明的一个方式的显示装置的屏幕比例(纵横比)没有特别的限制。例如,显示装置可以适应1:1(正方形)、4:3、16:9、16:10等各种屏幕比例。

[0590] 本实施方式的电子设备也可以包括传感器(该传感器具有检测、检出或测量如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)。

[0591] 本实施方式的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图像、文字图像等)显示在显示部上的功能;触摸面板的功能;显示日历、日期或时间等的功能;执行各种软件(程序)的功能;进行无线通信的功能;读出储存在存储介质中的程序或数据的功能;等。

[0592] 使用图25A至图25D说明可戴在头上的可穿戴设备的一个例子。这些可穿戴设备具有显示AR内容的功能、显示VR内容的功能、显示SR内容的功能和显示MR内容的功能中的至少一个。当电子设备具有显示AR、VR、SR、MR等中的至少一个的内容的功能时,可以提高使用者的沉浸感。

[0593] 图25A所示的电子设备700A以及图25B所示的电子设备700B都包括一对显示面板751、一对外壳721、通信部(未图示)、一对安装部723、控制部(未图示)、成像部(未图示)、一对光学构件753、眼镜架757以及一对鼻垫758。

[0594] 显示面板751可以应用本发明的一个方式的显示装置。因此,可以实现能够进行清晰度极高的显示的电子设备。

[0595] 电子设备700A及电子设备700B都可以将由显示面板751显示的图像投影于光学构件753中的显示区域756。因为光学构件753具有透光性,所以使用者可以与通过光学构件753看到的透过图像重叠地看到显示于显示区域的图像。因此,电子设备700A及电子设备700B都是能够进行AR显示的电子设备。

[0596] 电子设备700A及电子设备700B上作为成像部也可以设置有能够拍摄前方的照相机。另外,通过在电子设备700A及电子设备700B设置陀螺仪传感器等的加速度传感器,可以检测使用者的头部朝向并将对应该方向的图像显示在显示区域756上。

[0597] 通信部具有无线通信装置,通过该无线通信装置可以供应影像信号等。另外,代替无线通信装置或者除了无线通信装置以外还可以包括能够连接供应影像信号及电源电位的电缆的连接器。

[0598] 电子设备700A以及电子设备700B设置有电池,可以以无线方式和有线方式中的一方或双方进行充电。

[0599] 外壳721也可以设置有触摸传感器模块。触摸传感器模块具有检测外壳721的外侧的面是否被触摸的功能。通过触摸传感器模块,可以检测使用者的点按操作或滑动操作等而执行各种处理。例如,通过点按操作可以执行动态图像的暂时停止或再生等的处理,通过滑动操作可以执行快进、快退等的处理等。另外,通过在两个外壳721的每一个设置触摸传感器模块,可以扩大操作范围。

[0600] 作为触摸传感器模块,可以使用各种触摸传感器。例如,可以采用静电电容式、电阻膜方式、红外线方式、电磁感应方式、表面声波式、光学方式等各种方式。尤其是,优选将

静电电容式或光学方式的传感器应用于触摸传感器模块。

[0601] 在使用光学方式的触摸传感器时,作为受光元件可以使用光电转换元件。在光电转换元件的活性层中可以使用无机半导体和有机半导体中的一方或双方。

[0602] 图25C所示的电子设备800A以及图25D所示的电子设备800B都包括一对显示部820、外壳821、通信部822、一对安装部823、控制部824、一对成像部825以及一对透镜832。

[0603] 显示部820可以应用本发明的一个方式的显示装置。因此,可以实现能够进行清晰度极高的显示的电子设备。由此,使用者可以感受高沉浸感。

[0604] 显示部820设置在外壳821内部的通过透镜832能看到的位置上。另外,通过在一对显示部820间上显示不同图像,可以进行利用视差的三维显示。

[0605] 可以将电子设备800A以及电子设备800B都称为面向VR的电子设备。装上电子设备800A或电子设备800B的使用者通过透镜832能看到显示在显示部820上的图像。

[0606] 电子设备800A及电子设备800B优选具有一种机构,其中能够调整透镜832及显示部820的左右位置,以根据使用者的眼睛的位置使透镜832及显示部820位于最合适的位置上。此外,优选具有一种机构,其中通过改变透镜832及显示部820之间的距离来调整焦点。

[0607] 使用者可以使用安装部823将电子设备800A或电子设备800B装在头上。在图25C等中,例示出安装部823具有如眼镜的镜脚(也称为接头、脚丝)那样的形状,但是不局限于此。只要使用者能够装上,安装部823就例如可以具有头盔型或带型的形状。

[0608] 成像部825具有取得外部的信息的功能。可以将成像部825所取得的数据输出到显示部820。在成像部825中可以使用图像传感器。另外,也可以设置多个摄像头以能够对应望远、广角等多种视角。

[0609] 注意,在此示出包括成像部825的例子,设置能够测量出与对象物的距离的测距传感器(以下,也称为检测部)即可。换言之,成像部825是检测部的一个方式。作为检测部例如可以使用图像传感器或激光雷达(LIDAR:Light Detection and Ranging)等距离图像传感器。通过使用由摄像头取得的图像以及由距离图像传感器取得的图像,可以取得更多的信息,可以实现精度更高的姿态操作。

[0610] 电子设备800A也可以包括被用作骨传导耳机的振动机构。例如,作为显示部820、外壳821和安装部823中的一个或多个可以采用包括该振动机构的结构。由此,不需要另行设置头戴式耳机、耳机或扬声器等音响设备,而只装上电子设备800A就可以享受影像和声音。

[0611] 电子设备800A以及电子设备800B也可以都包括输入端子。可以将供应来自影像输出设备等的影像信号以及用于对设置在电子设备内的电池进行充电的电力等的电缆连接到输入端子。

[0612] 本发明的一个方式的电子设备也可以具有与耳机750进行无线通信的功能。耳机750包括通信部(未图示),并具有无线通信功能。耳机750通过无线通信功能可以从电子设备接收信息(例如声音数据)。例如,图25A所示的电子设备700A具有通过无线通信功能将信息发送到耳机750的功能。另外,例如图25C所示的电子设备800A具有通过无线通信功能将信息发送到耳机750的功能。

[0613] 电子设备也可以包括耳机部。图25B所示的电子设备700B包括耳机部727。例如,可以采用以有线方式连接耳机部727和控制部的结构。连接耳机部727和控制部的布线的一部

分也可以配置在外壳721或安装部723的内部。

[0614] 同样地,图25D所示的电子设备800B包括耳机部827。例如,可以采用以有线方式连接耳机部827和控制部824的结构。连接耳机部827和控制部824的布线的一部分也可以配置在外壳821或安装部823的内部。另外,耳机部827和安装部823也可以包括磁铁。由此,可以用磁力将耳机部827固定到安装部823,收纳变得容易,所以是优选的。

[0615] 电子设备也可以包括能够与耳机或头戴式耳机等连接的声音输出端子。另外,电子设备也可以包括声音输入端子和声音输入机构中的一方或双方。作为声音输入机构,例如可以使用麦克风等收音装置。通过将声音输入机构设置到电子设备,可以使电子设备具有所谓的耳麦的功能。

[0616] 如此,作为本发明的一个方式的电子设备,眼镜型(电子设备700A以及电子设备700B等)和护目镜型(电子设备800A以及电子设备800B等)的双方都是优选的。

[0617] 本发明的一个方式的电子设备可以以有线或无线方式将信息发送到耳机。

[0618] 图26A所示的电子设备6500是可以被用作智能手机的便携式信息终端设备。

[0619] 电子设备6500包括外壳6501、显示部6502、电源按钮6503、按钮6504、扬声器6505、麦克风6506、照相机6507及光源6508等。显示部6502具有触摸面板功能。

[0620] 显示部6502可以使用本发明的一个方式的显示装置。

[0621] 图26B是包括外壳6501的麦克风6506一侧的端部的截面示意图。

[0622] 外壳6501的显示面一侧设置有具有透光性的保护构件6510,被外壳6501及保护构件6510包围的空间内设置有显示面板6511、光学构件6512、触摸传感器面板6513、印刷电路板6517、电池6518等。

[0623] 显示面板6511、光学构件6512及触摸传感器面板6513使用粘合层(未图示)固定到保护构件6510。

[0624] 在显示部6502的外侧的区域中,显示面板6511的一部分叠回,且该叠回部分连接有FPC6515。FPC6515安装有IC6516。FPC6515与设置于印刷电路板6517的端子连接。

[0625] 显示面板6511可以使用本发明的一个方式的具有柔性的显示装置。由此,可以实现极轻量的电子设备。此外,由于显示面板6511极薄,所以可以在抑制电子设备的厚度的情况下安装大容量的电池6518。此外,通过折叠显示面板6511的一部分以在显示部6502的背面设置与FPC6515的连接部,可以实现窄边框的电子设备。

[0626] 图26C示出电视装置的一个例子。在电视装置7100中,外壳7101中组装有显示部7000。在此示出利用支架7103支撑外壳7101的结构。

[0627] 可以对显示部7000适用本发明的一个方式的显示装置。

[0628] 可以通过利用外壳7101所具备的操作开关以及另外提供的遥控操作机7111进行图26C所示的电视装置7100的操作。另外,也可以在显示部7000中具备触摸传感器,也可以通过用指头等触摸显示部7000进行电视装置7100的操作。另外,也可以在遥控操作机7111中具备显示从该遥控操作机7111输出的信息的显示部。通过利用遥控操作机7111所具备的操作键或触摸面板,可以进行频道及音量的操作,并可以对显示在显示部7000上的影像进行操作。

[0629] 另外,电视装置7100具备接收机及调制解调器等。可以通过利用接收机接收一般的电视广播。再者,通过调制解调器连接到有线或无线方式的通信网络,从而进行单向(从

发送者到接收者)或双向(发送者和接收者之间或接收者之间等)的信息通信。

[0630] 图26D示出笔记本型个人计算机的一个例子。笔记本型个人计算机7200包括外壳7211、键盘7212、指向装置7213、外部连接端口7214等。在外壳7211中组装有显示部7000。

[0631] 可以对显示部7000适用本发明的一个方式的显示装置。

[0632] 图26E和图26F示出数字标牌的一个例子。

[0633] 图26E所示的数字标牌7300包括外壳7301、显示部7000及扬声器7303等。此外,还可以包括LED灯、操作键(包括电源开关或操作开关)、连接端子、各种传感器、麦克风等。

[0634] 图26F示出设置于圆柱状柱子7401上的数字标牌7400。数字标牌7400包括沿着柱子7401的曲面设置的显示部7000。

[0635] 在图26E和图26F中,可以将本发明的一个方式的显示装置用于显示部7000。

[0636] 显示部7000越大,一次能够提供的信息量越多。显示部7000越大,越容易吸引人的注意,例如可以提高广告宣传效果。

[0637] 通过将触摸面板用于显示部7000,不仅可以在显示部7000上显示静态图像或动态图像,使用者还能够直觉性地进行操作,所以是优选的。另外,在用于提供线路信息或交通信息等信息的用途时,可以通过直觉性的操作提高易用性。

[0638] 如图26E和图26F所示,数字标牌7300或数字标牌7400优选可以通过无线通信与使用者所携带的智能手机等信息终端设备7311或信息终端设备7411联动。例如,显示在显示部7000上的广告信息可以显示在信息终端设备7311或信息终端设备7411的屏幕上。此外,通过操作信息终端设备7311或信息终端设备7411,可以切换显示部7000的显示。

[0639] 可以在数字标牌7300或数字标牌7400上以信息终端设备7311或信息终端设备7411的屏幕为操作单元(控制器)执行游戏。由此,不特定多个使用者可以同时参加游戏,享受游戏的乐趣。

[0640] 图27A至图27G所示的电子设备包括外壳9000、显示部9001、扬声器9003、操作键9005(包括电源开关或操作开关)、连接端子9006、传感器9007(该传感器具有检测、检出或测量如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)、麦克风9008等。

[0641] 在图27A至图27G中,可以将本发明的一个方式的显示装置用于显示部9001。

[0642] 图27A至图27G所示的电子设备具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图像及文字图像等)显示在显示部上的功能;触摸面板的功能;显示日历、日期或时间等的功能;通过利用各种软件(程序)控制处理的功能;进行无线通信的功能;读出储存在存储介质中的程序或数据并进行处理的功能;等。注意,电子设备的功能不局限于上述功能,而可以具有各种功能。电子设备也可以包括多个显示部。另外,也可以在电子设备中设置照相机等而使其具有如下功能:拍摄静态图像或动态图像,且将所拍摄的图像储存在存储介质(外部存储介质或内置于照相机的存储介质)中的功能;将所拍摄的图像显示在显示部上的功能;等。

[0643] 下面,详细地说明图27A至图27G所示的电子设备。

[0644] 图27A是示出便携式信息终端9101的立体图。可以将便携式信息终端9101例如用作智能手机。注意,在便携式信息终端9101中,也可以设置扬声器9003、连接端子9006、传感

器9007等。另外,作为便携式信息终端9101,可以将文字或图像信息显示在其多个面上。在图27A中示出显示三个图标9050的例子。另外,可以将以虚线的矩形示出的信息9051显示在显示部9001的其他面上。作为信息9051的一个例子,可以举出提示收到电子邮件、SNS或电话等的信息;电子邮件或SNS等的标题;电子邮件或SNS等的发送者姓名;日期;时间;电池余量;以及电波强度等。或者,可以在显示有信息9051的位置上显示图标9050等。

[0645] 图27B是示出便携式信息终端9102的立体图。便携式信息终端9102具有将信息显示在显示部9001的三个以上的面上的功能。在此,示出信息9052、信息9053、信息9054分别显示于不同的面上的例子。例如,在将便携式信息终端9102放在上衣口袋里的状态下,使用者能够确认显示在从便携式信息终端9102的上方看到的位置上的信息9053。例如,使用者可以确认到该显示而无需从口袋里拿出便携式信息终端9102,由此能够判断是否接电话。

[0646] 图27C是示出平板终端9103的立体图。平板终端9103例如可以执行移动电话、电子邮件及文章的阅读和编辑、播放音乐、网络通信、计算机游戏等各种应用软件。平板终端9103在外壳9000的正面包括显示部9001、照相机9002、麦克风9008及扬声器9003,在外壳9000的左侧面包括被用作用于操作的按钮的操作键9005,在底面包括连接端子9006。

[0647] 图27D是示出手表型便携式信息终端9200的立体图。可以将便携式信息终端9200例如用作智能手表(注册商标)。另外,显示部9001的显示面弯曲,可沿着其弯曲的显示面进行显示。此外,便携式信息终端9200例如通过与可进行无线通信的耳麦相互通信可以进行免提通话。此外,通过利用连接端子9006,便携式信息终端9200可以与其他信息终端进行数据传输及进行充电。充电也可以通过无线供电进行。

[0648] 图27E至图27G是示出可以折叠的便携式信息终端9201的立体图。另外,图27E是将便携式信息终端9201展开的状态的立体图,图27G是折叠的状态的立体图,图27F是从图27E的状态和图27G的状态中的一个转换成另一个时中途的状态的立体图。便携式信息终端9201在折叠状态下可携带性好,而在展开状态下因为具有无缝拼接较大的显示区域所以显示的浏览性强。便携式信息终端9201所包括的显示部9001被由铰链9055连结的三个外壳9000支撑。显示部9001例如可以在曲率半径0.1mm以上且150mm以下的范围弯曲。

[0649] 本实施方式可以与其他实施方式适当地组合。

[符号说明]

[0650] 10:时序电路
11B:子像素
11G:子像素
11R:子像素
11:电路
12:电路
15a:布线
15b:布线
21:晶体管
22:晶体管
50A:显示装置
50B:显示装置

50C:显示装置
50D:显示装置
50E:显示装置
50F:显示装置
50G:显示装置
51A:像素电路
51B:像素电路
51C:像素电路
51D:像素电路
51E:像素电路
51:像素电路
52A:晶体管
52B:晶体管
52C:晶体管
52D:晶体管
52E:晶体管
52F:晶体管
53A:电容器
53:电容器
61:发光元件
100A:晶体管
100B:晶体管
100C:晶体管
100D:晶体管
100E:晶体管
100F:晶体管
100G:晶体管
100H:晶体管
100I:晶体管
100J:晶体管
100K:晶体管
100:晶体管
102:衬底
103:绝缘层
104f:导电膜
104:导电层
106:绝缘层
108f:金属氧化物膜
108:半导体层

110a:绝缘层
110b:绝缘层
110c:绝缘层
110:绝缘层
111B:像素电极
111G:像素电极
111R:像素电极
111S:像素电极
112a:导电层
112b:导电层
112bf:导电膜
112c:导电层
113B:EL层
113G:EL层
113R:EL层
113S:功能层
113:EL层
114:公共层
115:公共电极
117:遮光层
118B:牺牲层
118G:牺牲层
118R:牺牲层
119B:牺牲层
119G:牺牲层
119R:牺牲层
123:导电层
124B:导电层
124G:导电层
124R:导电层
125f:绝缘膜
125:绝缘层
126B:导电层
126G:导电层
126R:导电层
127:绝缘层
128:层
130B:发光元件
130G:发光元件

130R:发光元件
130S:受光元件
131:保护层
132B:着色层
132G:着色层
132R:着色层
133B:层
133Bf:膜
133G:层
133R:层
133:层
140:连接部
141:开口
142:粘合层
143:凹部
144:区域
145:开口
151:衬底
152:衬底
153:绝缘层
162:显示部
164:电路部
165:布线
166:导电层
167:导电层
172:FPC
173:IC
204:连接部
205B:晶体管
205D:晶体管
205G:晶体管
205R:晶体管
205S:晶体管
210:像素
218:绝缘层
230:像素
235:绝缘层
237:绝缘层
242:连接层

700A:电子设备
700B:电子设备
721:外壳
723:安装部
727:耳机部
750:耳机
751:显示面板
753:光学构件
756:显示区域
757:眼镜架
758:鼻垫
800A:电子设备
800B:电子设备
820:显示部
821:外壳
822:通信部
823:安装部
824:控制部
825:成像部
827:耳机部
832:透镜
6500:电子设备
6501:外壳
6502:显示部
6503:电源按钮
6504:按钮
6505:扬声器
6506:麦克风
6507:照相机
6508:光源
6510:保护构件
6511:显示面板
6512:光学构件
6513:触摸传感器面板
6515:FPC
6516:IC
6517:印刷电路板
6518:电池
7000:显示部

7100:电视装置
7101:外壳
7103:支架
7111:遥控操作机
7200:笔记本型个人计算机
7211:外壳
7212:键盘
7213:指向装置
7214:外部连接端口
7300:数字标牌
7301:外壳
7303:扬声器
7311:信息终端设备
7400:数字标牌
7401:柱子
7411:信息终端设备
9000:外壳
9001:显示部
9002:照相机
9003:扬声器
9005:操作键
9006:连接端子
9007:传感器
9008:麦克风
9050:图标
9051:信息
9052:信息
9053:信息
9054:信息
9055:铰链
9101:便携式信息终端
9102:便携式信息终端
9103:平板终端
9200:便携式信息终端
9201:便携式信息终端

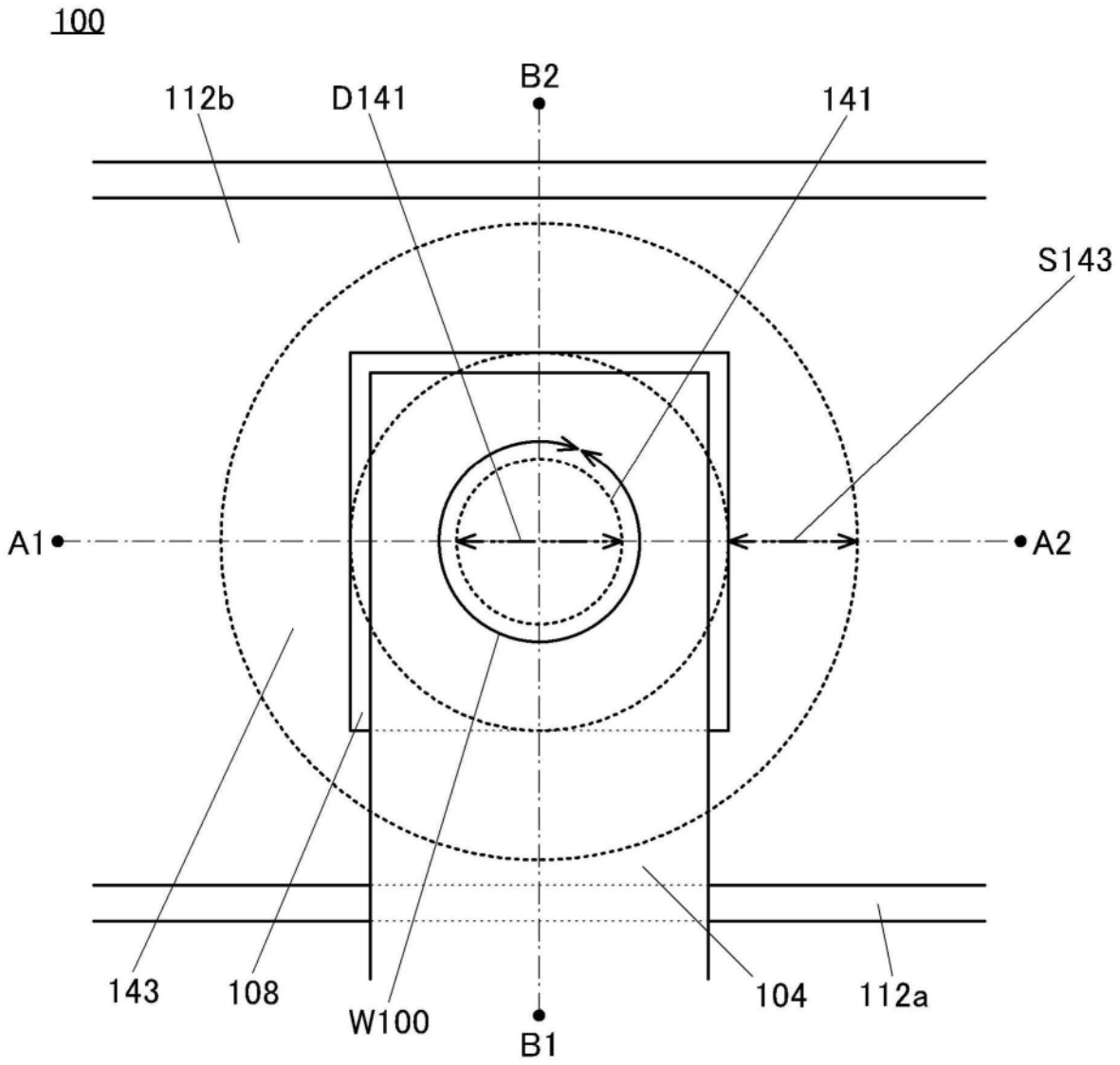



图1A

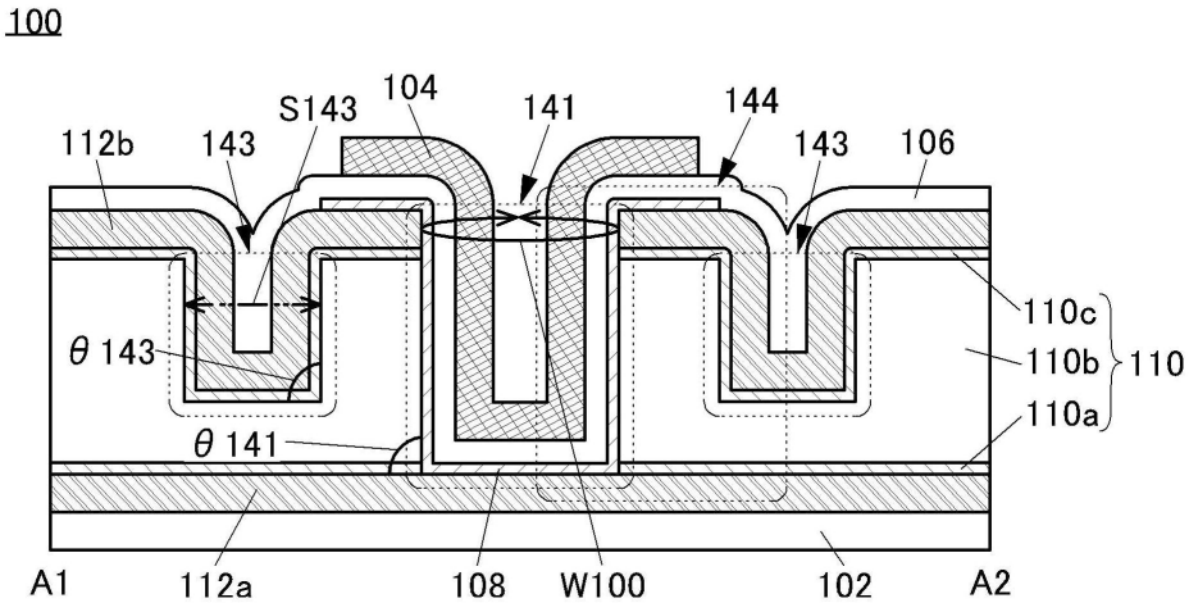

100
112b
143
S143
104
141
144
143
106
θ 143
θ 141
110c
110b
110
110a
A1
112a
108
W100
102
A2

图1B

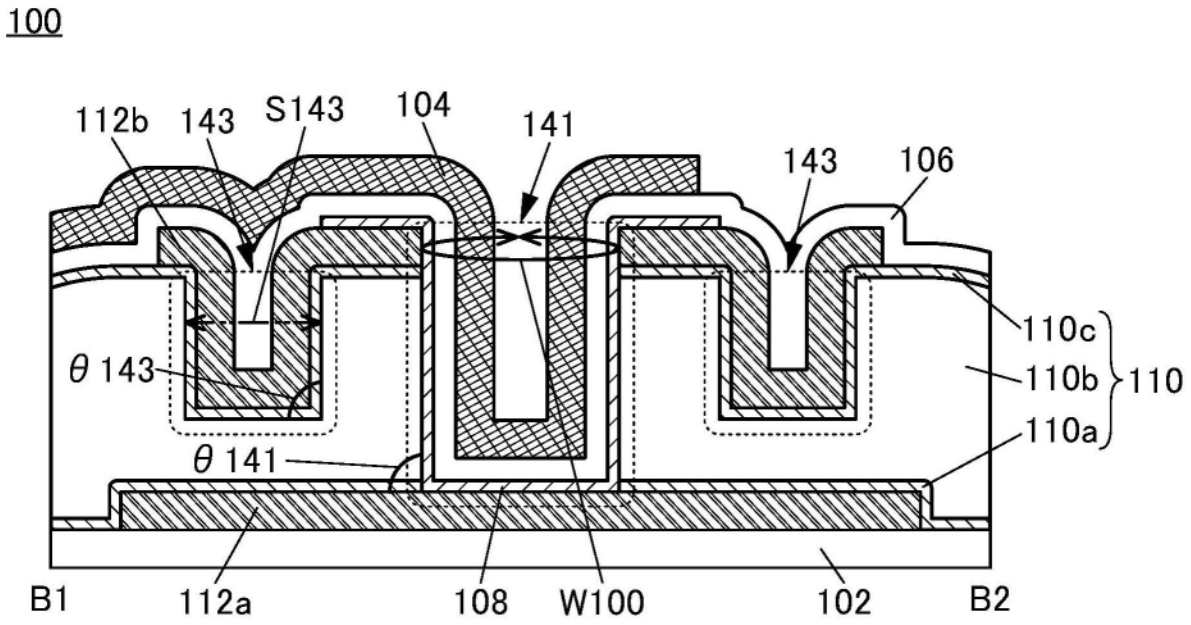

100
112b
143
S143
104
141
143
106
θ 143
θ 141
110c
110b
110
110a
B1
112a
108
W100
102
B2

图2A

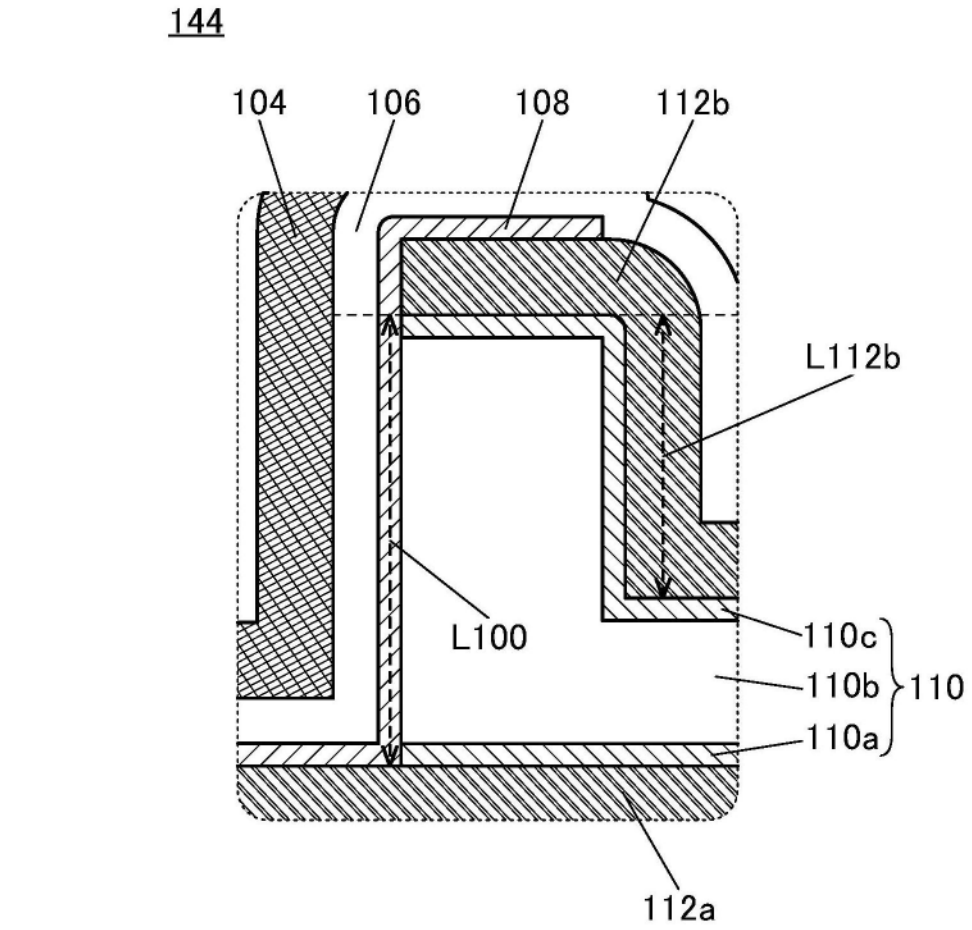

144
104
106
108
112b
L112b
L100
110c
110b
110
110a
112a

图2B

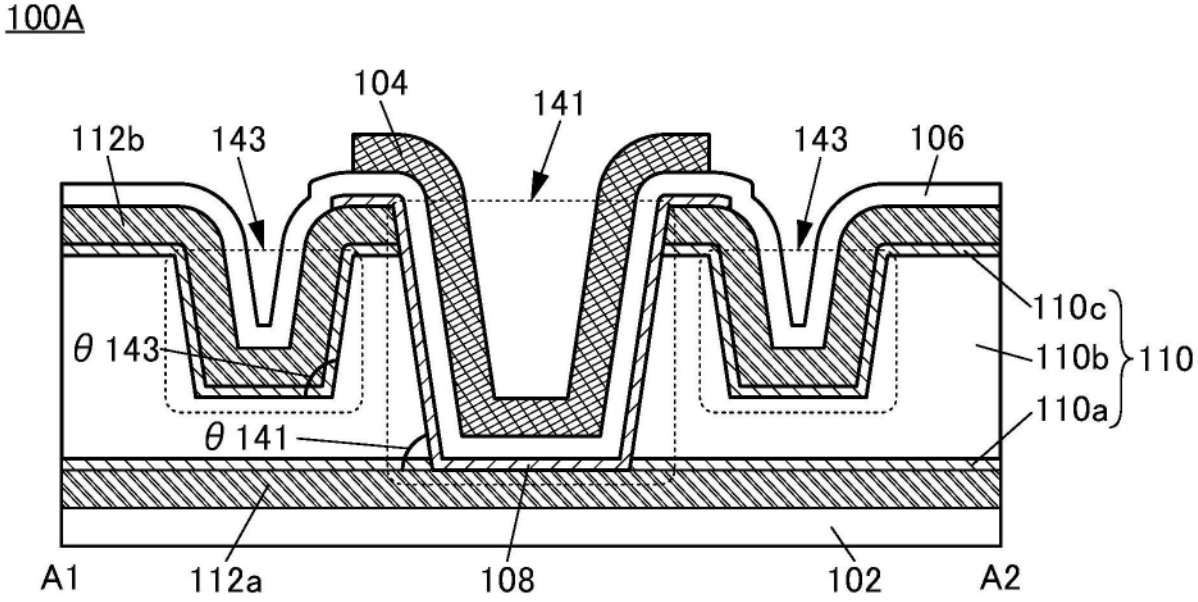

100A
104
141
112b
143
143
106
110c
θ 143
110b
110
110a
θ 141
A1
112a
108
102
A2

图3A

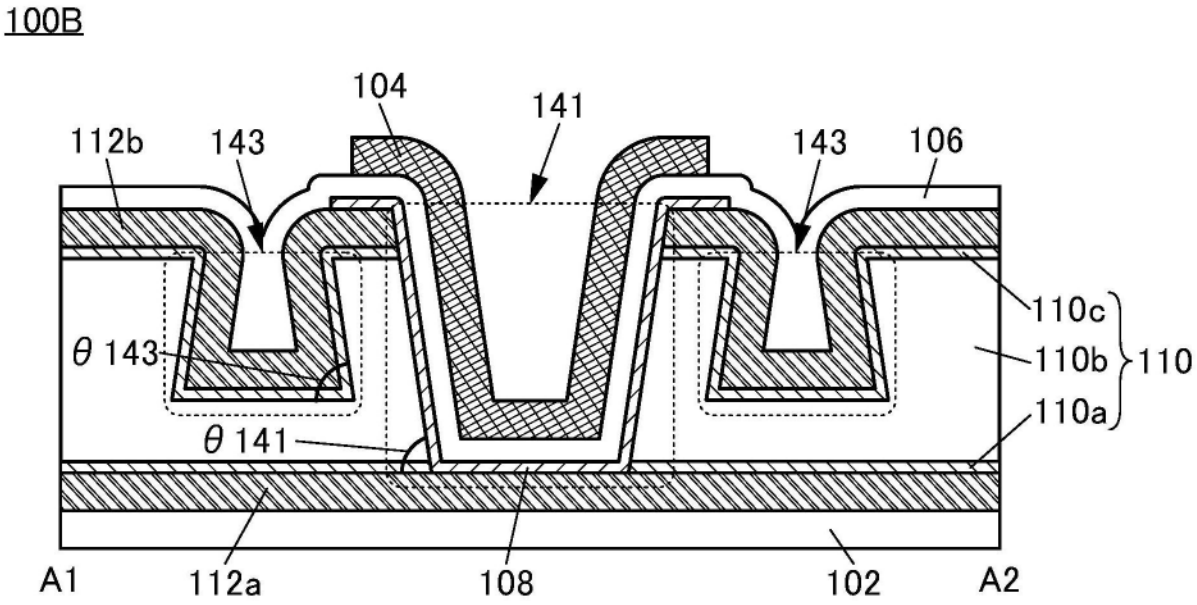

100B
104
141
112b
143
143
106
110c
θ 143
110b
110
110a
θ 141
A1
112a
108
102
A2

图3B

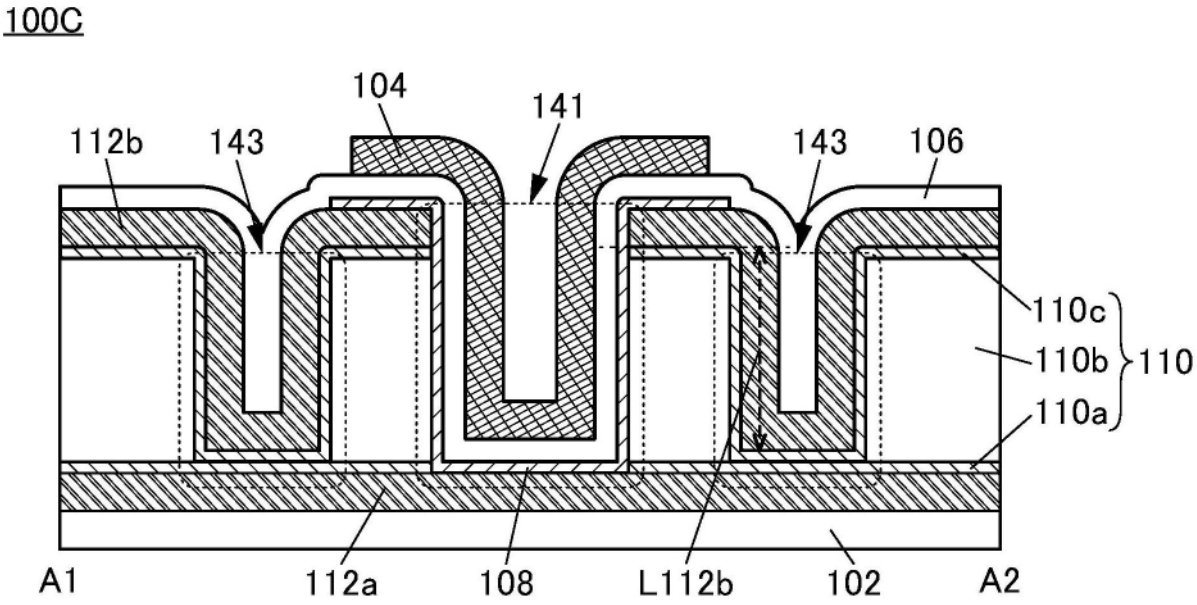

100C
104
141
112b
143
143
106
110c
110b
110
110a
A1
112a
108
L112b
102
A2

图4A

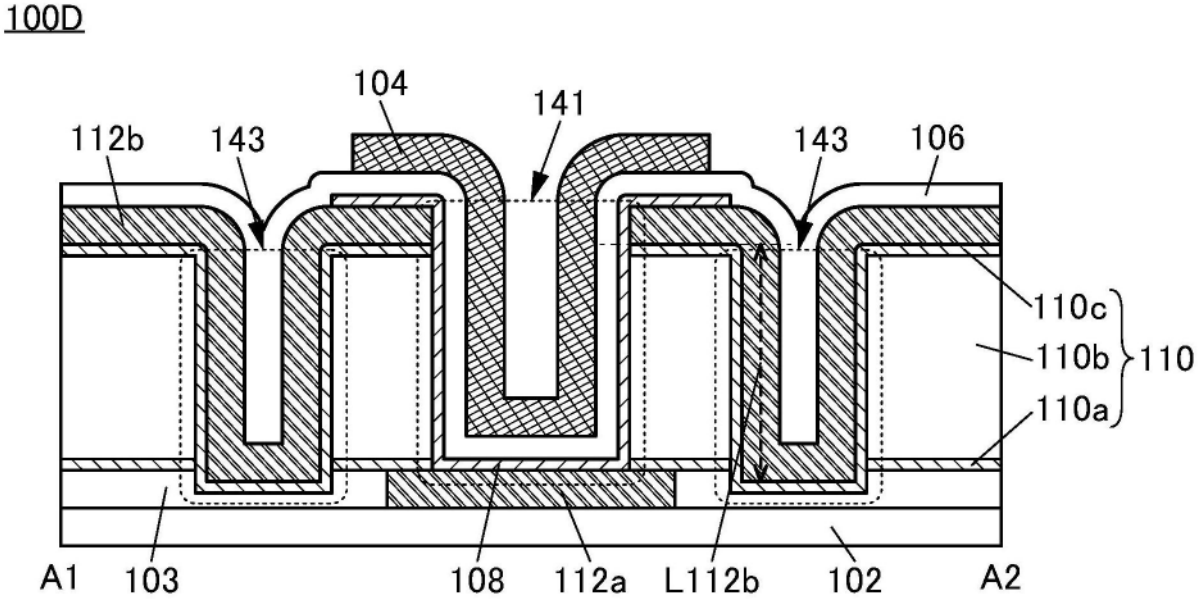

100D
104
141
112b
143
143
106
110c
110b
110
110a
A1
103
108
112a
L112b
102
A2

图4B

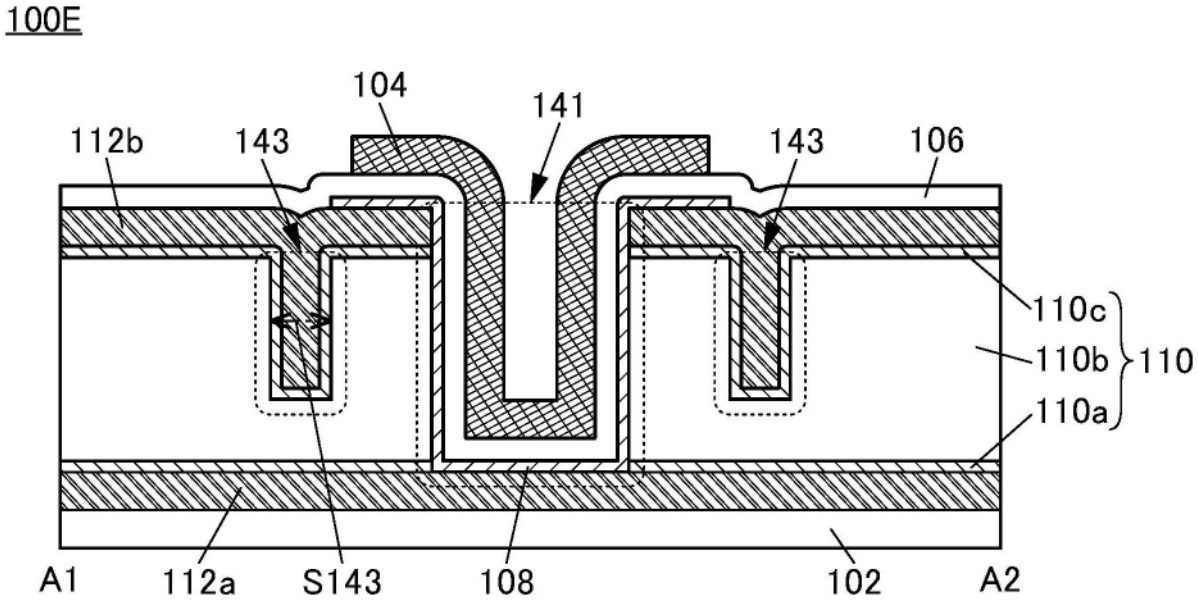

100E
104
141
112b
143
143
106
110c
110b
110
110a
A1
112a
S143
108
102
A2

图5A

100F

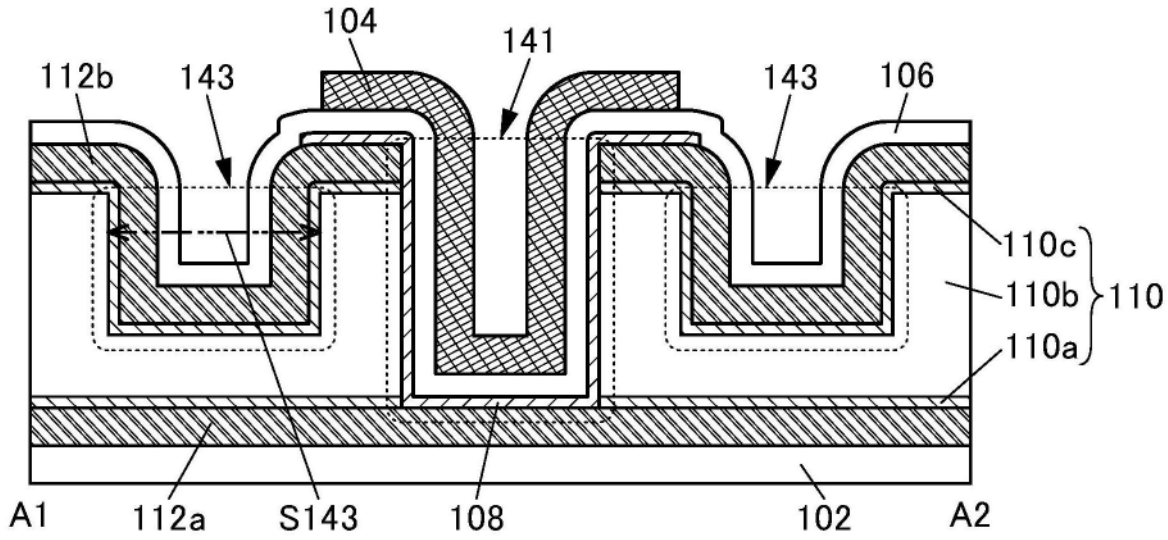



图5B

100G

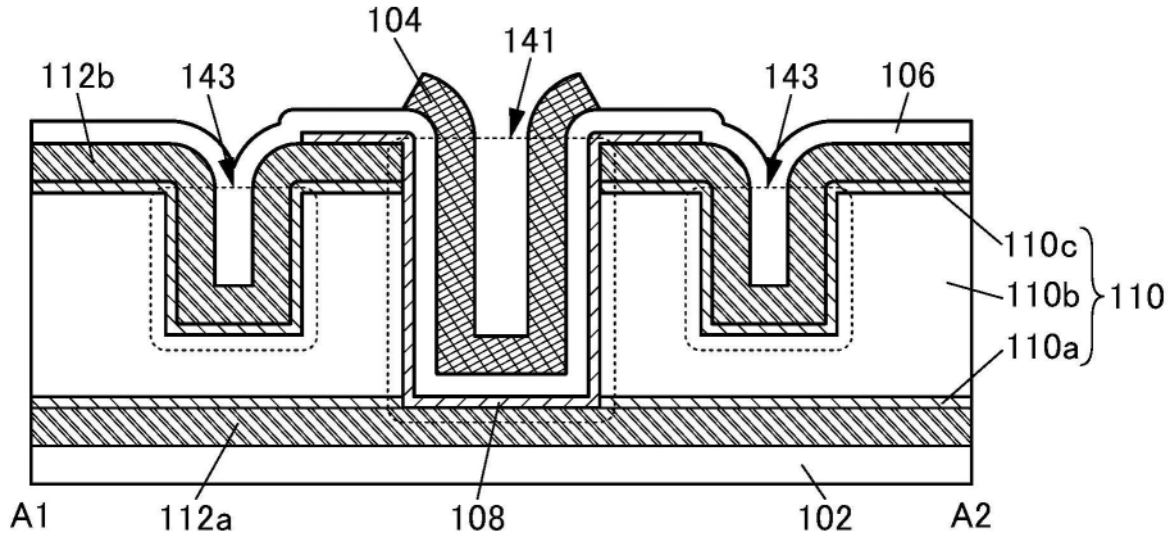



图6A

100H

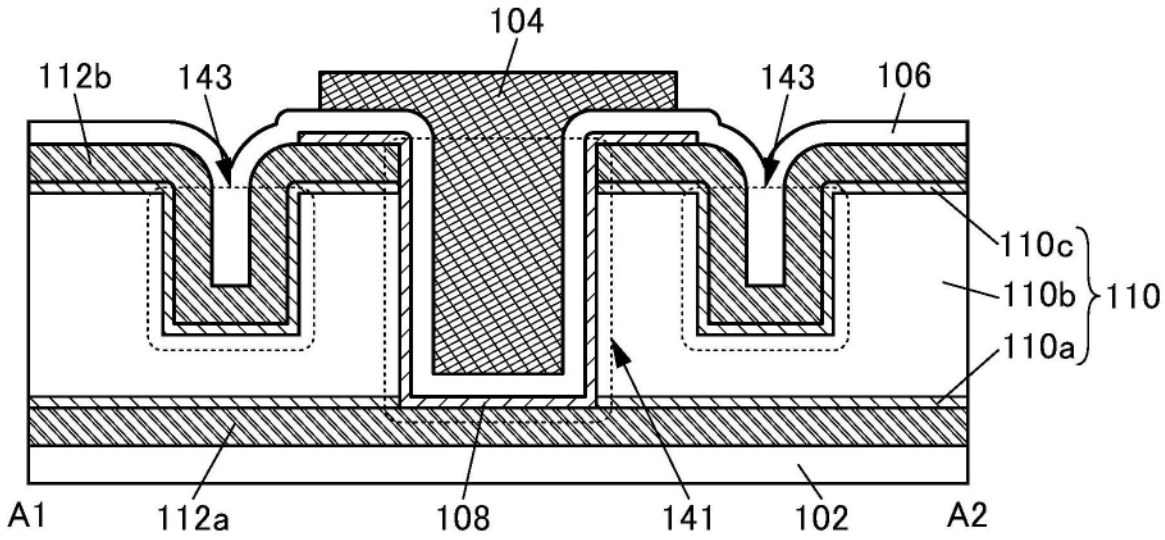



图6B

100I

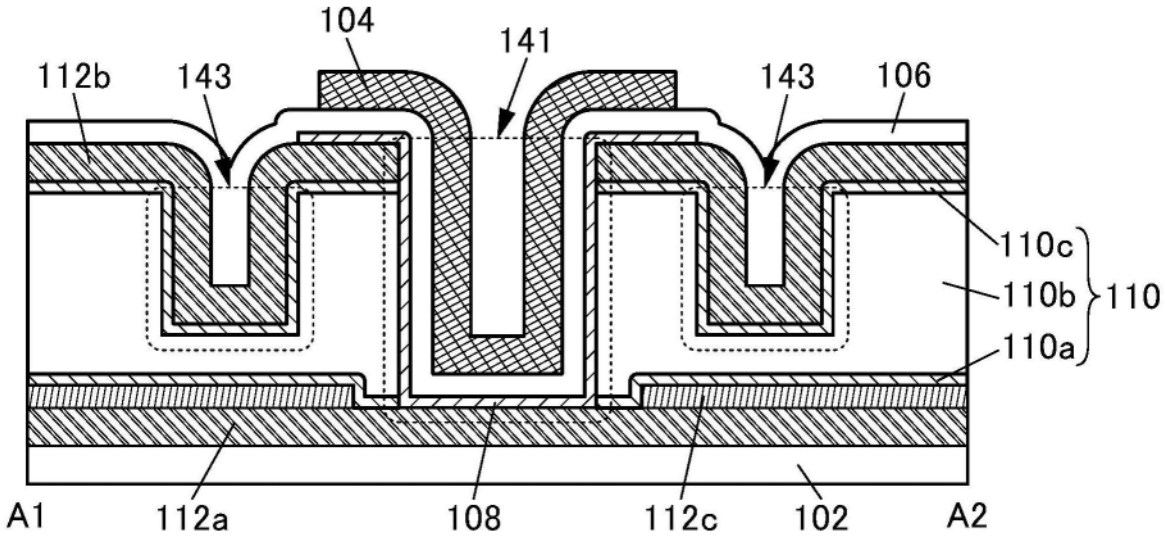



图7A

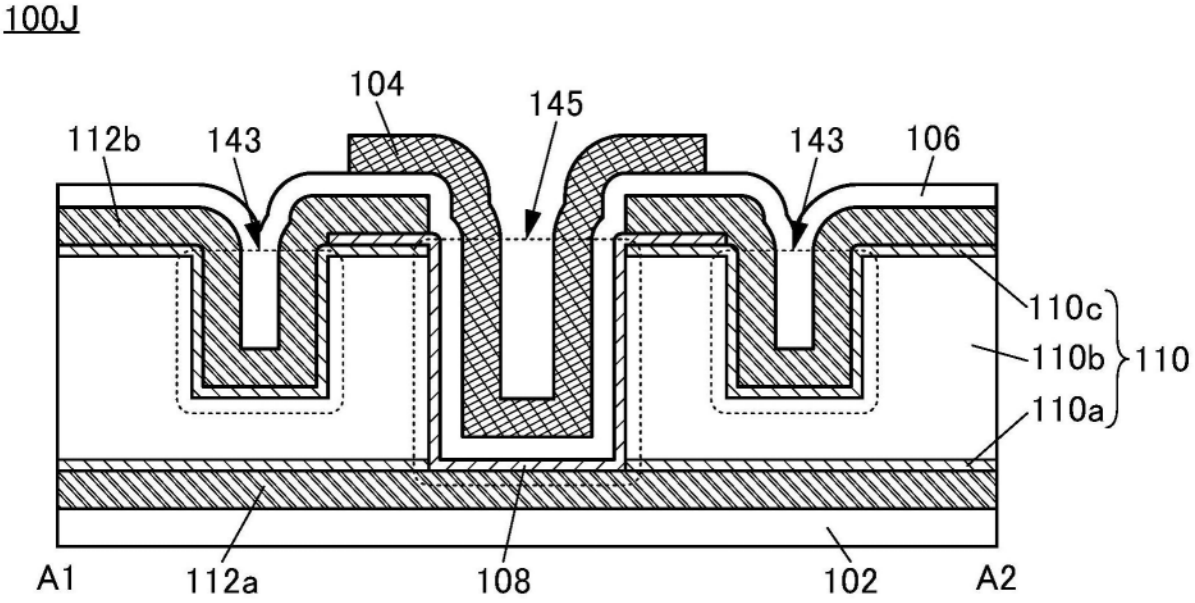

100J
104
145
112b
143
143
106
110c
110b
110
110a
A1
112a
108
102
A2

图7B

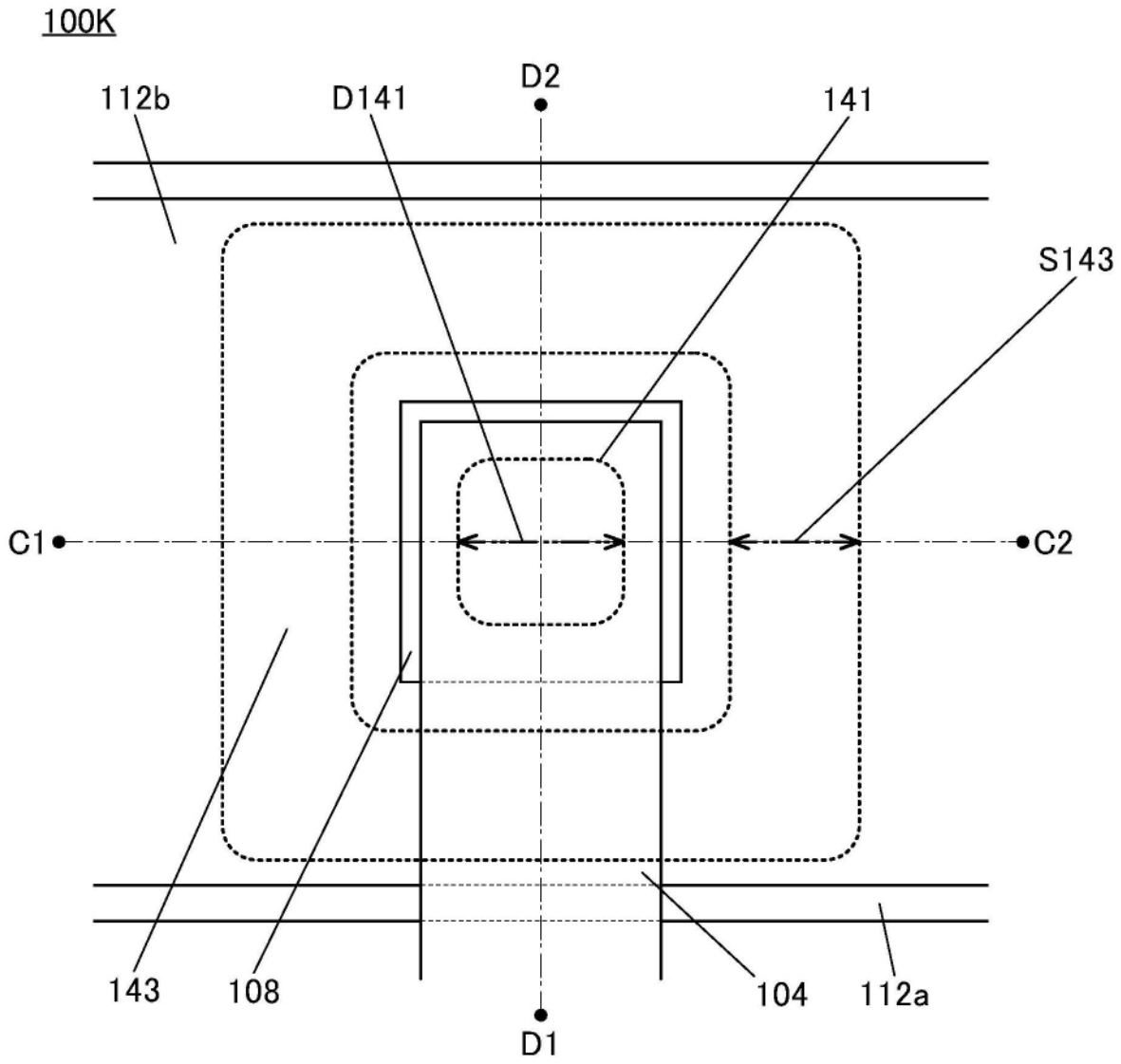



图8A

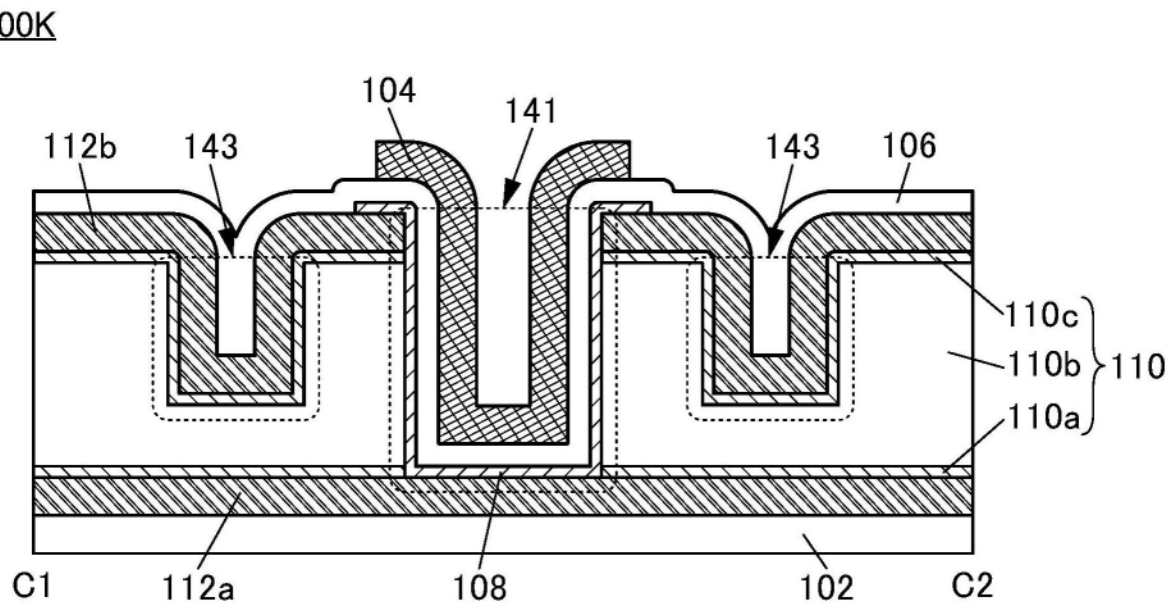

100K
104
141
112b
143
143
106
110c
110b
110
110a
C1
112a
108
102
C2

图8B

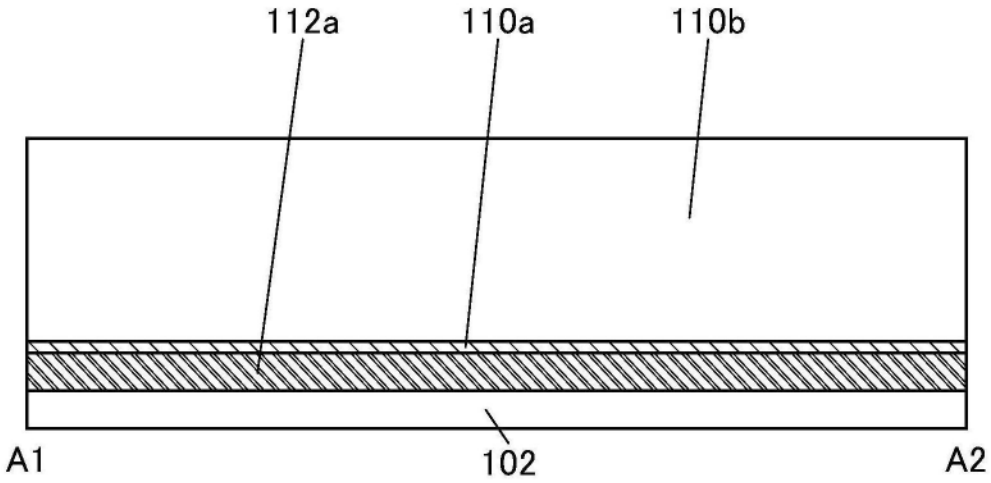

112a
110a
110b
A1
102
A2

图9A

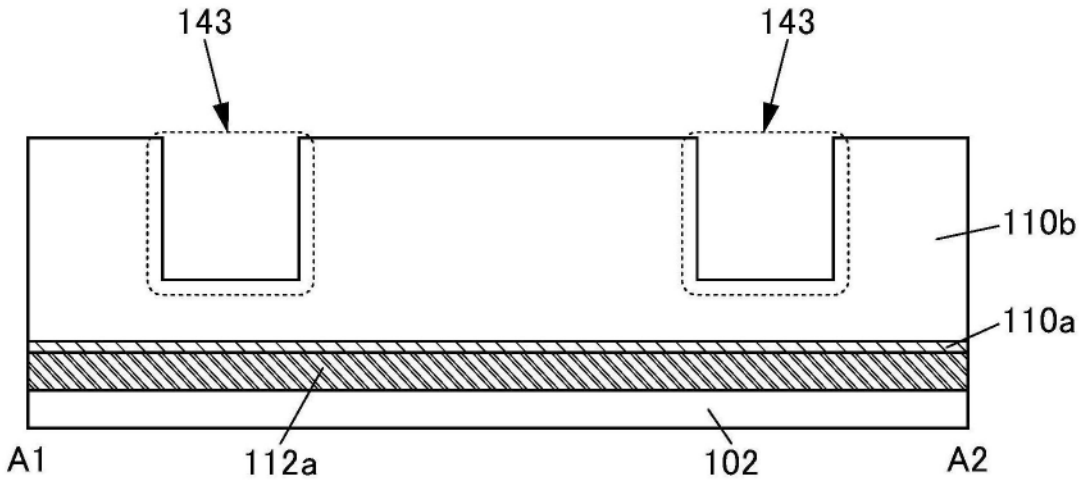

143
143
110b
110a
A1
112a
102
A2

图9B

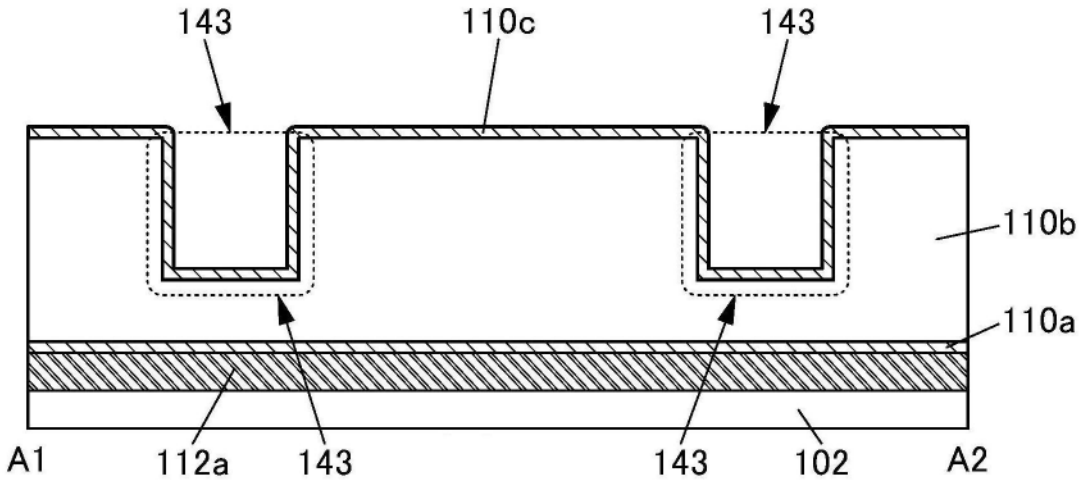

143
110c
143
110b
110a
A1
112a
143
143
102
A2

图9C

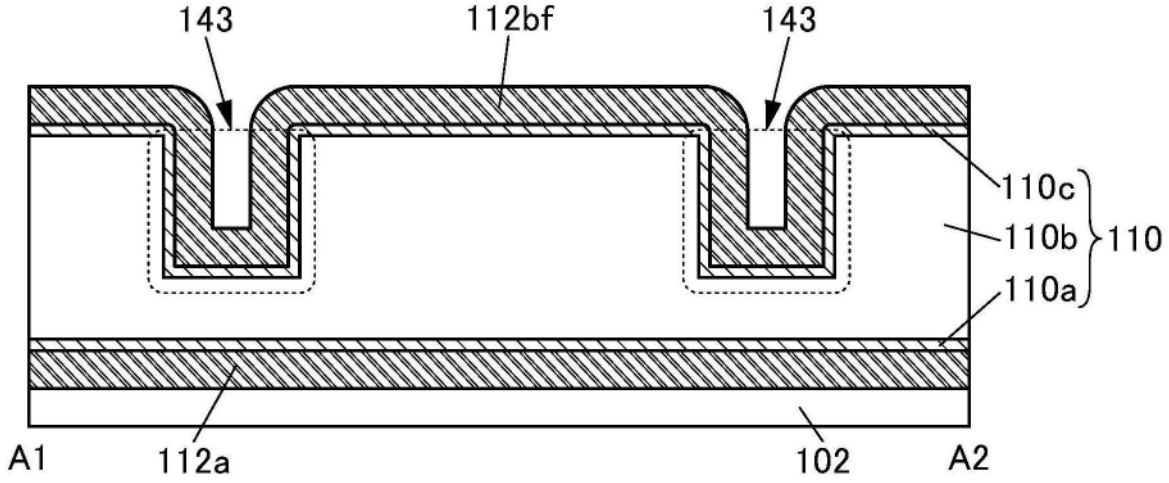

143
112bf
143
110c
110b
110
110a
A1
112a
102
A2

图10A

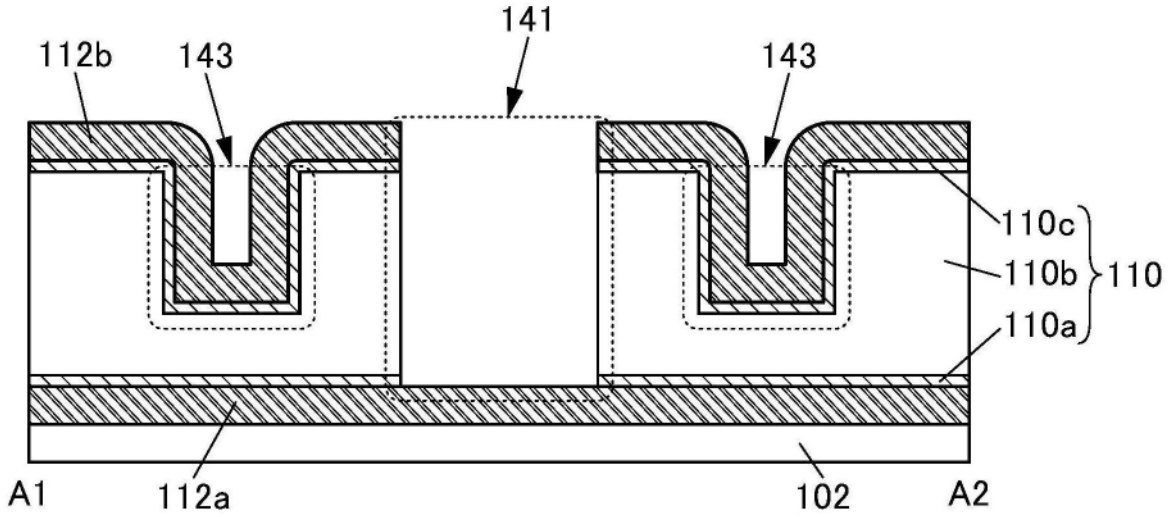

141
112b
143
143
110c
110b
110
110a
A1
112a
102
A2

图10B

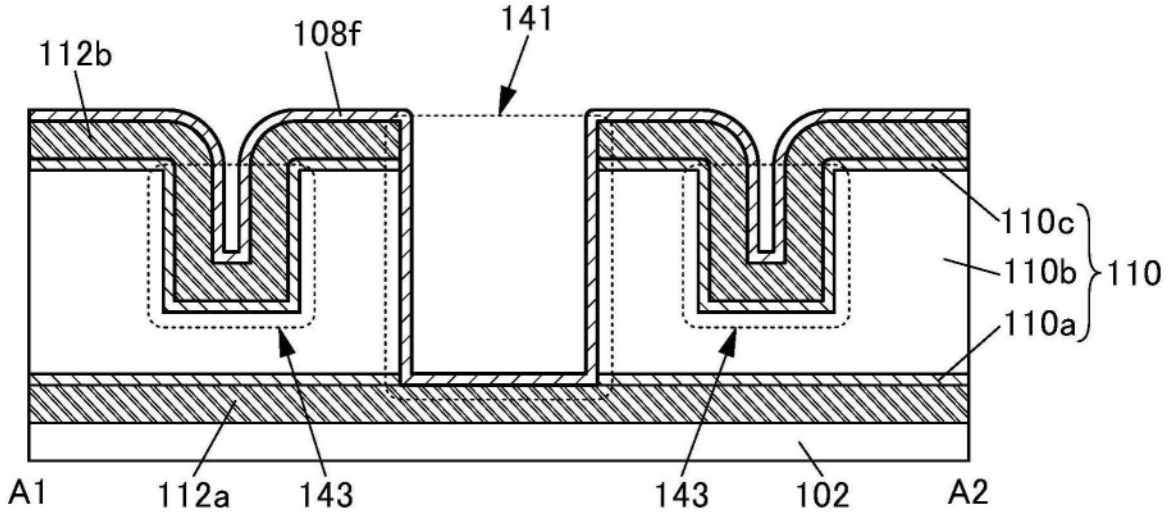

141
108f
112b
110c
110b
110
110a
A1
112a
143
143
102
A2

图10C

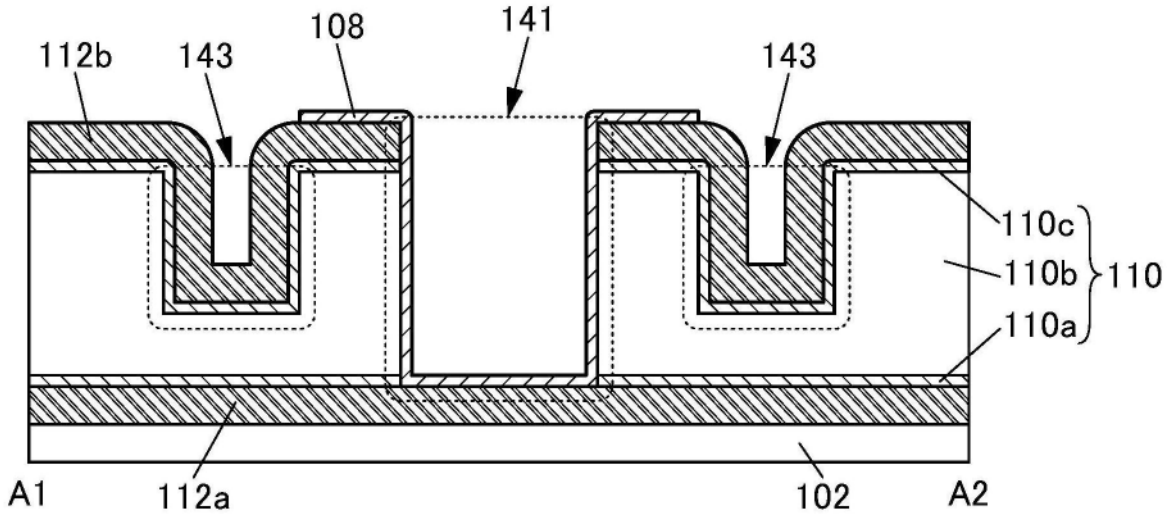

112b
143
108
141
143
110c
110b
110
110a
A1
112a
102
A2

图11A

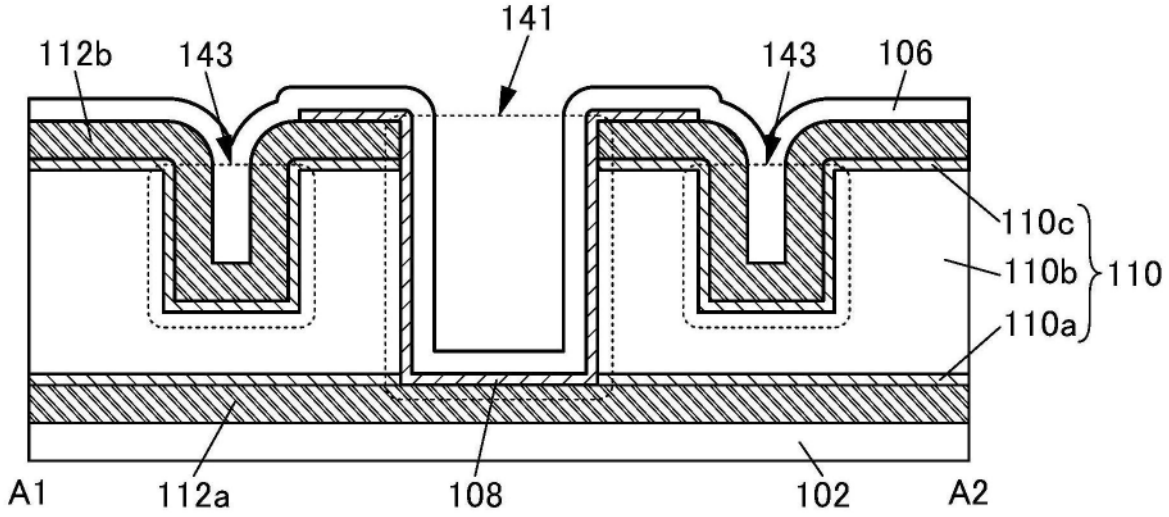

141
112b
143
143
106
110c
110b
110
110a
A1
112a
108
102
A2

图11B

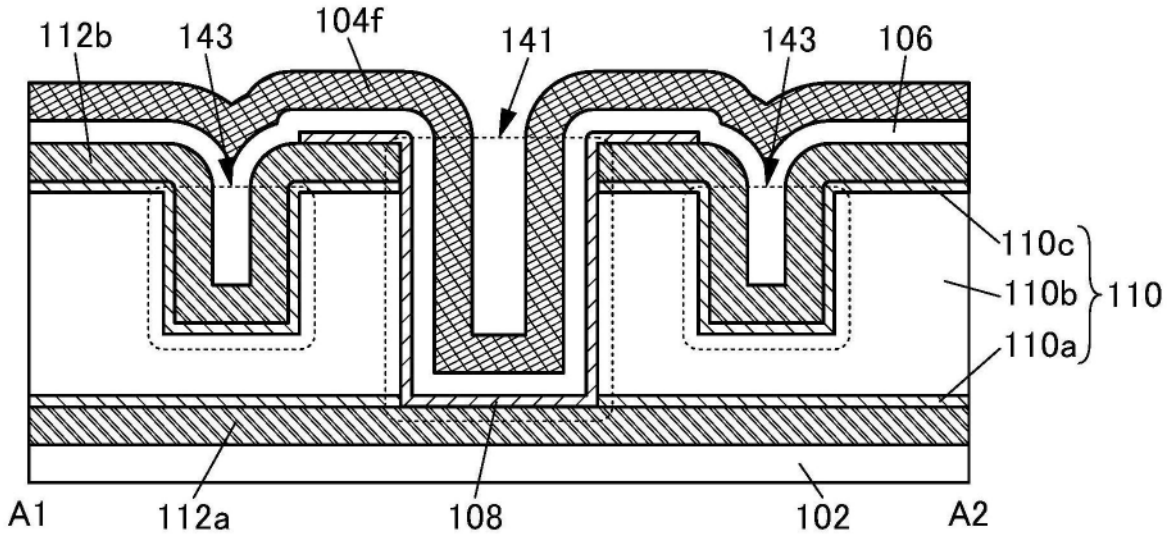



图11C

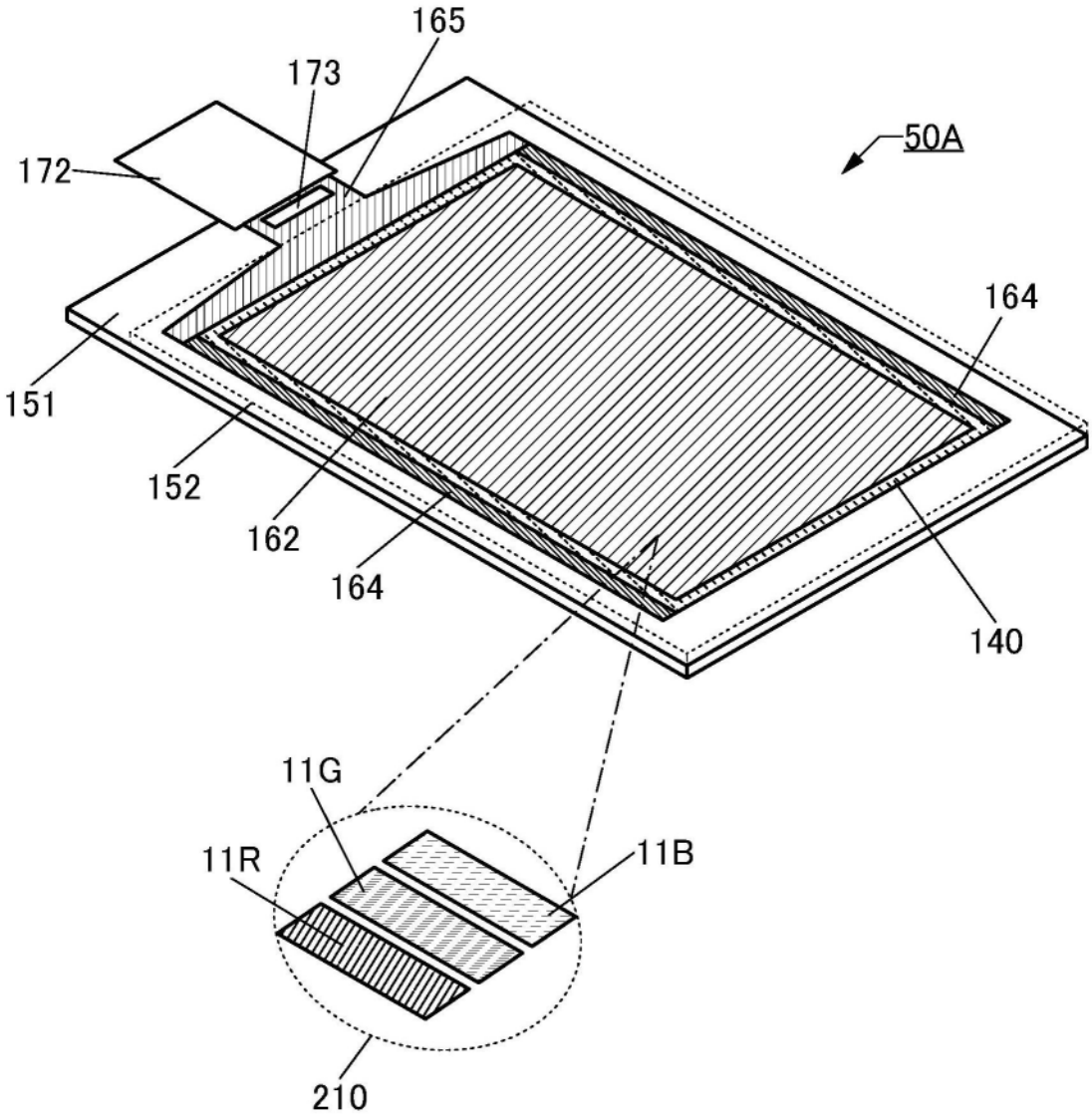



图12

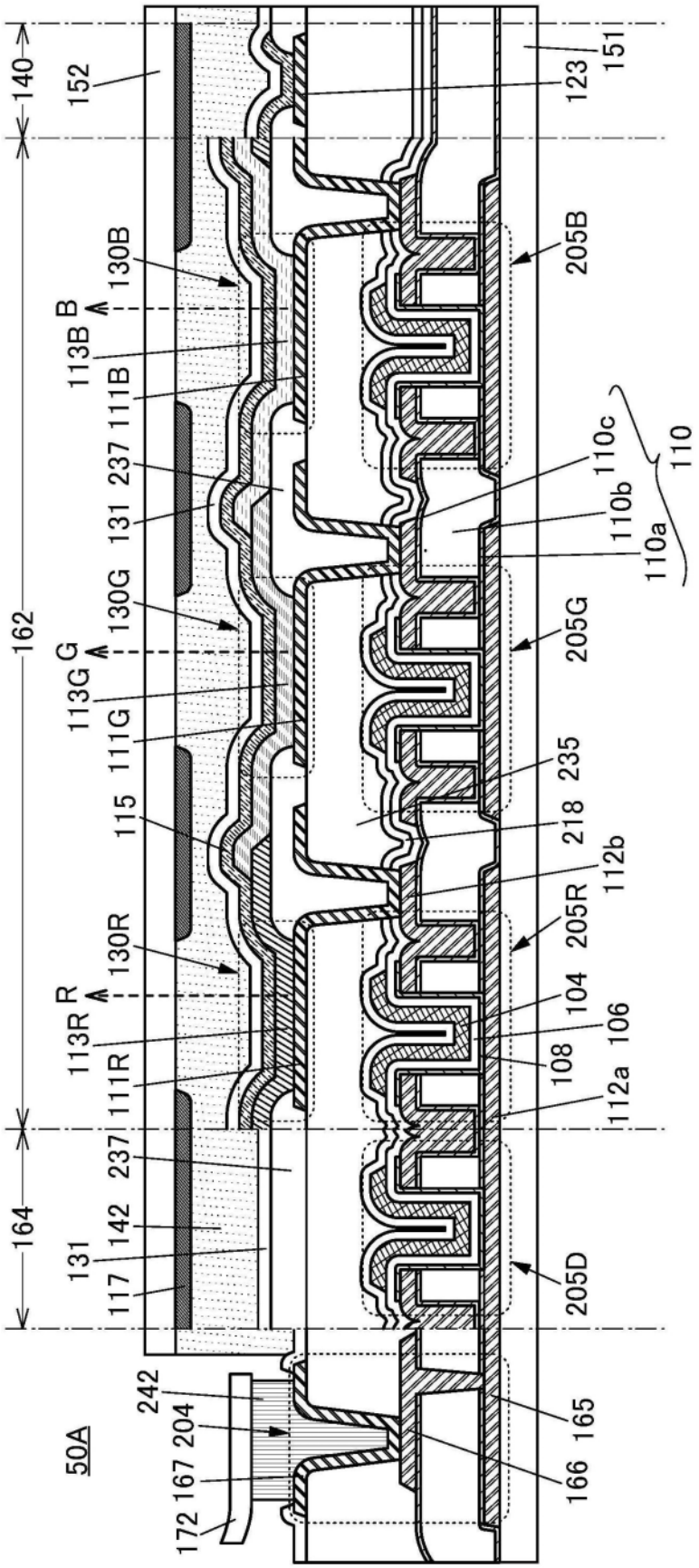

140
152
123
151
130B
205B
B
113B
111B
237
131
110c
110b
110a
110
130G
205G
G
113G
111G
235
115
218
112b
130R
205R
R
113R
111R
104
106
108
112a
237
164
142
131
117
205D
242
204
167
172
165
166
50A
162

图13

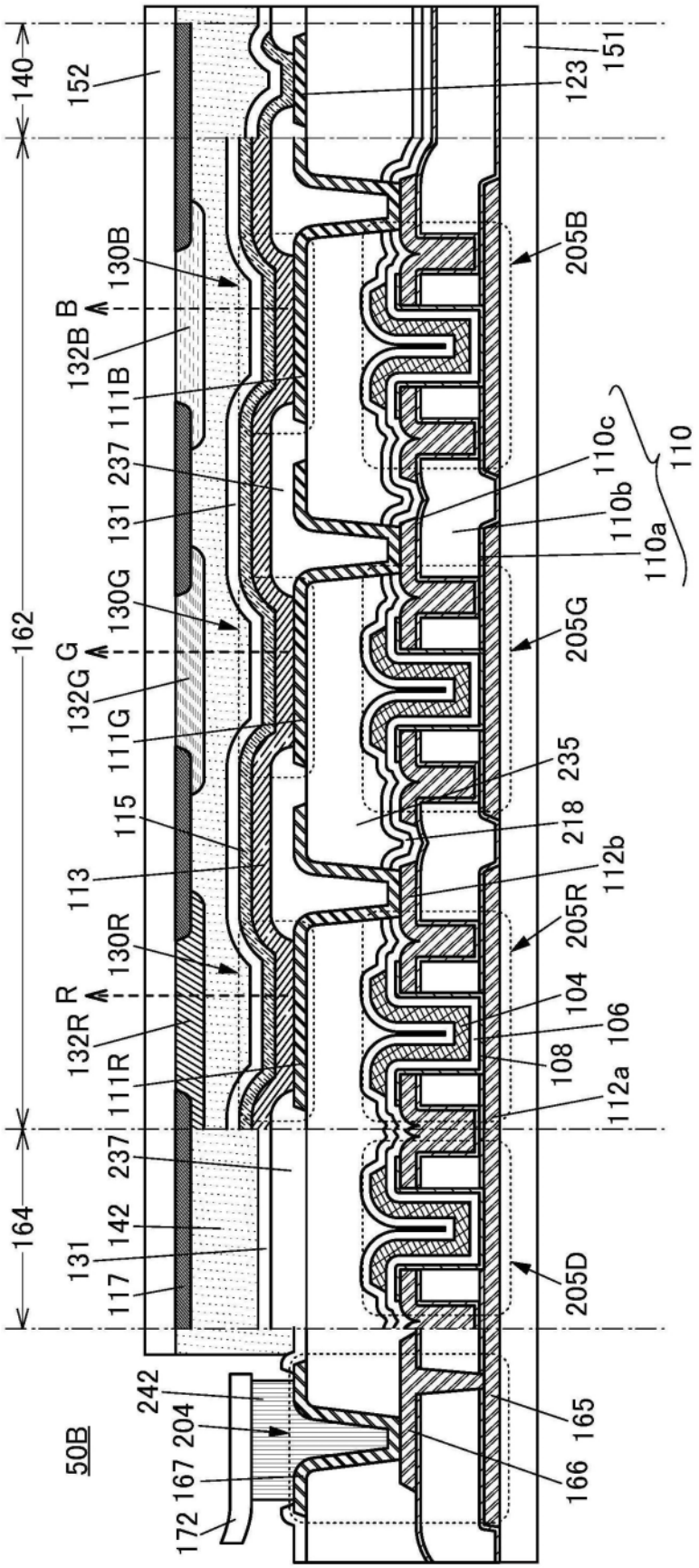

140
152
123
151
130B
B
132B
111B
237
131
205B
110c
110b
110a
110
162
130G
G
132G
111G
205G
235
115
218
113
112b
130R
R
132R
111R
205R
104
106
108
112a
237
164
131
142
117
205D
242
204
167
172
165
166
50B

图14

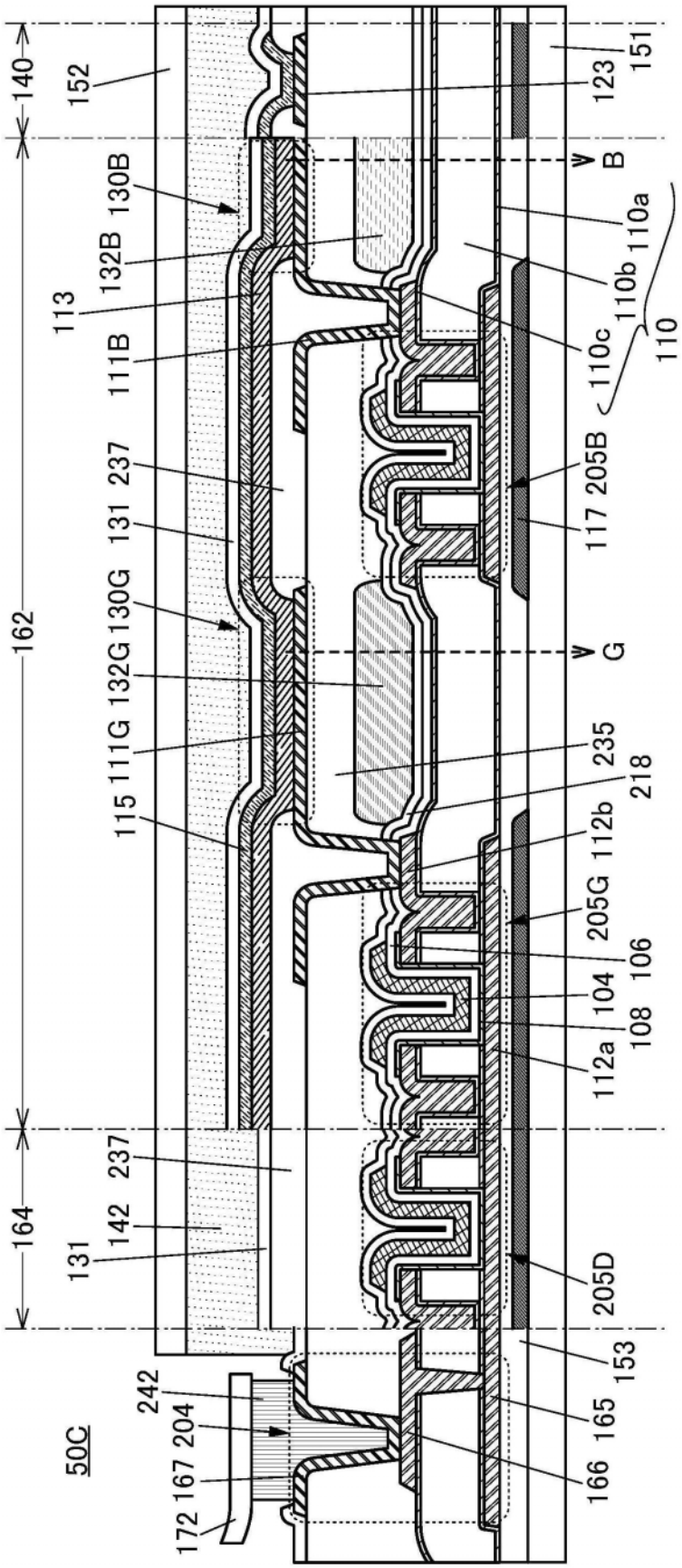

140
152
123
151
B
130B
110a
132B
110b
113
110c
110
111B
237
205B
131
117
130G
162
G
132G
111G
235
115
218
112b
205G
106
104
108
112a
237
164
142
131
205D
153
242
165
204
166
167
172
50C

图15

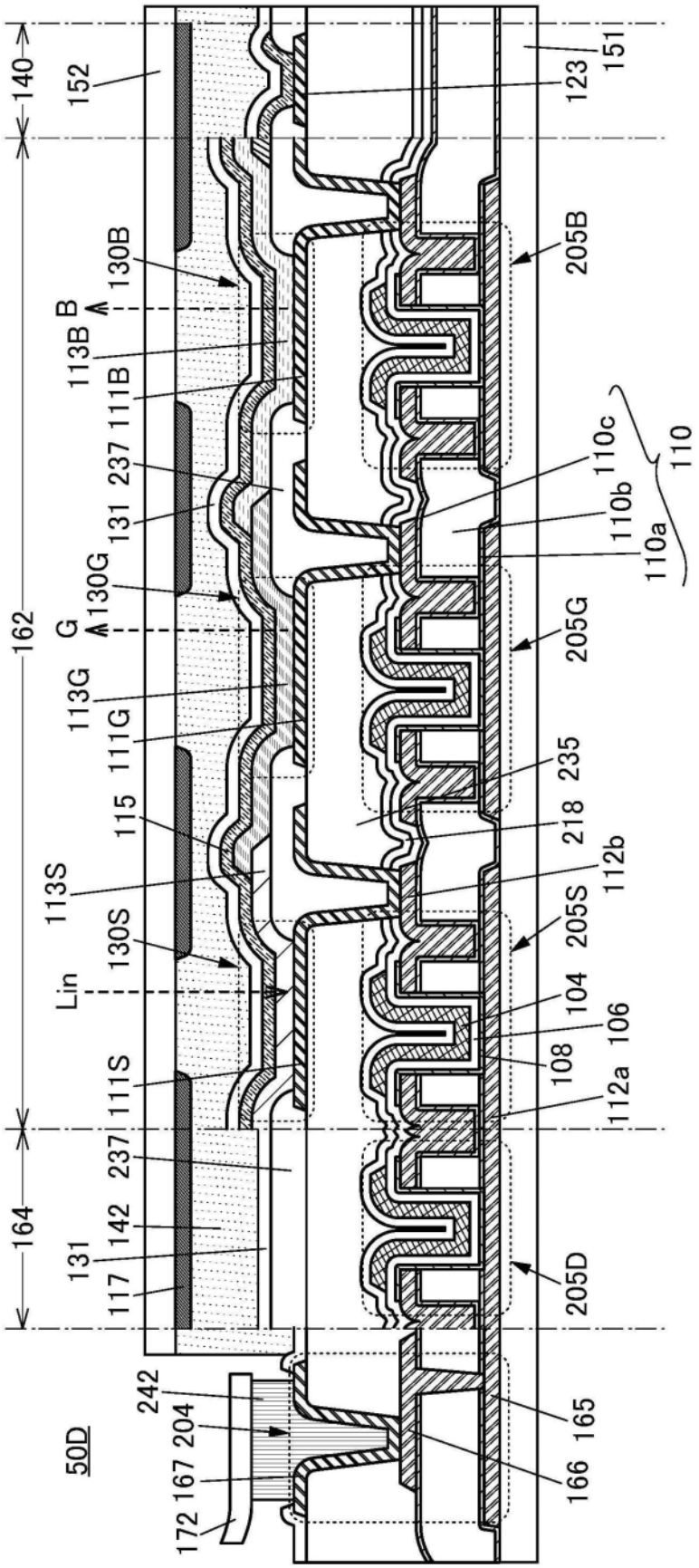

140
152
123
151
130B
205B
B
113B
111B
237
131
110c
110b
110a
110
130G
205G
G
113G
111G
235
115
218
113S
112b
130S
205S
Lin
104
106
108
111S
112a
237
164
142
131
117
205D
242
204
165
50D
167
166
172

图16

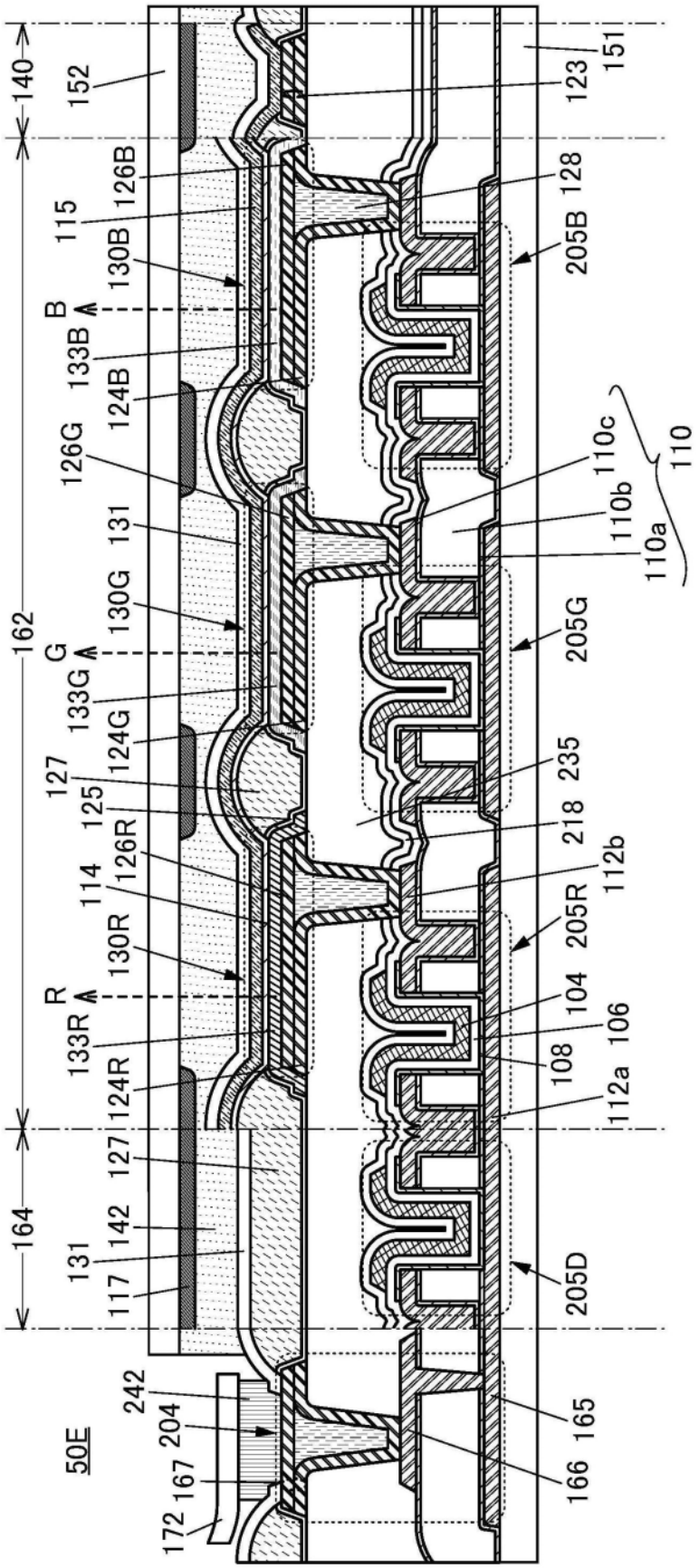

140
152
123
151
126B
115
128
130B
205B
B
133B
124B
126G
110c
110b
110a
110
131
130G
205G
G
133G
124G
127
125
235
218
126R
114
112b
130R
205R
R
133R
104
106
124R
108
112a
127
164
142
131
117
205D
242
204
165
50E
167
166
172

图17

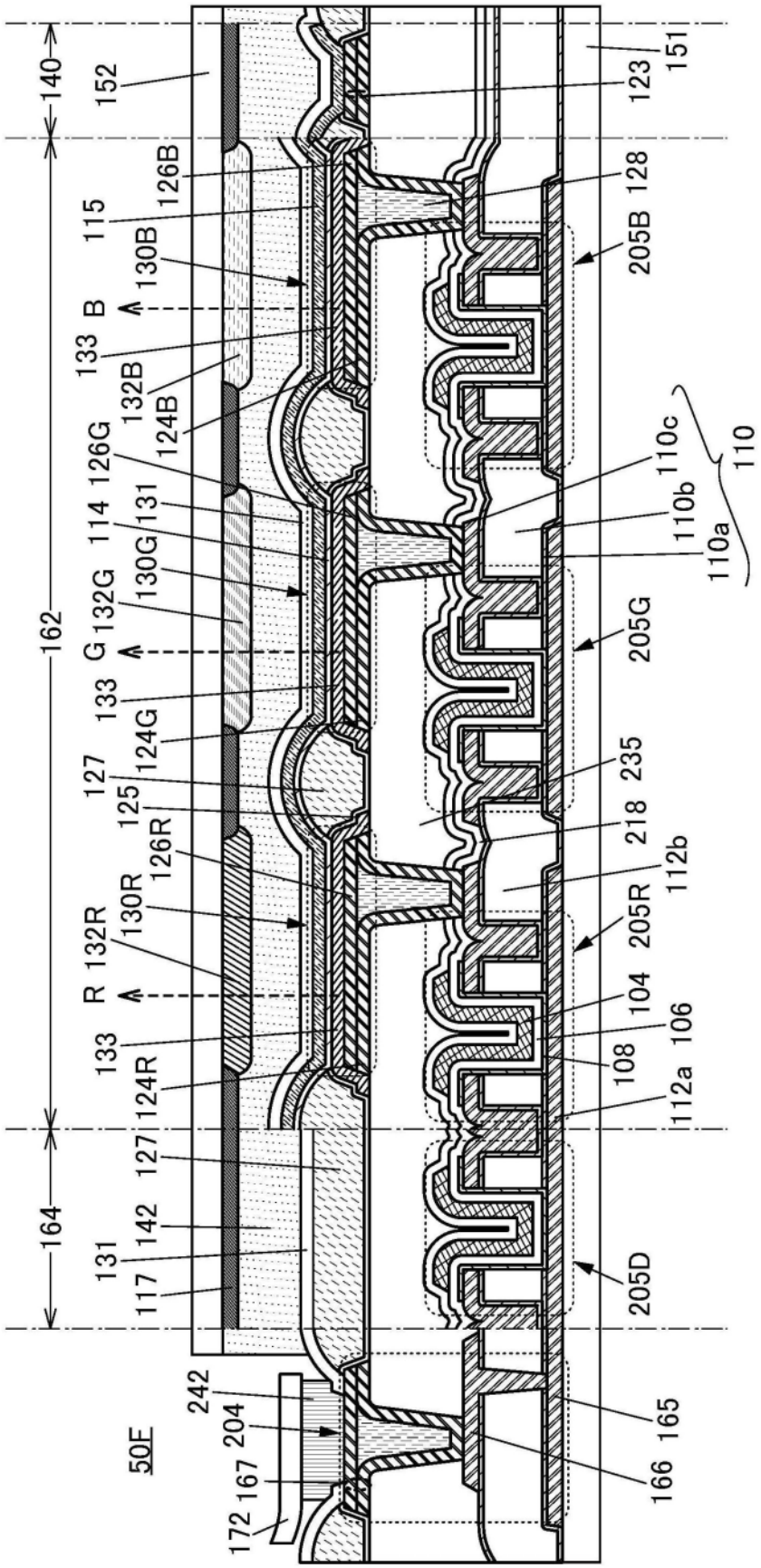

140
162
164
152
151
123
126B
128
115
205B
130B
B
133
132B
124B
126G
110c
110
110b
114
131
110a
130G
132G
205G
G
133
124G
127
235
125
218
126R
112b
130R
205R
132R
R
104
133
106
124R
108
112a
127
142
131
205D
117
242
165
204
166
167
172
50E

图18

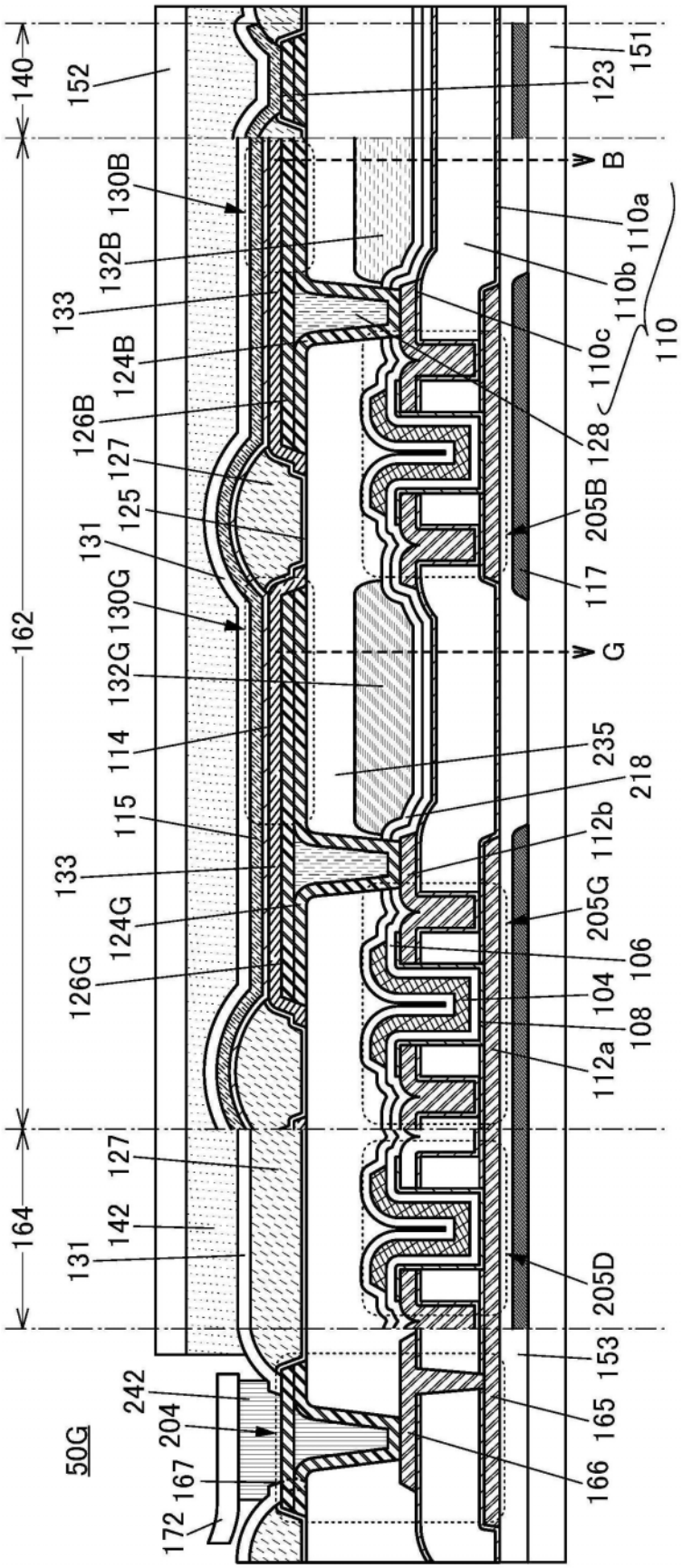

140
152
123
151
B
130B
110a
132B
110b
133
110c
110
124B
126B
128
127
205B
125
131
117
130G
162
G
132G
114
235
218
115
112b
133
205G
124G
106
126G
104
108
112a
127
164
142
131
205D
153
242
165
204
50G
167
166
172

图19

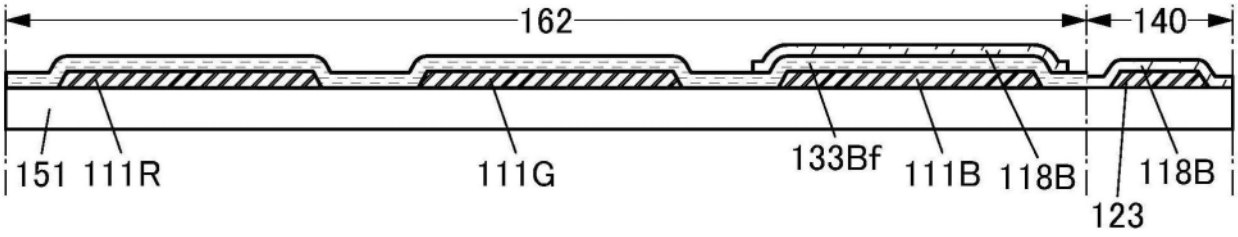



图20A

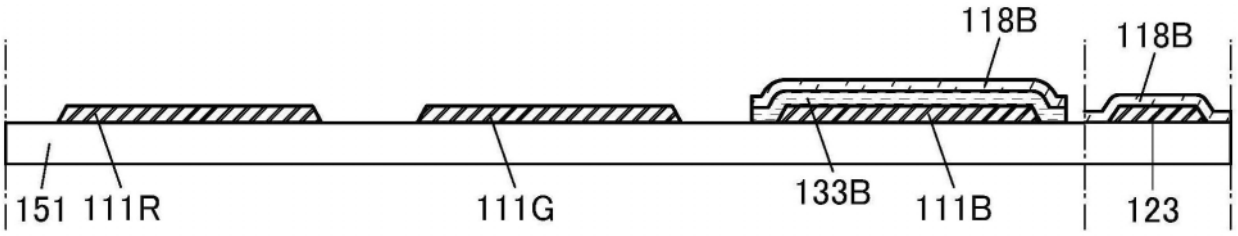



图20B

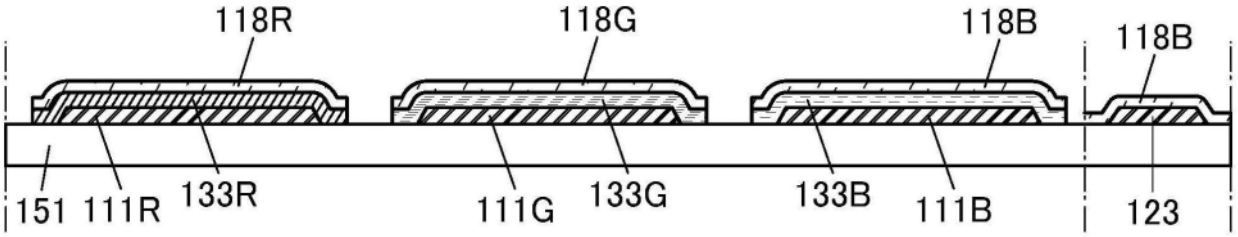



图20C

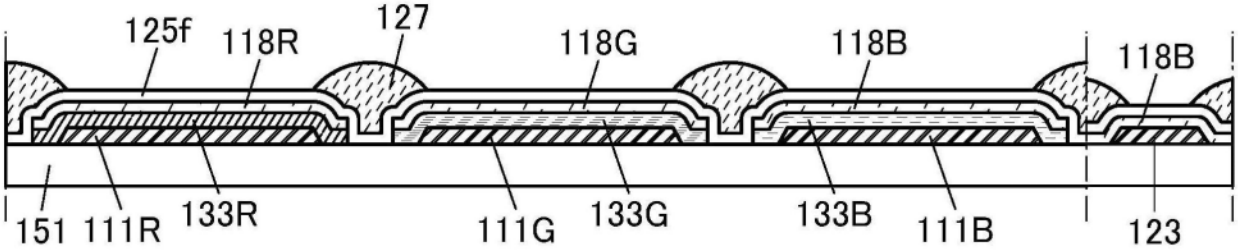



图20D

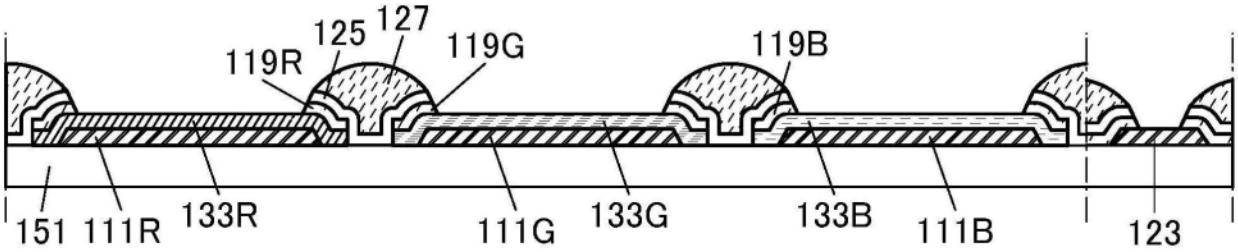



图20E

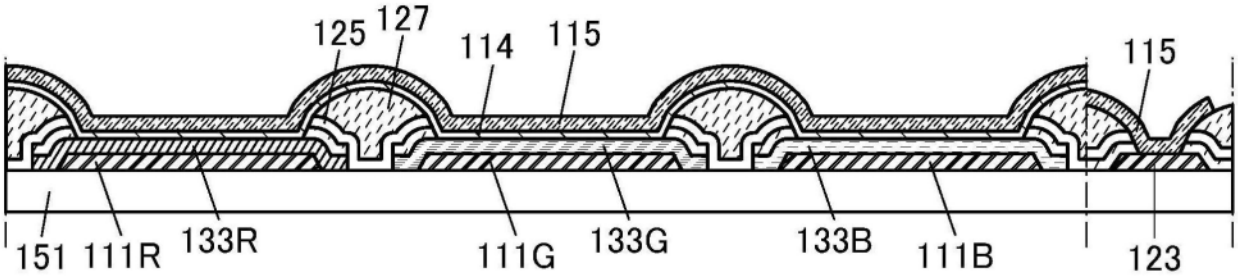



图20F

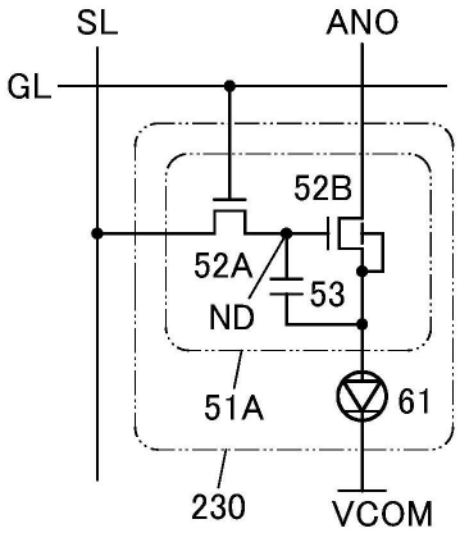



图21A

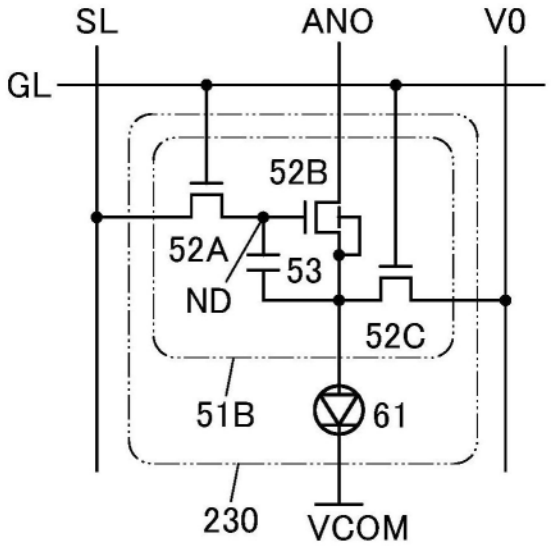

SL
ANO
V0
GL
52B
52A
53
ND
52C
51B
61
230
VCOM

图21B

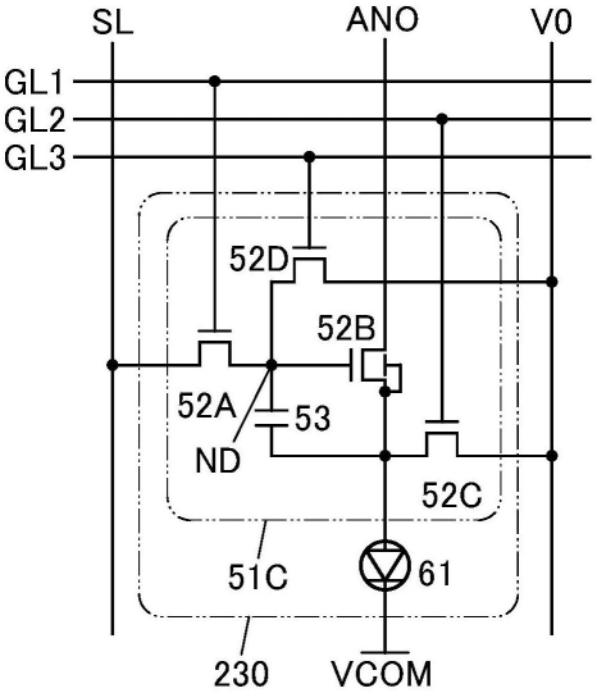

SL
ANO
V0
GL1
GL2
GL3
52D
52B
52A
53
ND
52C
51C
61
230
VCOM

图22A

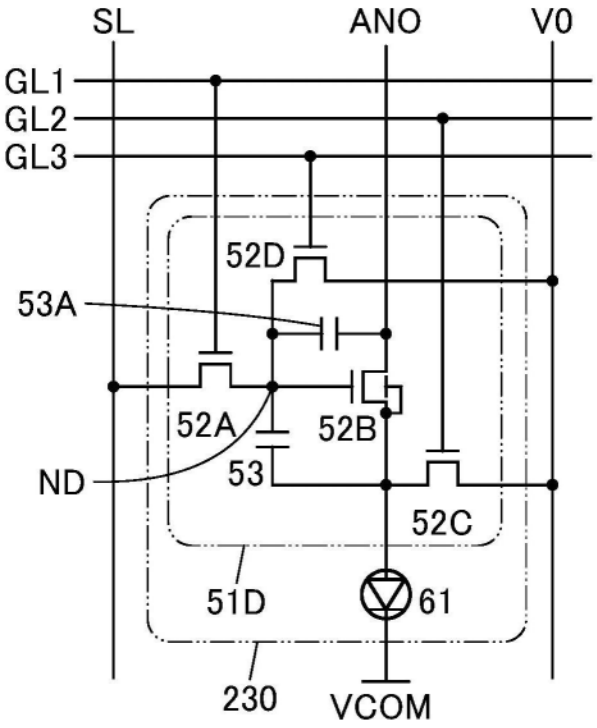



图22B

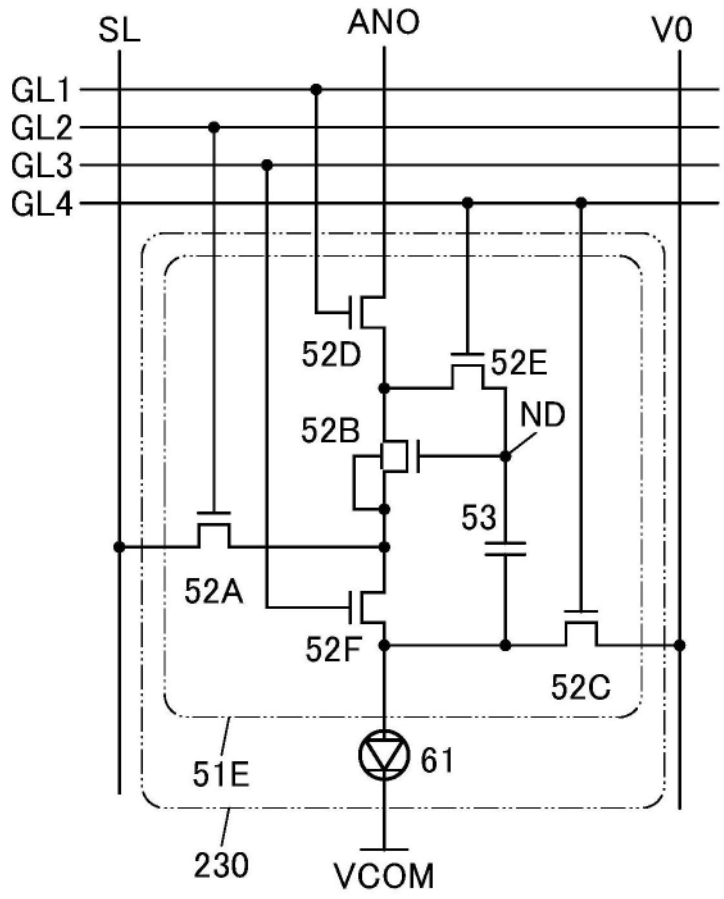

SL
ANO
V0
GL1
GL2
GL3
GL4
52D
52E
ND
52B
53
52A
52F
52C
51E
61
230
VCOM

图23

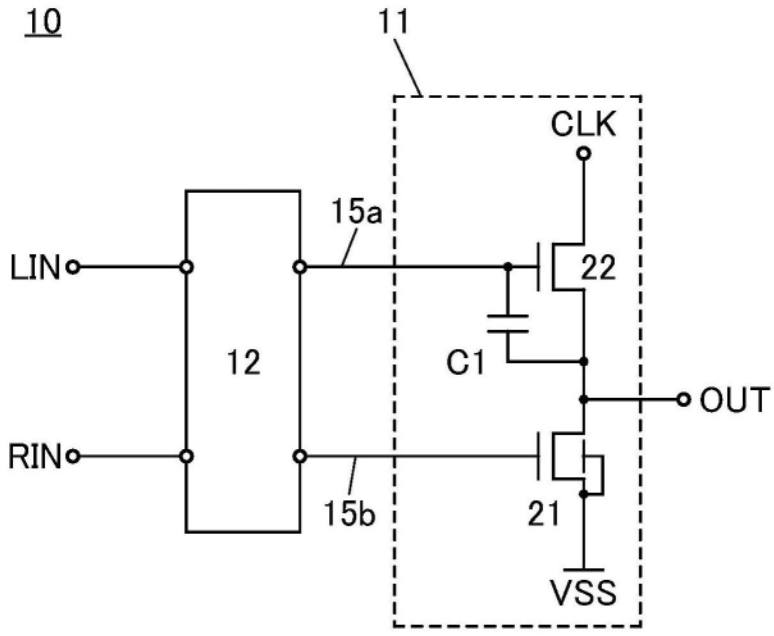

10
11
CLK
15a
LIN
22
12
C1
OUT
RIN
15b
21
VSS

图24

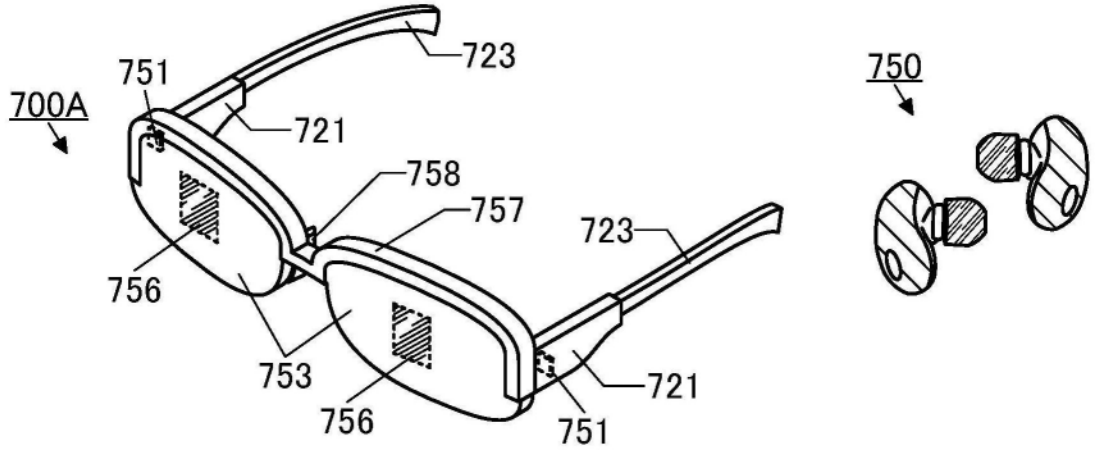



图25A

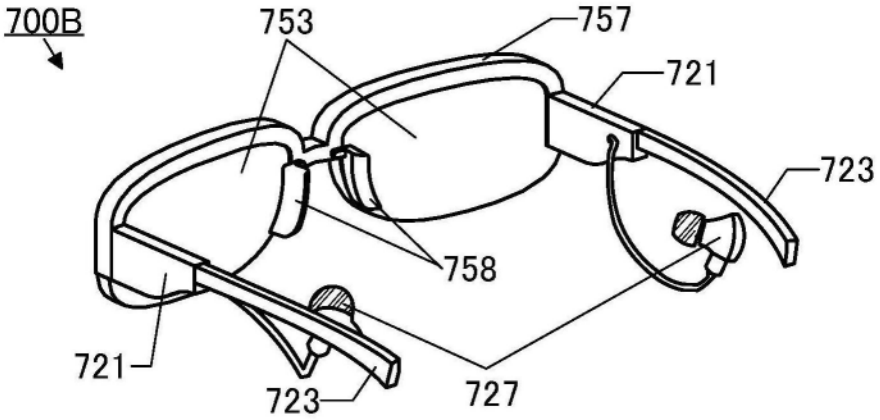



图25B

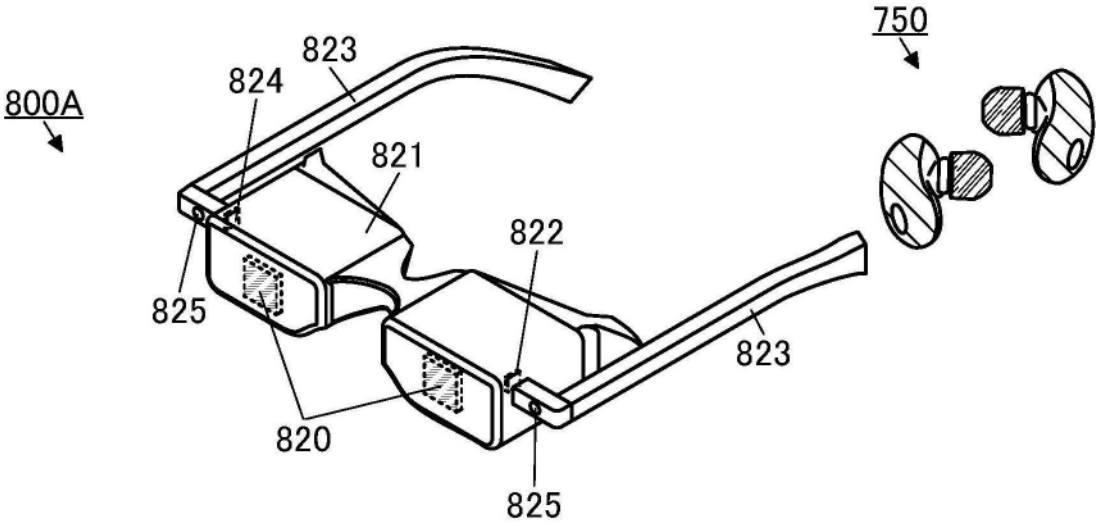



图25C

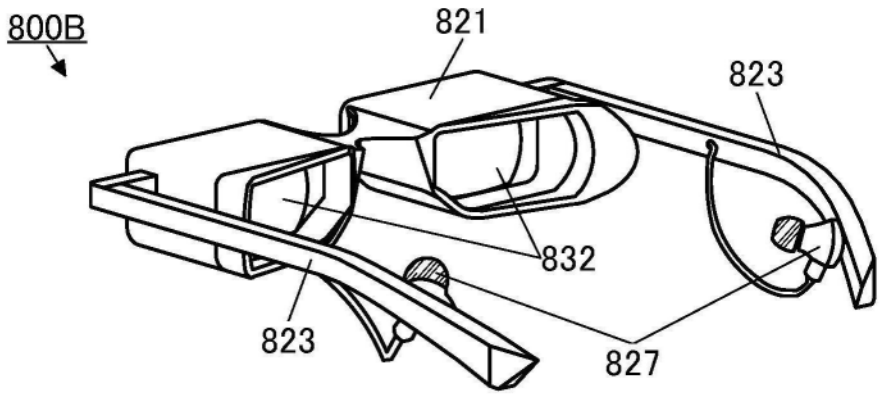



图25D

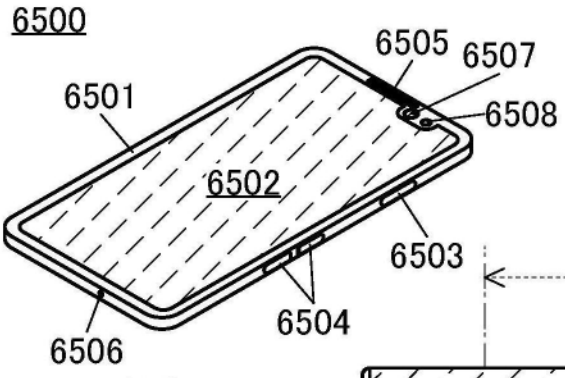



图26A

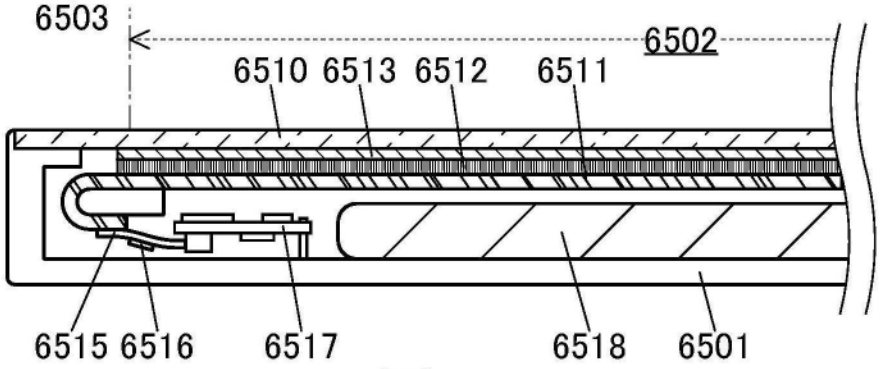



图26B

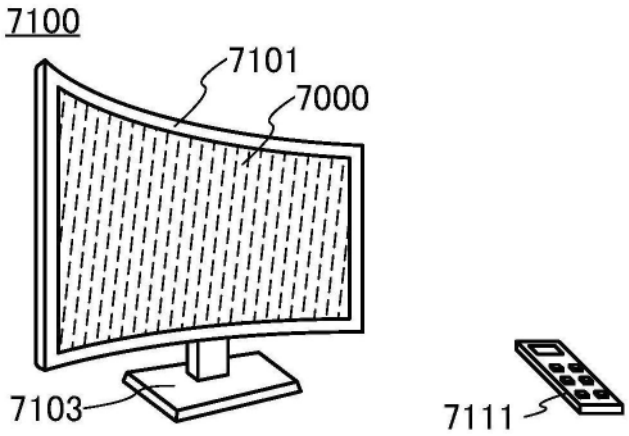



图26C

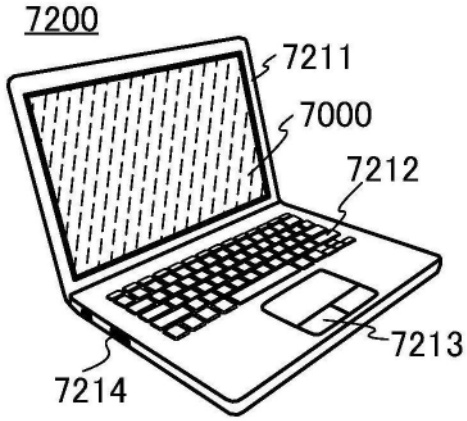



图26D

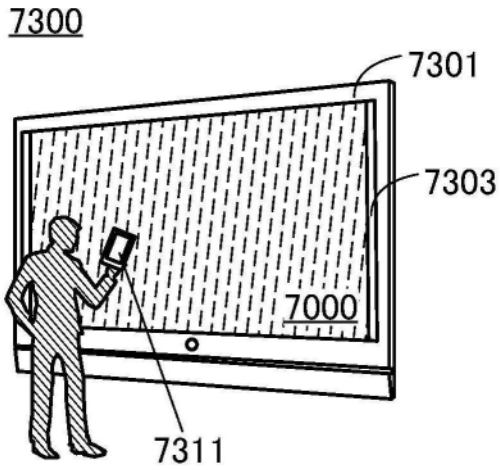



图26E

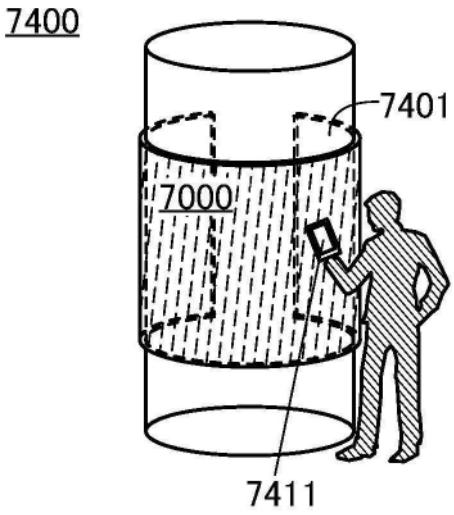



图26F

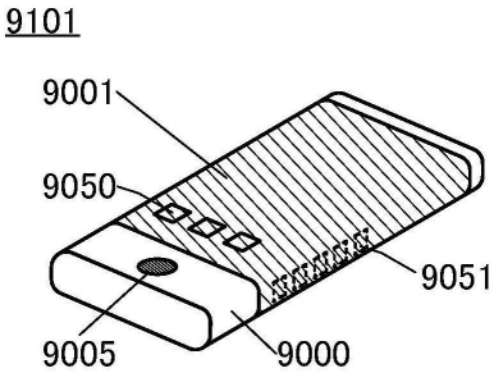



图27A

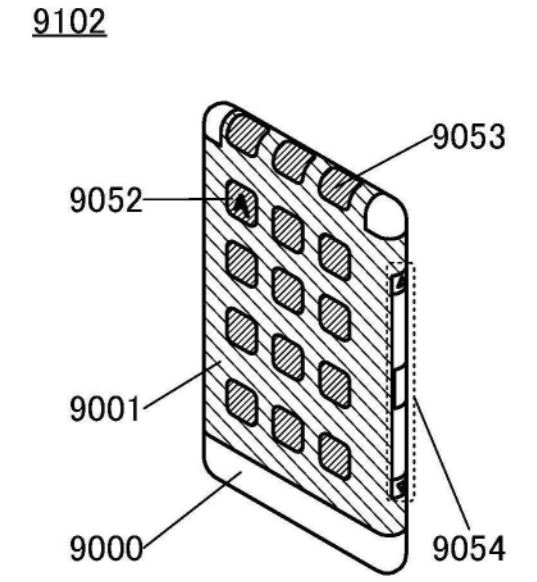

9102
9053
9052
9001
9000
9054

图27B

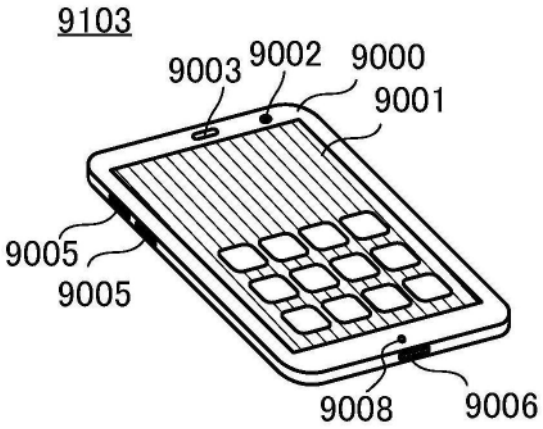

9103
9003
9002
9000
9001
9005
9005
9008
9006

图27C

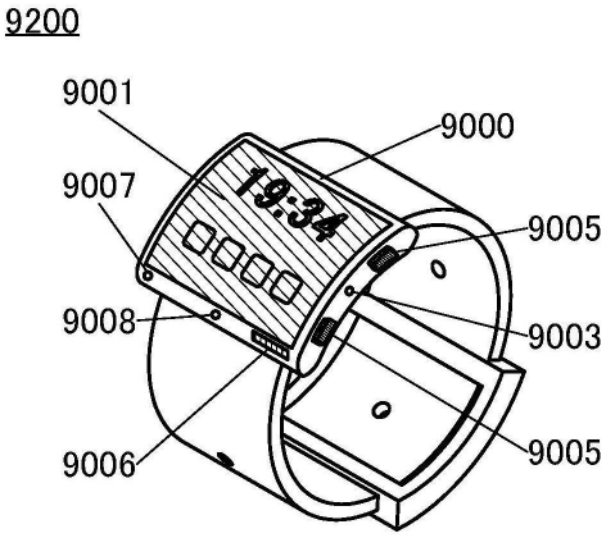



图27D

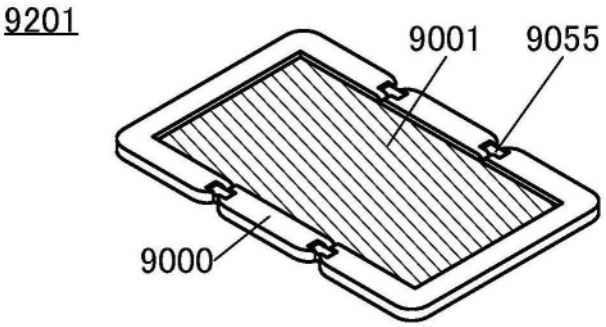



图27E

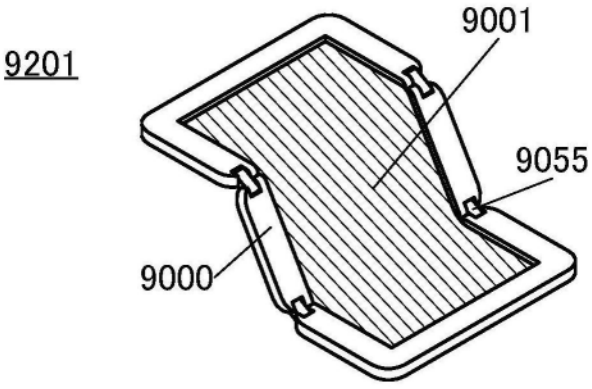



图27F

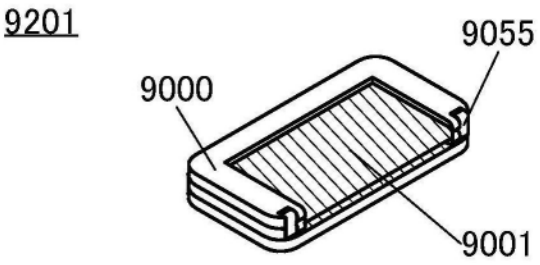



图27G