

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成17年9月8日(2005.9.8)

【公表番号】特表2002-514367(P2002-514367A)

【公表日】平成14年5月14日(2002.5.14)

【出願番号】特願平10-535829

【国際特許分類第7版】

H 04 L 12/44

【F I】

H 04 L 11/00 3 4 0

【手続補正書】

【提出日】平成17年1月13日(2005.1.13)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】補正の内容のとおり

【補正方法】変更

【補正の内容】

手 続 補 正 書



平成 17 年 1 月 13 日

特許庁長官殿

1. 事件の表示

平成 10 年 特許願 第 535829 号

2. 補正をする者

名称 アドバンスト・マイクロ・ディバイシズ・インコーポレ
イテッド

3. 代理人

住所 〒530-0054
大阪府大阪市北区南森町 2 丁目 1 番 29 号
三井住友銀行南森町ビル
深見特許事務所
電話 06-6361-2021(代)
FAX 06-6361-1731

氏名 弁理士 (6474) 深見 久郎

審査課
金井

4. 補正対象書類名

請求の範囲

5. 補正対象項目名

請求の範囲

6. 補正の内容

(1) 請求の範囲を別紙のとおり補正する。

以上

請求の範囲

1. データネットワークに接続するための、論理チップを有する統合マルチポートネットワークスイッチであって、

前記データネットワークに対してデータパケットを送受信するための複数のポートと、

前記ポートの各々と関係して、それぞれのポートでのネットワークに対するデータパケットの送受信の各々についての所定のパラメータに関する管理情報ベース（MIB）レポートデータを生成する媒体アクセスコントローラ（MAC）と、

MIBレポートバスを通じて前記MIBレポートデータを受信するように接続され、そこで累積されるMIBデータを前記論理チップの外部のメモリと通信するための出力を有する、オンチップ管理情報ベース（MIB）エンジンと、

各ポートのMACと前記MIBレポートバスとの間に接続されるインターフェイスとを含み、それによって前記複数のポートのMIBレポートが前記MIBエンジンに時間共有ベースで個別に送信される、統合マルチポートネットワークスイッチ。

2. 前記複数のポートがそれぞれ異なる送信特性で動作可能であり、前記インターフェイスが、

それぞれのポートに関連する送信特徴に従って前記MIBエンジンに対して前記MIBレポートの送信を優先順位づけるための優先手段を含む、請求項1に記載の統合マルチポートネットワークスイッチ。

3. より速いデータ送信速度で動作するMACポートで生成されるMIBレポートが、前記優先手段によって、より低いデータ送信速度で動作するMACポートで生成されるMIBレポートよりも高い優先順位にあるとされる、請求項2に記載の統合マルチポートネットワークスイッチ。

4. 全二重プロトコルで動作するMACポートで生成されたMIBレポートが、前記優先手段によって、半二重プロトコルで動作するMACポートで生成されたMIBレポートよりも高い優先順位にあるとされる、請求項2に記載の統合マルチポートネットワークスイッチ。

5. 前記インターフェイスが、

第1の送信速度で動作するそれぞれのポートに関連する複数のMACからMIBレポートを受信するように接続された入力を有する第1のバッファと、

第2の送信速度で動作するポートに関連するMACからMIBレポートを受信するように接続された入力を有する第2のバッファと、

前記第1および第2のバッファの出力にそれぞれ接続された複数の入力と、前記MIBレポートバスに接続された出力とを有するマルチプレクサ手段とを含む、請求項1に記載の統合マルチポートネットワークスイッチ。

6. 前記第1のバッファが、

各々がMIBレポートを保持するのに十分な容量を有する先入れ先出し(FIFO)の複数のレジスタと、

現在MIBレポートデータを保持しているFIFOレジスタをポートによって識別するためのポインタストレージとを含む、請求項5に記載の統合マルチポートスイッチ。

7. MIBレポートが第1のクロック速度でクロックサイクルのMAC時間スロット割当に従って前記第1のバッファで受信され、またMIBレポートが第2のクロック速度に同期化される速度で前記第2のバッファで受信され、前記第2のバッファが第1のクロック速度に受信されたMIBレポートを同期化する手段を含む、請求項6に記載の統合マルチポートスイッチ。

8. 前記第2の送信速度が前記第1の送信速度より速く、前記第1のクロック速度が前記第2のクロック速度より速い、請求項6に記載の統合マルチポートスイッチ。

9. 前記インターフェイスが、前記第2の送信速度で動作するポートに関連するMACからMIBレポートを受信するように接続された入力を有する第3のバッファをさらに含み、前記マルチプレクサ手段が、

前記第2および第3のバッファからデータを受信するように接続された第1のマルチプレクサと、

前記第1のバッファおよび前記第1のマルチプレクサからデータを受信するように接続された第2のマルチプレクサとを含み、前記第2のマルチプレクサが前記MIBレポートバスに接続されており、それによってMIBレポートが前記M

I B エンジンへ個別に出力される、請求項 6 に記載の統合マルチポートスイッチ。

10. データネットワークに対してデータパケットを授受するための複数のポートを有する集積チップを含む統合マルチポートネットワークスイッチにおいて、各々のポートがそれに関連して媒体アクセスコントローラ (MAC) を有し、

前記ポートの各々でデータパケットを各々授受するための所定のパラメータに関する管理情報ベース (MIB) レポートを生成するステップと、

MIB レポートを前記複数のポートについて個別にオンチップ管理情報ベース (MIB) エンジンに時間共有ベースで送信するステップと、

前記MIB エンジンで前記MIB レポートを一時的に累積するステップと、

MIB レポートを一時的に累積し、前記チップの外部のメモリを周期的に更新するステップとを含む、方法。

11. 前記複数のポートがそれぞれ異なる送信特性で動作可能であり、前記送信するステップが、

それぞれのポートに関連する送信特性に従って前記MIB エンジンに対して前記MIB レポートの出力を優先させるステップを含む、請求項 10 に記載の方法。

12. 前記複数のポートのうち少なくとも 2 つが第 1 のデータ送信速度で動作し、前記複数のポートのうち少なくとも 1 つが第 2 のデータ送信速度、つまり前記第 1 のデータ送信速度よりも速い速度で動作し、前記送信するステップが、

前記第 1 のデータ送信速度で動作するポートからのMIB レポートを時間共有ベースで一次ストレージにバッファするステップと、

前記バッファするステップでバッファされたMIB レポートデータを前記第 2 のデータ送信速度で動作する前記少なくとも 1 つのポートからのMIB レポートデータで多重化するステップと、

前記多重化するステップにおいて多重化されたMIB レポートデータを前記MIB エンジンに出力するステップとを含む、方法。

13. 前記送信するステップが、MIB レポートのそれぞれのポートに関連するデータ送信速度に関する前記出力ステップで出力すべきMIB レポートを優先させるステップを含む、請求項 12 に記載の方法。

14. 前記バッファするステップが先入れ先出しベースでMIB レポートをスト

アするステップを含む、請求項 1 2 に記載の方法。