

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成19年3月8日(2007.3.8)

【公開番号】特開2005-190494(P2005-190494A)

【公開日】平成17年7月14日(2005.7.14)

【年通号数】公開・登録公報2005-027

【出願番号】特願2005-29278(P2005-29278)

【国際特許分類】

**G 06 F 12/08 (2006.01)**

**G 06 F 12/00 (2006.01)**

**G 06 F 9/50 (2006.01)**

【F I】

G 06 F 12/08 5 0 9 Z

G 06 F 12/08 5 0 1 B

G 06 F 12/08 5 0 5 B

G 06 F 12/08 5 1 1 Z

G 06 F 12/08 5 5 1 Z

G 06 F 12/08 5 6 1

G 06 F 12/00 5 6 0 G

G 06 F 9/46 4 6 5 A

【手続補正書】

【提出日】平成19年1月19日(2007.1.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のユニットと複数の第2のユニットとがバスを介して接続されたプロセッサ装置において、

前記第1のユニットは、第1のプロセッサと第1のキャッシュから構成され、

前記第2のユニットは、第2のプロセッサと第1の記憶領域と第2の記憶領域から構成され、

前記第2のプロセッサは、複数の機能を有することを特徴とする、プロセッサ装置。

【請求項2】

前記複数の機能は、キャッシュロジック機能とプロセッサ機能を含むことを特徴とする、請求項1に記載のプロセッサ装置。

【請求項3】

前記キャッシュロジック機能においては、第2のプロセッサの制御下で、第1の記憶領域はキャッシュとして動作することを特徴とする、請求項2記載のプロセッサ装置。

【請求項4】

前記プロセッサ機能においては、第1のプロセッサの制御下で、第2のプロセッサは第2の記憶領域内のプログラムを実行することを特徴とする、請求項2記載のプロセッサ装置。

【請求項5】

第1のユニットと複数の第2のユニットとがバスを介して接続され、該第1のユニットは、第1のプロセッサと第1のキャッシュから構成され、該第2のユニットは、第2のブ

口セッサと第1の記憶領域と第2の記憶領域から構成され、該第2のプロセッサは、複数の機能を有するプロセッサ装置を使用する方法において、

前記第1のプロセッサの制御の下、前記第2のプロセッサはプロセッサ機能を奏して分散処理を実行し、

更に、第1のプロセッサの制御の下、前記第2のプロセッサはキャッシュロジック機能を奏する、プロセッサ装置を使用する方法。

**【請求項6】**

前記分散処理では、前記第2のプロセッサが前記第2の記憶領域内のプログラムを実行し、

前記キャッシュロジック機能では、前記第1の記憶領域が前記第2の記憶領域に対してキャッシュメモリとして機能する、請求項5記載のプロセッサ装置を使用する方法。

**【手続補正2】**

**【補正対象書類名】**明細書

**【補正対象項目名】**0006

**【補正方法】**変更

**【補正の内容】**

**【0006】**

本発明は、上述の問題に鑑み、新規な高速プロセッサ装置及び該高速プロセッサ装置を使用する方法を提供することを目的とする。

**【手続補正3】**

**【補正対象書類名】**明細書

**【補正対象項目名】**0007

**【補正方法】**変更

**【補正の内容】**

**【0007】**

本発明は、上述の問題に鑑み、今までのプログラミングスタイルを維持したままで、並列プロセッサを得る新規な高速プロセッサ装置及び該高速プロセッサ装置を使用する方法を提供することを目的とする。

**【手続補正4】**

**【補正対象書類名】**明細書

**【補正対象項目名】**0008

**【補正方法】**変更

**【補正の内容】**

**【0008】**

本発明に係るプロセッサ装置は、第1のユニットと複数の第2のユニットとがバスを介して接続されたプロセッサ装置であって、前記第1のユニットは、第1のプロセッサと第1のキャッシュから構成され、前記第2のユニットは、第2のプロセッサと第1の記憶領域と第2の記憶領域から構成され、前記第2のプロセッサは、複数の機能を有するようになすことを特徴とする。

**【手続補正5】**

**【補正対象書類名】**明細書

**【補正対象項目名】**0009

**【補正方法】**変更

**【補正の内容】**

**【0009】**

更に、上記プロセッサ装置では、前記複数の機能は、キャッシュロジック機能とプロセッサ機能を含んでいてもよい。

**【手続補正6】**

**【補正対象書類名】**明細書

**【補正対象項目名】**0010

【補正方法】変更

【補正の内容】

【0010】

更に、上記プロセッサ装置では、前記キャッシュロジック機能においては、第2のプロセッサの制御下で、第1の記憶領域はキャッシュとして動作してもよい。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

更に、上記プロセッサ装置では、前記プロセッサ機能においては、第1のプロセッサの制御下で、第2のプロセッサは第2の記憶領域内のプログラムを実行してもよい。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

更に、本発明に係るプロセッサ装置を使用する方法は、第1のユニットと複数の第2のユニットとがバスを介して接続され、該第1のユニットは、第1のプロセッサと第1のキャッシュから構成され、該第2のユニットは、第2のプロセッサと第1の記憶領域と第2の記憶領域から構成され、該第2のプロセッサは、複数の機能を有するように構成されているプロセッサ装置を使用する方法であって、前記第1のプロセッサの制御の下、前記第2のプロセッサはプロセッサ機能を奏して分散処理を実行し、更に、第1のプロセッサの制御の下、前記第2のプロセッサはキャッシュロジック機能を奏する。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

更に、上記プロセッサ装置を使用する方法では、前記分散処理は、前記第2のプロセッサが前記第2の記憶領域内のプログラムを実行し、前記キャッシュロジック機能では、前記第1の記憶領域が前記第2の記憶領域に対してキャッシュメモリとして機能してもよい。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】削除

【補正の内容】

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】削除

【補正の内容】

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】削除

【補正の内容】

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】削除

【補正の内容】

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

本発明によれば、新規な高速プロセッサ装置及び該高速プロセッサ装置を使用する方法を提供することができる。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

本発明によれば、今までのプログラミングスタイルを維持したままで、並列プロセッサを得る新規な高速プロセッサ装置及び該高速プロセッサ装置を使用する方法を提供することを目的とする。