



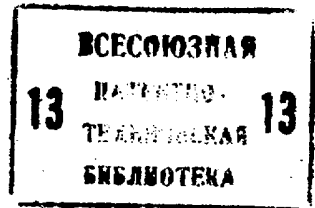
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1198461** **A**

(51) 4 G 05 B 19/18

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3755421/24-24

(22) 14.06.84

(46) 15.12.85. Бюл. № 46

(71) Киевский ордена Ленина политехнический институт им. 50-летия Великой Октябрьской социалистической революции

(72) В.И.Костюк, А.А. Краснопрошина, В.П.Галан, С.Н.Боня, М.В.Елов, С.Ю.Шелестов и С.В.Яринич

(53) 621.503.55(088.8)

(56) Авторское свидетельство СССР № 693339, кл. G 05 B 19/18, 1979.

Техническое описание ЦПУ-7, ГИМ 3.857.003 ПС, 1976.

(54)(57) УСТРОЙСТВО ДЛЯ ПРОГРАММНОГО УПРАВЛЕНИЯ, содержащее пульт, связанный выходом с управляющим входом блока ввода информации и первыми управляющими входами коммутатора, блока задания режима и блока синхронизации, подключенного первым информационным входом к управляющему входу устройства, дешифратор, связанный с информационным входом блока ввода информации, вторым информационным входом блока синхронизации, информационным входом блока задания режима и первым информационным входом первого регистра, а также три блока сравнения, подключенных выходами соответственно к второму, третьему и четвертому управляющим входам блока задания режима, отличающееся тем, что, с целью повышения производительности устройства, в него введены второй регистр, элемент И, два счетчика импульсов и блок памяти, подключенный инфор-

мационным входом к информационному выходу блока ввода информации, адресным входом - к выходу первого счетчика импульсов и первому информационному входу второго регистра, первым управляющим входом - к выходу коммутатора и первому управляющему входу первого счетчика, вторым управляющим входом - выходу пульта, а выходом - к входу дешифратора и второму информационному входу первого регистра, соединенного управляющим входом с управляющими входами второго счетчика и второго регистра, первым выходом блока синхронизации, пятым управляющим входом блока задания режима и вторыми управляющими входами коммутатора и первого счетчика, подключенного информационным входом к первым информационным входам трех блоков сравнения и выходу второго регистра, соединенного вторым информационным входом с вторыми информационными входами второго и третьего блоков сравнения с информационной шиной устройства и выходом первого регистра, связанного первым информационным входом с первым входом элемента И, подключенного вторым входом к выходу блока задания режима и второму управляющему входу блока синхронизации, а выходом - к разрешающим входам трех блоков сравнения, причем синхровыход блока ввода информации подключен к информационному входу коммутатора, выход первого блока сравнения подключен к третьему управляющему входу блока синхронизации, связанного вторым выходом с управляющим выходом устройства, а чет-

(19) **SU** (11) **1198461** **A**

вертым управляющим входом - с выходом второго блока сравнения и счетным входом второго счетчика

импульсов, подключенного выходом к второму информационному входу первого блока сравнения.

Изобретение относится к автоматике и вычислительной технике и может быть использовано для программного управления технологическим оборудованием, например сверлильными станками, автоматами укладки радиокомпонентов на печатные платы, станками для прошивки постоянных запоминающих устройств.

Цель изобретения - повышение производительности работы устройства.

На фиг. 1 представлена схема устройства для программного управления; на фиг. 2 - схема блока синхронизации; на фиг. 3 - схема блока задания режима.

Устройство содержит пульт 1, блок 2 ввода информации, блок 3 памяти, коммутатор 4, блок 5 синхронизации, блок 6 задания режима, дешифратор 7, первый 8 счетчик импульсов (счетчик адреса), первый 9 регистр (регистр подготовки информации), элемент И 10, первый 11, второй 12 и третий 13 блоки сравнения, второй 14 регистр (регистр подпрограмм), второй 15 счетчик импульсов (счетчик циклов), управляющий вход 16 устройства, управляющий выход 17 устройства и информационную шину 18.

Блок 5 синхронизации (фиг.2) имеет генератор 19 импульсов, триггер 20, узел 21 формирования разрешающего сигнала, первый 22, второй 23, третий 24, четвертый 25, пятый 26 и шестой 27 формирователи коротких импульсов, второй 28 и третий 29 элементы И, первый логический узел 30 и четвертые элементы И 31.

Блок 6 задания режима (фиг.3) содержит второй логический узел 32, второй триггер 33, третий логический узел 34, третий триггер 35, пятый элемент И 36 и четвертый триггер 37.

В таблице представлены сигналы, используемые при описании блоков устройства.

2

Сигналы блоков устройства

Блок, из которого поступает сигнал	Обозначение сигнала	Блок, на который поступает сигнал	Назначение сигнала
1	c	2	"Запуск"
15		3	То же
		5	"--"
		6	"--"
20	2	3	Информационный сигнал
	b	4	Синхронизирующий сигнал
25		4	Стробирующий сигнал
	z	9	Стробирующий сигнал
	q	8	Стробирующий импульс записи адреса
35		8	Импульс сброса счетчика адреса
	u	6	Стробирующий сигнал
	r	14	То же
40		15	"--"
	s		
45			

Продолжение таблицы

Блок, из которого поступает сигнал	Обозначение сигнала	Блок, на который поступает сигнал	Назначение сигнала
------------------------------------	---------------------	-----------------------------------	--------------------

16	k	5	Готовность исполнительных механизмов к приему команд
17	v	Исполнительные механизмы	Стробирующий сигнал занесения команд в исполнительные механизмы
6	n	5	Сигнал обработки подпрограмм
		10	То же
	t	5	Запускающий сигнал
	e	5	Разрешение выдачи сигналов с выхода 17
7	d	2	"Конец программы"
		6	
	f	5	Сигнал числовой информации
		9	
	g	5	"Начало программы"
		6	
	h	5	"Отработка подпрограммы"
		6	

Продолжение таблицы

Блок, из которого поступает сигнал	Обозначение сигнала	Блок, на который поступает сигнал	Назначение сигнала
------------------------------------	---------------------	-----------------------------------	--------------------

5	i	5	"Метка"
10		6	
		10	
15	j	5	"Адрес исполнительного механизма"
20			
11	p	5	"Конец обработки подпрограммы"
25			
		6	
	o	5	"Конец подпрограммы"
30		6	
		15	
35	w	6	"Начало подпрограммы"
13			
40	Блок 3 памяти выполнен на микросхемах K565PY2 и имеет байтовый формат. Считываемая информация буферизуется с помощью регистра. Имеется возможность наращивания емкости памяти модуляции по 1кбайт.		
45	Коммутатор 4 представляет собой логическую схему 2-2И-2ИЛИ-НЕ и набор формирователей коротких импульсов, формирующих стробирующие сигналы для блока 3 памяти и счетчика 8 адреса.		
50	Дешифратор 7 выполнен на схемах И-НЕ и инверторах входных и выходных сигналов.		
55	В качестве счетчика 8 используется двоичный реверсивный счетчик в следующих режимах: "Сброс", "За-		

несение информации", "Счет в прямом направлении".

Регистр 9 подготовки информации реализован на сдвиговых регистрах. Для обеспечения очистки регистра применена схема управления режимом работы, реализующая функцию ИЛИ-НЕ. Изменение режима работы регистра 9 происходит при поступлении из дешифратора 7 сигналов по линиям g, h, i, j .

Блок 5 синхронизации содержит генератор 19 импульсов, выход которого связан с первым входом триггера 20, второй вход которого связан с выходом узла 21 формирования разрешающего сигнала. На его входы поступают сигналы e блока 6 задания режима, сигналы f, g, h, i, j дешифратора 7 и сигналы k готовности исполнительных механизмов к приему команд. Сигнал 1 триггера 20 поступает на вход коммутатора 4 и формирователь 22, с выхода которой сигнал m поступает на регистр 9 подготовки информации и формирователь 23. Выход формирователя 23 соединен с входом формирователя 24 и первым входом элемента И 28, второй, третий, четвертый и пятый входы которого соединены по линиям p с блоком 6 задания режима, o - с блоком 12 сравнения, r - с блоком 13 сравнения и i - с дешифратором 7. Выход q элемента И 28 связан со счетчиком 8 адреса. Выход формирователя 24 связан с входом формирователя коротких импульсов 25 и по линии $г$ с блоком 6 задания режима. Выход формирователя 25 соединен с входами формирователя 26 и первым входом элемента И 29, второй вход которой соединен с вторым входом элемента И 28, а третий по линии e - с блоком 6 задания режима. Выход элемента И 29 по линии s связан с регистром 14 подпрограмм и счетчиком 15 циклов. Выход формирователя 26 соединен с первым входом логического узла 30, второй, третий, четвертый входы которого соединены соответственно с вторым, третьим и четвертым входами элемента И 28, а шестой и седьмой по линиям h, i - с дешифратором 7. Пятый вход узла 30 по линии t связан с блоком 6 задания режима, а выход по линии u - со счетчиком

адреса 8. Вход формирователя 27 связан с выходом формирователя 26, а выход - с первыми входами элементов И 31, вторые входы которых по линии e соединены с блоком 6, а третьи по линиям j - с дешифратором 7. Выходы v элементов И 31 связаны с исполнительными механизмами. Узел формирования разрешающего сигнала 21 реализован с помощью микросхемы K155ЛРЗ с расширением по ИЛИ на микросхемах K155ЛДЗ.

Логическая функция узла 21 формирования разрешающего сигнала представляется следующим образом:

$$P = \text{even} [f v g v h v i v j^* \wedge k^* \wedge (k_1 \wedge k_2 \wedge \dots \wedge k_B)], \quad (1)$$

где j^*, k^* - сигнал дешифратора и соответствующий ему сигнал готовности исполнительного механизма.

Логическое выражение в круглых скобках задается с помощью программирующих колодок.

Логический узел 30 реализует функцию:

$$U = (z \wedge n \wedge o \wedge p \wedge i) v t v (z \wedge h), \quad (2)$$

где z - сигнал с формирователя 26 коротких импульсов.

Период колебаний генератора 19 выбирается таким образом, чтобы длительность полупериода колебаний на выходе триггера 20 обеспечивала надежное срабатывание коммутатора 4, управляющего блоком 3 памяти. Длительность импульсов, вырабатываемых формирователями в сумме должна быть меньше длительности полупериода колебаний, поступающих с триггера 20 для обеспечения формирования управляющих сигналов по каждому коду, считываемому из блока 3 памяти.

Логический узел 32 блока 6 задания режима реализует логическую функцию:

$$\Phi_1 = g \wedge \bar{n} v w, \quad (3)$$

Логический узел 34 блока 6 задания режима реализует логическую функцию

$$\Phi_2 = h v o \wedge \bar{p} \wedge i, \quad (4)$$

Триггеры 32 и 35 реализованы на ИК-триггерах, триггер 37 является RS-триггером.

Функционирование блока 5 синхронизации происходит следующим образом

После подачи сигнала по линии t на выходе логического узла 30 формируется сигнал u , вызывающий установку счетчика 8 адреса в исходное состояние. С входа e на узел 21 формирования разрешающего сигнала поступает сигнал и согласно выражению (1) происходит формирование сигнала r , поступающего на вход триггера 20, разрешая его работу. Триггер 20 производит деление частоты генератора 19 импульсов. По высокому уровню сигнала линии \bar{v} производится считывание информации из блока 3 памяти, по низкому уровню происходит последовательный запуск формирователей и выдаются сигналы m , g .

При считывании из блока 3 памяти кода символа "Начало программы" после формирования снимается сигнал e и в дальнейшем сигнал r выдается только при наличии сигналов с дешифратора 7 и истинности выражения (1).

При считывании из блока 3 памяти кода исполнительного механизма блокируется работа триггера 20 в случае отсутствия сигналов готовности исполнительных механизмов согласно (1) и тем самым прекращается считывание информации из блока 3 памяти. После восстановления сигналов готовности узел 21 формирования разрешающего сигнала формирует сигнал r , а на выходе одного из элементов И 31 соответствующего сигналу дешифратора 7, формируется сигнал v .

При считывании из блока 3 памяти кода "Отработка подпрограммы" после формирования сигнала g в блок 5 синхронизации поступает сигнал n , который поступает на вход элемента И 29, на выходе которого при появлении на втором входе сигнала формирователя 25 формируется сигнал v . Сигнал h поступает на вход логического узла 30, и при поступлении сигнала s формирователя 26 на выходе логического узла 30 формируется сигнал u согласно (2).

При наличии сигналов n , i в зависимости от состояния сигналов o , r формируется сигнал q на выходе элемента И 28 либо сигнал u на выходе логического узла 30.

Блок функционирует следующим образом.

При поступлении сигнала C с пульта 1 триггер 37 устанавливается в единичное состояние, иницируя с помощью сигнала на линии t установку счетчика 8 в исходное состояние. По окончании ввода технологической программы по сигналу дешифратора 7 на линии d производится установка триггера 37 в исходное состояние. В режиме "Работа" сигналом c с пульта 1 управления устанавливается триггер 37 и вновь производится установка счетчика 8 в исходное состояние. Наличие на входах триггеров 33 и 35 сигналов, поступающих с пульта 1 и триггера 37 в этом режиме разрешает их работу.

При считывании из блока 3 памяти кода "Начало программы" на первом входе логического узла 32 появляется сигнал g дешифратора 7 и с приходом сигнала r на второй вход триггера 32 происходит его установка в единичное состояние. На линии e формируется активный уровень сигнала.

При считывании из блока 3 памяти кода "Отработка программы" на первом входе логического узла 34 и втором входе триггера 35 появляется сигнал h с дешифратора 7 и с приходом сигнала r триггер 33 устанавливается в "0" (снимается сигнал e) а триггер 25 - в "1", т.е. вырабатывается сигнал на линии n . При этом согласно (3) запрещается срабатывание логического узла 32 по сигналу g с дешифратора 7 на время отработки подпрограммы.

При поступлении сигнала w от блока 13 сравнения с приходом сигнала r триггер 33 устанавливается в "1", вырабатывая сигнал e . При поступлении сигнала линии i с дешифратора 7 переключаются триггеры 33 и 35 в зависимости от состояния сигналов на линиях o , r блоков 12 и 11 сравнения. При этом триггер 3 устанавливается в "0" согласно (4), а триггер 35 - в "0" при условии появления на выходе элемента И 36 сигнала "1".

Устройство работает следующим образом.

Устройство работает в двух режимах: "Запись" и "Работа", которые задаются оператором с пульта 1.

В режиме "Запись" производится перезапись программы с перфоленты с помощью блока 2 ввода информации

в блок 3 памяти. С пульта 1 на управляющие входы блока 2 ввода информации, коммутатора 4, блока 3 памяти, блока 5 синхронизации, блока 6 задания режима поступает сигнал. По этому сигналу в блоке 3 памяти устанавливается режим записи информации, коммутатор 4 подключает к своему выходу синхронизирующий выход блока 2 ввода информации, срабатывает триггер 37 блока 6 задания режима и вырабатывает сигнал, поступающий в блок 5 синхронизации. Блок 5 синхронизации согласно уравнению (3) формирует на линии u сигнал, который поступает на счетчик 8 адреса и устанавливает его в исходное положение. После выработки сигналов на линиях t , u работа блоков 5 и 6 в режиме "Запись" прекращается, так как сигнал на линии c с пульта 1 запрещает переключение триггеров 35 и 36 и блока 6 задания режима. При этом не могут быть выработаны сигналы по линиям p , e блоком 6 задания режима, а блок 5 синхронизации вырабатывает только сигналы на линиях ℓ , m , g , которые не могут изменить состояние устройства. Одновременно в блоке 2 ввода информации по сигналу линии c пульта 1 происходит включение фотосчитывающего устройства (не показано). Начинается движение перфоленты и происходит считывание информации, которая поступает на информационный вход блока 3 памяти. Сигналы с синхронизирующего выхода блока 2 ввода информации, являющиеся сигналами синхродорожки перфоленты, через коммутатор 4 поступают на входы управления блока 3 памяти и счетчика 8 и вызывают запись на них единицы, т.е. задается номер следующей ячейки блока памяти, в которую запишется очередная команда программы.

На выходе блока памяти присутствует очередная записанная информация. Поэтому при записи в символа "Конец программы" дешифратор 7 по линии d выдает сигнал, который поступает на входы блока 2 ввода информации и блока 6 задания режима, завершая работу устройства в режиме "Запись".

В режиме "Работа" сигнал линии c пульта 1 запрещает работу блока

2 ввода информации и задает в блоке памяти режим считывания. В блоке 6 задания режима сигнал линии c устанавливает триггер 37 в единичное состояние и разблокирует триггеры 33 и 35. Сигнал по линии t блока 6 задания режима поступает в блок 5 синхронизации, который вырабатывает сигнал на линии u согласно уравнению (3) для установки счетчика 8 в исходное состояние. Одновременно сигнал с пульта 1 переключает коммутатор 4 на работу по сигналам линии ℓ блока 5 синхронизации.

В соответствии с уравнением (1) узел 2 формирования разрешающего сигнала блока 5 синхронизации при равенстве "0" сигнала на линии e блока 6 задания режима разрешает работу триггера 20 блока 5 синхронизации. Блок 5 вырабатывает сигналы ℓ , поступающие через коммутатор 4 на блок 3 памяти и счетчик 8 адреса. Происходит последовательное считывание информации из блока памяти и увеличение содержимого счетчика адреса 8 на единицу. Кроме того, вырабатываются сигналы линий m , g , поступающие на регистр 9 и блок 6 задания режима соответственно.

Считываемая из блока 3 памяти информация поступает на вход дешифратора 7. При считывании информации, соответствующей коду "Начало программы", дешифратор 7 выдает сигнал на линии g на блок 6 задания режима. Логический узел 32 согласно уравнению (3) вырабатывает сигнал "1", и по приходу очередного сигнала линии g блока 5 синхронизации триггер 33 блока 6 задания режима устанавливается в единичное состояние и тем самым вырабатывается сигнал линии e , разрешающий выдачу в дальнейшем сигналов линии v блоком 5 синхронизации на управляемые устройством исполнительные механизмы. Этот же сигнал переключает узел 21 формирования разрешающего сигнала на работу по сигналам линий k исполнительных механизмов о готовности к приему команд и сигналам линий f , g , h , i , j поступающим из дешифратора 7 в соответствии с уравнением (1).

При совпадении на входах регистра 9 сигнала линии m с блока 5 синхронизации и сигнала линии f с дешиф-

ратора 7, соответствующего коду технологической операции, происходит занесение этого кода в регистр 9 и выдача его на выход 18.

При считывании из блока 3 памяти кода, соответствующего обозначению одного из исполнительных механизмов, дешифратор 7 вырабатывает один из сигналов на линиях j , который поступает на узел 21 формирования разрешающего сигнала и элементы 31 блока 5 синхронизации. Если уравнение (1) не выполняется, то узел 24 запрещает работу триггера 20 блока 5 синхронизации, что приводит к переходу устройства в состояние ожидания требуемой комбинации сигналов по линиям k исполнительных механизмов о готовности к приему команд, которая задается пользователем. После появления требуемой комбинации сигналов k узел 21 формирования разрешающего сигнала блока 5 синхронизации выдает разрешающий сигнал на вход триггера 20 и работа блока 5 синхронизации возобновляется, т.е. происходит запуск формирователей 22 - 27. При появлении сигнала на выходе формирователя 27 срабатывает один из элементов И 31, соответствующий одному из сигналов линий j с дешифратора 7. Сигнал с выхода этого элемента поступает в соответствующий исполнительный механизм и обеспечивает занесение кода, присутствующего на выходе 18 устройства.

При считывании из блока памяти 3 кода, соответствующего команде "Отработка подпрограммы", дешифратор 7 выдает сигнал на линии h , поступающий на логический узел 34, триггер 35 блока 6 задания режима, узел 21 формирования разрешающего сигнала и логический узел 30 блока 5 синхронизации. Узел 21 вырабатывает разрешающий сигнал, триггер 20 срабатывает и происходит запуск формирователей блока 5 синхронизации. Происходит выдача сигналов линий r , s , u . В результате этого в регистр 14 заносится содержимое счетчика 8 импульсов регистра 9 и производится установка в исходное состояние счетчика 15 импульсов. При поступлении в блок 6 задания режима сигнала по линии r происходит переключение триггера

33 согласно (4) в нулевое, а триггера 35 в единичное состояние. Это приводит к снятию сигнала на линии e и установке сигнала по линии p блоком 6, т.е. устройство переходит в состояние поиска начала подпрограммы. В результате снятия сигнала на линии e блоком 6 задания режима блокируется выдача команд в исполнительные механизмы с выхода 18, так как не могут быть выработаны сигналы по линиям v блока 5 синхронизации.

В состоянии поиска начала подпрограммы устройство производит последовательный опрос ячеек блока 3 памяти. Анализ сигналов линий k узлом формирования разрешающего сигнала 21 блока 5 синхронизации не производится, так как сигнал линии e находится в состоянии "0", поэтому триггер 20 периодически переключается сигналами генератора 19 и выдает сигнал на линии l , поступающий через коммутатор 4 на блок 3 памяти и счетчик 8 импульсов. Сигнал линии p с триггера 35 блока 6 задания режима поступает в блок 5 синхронизации и на элемент И 10.

При считывании из блока памяти 3 кода символа "Метка" дешифратор 7 выдает по линии i сигнал, поступающий в блоки 5 и 6 и на элемент И 10, который выдает по конъюнкции сигналов на линиях i , p разрешение на работу блоков 11 - 13 сравнения. В этом случае, если блок сравнения 13 выдает по линии w сигнал равенства содержимого регистра 9 и регистра 14, логический узел 32 блока 6 задания режима согласно (3) выдает сигнал, по которому с приходом очередного сигнала линии r из блока 5 синхронизации устанавливается триггер 33 блока 6 и выдает сигнал на линию e , по которому устройство переходит в состояние отработки подпрограммы с выдачей команд с выхода 18 устройства по сигналам линий v блока 5 синхронизации.

Выход устройства из состояния отработки подпрограммы происходит при считывании из блока памяти кода символа "Метка" при условии, что блок 12 сравнения выдает сигнал в линию o . Этот сигнал поступает на логический узел 34 и элемент И 36 блока 6 задания режима, эле-

мент И 28 и логический узел 30 блока 5 синхронизации, а также на вход счетчика 15 циклов, увеличивая его содержимое на единицу. Сигнал с выхода счетчика 15 поступает на вход блока 11 сравнения. Далее возможны два варианта работы устройства.

Если блок сравнения 11 не выдает по линии р сигнала равенства содержимого счетчика 15 и регистра 14 согласно уравнению (2), логический узел 30 при очередном срабатывании формирователя 25 блока 5 синхронизации выдает сигнал по линии и и счетчик адреса 8 устанавливается в исходное состояние. Кроме того, логический узел 34 блока 6 задания режима выдает сигнал согласно (4), по которому триггер 33 с приходом сигнала по линии г из блока 5 синхронизации устанавливается в нулевое состояние, снимая сигнал линии е. Таким образом, устройство вновь переходит в состояние поиска начала подпрограммы.

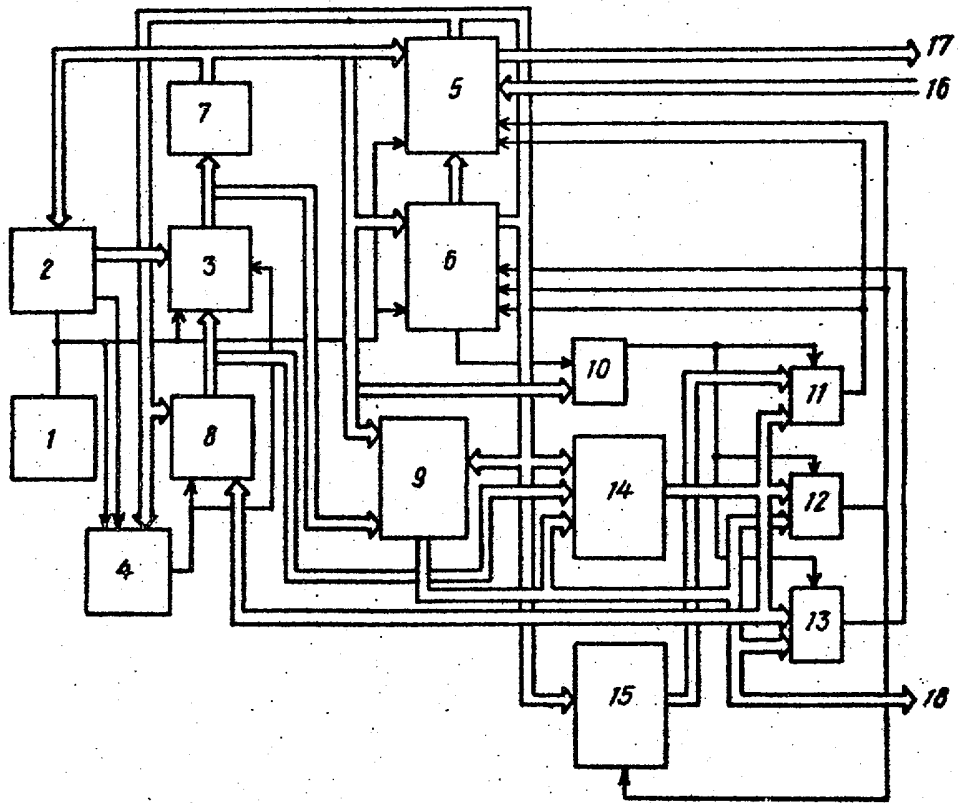
Если сигнал р выдается, срабатывает элемент И 28 блока 5 синхронизации и по его сигналу на линии д происходит занесение кода, хранящегося в регистре 14, в счетчик

8. Далее по сигналу элемента И 36 с приходом сигнала по линии г срабатывает триггер 35 и устанавливается в нулевое состояние, снимая сигнал на линии h. Устройство переходит в состояние отработки программы с адреса в блоке 3 памяти, следующего за адресом кода символа "Отработка подпрограммы".

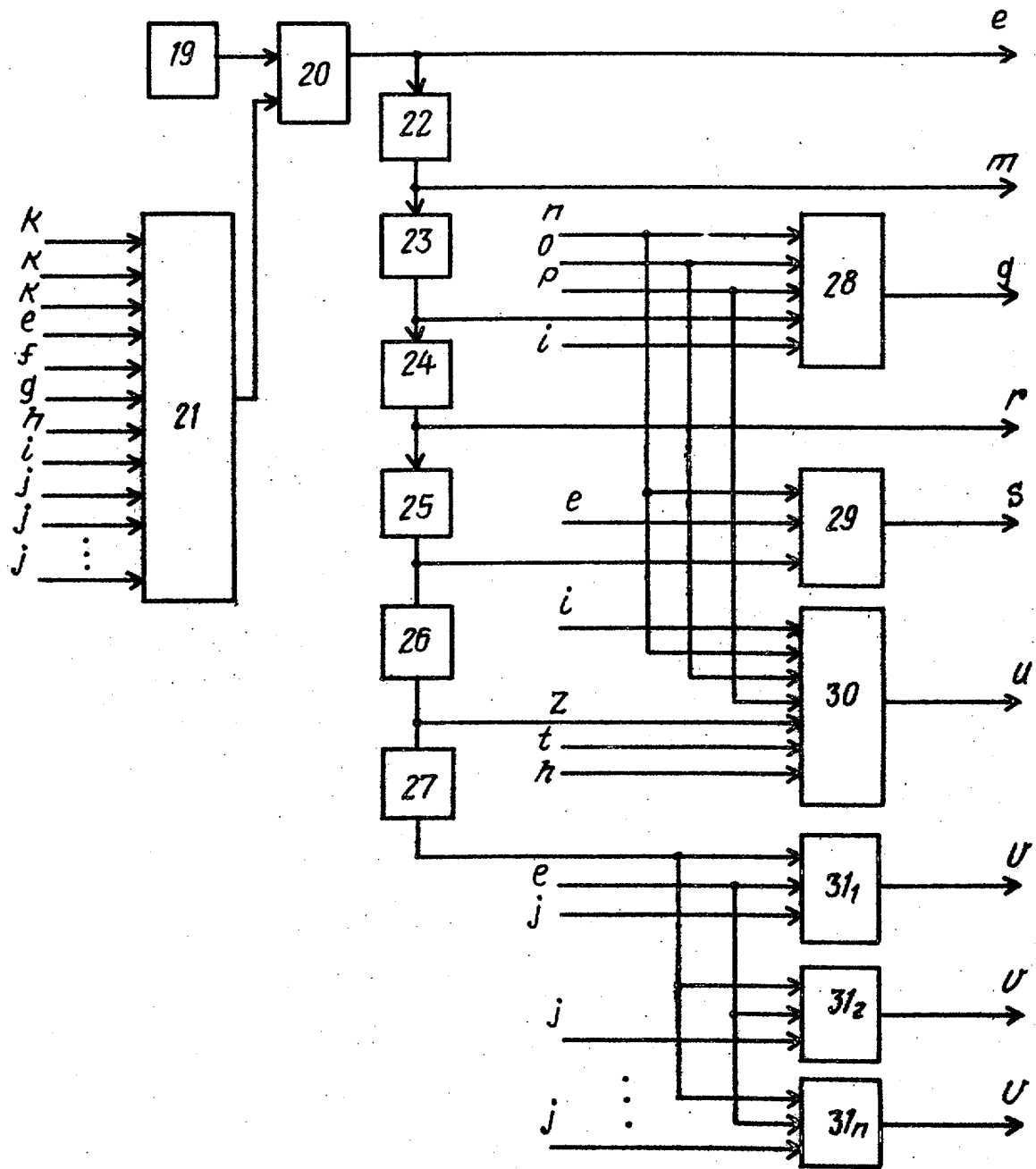
При считывании из блока 3 памяти кода символа "Конец программы" дешифратор 7 выдает сигнал на линии d, который поступает на вход триггера 37 блока 6 и переводит его в нулевое состояние. Сигнал с выхода триггера поступает на R-входы триггеров 33 и 35 блока 6 и переводит их в нулевое состояние. Снимается сигнал на линии e, блокируя выдачу команды в исполнительные механизмы.

Таким образом, завершается работа устройства в режиме "Работа".

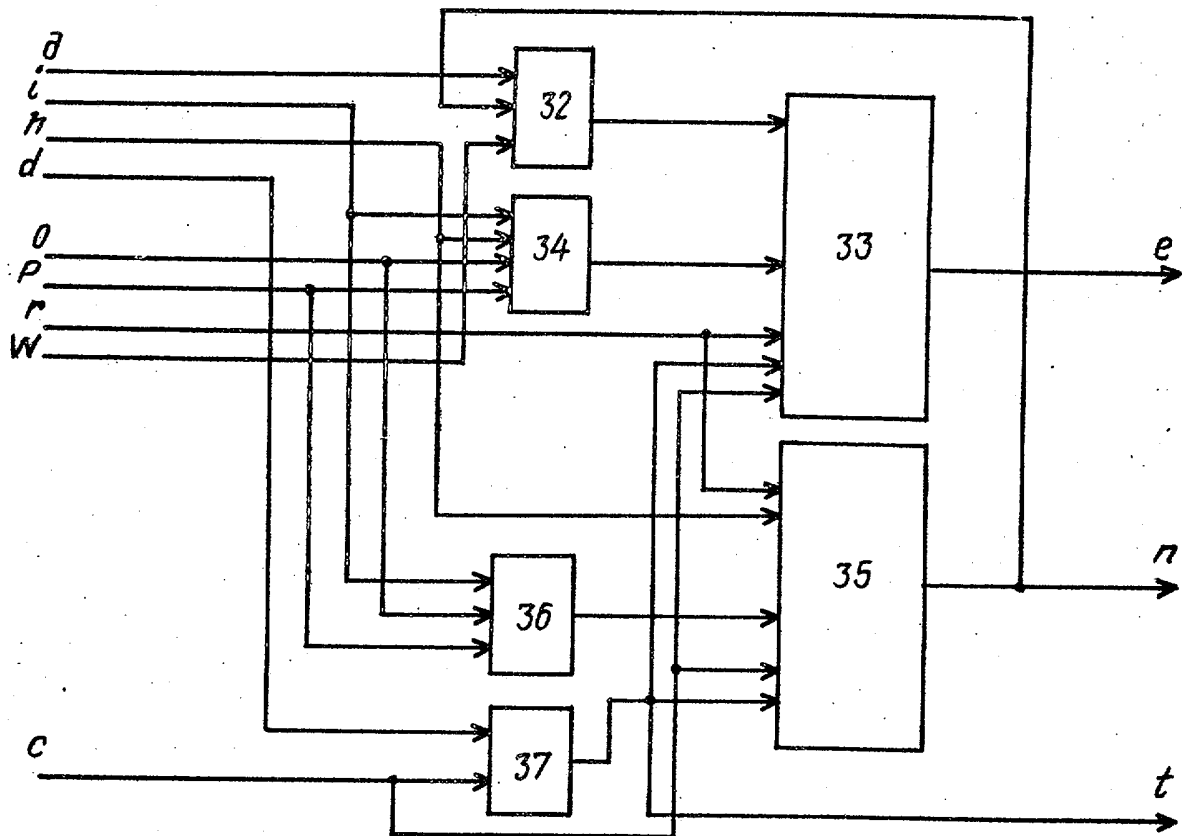
Предлагаемое устройство обеспечивает исключение непроизводительных затрат рабочего времени на перемотку перфоленты и сокращение длины технологической программы обработки нескольких однотипных изделий, что позволяет повысить производительность оборудования.



Фиг. 1



Фиг. 2



Фиг. 3

Составитель А. Лишанский
 Редактор Л. Пчелинская Техред М. Гергель Корректор М. Самборская

Заказ 7717/45 Тираж 862 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПП "Патент", г. Ужгород, ул. Проектная, 4