

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7525506号
(P7525506)

(45)発行日 令和6年7月30日(2024.7.30)

(24)登録日 令和6年7月22日(2024.7.22)

(51)国際特許分類		F I		
G 1 1 C	11/404 (2006.01)	G 1 1 C	11/404	1 0 0
G 1 1 C	11/405 (2006.01)	G 1 1 C	11/405	
G 0 6 F	12/00 (2006.01)	G 0 6 F	12/00	5 6 0 B
G 0 6 F	12/06 (2006.01)	G 0 6 F	12/06	5 2 5 C
G 0 6 F	13/16 (2006.01)	G 0 6 F	13/16	5 1 0 A
請求項の数 4 (全75頁)				
(21)出願番号	特願2021-555897(P2021-555897)	(73)特許権者	000153878	
(86)(22)出願日	令和2年8月26日(2020.8.26)		株式会社半導体エネルギー研究所	
(86)国際出願番号	PCT/IB2020/057947		神奈川県厚木市長谷398番地	
(87)国際公開番号	WO2021/094844	(72)発明者	山崎 舜平	
(87)国際公開日	令和3年5月20日(2021.5.20)		神奈川県厚木市長谷398番地 株式会	
審査請求日	令和5年8月8日(2023.8.8)		社半導体エネルギー研究所内	
(31)優先権主張番号	特願2019-203814(P2019-203814)	(72)発明者	池田 隆之	
(32)優先日	令和1年11月11日(2019.11.11)		神奈川県厚木市長谷398番地 株式会	
(33)優先権主張国・地域又は機関			社半導体エネルギー研究所内	
	日本国(JP)	(72)発明者	國武 寛司	
(31)優先権主張番号	特願2019-209362(P2019-209362)		神奈川県厚木市長谷398番地 株式会	
(32)優先日	令和1年11月20日(2019.11.20)		社半導体エネルギー研究所内	
(33)優先権主張国・地域又は機関		審査官	後藤 彰	
	日本国(JP)			
特許法第30条第2項適用 (刊行物名) Ex ten			最終頁に続く	
			最終頁に続く	

(54)【発明の名称】 情報処理装置、および情報処理装置の動作方法

(57)【特許請求の範囲】

【請求項1】

NAND型の記憶部と、コントローラと、を有し、
前記記憶部は、それぞれブロックの異なる、第1ストリングと、第2ストリングと、を
有し、
前記第1ストリングと、前記第2ストリングと、のそれぞれは、チャネル形成領域に金
属酸化物を含むトランジスタを有し、
前記第1ストリングは、第1メモリセルを有し、
前記第2ストリングは、第2メモリセルを有し、
前記コントローラは、第1データと、前記第1データを書き込む命令を含む信号と、を
受け取ることで、前記第1データを前記第1メモリセルに書き込みを行って、その後、前
記第1メモリセルから前記第1データを読み出して、前記第2メモリセルに前記第1デー
タを書き込む機能を有する、
情報処理装置。

【請求項2】

NAND型の記憶部と、コントローラと、を有し、
前記記憶部は、それぞれブロックの異なる、第1ストリングと、第2ストリングと、第
3ストリングと、を有し、
前記第1ストリングと、前記第2ストリングと、前記第3ストリングと、のそれぞれは
、チャネル形成領域に金属酸化物を含むトランジスタを有し、

前記第 1 スtring は、第 1 メモリセルを有し、
前記第 2 スtring は、第 2 メモリセルと、第 3 メモリセルと、を有し、
前記第 3 スtring は、第 4 メモリセルを有し、
前記コントローラは、第 1 データと、前記第 2 メモリセルに保持されている第 2 データを前記第 1 データに書き換える命令を含む信号と、を受け取ることで、
前記第 1 データを前記第 1 メモリセルに書き込みを行って、
前記第 3 メモリセルに保持されている第 3 データを読み出して、前記第 3 データを前記第 4 メモリセルに書き込みを行って、
前記第 2 メモリセルに保持されている前記第 2 データ、及び前記第 3 メモリセルに保持されている前記第 3 データの消去を行って、
前記第 1 メモリセルに保持されている前記第 1 データを読み出して、前記第 1 データを前記第 2 メモリセルに書き込みを行って、
前記第 4 メモリセルに保持されている前記第 3 データを読み出して、前記第 3 データを前記第 3 メモリセルに書き込みを行う機能を有する、
情報処理装置。

【請求項 3】

NAND 型の記憶部と、コントローラと、を有し、
前記記憶部は、それぞれブロックの異なる、第 1 String と、第 2 String と、を有し、
前記第 1 String と、前記第 2 String のそれぞれは、チャンネル形成領域に金属酸化物を含むトランジスタを有し、
前記第 1 String は、第 1 メモリセルを有し、
前記第 2 String は、第 2 メモリセルを有する、情報処理装置の動作方法であって、
第 1 ステップと、第 2 ステップと、第 3 ステップと、を有し、
前記第 1 ステップは、
前記コントローラが、第 1 データと、前記第 1 データを書き込む命令を含む信号と、を受け取るステップと、
前記コントローラによって、前記第 1 データが前記第 1 メモリセルに書き込まれるステップと、を有し、
前記第 2 ステップは、前記コントローラによって、前記第 1 メモリセルから前記第 1 データが読み出されるステップを有し、
前記第 3 ステップは、前記コントローラによって、前記第 2 ステップで読み出された前記第 1 データが前記第 2 メモリセルに書き込まれるステップを有する、
情報処理装置の動作方法。

【請求項 4】

NAND 型の記憶部と、コントローラと、を有し、
前記記憶部は、それぞれブロックの異なる、第 1 String と、第 2 String と、第 3 String と、を有し、
前記第 1 String と、前記第 2 String と、前記第 3 String と、のそれぞれは、チャンネル形成領域に金属酸化物を含むトランジスタを有し、
前記第 1 String は、第 1 メモリセルを有し、
前記第 2 String は、第 2 メモリセルと、第 3 メモリセルと、を有し、
前記第 3 String は、第 4 メモリセルを有する、情報処理装置の動作方法であって、
第 1 ステップと、第 2 ステップと、第 3 ステップと、第 4 ステップと、第 5 ステップと、第 6 ステップと、第 7 ステップと、第 8 ステップを有し、
前記第 1 ステップは、
前記コントローラが、第 1 データと、前記第 2 メモリセルに保持されている第 2 データを前記第 1 データに書き換える命令を含む信号と、を受け取るステップと、
前記コントローラによって、前記第 1 データが前記第 1 メモリセルに書き込まれるステップと、を有し、

前記第2ステップは、前記コントローラによって、前記第3メモリセルに保持されている第3データが読み出されるステップを有し、

前記第3ステップは、前記コントローラによって、前記第2ステップで読み出された前記第3データが前記第4メモリセルに書き込まれるステップを有し、

前記第4ステップは、前記コントローラによって、前記第2メモリセルに保持されている前記第2データ、及び前記第3メモリセルに保持されている前記第3データの消去が行われるステップを有し、

前記第5ステップは、前記コントローラによって、前記第1メモリセルに保持されている前記第1データが読み出されるステップを有し、

前記第6ステップは、前記コントローラによって、前記第5ステップで読み出された前記第1データが前記第2メモリセルに書き込まれるステップを有し、

前記第7ステップは、前記コントローラによって、前記第4メモリセルに保持されている前記第3データが読み出されるステップを有し、

前記第8ステップは、前記コントローラによって、前記第7ステップで読み出された前記第3データが前記第3メモリセルに書き込まれるステップを有する、

情報処理装置の動作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、情報処理装置、及び情報処理装置の動作方法に関する。

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、動作方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、センサ、プロセッサ、電子機器、情報処理装置、システム、それらの動作方法、それらの製造方法、又はそれらの検査方法を一例として挙げることができる。

【背景技術】

【0003】

情報処理装置の低消費電力化を目的とした研究開発が盛んに行われており、CPU等の集積回路（IC）や記憶装置の低消費電力化は回路設計の大きな課題となっている。ICの消費電力は大きく分けると、動作時の消費電力（ダイナミック電力）と、動作していない時（スタンバイ時）の消費電力（スタティック電力）との2つになる。高性能化のため動作周波数を高めることで、ダイナミック電力が増大する。スタティック電力の大部分はトランジスタのリーク電流によって消費される電力である。リーク電流には、サブシュレッシュルド・リーク電流、ゲート・トンネル・リーク電流、ゲート誘導ドレインリーク（GIDL: Gate-induced drain leakage）電流、ジャンクション・トンネル・リーク電流がある。これらのリーク電流は、トランジスタの微細化によって増大するので、消費電力の増大が、ICの高性能化や高集積化の大きな壁となっている。

【0004】

集積回路や記憶装置などの半導体装置、又は当該半導体装置を含む情報処理装置の消費電力の低減のため、パワーゲーティングやクロックゲーティングにより、動作させる必要のない回路を停止させることが行われている。パワーゲーティングでは電源供給を停止するため、スタンバイ電力を無くす効果がある。CPUでパワーゲーティングを可能とするには、レジスタやキャッシュの記憶内容を不揮発性メモリにバックアップすることが必要となる。

【0005】

チャネル形成領域に酸化物半導体（Oxide Semiconductor）又は単に

10

20

30

40

50

OSともいう)が含まれているトランジスタ(以下、「酸化物半導体トランジスタ」または「OSTランジスタ」と呼ぶ場合がある。)のオフ電流が極めて小さいという特性を利用して、電源オフ状態でもデータを保持することが可能なメモリ回路が提案されている。例えば、非特許文献1には、OSTランジスタを用いたバックアップ回路を備えたOS-SRAM(スタティック・ランダム・アクセス・メモリ)が開示されている。非特許文献1には、OS-SRAMを搭載したマイクロプロセッサは、通常動作に影響なく、短い損益分岐時間(BET)でのパワーゲーティングが可能であることが開示されている。

【先行技術文献】

【非特許文献】

【0006】

【文献】T. Ishizu et al., Int. Memory Workshop, 2014, pp. 106-103.

【0007】

【文献】S. Bartling et al., ISSCC Dig. Tech. Papers, pp. 432-434, 2013.

【文献】N. Sakimura et al., ISSCC Dig. Tech. Papers, pp. 184-185, 2014.

【文献】VK. Singhal et al., ISSCC Dig. Tech. Papers, pp. 148-149, 2015.

【発明の概要】

【発明が解決しようとする課題】

【0008】

一例として、NAND型の記憶装置などにおいて、書き込み用データの入力速度(単位時間あたりに入力される情報量)は記憶部へのデータの書き込み速度よりも遅い。記憶装置におけるキャッシュメモリは、記憶装置に入力された書き込み用データを一時的に保持することで、記憶装置への書き込み用データの入力速度を下げることなく、記憶部へのデータの書き込みを行うことができる。また、記憶部からのデータの読み出し速度は、記憶装置からの読み出しデータの出力速度(単位時間あたりに出力される情報量)よりも遅い。記憶装置におけるキャッシュメモリは、記憶装置から読み出したデータを一時的に保持することで、記憶装置からの読み出しデータの読み出し速度を下げることなく、記憶部からのデータの読み出しを行うことができる。

【0009】

また、一例として、キャッシュメモリは、記憶部に保持されているデータの並び替え、消去に関係ないデータの退避などを行うときに、データを一時的に保持する機能を有する。

【0010】

キャッシュメモリには、例えば、DRAM(Dynamic Random Access Memory)が適用されている。そのため、キャッシュメモリと、NAND型の記憶装置とは、それぞれ別のプロセスで作成されるため、別々のチップとして作成される。このため、キャッシュメモリと、NAND型の記憶装置と、の間にはバス配線を設ける必要があり、記憶装置の回路面積が大きくなる場合がある。また、バス配線の長さによっては、バス配線に流れる信号の消費電力が大きくなる場合がある。

【0011】

本発明の一態様は、回路面積が低減された情報処理装置を提供することを課題の一とする。又は、本発明の一態様は、消費電力が低い情報処理装置を提供することを課題の一とする。

【0012】

又は、本発明の一態様は、新規な情報処理装置を提供することを課題の一とする。又は、本発明の一態様は、新規な情報処理装置の動作方法を提供することを課題の一とする。

【0013】

なお、本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題

10

20

30

40

50

は、他の課題の存在を妨げるものではない。なお、他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

【課題を解決するための手段】

【0014】

(1)

本発明の一態様は、NAND型の記憶部と、コントローラと、を有する情報処理装置である。記憶部は、それぞれブロックの異なる、第1ストリングと、第2ストリングと、を有する。また、第1ストリングと、第2ストリングと、のそれぞれは、チャンネル形成領域に金属酸化物を含むトランジスタを有する。また、第1ストリングは、第1メモリセルを有し、第2ストリングは、第2メモリセルを有する。コントローラは、第1データと、第1データを書き込む命令を含む信号と、を受け取ることで、第1データを第1メモリセルに書き込みを行う機能を有する。また、コントローラは、その後に、第1メモリセルから第1データを読み出して、第2メモリセルに第1データを書き込む機能を有する。

10

【0015】

(2)

又は、本発明の一態様は、NAND型の記憶部と、コントローラと、を有する情報処理装置であって、記憶部は、それぞれブロックの異なる、第1ストリングと、第2ストリングと、第3ストリングと、を有する。また、第1ストリングと、第2ストリングと、のそれぞれは、チャンネル形成領域に金属酸化物を含むトランジスタを有する。また、第1ストリングは、第1メモリセルを有し、第2ストリングは、第2メモリセルと、第3メモリセルと、を有し、第3ストリングは、第4メモリセルを有する。コントローラは、第1データと、第2メモリセルに保持されている第2データを第1データに書き換える命令を含む信号と、を受け取ることで、第1データを第1メモリセルに書き込みを行う機能を有する。また、コントローラは、第3メモリセルに保持されている第3データを読み出して、第3データを第4メモリセルに書き込みを行う機能を有する。また、コントローラは、第2メモリセルに保持されている第2データ、及び第3メモリセルに保持されている第3データの消去を行う機能を有する。また、コントローラは、第1メモリセルに保持されている第1データを読み出して、第1データを第2メモリセルに書き込みを行う機能を有する。また、コントローラは、第4メモリセルに保持されている第3データを読み出して、第3データを第3メモリセルに書き込みを行う機能を有する。

20

30

【0016】

(3)

又は、本発明の一態様は、NAND型の記憶部と、コントローラと、を有する情報処理装置の動作方法である。記憶部は、それぞれブロックの異なる、第1ストリングと、第2ストリングと、を有する。また、第1ストリングと、第2ストリングと、のそれぞれは、チャンネル形成領域に金属酸化物を含むトランジスタを有する。第1ストリングは、第1メモリセルを有し、第2ストリングは、第2メモリセルを有する。情報処理装置の動作方法は、第1ステップ乃至第3ステップを有する。第1ステップは、コントローラが、第1データと、第1データを書き込む命令を含む信号と、を受け取るステップと、コントローラによって、第1データが第1メモリセルに書き込まれるステップと、を有する。第2ステップは、コントローラによって、第1メモリセルから第1データが読み出されるステップを有する。第3ステップは、コントローラによって、第2ステップで読み出された第1データが第2メモリセルに書き込まれるステップを有する。

40

【0017】

(4)

又は、本発明の一態様は、NAND型の記憶部と、コントローラと、を有する情報処理

50

装置の動作方法であって、記憶部は、それぞれブロックの異なる、第1ストリングと、第2ストリングと、第3ストリングと、を有する。また、第1ストリングと、第2ストリングと、のそれぞれは、チャンネル形成領域に金属酸化物を含むトランジスタを有する。第1ストリングは、第1メモリセルを有し、第2ストリングは、第2メモリセルと、第3メモリセルを有し、第3ストリングは、第4メモリセルを有する。情報処理装置の動作方法は、第1ステップ乃至第8ステップを有する。第1ステップは、コントローラが、第1データと、第2メモリセルに保持されている第2データを第1データに書き換える命令を含む信号と、を受け取るステップと、コントローラによって、第1データが第1メモリセルに書き込まれるステップと、を有する。第2ステップは、コントローラによって、第2ストリングの第3メモリセルに保持されている第3データが読み出されるステップを有する。第3ステップは、コントローラによって、第2ステップで読み出された第3データが第4メモリセルに書き込まれるステップを有する。第4ステップは、コントローラによって、第2メモリセルに保持されている第2データ、及び第3メモリセルに保持されている第3データの消去が行われるステップを有する。第5ステップは、コントローラによって、第1メモリセルに保持されている第1データが読み出されるステップを有する。第6ステップは、コントローラによって、第5ステップで読み出された第1データが第2メモリセルに書き込まれるステップを有する。第7ステップは、コントローラによって、第4メモリセルに保持されている第3データが読み出されるステップを有する。第8ステップは、コントローラによって、第7ステップで読み出された第3データが第3メモリセルに書き込まれるステップを有する。

【0018】

(5)

本発明の一態様は、演算処理装置と、記憶装置と、複数の配線と、を有し、記憶装置は複数のストリングを有し、複数のストリングの一つは、複数の配線の一つを介して演算処理装置と電気的に接続された情報処理装置の動作方法であって、シリアル伝送によって入力された第1データを、複数の第2データに変換し、複数の第2データを複数の配線毎に分配し、トリガー信号に応じて複数の第2データを複数のストリングに同時に供給する情報処理装置の動作方法である。

【0019】

(6)

又は、本発明の一態様は、上記(5)の構成において、ストリングは、複数のメモリセルを有し、メモリセルは、酸化物半導体を含んでもよい。

【0020】

(7)

又は、本発明の一態様は、上記(5)または(6)の構成において、記憶装置は、NAND型の記憶装置であってもよい。

【0021】

(8)

又は、本発明の一態様は、NAND型の記憶部と、コントローラと、を有する情報処理装置である。記憶部は、それぞれブロックの異なる、第1ストリングと、第2ストリングと、を有する。また、第1ストリングと、第2ストリングと、のそれぞれは、チャンネル形成領域に金属酸化物を含むトランジスタを有する。また、第1ストリングは、第1メモリセルを有し、第2ストリングは、第2メモリセルを有する。コントローラは、第1データと、第1データを書き込む命令を含む信号と、を受け取ることで、第1データを第1メモリセルに書き込みを行う機能を有する。また、コントローラは、その後、第1メモリセルから第1データを読み出して、第2メモリセルに第1データを書き込む機能を有する。

【0022】

(9)

又は、本発明の一態様は、NAND型の記憶部と、コントローラと、を有する情報処理装置であって、記憶部は、それぞれブロックの異なる、第1ストリングと、第2ストリン

グと、第3ストリングと、を有する。また、第1ストリングと、第2ストリングと、のそれぞれは、チャンネル形成領域に金属酸化物を含むトランジスタを有する。また、第1ストリングは、第1メモリセルを有し、第2ストリングは、第2メモリセルと、第3メモリセルと、を有し、第3ストリングは、第4メモリセルを有する。コントローラは、第1データと、第2メモリセルに保持されている第2データを第1データに書き換える命令を含む信号と、を受け取ることで、第1データを第1メモリセルに書き込みを行う機能を有する。また、コントローラは、第3メモリセルに保持されている第3データを読み出して、第3データを第4メモリセルに書き込みを行う機能を有する。また、コントローラは、第2メモリセルに保持されている第2データ、及び第3メモリセルに保持されている第3データの消去を行う機能を有する。また、コントローラは、第1メモリセルに保持されている第1データを読み出して、第1データを第2メモリセルに書き込みを行う機能を有する。また、コントローラは、第4メモリセルに保持されている第3データを読み出して、第3データを第3メモリセルに書き込みを行う機能を有する。

【0023】

(10)

又は、本発明の一態様は、NAND型の記憶部と、コントローラと、を有する情報処理装置の動作方法である。記憶部は、それぞれブロックの異なる、第1ストリングと、第2ストリングと、を有する。また、第1ストリングと、第2ストリングと、のそれぞれは、チャンネル形成領域に金属酸化物を含むトランジスタを有する。第1ストリングは、第1メモリセルを有し、第2ストリングは、第2メモリセルを有する。情報処理装置の動作方法は、第1ステップ乃至第3ステップを有する。第1ステップは、コントローラが、第1データと、第1データを書き込む命令を含む信号と、を受け取るステップと、コントローラによって、第1データが第1メモリセルに書き込まれるステップと、を有する。第2ステップは、コントローラによって、第1メモリセルから第1データが読み出されるステップを有する。第3ステップは、コントローラによって、第2ステップで読み出された第1データが第2メモリセルに書き込まれるステップを有する。

【0024】

(11)

又は、本発明の一態様は、NAND型の記憶部と、コントローラと、を有する情報処理装置の動作方法であって、記憶部は、それぞれブロックの異なる、第1ストリングと、第2ストリングと、第3ストリングと、を有する。また、第1ストリングと、第2ストリングと、のそれぞれは、チャンネル形成領域に金属酸化物を含むトランジスタを有する。第1ストリングは、第1メモリセルを有し、第2ストリングは、第2メモリセルと、第3メモリセルを有し、第3ストリングは、第4メモリセルを有する。情報処理装置の動作方法は、第1ステップ乃至第8ステップを有する。第1ステップは、コントローラが、第1データと、第2メモリセルに保持されている第2データを第1データに書き換える命令を含む信号と、を受け取るステップと、コントローラによって、第1データが第1メモリセルに書き込まれるステップと、を有する。第2ステップは、コントローラによって、第2ストリングの第3メモリセルに保持されている第3データが読み出されるステップを有する。第3ステップは、コントローラによって、第2ステップで読み出された第3データが第4メモリセルに書き込まれるステップを有する。第4ステップは、コントローラによって、第2メモリセルに保持されている第2データ、及び第3メモリセルに保持されている第3データの消去が行われるステップを有する。第5ステップは、コントローラによって、第1メモリセルに保持されている第1データが読み出されるステップを有する。第6ステップは、コントローラによって、第5ステップで読み出された第1データが第2メモリセルに書き込まれるステップを有する。第7ステップは、コントローラによって、第4メモリセルに保持されている第3データが読み出されるステップを有する。第8ステップは、コントローラによって、第7ステップで読み出された第3データが第3メモリセルに書き込まれるステップを有する。

【0025】

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップや、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置、電子機器、情報処理装置等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

【0026】

また、本明細書等において、XとYとが接続されていると記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも、図又は文章に開示されているものとする。X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層など）であるとする。

10

【0027】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示デバイス、発光デバイス、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。

20

【0028】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（デジタルアナログ変換回路、アナログデジタル変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅又は電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

30

【0029】

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。

【0030】

また、例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。又は、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。又は、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、

40

50

区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0031】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0032】

また、本明細書等において、「抵抗素子」とは、例えば、 0Ω よりも高い抵抗値を有する回路素子、配線などとしてすることができる。そのため、本明細書等において、「抵抗素子」は、抵抗値を有する配線、ソースドレイン間に電流が流れるトランジスタ、ダイオード、コイルなどを含むものとする。そのため、「抵抗素子」という用語は、「抵抗」、「負荷」、「抵抗値を有する領域」などの用語に言い換えることができ、逆に「抵抗」、「負荷」、「抵抗値を有する領域」という用語は、「抵抗素子」などの用語に言い換えることができる。抵抗値としては、例えば、好ましくは $1\text{m}\Omega$ 以上 10Ω 以下、より好ましくは $5\text{m}\Omega$ 以上 5Ω 以下、更に好ましくは $10\text{m}\Omega$ 以上 1Ω 以下とすることができる。また、例えば、 1Ω 以上 $1\times 10^9\Omega$ 以下としてもよい。

【0033】

また、本明細書等において、「容量素子」とは、例えば、 0F よりも高い静電容量の値を有する回路素子、静電容量の値を有する配線の領域、寄生容量、トランジスタのゲート容量などとしてすることができる。そのため、本明細書等において、「容量素子」は、1対の電極と、当該電極の間に含まれている誘電体と、を含む回路素子だけでなく、配線と配線との間に現れる寄生容量、トランジスタのソース又はドレインの一方とゲートとの間に現れるゲート容量などを含むものとする。また、「容量素子」、「寄生容量」、「ゲート容量」などという用語は、「容量」などの用語に言い換えることができ、逆に、「容量」という用語は、「容量素子」、「寄生容量」、「ゲート容量」などの用語に言い換えることができる。また、「容量」の「1対の電極」という用語は、「1対の導電体」、「1対の導電領域」、「1対の領域」などに言い換えることができる。なお、静電容量の値としては、例えば、 0.05fF 以上 10pF 以下とすることができる。また、例えば、 1pF 以上 $10\mu\text{F}$ 以下としてもよい。

【0034】

また、本明細書等において、トランジスタは、ゲート、ソース、及びドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する2つの端子は、トランジスタの入出力端子である。2つの入出力端子は、トランジスタの導電型（nチャネル型、pチャネル型）及びトランジスタの3つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、言い換えることができるものとする。また、本明細書等では、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第1電極、又は第1端子）、「ソース又はドレインの他方」（又は第2電極、又は第2端子）という表記を用いる。なお、トランジスタの構造によっては、上述した3つの端子に加えて、バックゲートを有する場合がある。この場合、本明細書等において、トランジスタのゲート又はバックゲートの一方を第1ゲートと呼称し、トランジスタのゲート又はバックゲートの他方を第2ゲートと呼称することがある。更に、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる場合がある。また、トランジスタが、3以上のゲートを有する場合は、本明細書等においては、それぞれのゲートを第1ゲート、第2ゲート、第3ゲートなどと呼称することがある。

【0035】

また、本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

【0036】

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。なお、グラウンド電位は必ずしも0Vを意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、配線に与えられる電位、回路などに印加される電位、回路などから出力される電位なども変化する。

10

【0037】

また、本明細書等において、「高レベル電位」、「低レベル電位」という用語は、特定の電位を意味するものではない。例えば、2本の配線において、両方とも「高レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの高レベル電位は、互いに等しくなくてもよい。また、同様に、2本の配線において、両方とも「低レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの低レベル電位は、互いに等しくなくてもよい。

【0038】

「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとは、電子、正孔、アニオン、カチオン、錯イオン等が挙げられ、電流の流れる系（例えば、半導体、金属、電解液、真空中など）によってキャリアが異なる。また、配線等における「電流の向き」は、正の電荷としたキャリアが移動する方向とし、正の電流量で記載する。換言すると、負の電荷としたキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（又は電流の向き）について断りがない場合、「素子Aから素子Bに電流が流れる」等の記載は「素子Bから素子Aに電流が流れる」等と言い換えることができるものとする。また、

20

30

【0039】

また、本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

40

【0040】

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを180度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

【0041】

また、「上」や「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば

50

、絶縁層 A の上に電極 B が直接接して形成されている必要はなく、絶縁層 A と電極 B との間に他の構成要素を含むものを除外しない。

【0042】

また、本明細書等において、「膜」、「層」などの語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」、「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

10

【0043】

また、本明細書等において「電極」、「配線」、「端子」などの用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。また、例えば、「端子」は「配線」や「電極」の一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、複数の「電極」、「配線」、「端子」などが一体となって形成されている場合なども含む。そのため、例えば、「電極」は「配線」又は「端子」の一部とすることができ、また、例えば、「端子」は「配線」又は「電極」の一部とすることができる。また、「電極」、「配線」、「端子」などの用語は、場合によって、「領域」などの用語に置き換える場合がある。

20

【0044】

また、本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」、「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

30

【0045】

本明細書等において、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体において欠陥準位密度が高くなることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。具体的には、半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第15族元素（但し、酸素、水素は含まない）などがある。

40

【0046】

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。一例としては、電氣的なスイッチ、機械的なスイッチなどを用いることができる。つまり、スイッチは

50

、電流を制御できるものであればよく、特定のものに限定されない。

【0047】

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

10

【0048】

機械的なスイッチの一例としては、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0049】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」又は「概略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」又は「概略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

20

【発明の効果】

【0050】

本発明の一態様によって、回路面積が低減された情報装置を提供することができる。又は、本発明の一態様によって、消費電力が低い情報処理装置を提供することができる。

【0051】

又は、本発明の一態様によって、新規な情報処理装置を提供することができる。又は、本発明の一態様によって、新規な情報処理装置の動作方法を提供することを課題の一とする。

30

【0052】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

40

【図面の簡単な説明】

【0053】

図1は、情報処理装置の構成例を示すブロック図である。

図2は、情報処理装置の動作方法例を示すフローチャートである。

図3A乃至図3Cは、情報処理装置の動作方法例を示す模式図である。

図4A乃至図4Cは、情報処理装置に含まれている記憶部の構成例を示す回路図である。

図5は、情報処理装置に含まれている記憶部の構成例を示す回路図である。

図6は、情報処理装置に含まれている記憶部の構成例を示す回路図である。

図7A、及び図7Bは、情報処理装置に含まれている記憶部の動作方法例を示すタイミングチャートである。

50

図 8 は、情報処理装置に含まれている記憶部の構成例を示す回路図である。
図 9 は、情報処理装置に含まれている記憶部の構成例を示す回路図である。
図 10 は、情報処理装置の構成例を説明する断面模式図である。
図 11 は、トランジスタの構成例を説明する断面模式図である。
図 12 は、情報処理装置の構成例を説明する断面模式図である。
図 13 A はコンピュータの構成例を説明する斜視図であり、図 13 B はモノリシック IC を説明する斜視図である。
図 14 A、及び図 14 B のそれぞれは、コンピュータ、モノリシック IC の記憶階層を説明する図である。
図 15 A、及び図 15 B は、情報処理装置の構成、及びその動作方法を説明するブロック図である。
図 16 A は I G Z O の結晶構造の分類を説明する図であり、図 16 B は結晶性 I G Z O の X R D スペクトルを説明する図であり、図 16 C は結晶性 I G Z O の極微電子線回折パターンを説明する図である。
図 17 A は半導体ウェハの一例を示す斜視図であり、図 17 B はチップの一例を示す斜視図であり、図 17 C、及び図 17 D は電子部品の一例を示す斜視図である。
図 18 A 乃至図 18 J は、製品の一例を説明する斜視図、又は、模式図である。
図 19 A 乃至図 19 C は、計算機の一例を説明する斜視図である。
図 20 は、計算機の一例を説明する図である。

【発明を実施するための形態】

【0054】

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む)、酸化物半導体などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも 1 つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体 (metal oxide semiconductor) と呼称することができる。

【0055】

また、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

【0056】

また、本明細書等において、各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1 つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

【0057】

なお、ある一つの実施の形態の中で述べる内容 (一部の内容でもよい) は、その実施の形態で述べる別の内容 (一部の内容でもよい) と、一つ若しくは複数の別の実施の形態で述べる内容 (一部の内容でもよい) との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

【0058】

なお、実施の形態の中で述べる内容とは、各々の実施の形態 (又は実施例) において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0059】

なお、ある一つの実施の形態において述べる図 (一部でもよい) は、その図の別の部分、その実施の形態において述べる別の図 (一部でもよい) と、一つ若しくは複数の別の実施の形態において述べる図 (一部でもよい) との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

【0060】

本明細書に記載の実施の形態については、図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

【0061】

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“__1”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。

【0062】

また、本明細書の図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0063】

(実施の形態1)

本実施の形態では、記憶装置としての機能を有する、本発明の一態様の情報処理装置について説明する。

【0064】

<構成例>

図1は、情報処理装置の構成例を示すブロック図である。情報処理装置50は、一例として、記憶部1196と、コントローラ1197と、バスインターフェース1198と、を有する。

【0065】

情報処理装置50は、一例として、命令情報を含む信号を外部から取得することによって、当該命令に応じて記憶部1196へのデータの書き込みを行う機能を有する。

【0066】

具体的には、例えば、情報処理装置50に入力された命令情報を含む信号ISGは、バスインターフェース1198を介して、コントローラ1197に入力される。

【0067】

コントローラ1197は、例えば、信号ISGをデコードする機能を有する。また、コントローラ1197は、デコードされた信号に含まれる命令に基づき、各種制御を行なう機能を有する。具体的に、コントローラ1197は、記憶部1196のアドレスを生成し、情報処理装置の状態に応じて記憶部1196のデータの読み出しや書き込みを行う。なお、記憶部1196に書き込みを行うとき、書き込み用のデータとしては、情報処理装置に、バスインターフェース1198を介して入力されたデータDTなどとすることができる。なお、データDTは、バスインターフェース1198を介して、コントローラ1197に送信される。

【0068】

そのため、コントローラ1197は、一例として、信号ISGをデコードする回路と、記憶部1196に含まれているメモリセルのアドレスを生成する回路と、記憶部1196に含まれているトランジスタのオン状態とオフ状態とを切り替えるための信号を出力する回路と、を有する場合がある。

【0069】

また、コントローラ1197は、動作のタイミングを制御する信号を生成する機能を有

10

20

30

40

50

してもよい。例えば、コントローラ 1197 は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えて、内部クロック信号を上記各種回路に供給する構成としてもよい。

【0070】

また、コントローラ 1197 は、記憶部 1196 に含まれているストリングのメモリセルに対して、エラーチェックを行う機能を有してもよい。コントローラ 1197 がこの機能を有することで、例えば、コントローラ 1197 が記憶部 1196 にデータの書き込みを行う前に、記憶部 1196 に含まれているストリングのメモリセルに対してエラーチェックを行うことができる。このとき、書き込み先のストリングに不良セルを見つけた場合、コントローラ 1197 は、データの書き込み先を不良セルから別のセルに変更して、データの書き込み動作を行うことができる。また、コントローラ 1197 は、一定の間隔で、記憶部 1196 に含まれているストリングのメモリセルに対してエラーチェックを行って、ストリングに不良セルを見つけたときに、データを訂正する機能を有してもよい。

10

【0071】

また、情報処理装置 50 は、一例として、命令情報を含む信号を外部から取得することによって、当該命令に応じて記憶部 1196 からデータの読み出しを行う機能を有する。また、情報処理装置 50 は、コントローラ 1197 によって、読み出したデータを信号 OSG として、情報処理装置 50 の外部に出力する機能を有する。

【0072】

本発明の一態様の情報処理装置において、記憶部 1196 としては、例えば、NAND 型のストリングを有する記憶回路を適用することができる。特に、NAND 型の記憶回路としては、OSTランジスタを用いた 3 次元構造の NAND 型の記憶回路を適用することが好ましい。なお、メモリセルの構成として、OSTランジスタを用いた NAND 型のストリングを横型として、当該ストリングを 1 層ずつ積層する構成と、OSTランジスタを用いた NAND 型のストリングを縦型として、当該ストリングをエッチングなどにより一括で形成する構成と、が挙げられる。本明細書等では、OSTランジスタを用いた NAND 型のストリングを縦型とした構造を、3D OS NAND（登録商標）型の記憶回路と呼称する場合がある。3D OS NAND 型の記憶回路は、多数のメモリセル同時に形成することができるため、少ない作製工程で実装密度を高めることができる。すなわち、1 bit あたりのコストを低減し、実装密度の高い記憶回路を低コストで実現できる。このため、記憶部 1196 は、NAND 型の複数のストリングを有する。なお、図 1 には、記憶部 1196 は、ストリング ST1 乃至ストリング ST3 を有する例を示している。また、図 1 の記憶部 1196 では、ストリング ST1 乃至ストリング ST3 以外のストリングについては省略している。

20

30

【0073】

一例として、ストリング ST1 はメモリセル L[1] 乃至メモリセル L[n]（n は 1 以上の整数とする。）を有し、ストリング ST2 はメモリセル M[1] 乃至メモリセル M[n] を有し、ストリング ST3 はメモリセル N[1] 乃至メモリセル N[n] を有する。

【0074】

また、ストリング ST1 において、メモリセル L[1] 乃至メモリセル L[n] は、配線 SL1 と配線 BL1 との間に、直列に電氣的に接続されている。同様に、ストリング ST2 において、メモリセル M[1] 乃至メモリセル M[n] は、配線 SL2 と配線 BL2 との間に、直列に電氣的に接続され、ストリング ST3 において、メモリセル N[1] 乃至メモリセル N[n] は、配線 SL3 と配線 BL3 との間に、直列に電氣的に接続されている。

40

【0075】

配線 SL1 乃至配線 SL3 のそれぞれは、ストリング ST1 乃至ストリング ST3 に対して、所定の電位を与える配線として機能する。また、配線 BL1 乃至配線 BL3 のそれぞれは、ストリング ST1 乃至ストリング ST3 に含まれているメモリセルへのデータを書き込むための配線、及び／又はメモリセルからのデータを読み出すための配線として機

50

能する。

【0076】

なお、図示されていないストリングについても、ストリングST1乃至ストリングST3と同様の接続構成とする。

【0077】

<動作方法例>

ここで、図1の情報処理装置50において、記憶部1196のストリングに含まれている一部のメモリセルをキャッシュメモリとして扱う動作方法の一例を説明する。

【0078】

図2は、図1の情報処理装置50の動作方法の例を示したフローチャートである。当該動作方法は、ステップSTP1乃至ステップSTP8を有する。また、当該フローチャートと併せて、ストリングST1、及びストリングST2におけるデータの動きを図3A乃至図3Cに示す。

10

【0079】

また、本動作方法としては、一例として、ストリングST1のメモリセルL[1]乃至メモリセルL[n]のそれぞれにデータが保持されているものとして、メモリセルL[6]のデータを書き換える場合を考える。また、少なくともストリングST2、及びストリングST3にはデータが保持されていないものとする。

【0080】

図1の情報処理装置50において、動作が開始すると、初めにステップSTP1が行われる。

20

【0081】

ステップSTP1は、メモリセルL[1]への書き換え用のデータを、例えば、ストリングST3のメモリセルN[1]に書き込むステップを有する。具体的には、例えば、図1の情報処理装置50は、書き換え用のデータDTと、データを書き換える命令を含む信号ISGと、を取得して、コントローラ1197からの記憶部1196に書き込み信号が送信されて、メモリセルM[1]に書き込み用のデータDTを保持する。

【0082】

ステップSTP1が終了した後にステップSTP2が行われる。ステップSTP2は、ストリングST1において、書き換えを行うメモリセル以外のメモリセルL[1]乃至メモリセルL[n]のそれぞれに保持されているデータを読み出すステップを有する。ここでは、例えば、メモリセルL[1]乃至メモリセルL[5]のそれぞれに保持されているデータを読み出すものとする(図3A参照)。

30

【0083】

ステップSTP3は、ステップSTP2において読み出したメモリセルL[1]乃至メモリセルL[5]のそれぞれのデータを、ストリングST2のメモリセルM[1]乃至メモリセルM[5]に順次書き込む(コピーする)ステップを有する(図3A参照)。

【0084】

なお、図2のフローチャートでは、ステップSTP2の次にステップSTP3が行われるように記載しているが、本発明の一態様の情報処理装置の動作方法は、これに限定されない。例えば、ステップSTP2において、ストリングST1のメモリセルL[1]乃至メモリセルL[5]のそれぞれに保持されているデータを順次読み出していき、読み出したデータからストリングST2のメモリセルM[1]乃至メモリセルM[5]に順次書き込んでもよい。つまり、ステップSTP2及びステップSTP3は、同じステップとしてまとめてもよい。

40

【0085】

ステップSTP3が終了した後にステップSTP4が行われる。ステップSTP4は、ストリングST1のメモリセルL[1]乃至メモリセルL[5]に保持されているデータを消去するステップを有する。

【0086】

50

記憶部 1196 が NAND 型の記憶回路である場合、データの消去動作はストリング単位で行われるため、ストリング ST1 のメモリセル L [1] 乃至メモリセル L [5] に保持されているデータを消去しようとする、メモリセル L [1] 乃至メモリセル L [n] の全てのデータの消去が行われるため、ステップ STP2 及びステップ STP3 において、メモリセル L [1] 乃至メモリセル L [5] だけでなく、メモリセル L [7] 乃至メモリセル L [n] のデータもストリング ST2 に書き込む必要がある。

【0087】

このため、記憶部 1196 としては、後述する図 4 乃至図 6 に図示している回路構成を有する OS NAND 型の記憶回路であることが好ましい。詳しくは後述するが、当該記憶装置を用いることによって、ストリング ST1 のメモリセル L [1] から任意のメモリセルまでのデータを消去することができる。このため、本動作例では、メモリセル L [6] のデータを書き換えるため、ストリング ST1 のメモリセル L [1] 乃至メモリセル L [6] のデータのみ消去を行うこととする（図 3 B 参照）。

【0088】

ステップ STP5 は、ストリング ST3 のメモリセル N [1] から書き換え用のデータ DT を読み出すステップを有する。

【0089】

ステップ STP6 は、ステップ STP5 において読み出したメモリセル N [1] の書き換え用のデータ DT をストリング ST1 のメモリセル L [6] に書き込むステップを有する（図 3 B 参照）。

【0090】

ステップ STP7 は、ストリング ST2 のメモリセル M [1] 乃至メモリセル M [5] のそれぞれに保持されているデータを読み出すステップを有する。当該データは、ステップ STP3 において、書き込まれたデータに相当する（図 3 C 参照）。

【0091】

ステップ STP8 は、ステップ STP5 において読み出したメモリセル M [1] 乃至メモリセル M [5] のそれぞれのデータを、ストリング ST1 のメモリセル L [1] 乃至メモリセル L [5] に順次書き込む（コピーする）ステップを有する（図 3 C 参照）。

【0092】

なお、図 2 のフローチャートでは、ステップ STP7 の次にステップ STP8 が行われるように記載しているが、本発明の一態様の情報処理装置の動作方法は、これに限定されない。例えば、ステップ STP7 において、ストリング ST2 のメモリセル M [1] 乃至メモリセル M [5] のそれぞれに保持されているデータを順次読み出していき、読み出したデータからストリング ST1 のメモリセル L [2] 乃至メモリセル N [5] に順次書き込んでもよい。つまり、ステップ STP7 及びステップ STP8 は、同じステップとしてまとめてもよい。

【0093】

上述したステップ STP1 乃至ステップ STP8 のとおり、記憶部 1196 のストリングにデータを書き込むとき、ストリングに保持されたデータを書き換えるとき、などにおいて、記憶部 1196 の別のストリングのメモリセルをキャッシュメモリとして扱うことができる。

【0094】

ところで、図 1 に示す情報処理装置 50 において、回路を形成するための基板としては、例えば、半導体基板（例えば単結晶基板又はシリコン基板）を用いることが好ましい。また、当該基板としては、例えば、SOI 基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例

10

20

30

40

50

としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）、ポリテトラフルオロエチレン（PTFE）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ樹脂、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又はSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

10

【0095】

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に情報処理装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するために用いることができる。その際、トランジスタは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。

【0096】

つまり、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）を含む）、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

20

【0097】

なお、所定の機能を実現させるために必要な回路の全てを、同一の基板（例えば、ガラス基板、プラスチック基板、単結晶基板、又はSOI基板など）に形成することが可能である。こうして、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。

30

【0098】

なお、所定の機能を実現させるために必要な回路の全てを同じ基板に形成しないことが可能である。つまり、所定の機能を実現させるために必要な回路の一部は、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、別の基板に形成されていることが可能である。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板（又はSOI基板）に形成されることが可能である。そして、所定の機能を実現させるために必要な回路の別の一部が形成される単結晶基板（ICチップともいう）を、COG（Chip On Glass）によって、ガラス基板に接続して、ガラス基板にそのICチップを配置することが可能である。または、ICチップを、TAB（Tape Automated Bonding）、COF（Chip On Film）、SMT（Surface Mount Technology）、又はプリント基板などを用いてガラス基板と接続することが可能である。このように、回路の一部が画素部と同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。特に、駆動電圧が大きい部分の回路、又は駆動周波数が高い部分の回路などは、消費電力が大きくなってしまう場合が多い。そこで、このような回路を、画素部とは別の基板（例えば単結晶基板）に形成して、ICチップを

40

50

構成する。このＩＣチップを用いることによって、消費電力の増加を防ぐことができる。

【００９９】

なお、本発明の一態様は、図１に示す情報処理装置５０の構成に限定されない。本発明の一態様は、状況に応じて、図１に示す情報処理装置５０の構成を変更してもよい。例えば、図１に示す情報処理装置５０に含まれている記憶部１１９６のストリングの構成は、実施の形態２で説明するストリングの構成に変更してもよい。

【０１００】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【０１０１】

（実施の形態２）

本実施の形態では、実施の形態１の記憶部１１９６に適用できる記憶部（ＮＡＮＤ型の記憶回路）の構成例について説明する。

【０１０２】

<記憶部（記憶回路）の構成例>

記憶部の一例について、図４Ａを参照して説明する。図４Ａには、 n 個（ n は１以上の整数である。）のメモリセルの回路図が示されている。すなわち、図４Ａに示す回路は、メモリセル $MC[1]$ 乃至メモリセル $MC[n]$ のメモリセルと、それらを制御するための配線 $WWL[1]$ 乃至配線 $WWL[n]$ と、配線 $RWL[1]$ 乃至配線 $RWL[n]$ と、配線 WBL と、配線 RBL と、を有する。なお、配線 WWL は書き込みワード線として機能し、配線 RWL は読み出しワード線として機能し、配線 WBL は書き込みビット線として機能し、配線 RBL は読み出しビット線として機能する。

【０１０３】

それぞれのメモリセル MC は、トランジスタ WT_r と、トランジスタ RT_r と、容量 CS と、を有する。図４Ａに図示しているトランジスタ RT_r は、バックゲートを有するトランジスタであり、バックゲートに電位を印加することにより、トランジスタ RT_r のしきい値電圧を変動することができる。なお、図４Ａに図示している配線 BGL は、それぞれメモリセル $MC[1]$ 乃至メモリセル $MC[n]$ が有するトランジスタ RT_r のバックゲートと電氣的に接続されている。また、図４Ａに示す半導体装置は、配線 BGL がメモリセル $MC[1]$ 乃至メモリセル $MC[n]$ が有するトランジスタ RT_r のバックゲートのそれぞれと電氣的に接続されている構成でなく、当該バックゲートに対してそれぞれ独立に電氣的に接続して、それぞれ互いに異なった電位を印加する構成としてもよい。

【０１０４】

トランジスタ WT_r のチャネル形成領域は、例えば、実施の形態６で説明する金属酸化物を有することが好ましい。特に、インジウム、元素 M （元素 M としては、例えば、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなど）、亜鉛から一、又は複数選ばれた元素を有する金属酸化物の場合、当該金属酸化物は、ワイドギャップ半導体として機能するため、当該金属酸化物がチャネル形成領域に含まれているトランジスタは、オフ電流が非常に低い特性を有する。

【０１０５】

また、トランジスタ RT_r のチャネル形成領域としては、トランジスタの電界効果移動度が高くなる材料を用いるのが好ましい。このようなトランジスタを用いることにより、半導体装置をより早く動作することができる。例えば、トランジスタ RT_r のチャネル形成領域に含まれる材料としては、例えば、シリコン、実施の形態６で説明する金属酸化物などの半導体材料を有することができる。

【０１０６】

トランジスタ WT_r は、書き込みトランジスタとして機能し、トランジスタ RT_r は読み出しトランジスタとして機能する。トランジスタ WT_r のオン状態、オフ状態の切り替

10

20

30

40

50

えは、配線WWLに印加される電位によって行われる。容量CSの一方の電極の電位は、配線RWLで制御される。容量CSの他方の電極は、トランジスタRT_rのゲートに電氣的に接続されている。容量CSの他方の電極をメモリノードと言い換えることができる。各メモリセルMCのメモリノードは、そのメモリセルMCが有するトランジスタWT_rの第1端子に電氣的に接続されている。

【0107】

また、トランジスタWT_rの第2端子は、隣接するメモリセルMCのトランジスタWT_rの第1端子と直列に、電氣的に接続されている。同様に、トランジスタRT_rの第1端子は、隣接するメモリセルのトランジスタRT_rの第2端子と直列に、電氣的に接続されている。そして、メモリセルMC[n]が有するトランジスタWT_rの第2端子は、配線WBLと電氣的に接続され、メモリセルMC[n]が有するトランジスタRT_rの第2端子は、配線RBLと電氣的に接続されている。なお、本実施の形態では、メモリセルMC[n]が有するトランジスタRT_rの第2端子と配線RBLとの接続点をノードN1と呼称し、メモリセルMC[1]が有するトランジスタRT_rの第1端子をノードN2と呼称する。なお、ノードN1と配線RBLとの間の導通状態を制御するために、メモリセルMC[n]のトランジスタRT_rと直列に、選択用トランジスタを接続してもよい。同様に、ノードN2と接続された配線と、ノードN2との間の導通状態を制御するために、メモリセルMC[1]のトランジスタRT_rと直列に、選択用トランジスタを接続してもよい。

【0108】

なお、本発明の一態様は、図4Aに示す半導体装置に限定されない。本発明の一態様は、図4Aに示す半導体装置を適宜変更した回路構成とすることができる。例えば、本発明の一態様は、図4Bに示すとおり、トランジスタWT_rにもバックゲートを設けた半導体装置としてもよい。なお、図4Bに図示している半導体装置は、図4Aに図示している半導体装置の構成に加え、メモリセルMC[1]乃至メモリセルMC[n]が有するトランジスタWT_rにバックゲートを設けて、当該バックゲートのそれぞれに配線BGLと電氣的に接続した構成となっている。また、例えば、本発明の一態様は、図4Cに示すとおり、トランジスタRT_r、及びトランジスタWT_rにバックゲートを設けない半導体装置としてもよい。

【0109】

ところで、図4A乃至図4Cに示す半導体装置の記憶容量を更に増やしたい場合、図4A乃至図4Cに示す半導体装置をマトリクス状となるように並べて配置すればよい。例えば、図4Bに示す半導体装置をマトリクス状となるように並べて配置した場合、その回路構成は、図5に示す構成となる。

【0110】

図5に示す半導体装置は、図4Bに示した半導体装置を1列としてm列(mは1以上の整数である。)並べて配置したもので、配線RWL、及び配線WWLを同じ行のメモリセルMCと共有するように電氣的に接続した構成となっている。つまり、図5に示す半導体装置は、n行m列のマトリクス状の半導体装置であり、メモリセルMC[1, 1]乃至メモリセルMC[n, m]を有する。そのため、図5に示す半導体装置は、配線RWL[1]乃至配線RWL[n]と、配線WWL[1]乃至配線WWL[n]と、配線RBL[1]乃至配線RBL[m]と、配線WBL[1]乃至WBL[m]と、配線BGL[1]乃至配線BGL[m]と、によって、電氣的に接続されている。具体的には、メモリセルMC[j, i](jは1以上n以下の整数であり、iは1以上m以下の整数である。)の容量CSの一方の電極は、配線RWL[j]と電氣的に接続され、メモリセルMC[j, i]のトランジスタWT_rのゲートは、配線WWL[j]と電氣的に接続されている。配線WBL[i]は、メモリセルMC[n, i]のトランジスタWT_rの第2端子と電氣的に接続され、配線RBL[i]は、メモリセルMC[n, i]のトランジスタRT_rの第2端子と電氣的に接続されている。

【0111】

なお、図5は、メモリセルMC[1, 1]、メモリセルMC[1, i]、メモリセルM

10

20

30

40

50

C [1, m]、メモリセルMC [j, 1]、メモリセルMC [j, i]、メモリセルMC [j, m]、メモリセルMC [n, 1]、メモリセルMC [n, i]、メモリセルMC [n, m]、配線RWL [1]、配線RWL [j]、配線RWL [n]、配線WWL [1]、配線WWL [j]、配線WWL [n]、配線RBL [1]、配線RBL [i]、配線RBL [m]、配線WBL [1]、配線WBL [i]、配線WBL [m]、配線BGL [1]、配線BGL [i]、配線BGL [m]、容量CS、トランジスタWTr、トランジスタRTr、ノードN1、ノードN2のみ図示している。

【0112】

なお、本明細書等では、一例として、i列目のノードN1とノードN2との間に電氣的に接続されているメモリセルMC [1, i]乃至メモリセルMC [n, i]を、i列目のストリングと呼ぶ場合がある。また、一例として、j行目の配線RWL [j]及び配線WWL [j]に電氣的に接続されているメモリセルMC [j, 1]乃至メモリセルMC [j, m]をj行目のページと呼ぶ場合がある。また、一例として、図5に示すn行m列のマトリクス状に配置されたメモリセルMC [1, 1]乃至メモリセルMC [n, m]をまとめてブロックと呼ぶ場合がある。

【0113】

また、図4Cに示した半導体装置を1列としてm列(mは1以上の整数である。)並べて配置したものを、図6に示す。なお、図6に示す半導体装置は、全てのメモリセルMCが有するそれぞれのトランジスタにバックゲートを設けていない構成となっており、そのため、図6に示す半導体装置は、配線BGLを有していない。なお、図6に示す半導体装置については、図5に示す半導体装置の説明の記載を参酌する。

【0114】

<<動作方法例>>

次に、図4A乃至図4Cに示した半導体装置の動作方法の一例について説明する。なお、以下の説明で用いられる低レベル電位、高レベル電位は、特定の電位を意味するものではなく、配線が異なれば、具体的な電位も異なる場合がある。例えば、配線WWLに印加される低レベル電位、高レベル電位のそれぞれは、配線RWLに印加される低レベル電位、高レベル電位と異なる電位であってもよい。

【0115】

また、本動作方法例において、図4A、及び図4Bに示した配線BGLには、トランジスタRTr、トランジスタWTrが正常に動作する範囲内の電位があらかじめ印加されているものとする。そのため、図4A乃至図4Cに示す半導体装置の動作は、それぞれ互いに同様に考えることができる。

【0116】

図7Aは、半導体装置にデータを書き込む動作例を示したタイミングチャートであり、図7Bは、半導体装置からデータを読み出す動作例を示したタイミングチャートである。図7A、及び図7Bのそれぞれのタイミングチャートは、配線WWL [1]、配線WWL [2]、配線WWL [n]、配線RWL [1]、配線RWL [2]、配線RWL [n]、ノードN1、及びノードN2の電位の大きさの変化を示している。また、配線WBLは、配線WBLに供給されるデータについて示している。

【0117】

図7Aは、データD [1]乃至データD [n]のそれぞれをメモリセルMC [1]乃至メモリセルMC [n]に書き込む例を示している。なお、データD [1]乃至データD [n]は、2値、多値、アナログ値などとしてすることができる。そして、データD [1]乃至データD [n]は、配線WBLから供給されるものとする。つまり、図4A乃至図4Cに示す半導体装置の回路構成において、データの書き込みは、メモリセルMC [1]からメモリセルMC [n]に順次行われる。

【0118】

また、例えば、メモリセルMC [2]にデータを書き込んだ後に、メモリセルMC [1]にデータを書き込もうとすると、一度、メモリセルMC [2]に書き込まれているデー

10

20

30

40

50

タを読み出して別の場所に保存しないと、メモリセルMC [2] に保持されているデータは、メモリセルMC [1] にデータを書き込む段階で失われてしまう。

【0119】

図4A乃至図4Cに示す半導体装置の回路構成において、メモリセルMC [i] (ここでのiは2以上n以下の整数とする。)にデータを書き込む場合、メモリセルMC [1] 乃至メモリセルMC [i-1] に保持されているデータの書き換えを防ぐために、配線WWL [1] 乃至配線WWL [i-1] に低レベル電位を供給して、メモリセルMC [1] 乃至メモリセルMC [i-1] が有するそれぞれのトランジスタWTrをオフ状態にする。これにより、メモリセルMC [1] 乃至メモリセルMC [i-1] に保持されているそれぞれのデータを保護することができる。

10

【0120】

また、メモリセルMC [i] にデータを書きこむ場合、データは配線WBLから供給されるため、配線WWL [i] 乃至配線WWL [n] に高レベル電位を供給して、メモリセルMC [i] 乃至メモリセルMC [n] が有するそれぞれのトランジスタWTrを十分なオン状態にする。これにより、メモリセルMC [i] のメモリノードにデータを保持することができる。

【0121】

なお、図4A乃至図4Cに示す半導体装置の回路構成にデータを書き込む場合、配線RBLは他の配線とは独立に制御できるので、特定の電位にする必要は無いが、例えば、低レベル電位とすることができる。すなわち、ノードN1の電位は、低レベル電位とすることができる。加えて、ノードN2の電位も、低レベル電位とすることができる。

20

【0122】

上記を踏まえた上で、図7Aのタイミングチャートに示す動作例について説明する。時刻T10において、配線WWL [1] 乃至配線WWL [n]、配線RWL [1] 乃至配線RWL [n]、配線WBL、ノードN1、及びノードN2のそれぞれの電位は、低レベル電位となっている。

【0123】

時刻T11において、配線WWL [1] 乃至配線WWL [n] に高レベル電位の印加が開始される。これにより、時刻T11から時刻T12までの間において、メモリセルMC [1] 乃至メモリセルMC [n] が有するそれぞれのトランジスタWTrが十分なオン状態となる。そして、配線WBLには、データD [1] が供給される。メモリセルMC [1] 乃至メモリセルMC [n] が有するそれぞれのトランジスタWTrは十分なオン状態となっているため、データD [1] は、メモリセルMC [1] のメモリノードにまで到達して書き込まれる。

30

【0124】

時刻T12において、配線WWL [1] に低レベル電位の印加が開始され、配線WWL [2] 乃至配線WWL [n] には、引き続き、高レベル電位が印加されている。これにより、時刻T12から時刻T13までの間において、メモリセルMC [1] が有するトランジスタWTrがオフ状態となり、メモリセルMC [2] 乃至メモリセルMC [n] が有するそれぞれのトランジスタWTrが十分なオン状態となる。そして、配線WBLには、データD [2] が供給される。メモリセルMC [2] 乃至メモリセルMC [n] が有するそれぞれのトランジスタWTrは十分なオン状態となっているため、データD [2] は、メモリセルMC [2] のメモリノードにまで到達して書き込まれる。また、メモリセルMC [1] のトランジスタWTrはオフ状態となっているため、メモリセルMC [1] に保持されているデータD [1] は、この時刻T12から時刻T13までの書き込み動作によって失われない。

40

【0125】

時刻T13から時刻T14までの間では、時刻T11から時刻T12までの間のメモリセルMC [1] へのデータD [1] の書き込み動作と、時刻T12から時刻T13までの間のメモリセルMC [2] へのデータD [2] の書き込み動作と、のそれぞれと同様に、

50

メモリセルMC [3] 乃至メモリセルMC [n-1] のそれぞれに順次データD [3] 乃至データD [n-1] が書き込まれる。具体的には、既にデータが書き込まれたメモリセルMC [1] 乃至メモリセルMC [j-1] (ここでのjは3以上n-1以下の整数とする。)が有するトランジスタWTrをオフ状態とし、データが書き込まれていないメモリセルMC [j] 乃至メモリセルMC [n] が有するトランジスタWTrを十分なオン状態とし、データD [j] を配線WBLから供給して、メモリセルMC [j] のメモリノードに書き込めばよい。そして、メモリセルMC [j] へのデータD [j] の書き込みが終了した場合、メモリセルMC [j] が有するトランジスタWTrをオフ状態として、配線WBLからデータD [j+1] を供給して、メモリセルMC [j+1] のメモリノードに書き込む動作を行えばよい。特に、jがn-1のときの書き込み動作は、次に記載する、時刻T14から時刻T15までの動作を指す。

10

【0126】

時刻T14において、配線WWL [1] 乃至配線WWL [n-1] に低レベル電位が印加され、配線WWL [n] には、引き続き、高レベル電位が印加されている。これにより、時刻T14から時刻T15までの間において、メモリセルMC [1] 乃至メモリセルMC [n-1] が有するトランジスタWTrがオフ状態となり、メモリセルMC [n] が有するトランジスタWTrが十分なオン状態となる。そして、配線WBLには、データD [n] が供給される。メモリセルMC [n] が有するトランジスタWTrは十分なオン状態となっているため、データD [n] は、メモリセルMC [n] のメモリノードにまで到達して書き込まれる。また、メモリセルMC [1] 乃至メモリセルMC [n-1] のトランジスタWTrはオフ状態となっているため、メモリセルMC [1] 乃至メモリセルMC [n-1] のそれぞれに保持されているデータD [1] 乃至データD [n-1] は、この時刻T14から時刻T15までの間の書き込み動作によって失われることはない。

20

【0127】

上述の動作によって、図4A乃至図4Cに示す半導体装置のいずれか一において、その半導体装置の有するメモリセルMCに対してデータを書き込むことができる。

【0128】

図7Bは、データD [1] 乃至データD [n] のそれぞれをメモリセルMC [1] 乃至メモリセルMC [n] から読み出すタイミングチャートの例を示している。なお、このとき、各メモリセルMCに保持されたデータを維持するために、トランジスタWTrは、オフ状態であることが求められる。そのため、メモリセルMC [1] 乃至メモリセルMC [n] からデータを読み出す動作時において、配線WWL [1] 乃至配線WWL [n] の電位は低レベル電位とする。

30

【0129】

図4A乃至図4Cに示す半導体装置の回路構成において、特定のメモリセルMCのデータを読み出す場合、他のメモリセルMCが有するトランジスタRTrを十分なオン状態とした上で、当該特定のメモリセルMCが有するトランジスタRTrを飽和領域として動作させる。つまり、当該特定のメモリセルMCが有するトランジスタRTrのソースドレイン間に流れる電流は、ソースドレイン間電圧と、当該特定のメモリセルMCに保持されているデータと、に応じて決定される。

40

【0130】

例えば、メモリセルMC [k] (ここでのkは1以上n以下の整数とする。)に保持されているデータを読み出す場合を考える。このとき、メモリセルMC [k] を除いたメモリセルMC [1] 乃至メモリセルMC [n] が有するそれぞれのトランジスタRTrを十分なオン状態にするため、配線RWL [k] を除いた配線RWL [1] 乃至配線RWL [n] に高レベル電位が供給される。

【0131】

一方、メモリセルMC [k] が有するトランジスタRTrは、保持されているデータに応じたオン状態にするため、配線RWL [k] は、メモリセルMC [k] に当該データを書き込んだときの配線RWL [k] と同じ電位にする必要がある。なお、ここでは、書き

50

込み動作時及び読み出し動作時における配線RWL[k]の電位を低レベル電位として考える。

【0132】

例えば、ノードN1に+3V、ノードN2に0Vの電位を与える。そして、ノードN2をフローティングにして、その後のノードN2の電位を測定する。配線RWL[k]を除いた配線RWL[1]乃至配線RWL[n]の電位を高レベル電位とした場合、メモリセルMC[k]を除いたメモリセルMC[1]乃至メモリセルMC[n]が有するトランジスタRT_rが十分なオン状態となる。一方、メモリセルMC[k]が有するトランジスタRT_rの第1端子ー第2端子間の電圧は、当該トランジスタRT_rのゲートの電位とノードN1の電位によって定まるため、ノードN2の電位はメモリセルMC[k]のメモリノードに保持されたデータに応じて決まる。

10

【0133】

このようにして、メモリセルMC[k]に保持されているデータを読み出すことができる。

【0134】

上述を踏まえた上で、図7Bのタイミングチャートに示す動作例について説明する。時刻T20において、配線WWL[1]乃至配線WWL[n]、配線RWL[1]乃至配線RWL[n]、配線WBL、ノードN1、及びノードN2のそれぞれの電位は、低レベル電位となっている。特に、ノードN2は、フローティング状態となっている。そして、メモリセルMC[1]乃至メモリセルMC[n]のメモリノードには、それぞれデータD[1]乃至データD[n]が保持されているものとする。

20

【0135】

時刻T21から時刻T22までの間において、配線RWL[1]に低レベル電位の印加が開始され、配線RWL[2]乃至配線RWL[n]に高レベル電位の印加が開始される。これにより、時刻T21から時刻T22までの間において、メモリセルMC[2]乃至メモリセルMC[n]が有するそれぞれのトランジスタRT_rが十分なオン状態となる。そして、メモリセルMC[1]のトランジスタRT_rは、メモリセルMC[1]のメモリノードに保持されているデータD[1]に応じたオン状態となる。また、配線RBLに電位V_Rを供給する。これにより、ノードN1の電位はV_Rとなり、ノードN2の電位は、ノードN1の電位V_RとメモリセルMC[1]のメモリノードに保持されたデータとに応じて決まる。ここでは、ノードN2の電位を、V_D[1]とする。そして、ノードN2の電位V_D[1]を測定することによって、メモリセルMC[1]のメモリノードに保持されたデータD[1]を読み出すことができる。

30

【0136】

時刻T22から時刻T23までの間において、配線RWL[1]乃至配線RWL[n]に低レベル電位の印加が開始される。また、ノードN2には、低レベル電位が供給され、その後、ノードN2はフローティング状態となる。つまり、時刻T22から時刻T23までの間において、配線RWL[1]乃至配線RWL[n]、ノードN2のそれぞれの電位は、時刻T20から時刻T21までの間の状況と同じになる。なお、配線RBLには、引き続き、電位V_Rを供給してもよく、又は、低レベル電位を供給してもよい。本動作例では、配線RBLは、時刻T21以降、電位V_Rが供給され続けるものとする。

40

【0137】

時刻T23から時刻T24までの間において、配線RWL[2]に低レベル電位が印加され、配線RWL[1]、配線RWL[3]乃至配線RWL[n]に高レベル電位の印加が開始される。これにより、時刻T23から時刻T24までの間において、メモリセルMC[1]、メモリセルMC[3]乃至メモリセルMC[n]が有するそれぞれのトランジスタRT_rが十分なオン状態となる。そして、メモリセルMC[2]のトランジスタRT_rは、メモリセルMC[2]のメモリノードに保持されているデータD[2]に応じたオン状態となる。また、配線RBLには電位V_Rが引き続き供給されている。これにより、ノードN2の電位は、ノードN1の電位V_RとメモリセルMC[2]のメモリノードに保

50

持されたデータとに応じて決まる。ここでは、ノードN2の電位を、 $V_D[2]$ とする。そして、ノードN2の電位 $V_D[2]$ を測定することによって、メモリセルMC[2]のメモリノードに保持されたデータD[2]を読み出すことができる。

【0138】

時刻T24から時刻T25までの間では、時刻T20から時刻T22までの間のメモリセルMC[1]からのデータD[1]の読み出し動作と、時刻T22から時刻T24までの間のメモリセルMC[2]からのデータD[2]の読み出し動作と、のそれぞれと同様に、メモリセルMC[3]乃至メモリセルMC[n-1]のそれぞれから順次データD[3]乃至データD[n-1]が読み出される。具体的には、メモリセルMC[j]（ここでのjは3以上n-1以下の整数とする。）からデータD[j]を読み出す場合、ノードN2の電位を低レベル電位として、且つノードN2をフローティング状態にした後に、配線RWL[j]を除いた配線RWL[1]乃至配線RWL[n]に高レベル電位を供給して、メモリセルMC[j]を除いたメモリセルMC[1]乃至メモリセルMC[n]が有するトランジスタRTrを十分なオン状態にし、メモリセルMC[j]が有するトランジスタRTrをデータD[j]に応じたオン状態にする。次に、ノードN1の電位を V_R にすることで、ノードN2の電位は、データD[j]に応じた電位となり、この電位を測定することで、データD[j]を読み出すことができる。なお、メモリセルMC[j]に保持されたデータD[j]の読み出しが終わった後は、次の読み出し動作の準備として、配線RWL[1]乃至配線RWL[n]に低レベル電位の印加を開始して、ノードN2の電位を低レベル電位とし、その後、ノードN2はフローティング状態にする。特に、jがn-1のとき、この準備は、時刻T25から時刻T26までの間の動作を指す。

【0139】

時刻T25から時刻T26までの間において、配線RWL[1]乃至配線RWL[n]に低レベル電位の印加が開始される。また、ノードN2に低レベル電位の印加が開始され、ノードN2の電位が低レベル電位になった後、ノードN2はフローティング状態となる。つまり、時刻T25から時刻T26までの間において、配線RWL[1]乃至配線RWL[n]、ノードN2のそれぞれの電位は、時刻T20から時刻T21までの間の状況と同じになる。なお、配線RBLには、引き続き、電位 V_R を供給してもよく、又は、低レベル電位を印加してもよい。本動作例では、時刻T21に、配線RBLに電位 V_R の印加が開始されており、時刻T22以降は、配線RBLに電位 V_R が印加され続けるものとする。

【0140】

時刻T26において、配線RWL[n]に低レベル電位が印加され、配線RWL[1]乃至配線RWL[n-1]には、高レベル電位が供給される。これにより、時刻T26から時刻T27までの間において、メモリセルMC[1]乃至メモリセルMC[n-1]が有するそれぞれのトランジスタRTrが十分なオン状態となる。そして、メモリセルMC[n]のトランジスタRTrは、メモリセルMC[n]のメモリノードに保持されているデータD[n]に応じたオン状態となる。また、配線RBLには電位 V_R が引き続き供給されている。これにより、ノードN2の電位は、ノードN1の電位 V_R とメモリセルMC[n]のメモリノードに保持されたデータとに応じて決まる。ここでは、ノードN2の電位を、 $V_D[n]$ とする。そして、ノードN2の電位 $V_D[n]$ を測定することによって、メモリセルMC[n]のメモリノードに保持されたデータD[n]を読み出すことができる。

【0141】

上記の動作によって、図4A乃至図4Cに示す半導体装置のそれぞれのメモリセルMCからデータを読み出すことができる。

【0142】

なお、本発明の一態様の情報処理装置における動作は、上述した動作例に限定されない。本発明の一態様の情報処理装置における動作は、状況に応じて、上述した動作例を適宜変更してもよい。例えば、上述した読み出し動作では、ノードN1に電位 V_R を供給する

ことで、ノードN2から所望のメモリセルのMCのメモリノードに保持されたデータに応じた電位 V_D を読み出す。

【0143】

次に、図5、及び図6に示したNAND型の記憶回路を図1の記憶部1196に適用するために、キャッシュメモリとして扱う方法の一例について説明する。

【0144】

図8は、ブロックBLK__1乃至ブロックBLK__k(kは1以上の整数である。)を有する記憶部の構成例である。ブロックBLK__1乃至ブロックBLK__kのそれぞれは、例えば、図5、及び図6に示したn行m列のマトリクス状のメモリセルMC[1, 1]乃至メモリセルMC[n, m]を有する。なお、図8に示すブロックBLK__1乃至ブロックBLK__kには、ある列について着目したメモリセルMCのみを図示している。そのため、図8では、ブロックBLKに含まれているマトリクス状のメモリセルMCの行のアドレスを“[]”とし、ブロックBLKのアドレスを“__”として符号に記載し、符号への列のアドレスを省略している。また、図5に示す記憶部を図8に示す記憶部に構成を適用した場合、図8に示している各トランジスタのバックゲートは省略しているものとする。

【0145】

図8に示した記憶部は、図5、及び図6に示した記憶部に対して、トランジスタBTr__1乃至トランジスタBTr__kと、トランジスタSTr__1乃至トランジスタSTr__kと、を設けた構成となっている。

【0146】

具体的には、図8の記憶部において、配線RBL__1は、トランジスタBTr__1の第1端子と、トランジスタSTr__1の第1端子と、に電氣的に接続されている。また、トランジスタSTr__1の第2端子は、配線WBL__1と、スイッチSW__1の第1端子と、に電氣的に接続されている。配線RBL__h(hは1以上k以下の整数である。)は、トランジスタBTr__hの第1端子と、トランジスタSTr__hの第1端子と、に電氣的に接続されている。また、トランジスタSTr__hの第2端子は、配線WBL__hと、スイッチSW__hの第1端子と、に電氣的に接続されている。配線RBL__kは、トランジスタBTr__kの第1端子と、トランジスタSTr__kの第1端子と、に電氣的に接続されている。また、トランジスタSTr__kの第2端子は、配線WBL__kと、スイッチSW__kの第1端子と、に電氣的に接続されている。

【0147】

スイッチSW__1乃至スイッチSW__kのそれぞれの第2端子は、配線LN1に電氣的に接続されている。また、スイッチSW__1乃至スイッチSW__kのそれぞれの第3端子は、配線LN2に電氣的に接続されている。

【0148】

スイッチSW__1乃至スイッチSW__kのそれぞれは、第1端子と第2端子又は第3端子のどちらか一方との間を導通状態にする機能を有する。つまり、スイッチSW__1乃至スイッチSW__kのそれぞれは、ブロックBLK__1乃至ブロックBLK__kのそれぞれを、配線LN1又は配線LN2のどちらに導通状態にするかを選択することができる。

【0149】

配線LN1は、例えば、ブロックBLK__1乃至ブロックBLK__kのそれぞれのストリングのメモリセルに対して、書き込み用のデータを送信する配線として機能する。また、配線LN2は、例えば、ブロックBLK__1乃至ブロックBLK__kのそれぞれのストリングのメモリセルから読み出したデータを送信する配線として機能する。なお、本発明の一態様の情報処理装置は、この構成に限定されない。例えば、配線LN1、配線LN2は2本でなく、1本にまとめもよい(この場合、スイッチSW__1乃至スイッチSW__kは設けなくてもよい。)、3本以上にしてもよい(この場合、スイッチSW__1乃至スイッチSW__kのそれぞれを、配線の数に応じたセレクト回路などに置き換えればよい)。

【0150】

トランジスタBTr__1乃至トランジスタBTr__kのそれぞれは、配線RBL__1乃

10

20

30

40

50

至配線 RBL__k のそれぞれのノード N1 の電位を調整するためのトランジスタとして機能する。このため、トランジスタ BTr__1 乃至トランジスタ BTr__k のそれぞれの第 2 端子、及びゲートには、所定の電位が入力されているものとする。具体的には、例えば、ブロック BLK__h (h は 1 以上 k 以下の整数である。) のメモリセル MC [1]__h 乃至メモリセル MC [n]__h のいずれか一から電位を読み出したとき、トランジスタ BTr [i] は、配線 RBL__h のノード N1 の当該電位を書き込み用の電位に変動させる機能を有する。そのため、トランジスタ BTr__1 乃至トランジスタ BTr__k は、センサンプなどの増幅回路に置き換えてもよい。

【0151】

トランジスタ ST r__1 乃至トランジスタ ST r__k のそれぞれは、スイッチング素子として機能する。そのため、トランジスタ ST r__1 乃至トランジスタ ST r__k のそれぞれのゲートには、トランジスタ ST r__1 乃至トランジスタ ST r__k のそれぞれのオン状態又はオフ状態への切り替えを行うための信号を送信する配線に電氣的に接続されている。

10

【0152】

次に、図 8 の記憶部の一部がキャッシュメモリとして機能するときの、当該記憶部の動作方法について説明する。また、当該動作方法の説明については、図 9 に示す記憶部を用いることとする。

【0153】

図 9 の記憶部は、図 8 の記憶部を簡易的に示したものである。具体的には、図 9 の記憶部は、図 8 の記憶部において、m を 3 とし、k を 3 とした構成となっている。

20

【0154】

図 9 の記憶部は、ブロック BLK__1 乃至ブロック BLK__3 を有し、ブロック BLK__1 乃至ブロック BLK__3 のそれぞれは、1 個以上のストリングを有する。具体的には、ブロック BLK__1 は、1 個のストリングとしてメモリセル MC [1]__1 乃至メモリセル MC [3]__1 を有し、ブロック BLK__2 は、1 個のストリングとしてメモリセル MC [1]__2 乃至メモリセル MC [3]__2 を有し、ブロック BLK__3 は、1 個のストリングとしてメモリセル MC [1]__3 乃至メモリセル MC [3]__3 を有する。

【0155】

ブロック BLK__2 のストリングに含まれているメモリセル MC [1]__2 乃至メモリセル MC [3]__2 のそれぞれのメモリノードにはデータが保持されているものとする。具体的には、例えば、メモリセル MC [1]__2 乃至メモリセル MC [3]__2 のそれぞれのメモリノードには、電位として V [1]__2、V [2]__2、V [3]__2 が保持されているものとする。

30

【0156】

また、ブロック BLK__1 のストリングに含まれているメモリセル MC [1]__1 乃至メモリセル MC [3]__1、ブロック BLK__3 のストリングに含まれているメモリセル MC [1]__3 乃至メモリセル MC [3]__3 のそれぞれのメモリノードにはデータが保持されていないものとする。

【0157】

ここで、メモリセル MC [1]__2 のメモリノードに保持されている V [1]__2 を書き換える場合を考える。

40

【0158】

メモリセル MC [1]__2 のメモリノードの電位を書き換える場合、配線 WBL__2 から、メモリセル MC [2]__2 及びメモリセル MC [3]__2 のそれぞれのトランジスタ WTr を介して、メモリセル MC [1]__2 に書き換え用のデータを送るため、メモリセル MC [2]__2 及びメモリセル MC [3]__3 のそれぞれのメモリノードにあらかじめ保持されている、V [2]__2、V [3]__2 を一時的に退避する必要がある。

【0159】

初めに、書き換え用のデータとして電位 V_{REW} を、例えば、ブロック BLK__1 のスト

50

リングに含まれているメモリセルMC [3] __ 1のメモリノードに書き込む。具体的には、スイッチSW__ 1の第1端子と第2端子との間を導通状態にし、配線WWL [3] __ 1に高レベル電位を入力してメモリセルMC [3] __ 1のトランジスタWTrをオン状態にし、配線LN1からVREWを入力する。このとき、ブロックBLK__ 2の配線WWL [3] __ 2、及びブロックBLK__ 3の配線WWL [3] __ 3に低レベル電位を入力して、メモリセルMC [3] __ 2、及びメモリセルMC [3] __ 3のそれぞれのトランジスタWTrをオフ状態にして、配線WBL__ 1からブロックBLK__ 2及びブロックBLK__ 3のそれぞれのメモリセルMCへのVREWの書き込みを防ぐ必要がある。または、スイッチSW__ 2及びスイッチSW__ 3のそれぞれにおいて、第1端子と第3端子との間を導通状態、つまり、第1端子と第2端子との間を非導通状態にすればよい。

10

【0160】

なお、このとき、メモリセルMC [3] __ 1はキャッシュメモリとしてみなすことができる。

【0161】

次に、ブロックBLK__ 2のメモリセルMC [3] __ 2のメモリノードに保持されているV [3] __ 2を一時的に退避させる。本動作例では、メモリセルMC [3] __ 2のメモリノードのV [3] __ 2をブロックBLK__ 3のメモリセルMC [2] __ 3のメモリノードに退避させるものとする。具体的には、スイッチSW__ 2及びスイッチSW__ 3のそれぞれの第1端子と第2端子との間を導通状態にし、配線RWL [1] __ 2、及び配線RWL [2] __ 2に高レベル電位を入力して、メモリセルMC [1] __ 2、及びメモリセルMC [2] __ 2のそれぞれのトランジスタRTrが十分なオン状態となるように、メモリセルMC [1] __ 2、及びメモリセルMC [2] __ 2のそれぞれのメモリノードの電位を高くする。また、トランジスタSTr__ 2のゲートに高レベル電位を入力してトランジスタSTr__ 2をオン状態にする。また、トランジスタSTr__ 3のゲートに低レベル電位を入力してトランジスタSTr__ 3をオフ状態にし、ブロックBLK__ 3の配線WWL [2] __ 3、及び配線WWL [3] __ 3に高レベル電位を入力して、メモリセルMC [2] __ 3、及びメモリセルMC [3] __ 3のそれぞれのトランジスタWTrをオン状態にする。

20

【0162】

ここで、ブロックBLK__ 2のノードN2にVRを供給することによって、ブロックBLK__ 2のノードN1の電位を、ブロックBLK__ 2のメモリセルMC [3] __ 2のメモリノードに保持されたV [3] __ 2に応じた電位とすることができる。また、トランジスタBTr__ 2によってノードN1の電位をV [3] __ 2に変動させることができる。

30

【0163】

また、このとき、ブロックBLK__ 2のノードN1と、ブロックBLK__ 3のメモリセルMC [2] __ 3のメモリノードと、の間が導通状態となるため、ブロックBLK__ 3のメモリセルMC [2] __ 3のメモリノードの電位がV [3] __ 2となる。その後、配線WWL [2] __ 3に低レベル電位を入力して、メモリセルMC [2] __ 3のトランジスタWTrをオフ状態にすることによって、メモリセルMC [2] __ 3のメモリノードにV [3] __ 2の電位を保持することができる。

【0164】

40

次に、ブロックBLK__ 2のメモリセルMC [2] __ 2のメモリノードに保持されているV [2] __ 2を一時的に退避させる。本動作例では、メモリセルMC [2] __ 2のメモリノードのV [2] __ 2をブロックBLK__ 3のメモリセルMC [3] __ 3のメモリノードに退避させるものとする。具体的には、スイッチSW__ 2及びスイッチSW__ 3のそれぞれの第1端子と第2端子との間を導通状態にし、配線RWL [1] __ 2、及び配線RWL [3] __ 2に高レベル電位を入力して、メモリセルMC [1] __ 2、及びメモリセルMC [3] __ 2のそれぞれのトランジスタRTrが十分なオン状態となるように、メモリセルMC [1] __ 2、及びメモリセルMC [3] __ 2のそれぞれのメモリノードの電位を高くする。また、トランジスタSTr__ 2のゲートに高レベル電位を入力してトランジスタSTr__ 2をオン状態にする。また、トランジスタSTr__ 3のゲートに低レベル電位を

50

入力してトランジスタ STr_3 をオフ状態にし、ブロック BLK_3 の配線 WWL_3 に高レベル電位を入力して、メモリセル MC_3 のそれぞれのトランジスタ WTr をオン状態にする。

【0165】

ここで、ブロック BLK_2 のノード $N2$ に V_R を供給することによって、ブロック BLK_2 のノード $N1$ の電位を、ブロック BLK_2 のメモリセル MC_2 のメモリノードに保持された V_2 に応じた電位とすることができる。また、トランジスタ BTr_2 によってノード $N1$ の電位を V_2 に変動させることができる。

【0166】

また、このとき、ブロック BLK_2 のノード $N1$ と、ブロック BLK_3 のメモリセル MC_3 のメモリノードと、の間が導通状態となるため、ブロック BLK_3 のメモリセル MC_3 のメモリノードの電位が V_2 となる。その後、配線 WWL_3 に低レベル電位を入力して、メモリセル MC_3 のトランジスタ WTr をオフ状態にすることによって、メモリセル MC_3 のメモリノードに V_2 の電位を保持することができる。

【0167】

次に、ブロック BLK_2 のメモリセル MC_1 乃至メモリセル MC_3 のそれぞれのメモリノードに保持されているデータを消去する。

【0168】

具体的には、初めに、スイッチ SW_2 の第1端子と第2端子との間を導通状態にし、トランジスタ STr_1 乃至トランジスタ STr_3 のそれぞれのゲートに低レベル電位を入力して、トランジスタ STr_1 乃至トランジスタ STr_3 のそれぞれをオフ状態にする。また、ブロック BLK_1 の配線 WWL_3 及びブロック BLK_3 の配線 WWL_3 に低レベル電位を入力して、ブロック BLK_1 のメモリセル MC_1 及びブロック BLK_3 のメモリセル MC_3 のそれぞれのトランジスタ WTr をオフ状態にする。また、スイッチ SW_1 、スイッチ SW_3 のそれぞれの第1端子と第3端子との間を導通状態、つまり、第1端子と第2端子との間を非導通状態にしてもよい。

【0169】

その後に、ブロック BLK_2 の配線 WWL_1 乃至配線 WWL_3 のそれぞれに高レベル電位を入力して、ブロック BLK_2 のメモリセル MC_1 乃至メモリセル MC_3 のそれぞれのトランジスタ WTr をオン状態にする。このとき、配線 $LN1$ から、メモリセル MC_1 乃至メモリセル MC_3 のそれぞれのメモリノードにデータの初期化用の電位（例えば、低レベル電位、接地電位など）を与えることによって、メモリセル MC_1 乃至メモリセル MC_3 のそれぞれのメモリノードに保持された電位を初期化用の電位に書き換える。その後、ブロック BLK_2 の配線 WWL_1 乃至配線 WWL_3 のそれぞれに低レベル電位を入力して、ブロック BLK_2 のメモリセル MC_1 乃至メモリセル MC_3 のそれぞれのトランジスタ WTr をオフ状態にすることによって、ブロック BLK_2 のメモリセル MC_1 乃至メモリセル MC_3 のそれぞれのデータの消去が完了する。なお、以下に説明するデータの書き込みのタイミングで、メモリセル MC_1 乃至メモリセル MC_3 のトランジスタ WTr をオン状態にすることで、データが書き換わるため、先に説明した消去動作は、行わなくてもよい。

【0170】

次に、ブロック BLK_1 のメモリセル MC_3 のメモリノードに保持されている V_{REW} をブロック BLK_2 のメモリセル MC_1 に書き込む。具体的には、スイッチ SW_1 及びスイッチ SW_2 のそれぞれの第1端子と第2端子との間を導通状態にし、配線 RWL_1 及び配線 RWL_2 に高レベル電位を入力して、メモリセル MC_1 及びメモリセル MC_2 のそれぞれのトランジスタ RTr が十分なオン状態となるように、メモリセル MC_1 及びメモリセル MC_2

10

20

30

40

50

] __1のそれぞれのメモリノードの電位を高くする。また、トランジスタSTr__1のゲートに高レベル電位を入力してトランジスタSTr__1をオン状態にする。また、トランジスタSTr__2のゲートに低レベル電位を入力してトランジスタSTr__2をオフ状態にし、ブロックBLK__2の配線WWL [1] __3乃至配線WWL [3] __3に高レベル電位を入力して、メモリセルMC [1] __3乃至メモリセルMC [3] __3のそれぞれのトランジスタWTrをオン状態にする。

【0171】

このとき、ブロックBLK__3の配線WWL [3] __3に低レベル電位を入力してメモリセルMC [3] __3のトランジスタWTrをオフ状態にし、トランジスタSTr__3のゲートに低レベル電位を入力してトランジスタSTr__3をオフ状態にして、ブロックBLK__1からブロックBLK__3のメモリセルMC [3] __3へのV_{REW}の書き込みを防ぐ必要がある。又は、スイッチSW__3の第1端子と第3端子との間を導通状態、つまり、第1端子と第2端子との間を非導通状態にしてもよい。

10

【0172】

ここで、ブロックBLK__1のノードN2にV_Rを供給することによって、ブロックBLK__1のノードN1の電位を、ブロックBLK__1のメモリセルMC [3] __1のメモリノードに保持されたV_{REW}に応じた電位とすることができる。また、トランジスタBTr__2によってノードN1の電位をV_{REW}に変動させることができる。

【0173】

また、このとき、ブロックBLK__1のノードN1と、ブロックBLK__2のメモリセルMC [1] __2のメモリノードと、の間が導通状態となるため、ブロックBLK__2のメモリセルMC [1] __2のメモリノードの電位がV_{REW}となる。その後、配線WWL [1] __2に低レベル電位を入力して、メモリセルMC [1] __2のトランジスタWTrをオフ状態にすることによって、メモリセルMC [1] __2のメモリノードにV_{REW}の電位を保持することができる。

20

【0174】

次に、ブロックBLK__3のメモリセルMC [3] __3のメモリノードに保持されているV [2] __2を、ブロックBLK__2のメモリセルMC [2] __2に書き戻す。具体的には、スイッチSW__2及びスイッチSW__3のそれぞれの第1端子と第2端子との間を導通状態にし、配線RWL [1] __3、及び配線RWL [2] __3に高レベル電位を入力して、メモリセルMC [1] __3、及びメモリセルMC [2] __3のそれぞれのトランジスタRTrが十分なオン状態となるように、メモリセルMC [1] __3、及びメモリセルMC [2] __3のそれぞれのメモリノードの電位を高くする。また、トランジスタSTr__3のゲートに高レベル電位を入力してトランジスタSTr__3をオン状態にする。また、トランジスタSTr__2のゲートに低レベル電位を入力してトランジスタSTr__2をオフ状態にし、ブロックBLK__2の配線WWL [2] __2、及び配線WWL [3] __2に高レベル電位を入力して、メモリセルMC [2] __2、及びメモリセルMC [3] __2のそれぞれのトランジスタWTrをオン状態にする。

30

【0175】

このとき、ブロックBLK__1の配線WWL [3] __1に低レベル電位を入力してメモリセルMC [3] __1のトランジスタWTrをオフ状態にし、トランジスタSTr__1のゲートに低レベル電位を入力してトランジスタSTr__1をオフ状態にして、ブロックBLK__3からブロックBLK__1のメモリセルMC [3] __1へのV [2] __2の書き込みを防ぐ必要がある。又は、スイッチSW__1の第1端子と第3端子との間を導通状態、つまり、第1端子と第2端子との間を非導通状態にしてもよい。

40

【0176】

ここで、ブロックBLK__3のノードN2にV_Rを供給することによって、ブロックBLK__3のノードN1の電位を、ブロックBLK__3のメモリセルMC [3] __3のメモリノードに保持されたV [2] __2に応じた電位とすることができる。また、トランジスタBTr__3によってノードN1の電位をV [2] __2に変動させることができる。

50

【0177】

また、このとき、ブロックBLK_3のノードN1と、ブロックBLK_2のメモリセルMC[2]_2のメモリノードと、の間が導通状態となるため、ブロックBLK_2のメモリセルMC[2]_2のメモリノードの電位がV[2]_2となる。その後、配線WWL[2]_2に低レベル電位を入力して、メモリセルMC[2]_2のトランジスタWTrをオフ状態にすることによって、メモリセルMC[2]_2のメモリノードへのV[2]_2の電位の書き戻しが完了する。

【0178】

次に、ブロックBLK_3のメモリセルMC[2]_3のメモリノードに保持されているV[3]_2を、ブロックBLK_2のメモリセルMC[3]_2に書き戻す。具体的には、スイッチSW_2及びスイッチSW_3のそれぞれの第1端子と第2端子との間を導通状態にし、配線RWL[1]_3、及び配線RWL[3]_3に高レベル電位を入力して、メモリセルMC[1]_3、及びメモリセルMC[3]_3のそれぞれのトランジスタRTrが十分なオン状態となるように、メモリセルMC[1]_3、及びメモリセルMC[3]_3のそれぞれのメモリノードの電位を高くする。また、トランジスタSTr_3のゲートに高レベル電位を入力してトランジスタSTr_3をオン状態にする。また、トランジスタSTr_2のゲートに低レベル電位を入力してトランジスタSTr_2をオフ状態にし、ブロックBLK_2の配線WWL[3]_2に高レベル電位を入力して、メモリセルMC[3]_2のそれぞれのトランジスタWTrをオン状態にする。

【0179】

このとき、ブロックBLK_1の配線WWL[3]_1に低レベル電位を入力してメモリセルMC[3]_1のトランジスタWTrをオフ状態にし、トランジスタSTr_1のゲートに低レベル電位を入力してトランジスタSTr_1をオフ状態にして、ブロックBLK_3からブロックBLK_1のメモリセルMC[3]_1へのV[3]_2の書き込みを防ぐ必要がある。又は、スイッチSW_1の第1端子と第3端子との間を導通状態、つまり、第1端子と第2端子との間を非導通状態にしてもよい。

【0180】

ここで、ブロックBLK_3のノードN2にVRを供給することによって、ブロックBLK_3のノードN1の電位を、ブロックBLK_3のメモリセルMC[2]_3のメモリノードに保持されたV[3]_2に応じた電位とすることができる。また、トランジスタBTr_3によってノードN1の電位をV[3]_2に変動させることができる。

【0181】

また、このとき、ブロックBLK_3のノードN1と、ブロックBLK_2のメモリセルMC[3]_2のメモリノードと、の間が導通状態となるため、ブロックBLK_2のメモリセルMC[3]_2のメモリノードの電位がV[3]_2となる。その後、配線WWL[3]_2に低レベル電位を入力して、メモリセルMC[3]_2のトランジスタWTrをオフ状態にすることによって、メモリセルMC[3]_2のメモリノードへのV[3]_2の電位の書き戻しが完了する。

【0182】

上述した動作を行うことにより、図8、又は図9に示した記憶部は、当該記憶部にデータを書き込むとき、当該記憶部に保持されたデータを書き換えるとき、などにおいて、当該記憶部の一部をキャッシュメモリとして扱うことができる。

【0183】

ところで、情報処理装置の環境（温度、湿度など）や自然放射線に起因するソフトエラーなどで、図8、又は図9に示した記憶部のストリングのそれぞれのメモリセルに含まれているトランジスタWTr、トランジスタRTr、トランジスタBTr、トランジスタSTrの少なくとも一のトランジスタ特性が劣化する（例えば、オフ状態でのトランジスタのソースドレイン間電流が大きくなる）場合がある。この場合、図1の情報処理装置50のコントローラ1197に、記憶部に含まれているストリング（メモリセル）へのエラーチェックを行う機能を有することで、図8、又は図9に示した記憶部のストリングに対

10

20

30

40

50

して、エラーチェックを行うことができる。また、コントローラ 1197 は、エラーチェックを行ったメモリセルにエラーが発見されたときに、そのメモリセルを含むストリングへのアクセスを中止して、他のストリングへのアクセスを行う機能を有してもよい。

【0184】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0185】

(実施の形態 3)

本実施の形態では、実施の形態 1 で説明した情報処理装置の構成例、及び当該情報処理装置に適用可能なトランジスタの構成例について説明する。

【0186】

<情報処理装置の構成例 1>

図 10 に示す情報処理装置は、記憶部 100 と、制御部 200 と、を有する。図 10 はトランジスタ 300 のチャンネル長方向の断面図であり、図 11 はトランジスタ 300 のチャンネル幅方向の断面図である。

【0187】

図 10 において、制御部 200 は、図 1 におけるコントローラ 1197 を含む回路に相当し、記憶部 100 は、図 1 における記憶部 1196 に相当する。

【0188】

初めに、制御部 200 に含まれているトランジスタ 300 と、その周辺に形成されている絶縁体、導電体などと、について説明する。

【0189】

トランジスタ 300 は、一例として、基板 311 上に設けられ、導電体 316、絶縁体 315、基板 311 の一部からなる半導体領域 313、ソース領域又はドレイン領域として機能する低抵抗領域 314a、及び低抵抗領域 314b を有する。なお、トランジスタ 300 は、例えば、コントローラ 1197 に含まれているトランジスタなどに適用することができる。

【0190】

また、基板 311 としては、半導体基板（例えば単結晶基板又はシリコン基板）を用いることが好ましい。

【0191】

トランジスタ 300 は、図 11 に示すように、半導体領域 313 の上面及びチャンネル幅方向の側面が絶縁体 315 を介して導電体 316 に覆われている。このように、トランジスタ 300 を Fin 型とすることにより、実効上のチャンネル幅が増大することによりトランジスタ 300 のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ 300 のオフ特性を向上させることができる。

【0192】

なお、トランジスタ 300 は、p チャンネル型、あるいは n チャンネル型のいずれでもよい。

【0193】

半導体領域 313 のチャンネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域 314a、及び低抵抗領域 314b などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）、GaN（窒化ガリウム）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又は GaAs と GaAlAs 等を用いることで、トランジスタ 300 を HEMT（High Electron Mobility Transistor）としてもよい。

【0194】

低抵抗領域 314a、及び低抵抗領域 314b は、半導体領域 313 に適用される半導

10

20

30

40

50

体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、又はホウ素などのp型の導電性を付与する元素を含む。

【0195】

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

【0196】

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化 tantalum などの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

【0197】

なお、図10、図11に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。例えば、情報処理装置の制御部200をOSトランジスタのみの単極性回路としてもよい。

【0198】

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326が順に積層して設けられている。

【0199】

絶縁体320、絶縁体322、絶縁体324、及び絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【0200】

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0201】

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨(CMP)法等を用いた平坦化処理により平坦化されている。

【0202】

また、絶縁体324には、基板311、又はトランジスタ300などから、トランジスタ700、複数のトランジスタ800、トランジスタ900を含む記憶部100に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

【0203】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ700、複数のトランジスタ800、及びトランジスタ900がOSトランジスタである場合、トランジスタ700、複数のトランジスタ800、及びトランジスタ900の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ700、複数のトランジスタ800、及びトランジスタ900と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0204】

水素の脱離量は、例えば、昇温脱離ガス分析法(TDS)などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が

10

20

30

40

50

50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たり換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

【0205】

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0206】

また、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326には、一例として、導電体328、及び導電体330等が埋め込まれている。なお、導電体328、及び導電体330は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

【0207】

各プラグ、及び配線（導電体328、導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0208】

絶縁体326、及び導電体330上に、配線層を設けてもよい。例えば、図10において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、トランジスタ300と接続するプラグ、又は配線としての機能を有する。なお導電体356は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

【0209】

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300と、トランジスタ700、複数のトランジスタ800、及びトランジスタ900を含む記憶部100とは、バリア層により分離することができ、トランジスタ300から記憶部100への水素の拡散を抑制することができる。

【0210】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

【0211】

絶縁体354、及び導電体356上に、水素に対するバリア性を有する絶縁体を用いることが好ましい。例えば、図10において、絶縁体354、及び導電体356上に、絶縁体360が設けられている。なお、絶縁体360に開口部を設けて、導電体356に電気的に接続されるように導電体が形成されていてもよい。このとき、当該導電体は、プラグ

10

20

30

40

50

又は配線としての機能を有する。また、当該導電体は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。特に、当該導電体は、水素に対するバリア性を有する導電体を含むことが好ましい。

【0212】

また、絶縁体 360 に水素に対するバリア性を有する絶縁体を用いて、かつ当該導電体に水素に対するバリア性を有する導電体を用いることによって、トランジスタ 300 と、後述するトランジスタ 700、複数のトランジスタ 800、及びトランジスタ 900 と、の間をバリア層により分離することができる。このため、トランジスタ 300 から、トランジスタ 700、複数のトランジスタ 800、及びトランジスタ 900 への水素の拡散を抑制することができる。

10

【0213】

次に、記憶部 100 に含まれているトランジスタ 700 と、複数のトランジスタ 800 と、トランジスタ 900 と、その周辺に形成されている絶縁体、導電体などと、について説明する。

【0214】

図 10 には、記憶部 100 が 3 次元構造の NAND 型の記憶回路を有する例を示している。図 10 に示す情報処理装置の記憶部 100 は、3 次元構造の NAND 型の記憶回路の構成要素として、トランジスタ 700 と、複数のトランジスタ 800 と、トランジスタ 900 と、を有する。なお、トランジスタ 700、及びトランジスタ 900 は、それらと同じ開口部に位置する複数のトランジスタ 800 を選択するためのトランジスタに相当し、トランジスタ 800 は、データを記憶するセルトランジスタに相当する。なお、本明細書等において、同じ開口部に位置するトランジスタ 700、複数のトランジスタ 800、トランジスタ 900 をストリングと呼ぶ場合がある。

20

【0215】

図 10 に示す記憶部 100 は、制御部 200 上に設けられている。また、記憶部 100 は、制御部 200 の上方において、絶縁体 111 乃至絶縁体 117、絶縁体 121、絶縁体 122、絶縁体 131、絶縁体 132、絶縁体 133、導電体 151 乃至導電体 156、半導体 141 乃至半導体 143 を有する。

【0216】

絶縁体 111 は、制御部 200 の上方に設けられている。このため、絶縁体 111 の下部に位置する絶縁体 360 は、平坦性のよい成膜方法によって、形成されることが好ましい。また、絶縁体 360 に対して CMP 処理が行われていることが好ましい。

30

【0217】

絶縁体 111 としては、例えば、酸化シリコン又は酸化窒化シリコンを含む材料を用いることができる。また、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、タンタルなどから選ばれた材料を含む絶縁体を、単層で、又は積層で用いることができる。

【0218】

導電体 151 は、絶縁体 111 に積層して設けられている。導電体 151 は、一例として、記憶部 100 の全てのストリングに対して所定の電位を与える配線として機能する。

40

【0219】

導電体 151 としては、例えば、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を 1 種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。また、実施の形態 6 で説明する金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いてもよい。また、チタン、タンタルなどの金属元素及び窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなど

50

の窒素を含む導電性材料を用いてもよい。また、例えば、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物などを用いてもよい。また、例えば、窒素を含むインジウムガリウム亜鉛酸化物などを用いてもよい。このような材料を用いることで、周辺の絶縁体などから混入する水素、又は水を捕獲することができる場合がある。

【0220】

導電体151の形成方法に特に限定は無い。例えば、スパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE（Molecular Beam Epitaxy）法、ALD（Atomic Layer Deposition）法、PLD（Pulsed Laser Deposition）法などによって成膜することができる。

10

【0221】

絶縁体112乃至絶縁体117としては、例えば、絶縁体111と同様の材料を用いることができる。また、絶縁体112乃至絶縁体117としては、例えば、誘電率の低い材料を用いることが好ましい。絶縁体112乃至絶縁体117として、誘電率の低い材料を用いることで、導電体152乃至導電体156と、絶縁体112乃至絶縁体117によって生じる寄生容量の値を低くすることができる。そのため、記憶部100の駆動速度を向上させることができる。

【0222】

20

絶縁体112乃至絶縁体117の形成方法に特に限定は無い。例えば、スパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法、PLD法などによって成膜することができる。

【0223】

導電体152は、トランジスタ900のゲート、及び当該ゲートに電気的に接続されている配線として機能する。また、導電体153乃至導電体155は、複数のトランジスタ800のゲート、及び当該ゲートに電気的に接続されている配線として機能する。また、導電体156は、トランジスタ700のゲート、及び当該ゲートに電気的に接続されている配線として機能する。

【0224】

30

導電体152乃至導電体156としては、例えば、導電体151と同様の材料を用いることができる。また、導電体152乃至導電体156の形成方法としては、導電体151と同様の方法を用いることができる。

【0225】

また、絶縁体112乃至絶縁体117、導電体152乃至導電体156には、開口部が設けられている。当該開口部には、絶縁体121、絶縁体122、絶縁体131乃至絶縁体133、半導体141乃至半導体143が設けられている。

【0226】

半導体141は、当該開口部の一部の側面、及び底面に接するように設けられている。具体的には、半導体141は、一部の導電体151上に設けられ、かつ開口部の側面の絶縁体112の一部を覆うように設けられている。

40

【0227】

半導体141としては、例えば、不純物が拡散されたシリコンとするのが好ましい。当該不純物としては、n型不純物（ドナー）を用いることができる。n型不純物としては、例えば、リン、ヒ素などを用いることができる。また、当該不純物としてp型不純物（アクセプタ）を用いることができる。p型不純物としては、例えば、ボロン、アルミニウム、ガリウムなどを用いることができる。また、シリコンとしては、例えば、単結晶シリコン、水素化アモルファスシリコン、微結晶シリコン、または多結晶シリコン等を用いることができる。また、半導体141としては、シリコン以外では、キャリア濃度の高い金属酸化物を適用できる場合がある。また、Geなどの半導体、ZnSe、CdS、GaAs

50

、InP、GaN、SiGeなどの化合物半導体を適用できる場合がある。

【0228】

なお、後述する半導体142、半導体143に適用する材料は、半導体141と同じ材料であることが好ましく、半導体142のキャリア濃度は、半導体141、半導体143よりも低いことが好ましい場合がある。

【0229】

例えば、半導体141として、p型不純物が拡散されたシリコンを適用する場合、半導体141を導電体151上に形成した後に、半導体141に対して、ボロン、アルミニウム、ガリウムなどのp型不純物を添加するのが好ましい。これにより、半導体141にはp型領域が形成される。また、例えば、n型不純物が拡散されたシリコンを適用する場合、半導体141を導電体151上に形成した後に、半導体141に対して、リン、ヒ素などのn型不純物を添加するのが好ましい。これにより、半導体141にはn型領域が形成される。

10

【0230】

また、半導体141として、一例として、金属酸化物を適用する場合、半導体141を導電体151上に形成した後に、半導体141に対して、金属元素などを添加するのが好ましい。これにより、半導体141においてキャリア濃度を増やすことができる。特に、半導体141として実施の形態6で説明する金属酸化物を適用する場合、半導体141にはn型領域(n^+ 領域)が形成される。また、半導体141に対して、金属元素などを添加するのではなく、水、水素などを添加後に熱処理を行って、半導体141に酸素欠損を生じさせてもよい。半導体141において酸素欠損が生じた領域にはn型領域が形成されるため、結果的に半導体141のキャリア濃度が増えることになる。

20

【0231】

絶縁体121は、当該開口部の一部の底面に接するように設けられている。具体的には、絶縁体121は、半導体141上の一部と、開口部の側面の導電体152を覆うように設けられている。

【0232】

絶縁体121は、トランジスタ900のゲート絶縁膜として機能する。

【0233】

絶縁体121としては、例えば、酸化シリコン、酸化窒化シリコンなどを用いることができる。特に、後述する半導体142として金属酸化物を用いる場合、絶縁体121は、加熱によって酸素を離脱する材料であることが好ましい。酸素を含む絶縁体121を半導体142として適用している金属酸化物に接して設けることにより、当該金属酸化物中の酸素欠損を低減し、トランジスタ900の信頼性を向上させることができる。

30

【0234】

絶縁体121の成膜方法に特に限定は無いが、絶縁体121は、絶縁体112、導電体152、及び絶縁体113に設けられた開口部の側面に形成されるため、被膜性の高い成膜方法が求められる。被膜性の高い成膜方法としては、例えば、ALD法などが挙げられる。

【0235】

絶縁体131は、当該開口部の一部の側面に接するように設けられている。具体的には、絶縁体131は、当該開口部の側面の導電体153乃至導電体155を覆うように設けられている。そのため、絶縁体131は、開口部の側面の絶縁体114、絶縁体115も覆うように設けられている。

40

【0236】

絶縁体132は、絶縁体131に接するように設けられている。また、絶縁体133は、絶縁体132に接するように設けられている。つまり、絶縁体131乃至絶縁体133は、当該開口部の側面から中心に向かって、順に積層されている。

【0237】

絶縁体131は、トランジスタ800のゲート絶縁膜として機能する。また、絶縁体1

50

３２は、トランジスタ８００の電荷蓄積層として機能する。また、絶縁体１３３は、トランジスタ８００のトンネル絶縁膜として機能する。

【０２３８】

絶縁体１３１としては、例えば、酸化シリコンや、酸化窒化シリコンを用いることが好ましい。また、絶縁体１３１としては、例えば、酸化アルミニウム、酸化ハフニウム、またはアルミニウムおよびハフニウムを有する酸化物などを用いることができる。また、絶縁体１３１としては、これらを積層した絶縁体としてもよい。そして、絶縁体１３１を絶縁体１３３よりも厚くすることで、後述する半導体１４２から、絶縁体１３３を介して、絶縁体１３２に電荷の移動を行わせることができる。

【０２３９】

絶縁体１３２としては、例えば、窒化シリコンや、窒化酸化シリコンを用いることができる。ただし、絶縁体１３２に適用できる材料は、これらに限定されない。

【０２４０】

絶縁体１３３としては、例えば、酸化シリコン、又は酸化窒化シリコンを用いることが好ましい。また、絶縁体１３３としては、例えば、酸化アルミニウム、酸化ハフニウム、又は、アルミニウム及びハフニウムを有する酸化物などを用いてもよい。また、絶縁体１３３としては、これらを積層した絶縁体としてもよい。

【０２４１】

絶縁体１２２は、当該開口部の一部の側面に接するように設けられている。具体的には、開口部の側面の導電体１５６を覆うように設けられている。

【０２４２】

絶縁体１２２は、トランジスタ７００のゲート絶縁膜として機能する。

【０２４３】

絶縁体１２２としては、例えば、絶縁体１２１と同様の材料を用いることができる。また、絶縁体１２２の形成方法としては、絶縁体１２１と同様の方法とすることができる。

【０２４４】

半導体１４２は、当該開口部において、形成された絶縁体１２１、絶縁体１３３、及び絶縁体１２２の側面に接するように、設けられている。

【０２４５】

半導体１４２は、トランジスタ７００、トランジスタ８００、トランジスタ９００のチャネル形成領域、及びトランジスタ７００、トランジスタ８００、トランジスタ９００を直列に電氣的に接続するための配線として機能する。

【０２４６】

半導体１４２としては、例えば、シリコンを用いることが好ましい。また、シリコンとしては、例えば、単結晶シリコン、水素化アモルファスシリコン、微結晶シリコン、または多結晶シリコンなどを用いることができる。また、半導体１４２としては、シリコン以外では、金属酸化物を適用できる場合がある。また、Geなどの半導体、ZnSe、CdS、GaAs、InP、GaN、SiGeなどの化合物半導体を適用できる場合がある。

【０２４７】

半導体１４３は、当該開口部に半導体１４１、半導体１４２、絶縁体１２１、絶縁体１２２、絶縁体１３１、絶縁体１３２、絶縁体１３３が形成された後に、当該開口部を埋めるように設けられる。具体的には、半導体１４３は、絶縁体１２２上、及び、半導体１４２上に接し、絶縁体１１７の側面に接するように、設けられる。

【０２４８】

半導体１４３としては、例えば、半導体１４１と同様の材料にすることが好ましい。そのため、半導体１４１と半導体１４３のそれぞれの極性は等しくすることが好ましい。

【０２４９】

絶縁体１１７、及び半導体１４３上に、配線層を設けてもよい。例えば、図１０において、配線層として、絶縁体３８２、及び絶縁体３８４が順に積層して設けられている。また、絶縁体３８２、及び絶縁体３８４には、導電体３８６が形成されている。導電体３８

10

20

30

40

50

6 は、プラグ又は配線としての機能を有する。なお導電体 3 8 6 は、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

【0 2 5 0】

なお、本発明の一態様の情報処理装置は、図 1 0 に示した記憶部 1 0 0 が有する N A N D 型の記憶回路の構成に限定されない。本発明の一態様の情報処理装置に適用する N A N D 型の記憶回路は、図 1 0 に示した N A N D 型の記憶回路とは異なる構成としてもよい。

【0 2 5 1】

< 情報処理装置の構成例 2 >

図 1 2 に、図 1 0 と異なる、情報処理装置の構成例を示している。図 1 2 に示す情報処理装置は、図 1 0 の情報処理装置の記憶部 1 0 0 の構成を変更した構成となっており、具体的には、図 1 2 の情報処理装置の記憶部 1 0 0 は、実施の形態 2 で説明した図 4 A の記憶部の構成となっている。

【0 2 5 2】

図 1 2 に示す情報処理装置の記憶部 1 0 0 において、一例として、3 次元構造の N A N D 型の記憶回路に含まれているメモリセル M C [1] は、トランジスタ R T r と、トランジスタ W T r と、容量 C S と、を有する。

【0 2 5 3】

また、図 1 2 に示す記憶部 1 0 0 は、図 1 0 の情報処理装置と同様に、制御部 2 0 0 上に設けられている。また、記憶部 1 0 0 は、制御部 2 0 0 の上方において、絶縁体 2 1 1 乃至絶縁体 2 1 5、絶縁体 2 4 0 乃至絶縁体 2 4 3、導電体 2 2 1、導電体 2 2 2、導電体 2 5 0 乃至導電体 2 5 3、半導体 2 3 1、半導体 2 3 2 を有する。

【0 2 5 4】

絶縁体 2 4 0 は、制御部 2 0 0 の上方に設けられている。このため、絶縁体 2 4 0 の下部に位置する絶縁体 3 6 0 は、平坦性のよい成膜方法によって、形成されることが好ましい。また、絶縁体 3 6 0 に対して C M P 処理が行われていることが好ましい。

【0 2 5 5】

絶縁体 2 4 0 としては、例えば、絶縁体 1 1 1 に適用できる材料を用いることができる。

【0 2 5 6】

絶縁体 2 4 1 は、絶縁体 2 4 0 に積層して設けられている。

【0 2 5 7】

絶縁体 2 4 1 としては、例えば、絶縁体 2 4 0 と同様に、絶縁体 1 1 1 に適用できる材料を用いることができる。

【0 2 5 8】

また、絶縁体 2 4 0 には導電体 2 5 0 が埋め込まれており、絶縁体 2 4 1 には導電体 2 5 1 が埋め込まれている。導電体 2 5 0、及び導電体 2 5 1 は、プラグ又は配線としての機能を有する。また、図 1 0 と同様に、図 1 2 に示すプラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

【0 2 5 9】

導電体 2 5 0、及び導電体 2 5 1 としては、例えば、導電体 3 2 8、及び導電体 3 3 0 に適用できる材料を用いることができる。

【0 2 6 0】

絶縁体 2 1 1 は、絶縁体 2 4 1 上に設けられている。また、導電体 2 2 1 は、絶縁体 2 1 1 上に設けられている。また、絶縁体 2 1 2 は、導電体 2 2 1 上に設けられている。また、導電体 2 2 2 は、絶縁体 2 1 2 上に設けられている。つまり、絶縁体 2 1 1、導電体 2 2 1、絶縁体 2 1 2、導電体 2 2 2 は、この順に積層されている（これらを積層体と呼称する。）。また、図 1 2 の情報処理装置の記憶部 1 0 0 は、1 個のストリングに含まれているメモリセル M C の数だけ積層体を有する。

【0 2 6 1】

また、図 12 の情報処理装置の作製工程上、絶縁体 211、導電体 221、絶縁体 212、導電体 222 には、レジストマスク形成とエッチング処理などによって開口部が設けられる。また、このとき、導電体 221 が選択的に除去されて、絶縁体 211、導電体 221、絶縁体 212 によって凹部が形成されるようにする。この場合、導電体 221 としては、絶縁体 211、絶縁体 212、及び導電体 222 よりもエッチングレートが高くなるような材料とすることが好ましい。

【0262】

なお、レジストマスクの形成は、例えば、リソグラフィ法、印刷法、インクジェット法等を適宜用いて行うことができる。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。また、エッチング処理については、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。

【0263】

また、詳しくは後述するが、エッチング処理によって形成された開口部には、絶縁体 213、半導体 231、絶縁体 214、絶縁体 215、半導体 232、絶縁体 216、導電体 223 が順に形成される。

【0264】

絶縁体 211、絶縁体 212 としては、一例として、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。そのため、絶縁体 211、絶縁体 212 としては、例えば、絶縁体 111 と同様の材料を用いることができる。

【0265】

導電体 221、導電体 222 としては、例えば、導電体 151 に適用できる材料を用いることが好ましい。特に、導電体 221、導電体 222 としては、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。

【0266】

前述したエッチング処理によって形成された開口部の側面には、絶縁体 213、半導体 231 が順に形成される。また、当該開口部の凹部を埋めるように、絶縁体 214 が形成される。

【0267】

絶縁体 214 の形成方法としては、例えば、初めに当該開口部の凹部が埋まる程度に、当該開口部の側面に絶縁体 214 を形成し、その後、当該凹部に絶縁体 214 を残し、かつ半導体 231 が露出するように、絶縁体 214 の一部をエッチング処理によって除去すればよい。

【0268】

絶縁体 213 としては、例えば、酸化シリコンや、酸化窒化シリコンを用いることができる。また、絶縁体 213 としては、例えば、酸化アルミニウム、酸化ハフニウム、またはアルミニウムおよびハフニウムを有する酸化物などを用いることができる。また、絶縁体 213 としては、これらを積層した絶縁体としてもよい。

【0269】

半導体 231 としては、実施の形態 6 で説明する金属酸化物を用いることが好ましい。本実施の形態では、以後、半導体 231 として金属酸化物が適用されたものとする。特に金属酸化物としては、後述する C A A C - O S を用いると好適である。例えば、半導体 231 に多結晶シリコンを用いる場合、当該多結晶シリコン中に形成されうるグレインバウンダリーによって、電子トラップ密度が上昇し、トランジスタ特性が大きくばらつく可能性がある。一方で C A A C - O S は、明確な結晶粒界が確認されないため、トランジスタ特性のばらつきを抑制することができる。

【0270】

また、絶縁体 214 を形成する前において、形成された半導体 231 に対して、酸素雰囲気中で熱処理を行うことで、半導体 231 の金属酸化物に酸素を供給することができる。その後、絶縁体 214 を形成した後に、半導体 231 の金属酸化物に不純物などの供給処理を行うことで、半導体 231 の開口部に露出した領域の抵抗を下げるができる。つ

まり、半導体 2 3 1 の絶縁体 2 1 4 に接する領域は高抵抗領域となり、半導体 2 3 1 の絶縁体 2 1 4 に接しない領域は低抵抗領域となる。

【0 2 7 1】

また、半導体 2 3 1 の金属酸化物への不純物などの供給処理としては、例えば、開口部の凹部に絶縁体 2 1 4 を埋めた後での、開口部の側面への導電体の形成、及び当該導電体の除去が挙げられる。半導体 2 3 1 の金属酸化物に当該導電膜が接することによって、当該導電膜に含まれている金属元素が、半導体 2 3 1 に拡散して、半導体 2 3 1 の構成元素と、金属化合物が形成される場合がある。この金属化合物によって、半導体 2 3 1 に低抵抗領域が形成される。

【0 2 7 2】

絶縁体 2 1 4 としては、先に形成した半導体 2 3 1 との界面、及び界面近傍において、半導体 2 3 1 に含まれる成分と化合物を形成する成分でないことが好ましい。具体的には、例えば、絶縁体 2 1 4 としては、例えば、酸化シリコンなどを用いることができる。

【0 2 7 3】

その後、半導体 2 3 1、絶縁体 2 1 4 の形成面上に、絶縁体 2 1 5、半導体 2 3 2、絶縁体 2 1 6、導電体 2 2 3 が順に形成される。なお、導電体 2 2 3 の形成によって、積層体に設けられた開口部が埋まるものとする。

【0 2 7 4】

絶縁体 2 1 5、及び絶縁体 2 1 6 としては、例えば、絶縁体 2 1 3 に適用できる材料を用いることが好ましい。

【0 2 7 5】

半導体 2 3 2 としては、例えば、半導体 2 3 1 と同様に、実施の形態 6 で説明する金属酸化物を用いることが好ましい。

【0 2 7 6】

導電体 2 2 3 としては、例えば、導電体 1 5 1 に適用できる材料を用いることが好ましい。特に、導電体 2 2 3 としては、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。

【0 2 7 7】

形成されたストリングの上部には、絶縁体 2 4 2、及び絶縁体 2 4 3 が順に設けられている。

【0 2 7 8】

絶縁体 2 4 2、及び絶縁体 2 4 3 としては、例えば、絶縁体 1 1 1 に適用できる材料を用いることができる。

【0 2 7 9】

また、絶縁体 2 4 2 には導電体 2 5 2 が埋め込まれており、絶縁体 2 4 3 には導電体 2 5 3 が埋め込まれている。導電体 2 5 2、及び導電体 2 5 3 は、プラグ又は配線としての機能を有する。

【0 2 8 0】

導電体 2 5 2、及び導電体 2 5 3 としては、例えば、導電体 3 2 8、及び導電体 3 3 0 に適用できる材料を用いることができる。

【0 2 8 1】

上述した工程を行うことにより、図 4 A の記憶部 1 0 0 を有する情報処理装置を作製することができる。

【0 2 8 2】

具体的には、図 4 A の記憶部における配線 W B L、配線 R B L、配線 B G L のそれぞれは、図 1 2 の半導体 2 3 1、半導体 2 3 2、導電体 2 2 3 に対応する。また、図 4 A の記憶部における配線 W W L、配線 R W L のそれぞれは、導電体 2 2 1、導電体 2 2 2 に対応する。

【0 2 8 3】

このため、導電体 2 2 2 を一方の電極とし、導電体 2 2 2 に接する絶縁体 2 1 3 の領域

10

20

30

40

50

を誘電体とし、導電体 222 と重畳する半導体 231 の領域を他方の電極とする、容量 C S が構成される。また、導電体 222 と重畳する半導体 231 の領域をゲートとし、導電体 222 と重畳する絶縁体 215 の領域をゲート絶縁膜とし、導電体 222 と重畳する半導体 232 の領域をチャネル形成領域とし、導電体 222 と重畳する絶縁体 216 の領域をゲート絶縁膜とし、導電体 222 と重畳する導電体 223 の領域をバックゲートとする、トランジスタ R T r が構成される。また、導電体 221 をゲートとし、導電体 221 と重畳する絶縁体 213 をゲート絶縁膜とし、導電体 221 と重畳する半導体 231 の領域をチャネル形成領域とする、トランジスタ W T r が構成される。

【0284】

なお、本明細書等で開示された、絶縁体、導電体、半導体などは、PVD (Physical Vapor Deposition) 法、CVD (Chemical Vapor Deposition) 法により形成することができる。PVD 法としては、例えば、スパッタリング法、抵抗加熱蒸着法、電子ビーム蒸着法、PLD (Pulsed Laser Deposition) 法などが挙げられる。また、CVD 法として、プラズマ CVD 法、熱 CVD 法を用いて形成などが挙げられる。特に、熱 CVD 法としては、例えば、MOCVD (Metal Organic Chemical Vapor Deposition) 法や ALD (Atomic Layer Deposition) 法などが挙げられる。

10

【0285】

熱 CVD 法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

20

【0286】

熱 CVD 法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0287】

また、ALD 法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて 2 種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第 1 の原料ガスと同時またはその後に不活性ガス（アルゴン、或いは窒素など）などを導入し、第 2 の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第 2 の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第 1 の原料ガスを排出した後、第 2 の原料ガスを導入してもよい。第 1 の原料ガスが基板の表面に吸着して第 1 の薄い層を成膜し、後から導入される第 2 の原料ガスと反応して、第 2 の薄い層が第 1 の薄い層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細な FET を作製する場合に適している。

30

40

【0288】

MOCVD 法や ALD 法などの熱 CVD 法は、これまでに記載した実施形態に開示された金属膜、半導体膜、無機絶縁膜など様々な膜を形成することができ、例えば、In-Ga-Zn-O 膜を成膜する場合には、トリメチルインジウム ($\text{In}(\text{CH}_3)_3$)、トリメチルガリウム ($\text{Ga}(\text{CH}_3)_3$)、及びジメチル亜鉛 ($\text{Zn}(\text{CH}_3)_2$) を用いる。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム ($\text{Ga}(\text{C}_2\text{H}_5)_3$) を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛 ($\text{Zn}(\text{C}_2\text{H}_5)_2$) を用いることもできる。

【0289】

例えば、ALD を利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒

50

とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム（ TDMAH 、 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ ）などのハフニウムアミド）を気化させた原料ガスと、酸化剤としてオゾン（ O_3 ）の２種類のガスを用いる。また、他の材料としては、テトラキス（エチルメチルアミド）ハフニウムなどがある。

【０２９０】

例えば、ＡＬＤを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体（トリメチルアルミニウム（ TMA 、 $\text{Al}(\text{CH}_3)_3$ ）など）を気化させた原料ガスと、酸化剤として H_2O の２種類のガスを用いる。また、他の材料としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（２，２，６，６－テトラメチル－３，５－ヘプタンジオナート）などがある。

【０２９１】

例えば、ＡＬＤを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、酸化性ガス（ O_2 、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

【０２９２】

例えば、ＡＬＤを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを順次繰り返し導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

【０２９３】

例えば、ＡＬＤを利用する成膜装置により酸化物半導体膜、例えば In-Ga-Zn-O 膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入して In-O 層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入して Ga-O 層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ ガスと O_3 ガスを順次繰り返し導入して Zn-O 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを用いて In-Ga-O 層や In-Zn-O 層、 Ga-Zn-O 層などの混合酸化物層を形成しても良い。なお、 O_3 ガスに替えて Ar 等の不活性ガスで水をバブリングして得られた H_2O ガスを用いても良いが、 H を含まない O_3 ガスを用いる方が好ましい。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Ga}(\text{CH}_3)_3$ ガスにかえて、 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Zn}(\text{CH}_3)_2$ ガスを用いても良い。

【０２９４】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【０２９５】

（実施の形態４）

本実施の形態では、本発明の一態様の情報処理装置の応用例について説明する。

【０２９６】

一般に、コンピュータは、構成要素として、マザーボード上にプロセッサ、メインメモリ、ストレージなどを有し、それぞれの構成要素は、一例として、バス配線によって、電氣的に接続されている。このため、バス配線が長くなるほど寄生抵抗が大きくなるため、信号の送信に必要な消費電力も高くなる。

【０２９７】

具体的には、コンピュータとしては、例えば、図１３Ａに示すような構成となる。コンピュータは、マザーボードＢＤを有し、またマザーボードＢＤ上には、演算処理装置（プロセッサ、ＣＰＵなど）１０、メインメモリ（ DRAM （ $\text{Dynamic Random Access Memory}$ ）など）３０、ストレージ（三次元構造の NAND 型の記憶装置、 3D OS NAND 型の記憶装置など）４０、インターフェース６０などが設けられている。なお、図１３には、メインメモリとしても機能する SRAM （ Static

10

20

30

40

50

R a n d o m A c c e s s M e m o r y) 2 0 も図示しているが、マザーボード B D 上に必ずしも設けなくてもよい。

【 0 2 9 8 】

なお、図 1 3 には、演算処理装置 1 0 がレジスタ 1 1 を有する構成を図示している。

【 0 2 9 9 】

図 1 3 A において、演算処理装置 1 0 は、S R A M 2 0 と、メインメモリ 3 0 と、ストレージ 4 0 と、インターフェース 6 0 と、に電氣的に接続されている。また、メインメモリ 3 0 は、S R A M 2 0 と、ストレージ 4 0 と、に電氣的に接続されている。

【 0 3 0 0 】

なお、図 1 3 A のコンピュータの各構成要素は、バス配線 B S H によって電氣的に接続されている。つまり、コンピュータの構成要素が増えるほど、又は、マザーボード B D が大きくなるほど、引き回されるバス配線 B S H が長くなるため、信号の送信に必要な消費電力が高くなる。

【 0 3 0 1 】

ところで、図 1 3 A のコンピュータは、当該コンピュータの各構成要素を 1 個のチップにまとめて、モノリシック I C (I n t e g r a t e d C i r c u i t) にまとめてもよい。また、このとき、上記の実施の形態で説明した、図 1 などの情報処理装置 5 0 をメインメモリ 3 0 及びストレージ 4 0 として適用することができる。このように、図 1 3 A のコンピュータをモノリシック I C としたものを図 1 3 B に示す。

【 0 3 0 2 】

図 1 3 B のモノリシック I C は、S i を有する半導体基板上に、回路層 L G C を有する。また、回路層 L G C の上部に記憶層 S T R を有し、記憶層 S T R の上部に回路層 O S C を有する。

【 0 3 0 3 】

回路層 L G C は、例えば、S i を有する半導体基板 S B T に形成される S i トランジスタを含む複数の回路を有する。当該複数の回路の一部としては、例えば、図 1 3 A における、演算処理装置 1 0 、S R A M 2 0 などとすることができる。また、図 1 などの情報処理装置をメインメモリ 3 0 及びストレージ 4 0 として適用した場合、当該複数の回路の一部としては、情報処理装置 5 0 に含まれているコントローラ 1 1 9 7 とすることができる。

【 0 3 0 4 】

特に、S R A M 2 0 は、一例として、S i トランジスタを用いることによって、S R A M の駆動周波数を高くすることができる。

【 0 3 0 5 】

記憶層 S T R は、S i トランジスタ、及び／又は O S トランジスタを有する記憶部として機能する。記憶層 S T R としては、例えば、三次元構造の N A N D 型の記憶回路、3 D O S N A N D 型の記憶回路などとすることができる。そのため、記憶層 S T R は、図 1 の情報処理装置における記憶部 1 1 9 6 、図 1 3 A におけるストレージ 4 0 などと有する。

【 0 3 0 6 】

なお、3 D O S N A N D 型の記憶回路を用いることによって、図 1 3 B のモノリシック I C の消費電力を低減することができる。

【 0 3 0 7 】

回路層 O S C は、例えば、O S トランジスタを含む複数の回路を有する。当該複数の回路の一部としては、例えば、演算処理装置 1 0 、S R A M 2 0 など回路層 L G C に含まれている回路とは異なる、回路とすることができる。

【 0 3 0 8 】

図 1 3 B のモノリシック I C では、マザーボード上に引き回すためのバス配線 B S H を設けていないため、それぞれの構成要素同士を電氣的に接続する配線が短くなる。このため、信号の送信に必要な消費電力を低くすることができる。

【 0 3 0 9 】

また、図 1 3 B のモノリシック I C は、情報処理装置 5 0 を有している。このため、情

10

20

30

40

50

報処理装置50は、図13Aにおけるストレージ40と、メインメモリ30と、の役割として機能する。このため、図13BのモノリシックICは、メインメモリ30を記憶層STRの記憶部1196とすることができる。

【0310】

バス配線BSHを設けていない点、メインメモリ30の代替として記憶部1196を用いる点によって、図13BのモノリシックICは、図13Aのコンピュータよりも回路面積を低減することができる。

【0311】

次に、図13Aのコンピュータ、及び図13BのモノリシックICの記憶階層の一例をそれぞれ図14A、及び図14Bに示す。

【0312】

一般に、記憶階層は、上層に位置する記憶装置ほど速い動作速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図14Aでは、一例として、最上層から順にCPU（演算処理装置10）に含まれているレジスタと、SRAMと、メインメモリ30に含まれているDRAMと、ストレージ40に含まれている三次元構造のNAND型の記憶回路と、を示している。

【0313】

演算処理装置10に含まれているレジスタと、SRAMと、は、演算結果の一時保存などに用いられるため、演算処理装置10からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

【0314】

メインメモリ30に含まれているDRAMは、一例として、ストレージ40から読み出されたプログラムやデータを保持する機能を有する。DRAMの記録密度は、およそ0.1乃至0.3 Gbit/mm²である。

【0315】

ストレージ40は、長期保存が必要なデータや、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージ40には動作速度よりも大きな記憶容量と高い記録密度が求められる。ストレージ40に用いられる記憶装置の記録密度は、およそ0.6乃至6.0 Gbit/mm²である。このため、ストレージ40としては、三次元構造のNAND型の記憶回路（3DOS NAND）、ハードディスクドライブ（HDD）などが用いられる。

【0316】

ところで、図13BのモノリシックICは、前述した通り、図1の情報処理装置50は、図13Aのストレージ40、及びメインメモリ30の役割を有するため、図13BのモノリシックICの記憶階層は図14Bに示すとおりとなる。

【0317】

つまり、図13BのモノリシックICにおいて、図1の情報処理装置50の記憶部100に含まれているメモリセル（3DOS NANDのセル）は、記憶部100のキャッシュメモリだけでなく、図13Aのコンピュータにおけるメインメモリ30として扱うことができる。このため、図13BのモノリシックICでは、DRAMなどのメインメモリ30を設ける必要がなくなるため、図13BのモノリシックICの回路面積を低減することができ、また、DRAMなどのメインメモリ30を動作させることに必要な消費電力を低減することができる。

【0318】

なお、図13Bに示したモノリシックICの構成は、一例であり、本発明の一態様に限定されない。図13Bに示したモノリシックICは、状況に応じて、構成を変更してもよい。例えば、図13BのモノリシックICにおいて、例えば、SRAMとして1GHz以上の高速なメモリが求められる場合には、SRAMは、演算処理装置に混載されてもよい。

【0319】

10

20

30

40

50

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0320】

(実施の形態5)

本実施の形態では、本明細書などのNAND型の記憶装置への書き込み方法の一例について説明する。

【0321】

図15Aは、演算処理装置（プロセッサ、CPUなど）70と、記憶装置（三次元構造のNAND型の記憶装置、3DOS NAND型の記憶装置）80と、の電氣的な接続を示している。具体的には、演算処理装置70は、複数の配線90を介して、記憶装置80に電氣的に接続されている。

10

【0322】

演算処理装置70は、複数の配線90を介して、記憶装置80に、記憶装置80に含まれているメモリセルに書き込むためのデータを送信する機能を有する。つまり、複数の配線90は、上述した実施の形態の配線WBLなどに相当する、書き込みビット線として機能する。例えば、記憶装置80がNAND構造の記憶装置であって、複数のストリングを有している場合、複数の配線90のそれぞれは、複数のストリングに電氣的に接続されている。

【0323】

ところで、記憶装置80に含まれているメモリセルへのデータの書き込み速度を速めるには、配線90の形成として抵抗値の低い材料を用いる、配線90の長さを短くする、などが挙げられる。

20

【0324】

また、記憶装置80に含まれているメモリセルへのデータの書き込み速度を速める手段としては、配線90の本数を増やせばよい。つまり、配線90の本数（配線90に電氣的に接続されている記憶装置80のストリングの数）を増やすことによって、1回に書き込めるメモリセルへのデータの数を増やすことができる。

【0325】

次に、図15Bを用いて、書き込みデータの送信方法について説明する。

【0326】

演算処理装置70は、一例として、ラッチ回路LT1[1]乃至ラッチ回路LT1[z]（zは2以上の整数とする。）と、ラッチ回路LT2[1]乃至ラッチ回路LT2[z]と、配線90[1]乃至配線90[z]と、を有する。また、記憶装置80は、一例として、NAND型の記憶装置として、ストリングSTG[1]乃至ストリングSTG[z]を有する。

30

【0327】

演算処理装置70において、ラッチ回路LT1[1]乃至ラッチ回路LT1[z]は、シフトレジスタを構成している。そのため、ラッチ回路LT1[1]乃至ラッチ回路LT1[z]のそれぞれのクロック入力端子には、クロック信号を送信する配線CLKが電氣的に接続されている。当該シフトレジスタは、ラッチ回路LT1[1]の入力端子に入力された書き込み用のデータDAを、配線CLKからクロック信号として入力されたパルス電圧の回数に応じて、順次、ラッチ回路LT1[2]乃至ラッチ回路LT1[z]に送信することができる。

40

【0328】

また、ラッチ回路LT1[v]（ここでのvは1以上z以下の整数とする。）の出力端子は、ラッチ回路LT2[v]の入力端子に電氣的に接続されている。そのため、ラッチ回路LT1[v]から出力されたデータDAは、ラッチ回路LT2[v]に入力される。また、ラッチ回路LT2[v]は、配線90[v]を介してストリングSTG[v]と電氣的に接続される。

【0329】

50

ラッチ回路LT2[1]乃至ラッチ回路LT2[z]のそれぞれのクロック入力端子には、配線ENLが電氣的に接続されている。配線ENLは、演算処理装置70から記憶装置80にデータDAを送信するためのトリガー信号を送信する配線として機能する。

【0330】

シリアル伝送によって、ラッチ回路LT1[1]にデータDAが入力されることで、ラッチ回路LT1[1]にデータDAが順次入力されていく。ここでは、ラッチ回路LT1[1]乃至ラッチ回路LT1[z]に順次データDAが入力されていき、ラッチ回路LT1[1]乃至ラッチ回路LT1[z]のそれぞれにデータDA[1]乃至データDA[z]が格納されたものとする。

【0331】

このとき、ラッチ回路LT1[1]乃至ラッチ回路LT1[z]のそれぞれの出力端子からは、データDA[1]乃至データDA[z]が出力される。また、データDA[1]乃至データDA[z]のそれぞれは、ラッチ回路LT2[1]乃至ラッチ回路LT2[z]に入力される。

【0332】

このようにして、シリアル伝送によって入力されたデータDAを、データDA[1]乃至データDA[z]としてラッチ回路LT1[1]乃至ラッチ回路LT1[z]に分配することができる。言い換えると、シリアル伝送によって入力されたデータDAを、データDA[1]乃至データDA[z]として配線90[1]乃至配線90[z]に分配することができる。

【0333】

その後、配線ENLによって、ラッチ回路LT2[1]乃至ラッチ回路LT2[z]のそれぞれにクロック信号入力端子にトリガー信号が与えられることによって、ラッチ回路LT2[1]乃至ラッチ回路LT2[z]のそれぞれから、データDA[1]乃至データDA[z]を、配線90[1]乃至配線90[z]を介して平行に記憶装置80のストリングSTG[1]乃至ストリングSTG[z]に入力することができる。

【0334】

上述した構成と駆動方法を適用することによって、シリアル伝送された記憶装置80に書き込むためのデータを、平行に記憶装置80のストリングSTG[1]乃至ストリングSTG[z]に送ることができる。

【0335】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0336】

(実施の形態6)

本実施の形態では、上記の実施の形態で説明したOストランジスタに用いることができる金属酸化物(以下、酸化物半導体ともいう。)について説明する。

【0337】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

【0338】

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図16Aを用いて説明を行う。図16Aは、酸化物半導体、代表的にはIGZO(Inと、Gaと、Znと、を含む金属酸化物)の結晶構造の分類を説明する図である。

【0339】

図16Aに示すように、酸化物半導体は、大きく分けて「Amorphous（無定形）」と、「Crystalline（結晶性）」と、「Crystal（結晶）」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC（c-axis-aligned crystalline）、nc（nanocrystalline）、及びCAC（cloud-aligned composite）が含まれる（excluding single crystal and polycrystal）。なお、「Crystalline」の分類には、single crystal、polycrystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpolycrystalが含まれる。

10

【0340】

なお、図16Aに示す太枠内の構造は、「Amorphous（無定形）」と、「Crystal（結晶）」との間の中間状態であり、新しい境界領域（New crystalline phase）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous（無定形）」や、「Crystal（結晶）」とは全く異なる構造と言い換えることができる。

【0341】

なお、膜または基板の結晶構造は、X線回折（XRD：X-Ray Diffraction）スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD（Grazing-Incidence XRD）測定で得られるXRDスペクトルを図16Bに示す。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図16Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図16Bに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、図16Bに示すCAAC-IGZO膜の厚さは、500nmである。

20

【0342】

図16Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図16Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度（Intensity）が検出された角度を軸に左右非対称である。

30

【0343】

また、膜または基板の結晶構造は、極微電子線回折法（NBED：Nano Beam Electron Diffraction）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。CAAC-IGZO膜の回折パターンを、図16Cに示す。図16Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図16Cに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

40

【0344】

図16Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

【0345】

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図16Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（a-like OS：amorphous-like oxide

50

semiconductor)、非晶質酸化物半導体、などが含まれる。

【0346】

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

【0347】

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

【0348】

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

【0349】

また、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種）において、CAAC-OSは、インジウム（In）、及び酸素を有する層（以下、In層）と、元素M、亜鉛（Zn）、及び酸素を有する層（以下、（M，Zn）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、（M，Zn）層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

【0350】

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置（ 2θ の値）は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

【0351】

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点对称の位置に観測される。

【0352】

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化することなどによって

、歪みを許容することができるためと考えられる。

【0353】

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

【0354】

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSTランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

【0355】

[nc-OS]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさに近いナノ結晶より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

【0356】

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OS及びCAAC-OSと比べて、膜中の水素濃度が高い。

【0357】

<<酸化物半導体の構成>>

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

【0358】

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで偏在した材料の一構

10

20

30

40

50

成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5 nm以上10 nm以下、好ましくは、1 nm以上3 nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

【0359】

さらに、CAC-OSとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、CAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

【0360】

ここで、In-Ga-Zn酸化物におけるCAC-OSを構成する金属元素に対するIn、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-OSにおいて、第1の領域は、[In]が、CAC-OS膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-OS膜の組成における[Ga]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

10

【0361】

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

20

【0362】

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

【0363】

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、Inを主成分とする領域（第1の領域）と、Gaを主成分とする領域（第2の領域）とが、偏在し、混合している構造を有することが確認できる。

30

【0364】

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On/Offさせる機能）をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流（ I_{on} ）、高い電界効果移動度（ μ ）、および良好なスイッチング動作を実現することができる。

40

【0365】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

【0366】

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0367】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタ

50

を実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0368】

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼称する場合がある。

10

【0369】

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0370】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

【0371】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

20

【0372】

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

【0373】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

30

【0374】

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

40

【0375】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

50

【0376】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

10

【0377】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0378】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0379】

(実施の形態7)

本実施の形態では、上記実施の形態に示す情報処理装置などが形成された半導体ウェハ、及び当該情報処理装置が組み込まれた電子部品の一例について説明する。

20

【0380】

<半導体ウェハ>

初めに、情報処理装置などが形成された半導体ウェハの例を、図17Aを用いて説明する。

【0381】

図17Aに示す半導体ウェハ4800は、ウェハ4801と、ウェハ4801の上面に設けられた複数の回路部4802と、を有する。なお、ウェハ4801の上面において、回路部4802の無い部分は、スペーシング4803であり、ダイシング用の領域である。

【0382】

半導体ウェハ4800は、ウェハ4801の表面に対して、前工程によって複数の回路部4802を形成することで作製することができる。また、その後に、ウェハ4801の複数の回路部4802が形成された反対側の面を研削して、ウェハ4801の薄膜化してもよい。この工程により、ウェハ4801の反りなどを低減し、部品としての小型化を図ることができる。

30

【0383】

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブラインSCL1及びスクライブラインSCL2（ダイシングライン、又は切断ラインと呼ぶ場合がある）に沿って行われる。なお、スペーシング4803は、ダイシング工程を容易に行うために、複数のスクライブラインSCL1が平行になるように設け、複数のスクライブラインSCL2が平行になるように設け、スクライブラインSCL1とスクライブラインSCL2が垂直になるように設けるのが好ましい。

40

【0384】

ダイシング工程を行うことにより、図17Bに示すようなチップ4800aを、半導体ウェハ4800から切り出すことができる。チップ4800aは、ウェハ4801aと、回路部4802と、スペーシング4803aと、を有する。なお、スペーシング4803aは、極力小さくなるようにするのが好ましい。この場合、隣り合う回路部4802の間のスペーシング4803の幅が、スクライブラインSCL1の切りしろと、又はスクライブラインSCL2の切りしろとほぼ同等の長さであればよい。

【0385】

なお、本発明の一態様の素子基板の形状は、図17Aに図示した半導体ウェハ4800

50

の形状に限定されない。例えば、矩形の形状の半導体ウェハであってもよい。素子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することができる。

【0386】

＜電子部品＞

図17Cに電子部品4700および電子部品4700が実装された基板（実装基板4704）の斜視図を示す。図17Cに示す電子部品4700は、モールド4711内にチップ4800aを有している。なお、図17Cに示すチップ4800aには、回路部4802が積層された構成を示している。つまり、回路部4802として、上記の実施の形態で説明した情報処理装置を適用することができる。図17Cは、電子部品4700の内部を示すために、一部を省略している。電子部品4700は、モールド4711の外側にランド4712を有する。ランド4712は電極パッド4713と電氣的に接続され、電極パッド4713はチップ4800aとワイヤ4714によって電氣的に接続されている。電子部品4700は、例えばプリント基板4702に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板4702上で電氣的に接続されることで実装基板4704が完成する。

10

【0387】

図17Dに電子部品4730の斜視図を示す。電子部品4730は、SiP（System in package）またはMCM（Multi Chip Module）の一例である。電子部品4730は、パッケージ基板4732（プリント基板）上にインターポーザ4731が設けられ、インターポーザ4731上に半導体装置4735、および複数の半導体装置4710が設けられている。

20

【0388】

電子部品4730では、半導体装置4710を有する。半導体装置4710としては、例えば、上記実施の形態で説明した半導体装置、広帯域メモリ（HBM：High Bandwidth Memory）などとすることができる。また、半導体装置4735は、CPU、GPU、FPGA、記憶装置などの集積回路（半導体装置）を用いることができる。

【0389】

パッケージ基板4732は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ4731は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

30

【0390】

インターポーザ4731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ4731は、インターポーザ4731上に設けられた集積回路をパッケージ基板4732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ4731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板4732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV（Through Silicon Via）を用いることも出来る。

40

【0391】

インターポーザ4731としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

【0392】

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いるこ

50

とが好ましい。

【0393】

また、シリコンインターポーザを用いたS i PやM C Mなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2．5 Dパッケージ（2．5次元実装）では、シリコンインターポーザを用いることが好ましい。

【0394】

また、電子部品4730と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ4731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品4730では、半導体装置4710と半導体装置4735の高さを揃えることが好ましい。

【0395】

電子部品4730を他の基板に実装するため、パッケージ基板4732の底部に電極4733を設けてもよい。図17Dでは、電極4733を半田ボールで形成する例を示している。パッケージ基板4732の底部に半田ボールをマトリクス状に設けることで、B G A（B a l l G r i d A r r a y）実装を実現できる。また、電極4733を導電性のピンで形成してもよい。パッケージ基板4732の底部に導電性のピンをマトリクス状に設けることで、P G A（P i n G r i d A r r a y）実装を実現できる。

【0396】

電子部品4730は、B G AおよびP G Aに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、S P G A（S t a g g e r e d P i n G r i d A r r a y）、L G A（L a n d G r i d A r r a y）、Q F P（Q u a d F l a t P a c k a g e）、Q F J（Q u a d F l a t J - l e a d e d p a c k a g e）、またはQ F N（Q u a d F l a t N o n - l e a d e d p a c k a g e）などの実装方法を用いることができる。

【0397】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0398】

（実施の形態8）

本実施の形態では、上記実施の形態で説明した情報処理装置を有する電子機器の一例について説明する。なお、図18A乃至図18Jには、当該情報処理装置を有する電子部品4700が各電子機器に含まれている様子を図示している。

【0399】

〔携帯電話〕

図18Aに示す情報端末5500は、情報端末の一種である携帯電話（スマートフォン）である。情報端末5500は、筐体5510と、表示部5511と、を有しており、入力用インターフェースとして、タッチパネルが表示部5511に備えられ、ボタンが筐体5510に備えられている。

【0400】

情報端末5500は、上記実施の形態で説明した情報処理装置を適用することで、アプリケーションの実行時に生成される一時的なファイル（例えば、ウェブブラウザの使用時のキャッシュなど）を保持することができる。

【0401】

〔ウェアラブル端末〕

また、図18Bには、ウェアラブル端末の一例である情報端末5900が図示されている。情報端末5900は、筐体5901、表示部5902、操作ボタン5903、操作子5904、バンド5905などを有する。

10

20

30

40

50

【0402】

ウェアラブル端末は、先述した情報端末5500と同様に、上記実施の形態で説明した情報処理装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

【0403】

〔情報端末〕

また、図18Cには、デスクトップ型情報端末5300が図示されている。デスクトップ型情報端末5300は、情報端末の本体5301と、ディスプレイ5302と、キーボード5303と、を有する。

【0404】

デスクトップ型情報端末5300は、先述した情報端末5500と同様に、上記実施の形態で説明した情報処理装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

【0405】

なお、上述では、情報処理装置としてスマートフォン、及びデスクトップ用情報端末を例として、それぞれ図18A、及び図18Cに図示したが、スマートフォン、及びデスクトップ用情報端末以外の情報端末を適用することができる。スマートフォン、及びデスクトップ用情報端末以外の情報端末としては、例えば、PDA (Personal Digital Assistant)、ノート型情報端末、ワークステーションなどが挙げられる。

【0406】

〔電化製品〕

また、図18Dには、電化製品の一例として電気冷凍冷蔵庫5800が図示されている。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。

【0407】

電気冷凍冷蔵庫5800に上記実施の形態で説明した情報処理装置を適用することによって、電気冷凍冷蔵庫5800を、例えば、IoT (Internet of Things) として利用することができる。IoTを利用することによって、電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、その食材の消費期限などの情報を、インターネットなどを通じて、上述したような情報端末などに送受信することができる。また、電気冷凍冷蔵庫5800は、当該情報を送信する際に、当該情報を一時ファイルとして、当該情報処理装置に保持することができる。

【0408】

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

【0409】

〔ゲーム機〕

また、図18Eには、ゲーム機の一例である携帯ゲーム機5200が図示されている。携帯ゲーム機5200は、筐体5201、表示部5202、ボタン5203等を有する。

【0410】

更に、図18Fには、ゲーム機の一例である据え置き型ゲーム機7500が図示されている。据え置き型ゲーム機7500は、本体7520と、コントローラ7522を有する。なお、本体7520には、無線または有線によってコントローラ7522を接続することができる。また、図18Fには示していないが、コントローラ7522は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなるタッチパネルやスティック、回転式つまみ、スライド式つまみなどを備えることができる。また、コントローラ7522は、図18Fに示す形状に限定されず、ゲームのジャンルに応じて、コントローラ

7522の形状を様々に変更してもよい。例えば、FPS(First Person Shooter)などのシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームなどでは、楽器、音楽機器などを模した形状のコントローラを用いることができる。更に、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォンなどを備えて、ゲームプレイヤーのジェスチャー、及び／又は音声によって操作する形式としてもよい。

【0411】

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、ヘッドマウントディスプレイなどの表示装置によって、出力することができる。

10

【0412】

携帯ゲーム機5200に上記実施の形態で説明した情報処理装置を適用することによって、低消費電力の携帯ゲーム機5200を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

【0413】

更に、携帯ゲーム機5200に上記実施の形態で説明した情報処理装置を適用することによって、ゲームの実行中に発生する演算に必要な一時ファイルなどの保持をおこなうことができる。

20

【0414】

図18E、及び図18Fでは、ゲーム機の一例として携帯ゲーム機を図示しているが、本発明の一態様の情報処理装置はこれに限定されない。本発明の一態様の情報処理装置としては、例えば、家庭用の据え置き型ゲーム機、娯楽施設(ゲームセンター、遊園地など)に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

【0415】

[移動体]

上記実施の形態で説明した情報処理装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

30

【0416】

図18Gには移動体の一例である自動車5700が図示されている。

【0417】

自動車5700の運転席周辺には、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供するインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

【0418】

特に当該表示装置には、自動車5700に設けられた撮像装置(図示しない。)からの映像を映し出すことによって、ピラーなどで遮られた視界、運転席の死角などを補うことができ、安全性を高めることができる。

40

【0419】

上記実施の形態で説明した情報処理装置は、情報を一時的に保持することができるため、例えば、当該コンピュータを自動車5700の自動運転システムや当該コンピュータを道路案内、危険予測などを行うシステムなどにおける、必要な一時的な情報の保持に用いることができる。当該表示装置には、道路案内、危険予測などの一時的な情報を表示する構成としてもよい。また、自動車5700に備え付けられたドライビングレコーダの映像を保持する構成としてもよい。

【0420】

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車

50

に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができる。

【0421】

〔カメラ〕

上記実施の形態で説明した情報処理装置は、カメラに適用することができる。

【0422】

図18Hには、撮像装置の一例であるデジタルカメラ6240が図示されている。デジタルカメラ6240は、筐体6241、表示部6242、操作ボタン6243、シャッターボタン6244等を有し、また、デジタルカメラ6240には、着脱可能なレンズ6246が取り付けられている。なお、ここではデジタルカメラ6240を、レンズ6246を筐体6241から取り外して交換することが可能な構成としたが、レンズ6246と筐体6241とが一体となってもよい。また、デジタルカメラ6240は、ストロボ装置や、ビューファインダー等を別途装着することができる構成としてもよい。

10

【0423】

デジタルカメラ6240に上記実施の形態で説明した情報処理装置を適用することによって、低消費電力のデジタルカメラ6240を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

【0424】

〔ビデオカメラ〕

上記実施の形態で説明した情報処理装置は、ビデオカメラに適用することができる。

20

【0425】

図18Iには、撮像装置の一例であるビデオカメラ6300が図示されている。ビデオカメラ6300は、第1筐体6301、第2筐体6302、表示部6303、操作キー6304、レンズ6305、接続部6306等を有する。操作キー6304及びレンズ6305は第1筐体6301に設けられており、表示部6303は第2筐体6302に設けられている。そして、第1筐体6301と第2筐体6302とは、接続部6306により接続されており、第1筐体6301と第2筐体6302の間の角度は、接続部6306により変更が可能である。表示部6303における映像を、接続部6306における第1筐体6301と第2筐体6302との間の角度に従って切り替える構成としてもよい。

30

【0426】

ビデオカメラ6300で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。上述した情報処理装置を利用することによって、ビデオカメラ6300は、エンコードの際に発生する一時的なファイルの保持を行うことができる。

【0427】

〔ICD〕

上記実施の形態で説明した情報処理装置は、植え込み型除細動器（ICD）に適用することができる。

【0428】

図18Jは、ICDの一例を示す断面模式図である。ICD本体5400は、バッテリー5401と、電子部品4700と、レギュレータと、制御回路と、アンテナ5404と、右心房へのワイヤ5402、右心室へのワイヤ5403とを少なくとも有している。

40

【0429】

ICD本体5400は手術により体内に設置され、二本のワイヤは、人体の鎖骨下静脈5405及び上大静脈5406を通過させて一方のワイヤ先端が右心室、もう一方のワイヤ先端が右心房に設置されるようにする。

【0430】

ICD本体5400は、ペースメーカーとしての機能を有し、心拍数が規定の範囲から外れた場合に心臓に対してペーシングを行う。また、ペーシングによって心拍数が改善しない場合（速い心室頻拍や心室細動など）、電気ショックによる治療が行われる。

50

【0431】

ＩＣＤ本体５４００は、ペースング及び電気ショックを適切に行うため、心拍数を常に監視する必要がある。そのため、ＩＣＤ本体５４００は、心拍数を検知するためのセンサを有する。また、ＩＣＤ本体５４００は、当該センサなどによって取得した心拍数のデータ、ペースングによる治療を行った回数、時間などを電子部品４７００に記憶することができる。

【0432】

また、アンテナ５４０４で電力が受信でき、その電力はバッテリー５４０１に充電される。また、ＩＣＤ本体５４００は複数のバッテリーを有することにより、安全性を高くすることができる。具体的には、ＩＣＤ本体５４００の一部のバッテリーが使えなくなったとしても残りのバッテリーが機能させることができるため、補助電源としても機能する。

10

【0433】

また、電力を受信できるアンテナ５４０４とは別に、生理信号を送信できるアンテナを有していてもよく、例えば、脈拍、呼吸数、心拍数、体温などの生理信号を外部のモニタ装置で確認できるような心臓活動を監視するシステムを構成してもよい。

【0434】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0435】

(実施の形態９)

本実施の形態では、上記実施の形態で説明した情報処理装置を有する計算機について説明する。

20

【0436】

図１９Ａに示す計算機９６００は、大型の計算機の例である。計算機９６００には、ラック９６１０にラックマウント型の計算機９６２０が複数格納されている。

【0437】

計算機９６２０は、例えば、図１９Ｂに示す斜視図の構成とすることができる。図１９Ｂにおいて、計算機９６２０は、マザーボード９６３０を有し、マザーボード９６３０は、複数のスロット９６３１、複数の接続端子を有する。スロット９６３１には、ＰＣカード９６２１が挿されている。加えて、ＰＣカード９６２１は、接続端子９６２３、接続端子９６２４、接続端子９６２５を有し、それぞれ、マザーボード９６３０に接続されている。

30

【0438】

図１９Ｃに示すＰＣカード９６２１は、ＣＰＵ、ＧＰＵ、記憶装置などを備えた処理ボードの一例である。ＰＣカード９６２１は、ボード９６２２を有する。また、ボード９６２２は、接続端子９６２３と、接続端子９６２４と、接続端子９６２５と、半導体装置９６２６と、半導体装置９６２７と、半導体装置９６２８と、接続端子９６２９と、を有する。なお、図１９Ｃには、半導体装置９６２６、半導体装置９６２７、および半導体装置９６２８以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置９６２６、半導体装置９６２７、および半導体装置９６２８の説明を参照すればよい。

40

【0439】

接続端子９６２９は、マザーボード９６３０のスロット９６３１に挿することができる形状を有しており、接続端子９６２９は、ＰＣカード９６２１とマザーボード９６３０とを接続するためのインターフェースとして機能する。接続端子９６２９の規格としては、例えば、ＰＣＩｅなどが挙げられる。

【0440】

接続端子９６２３、接続端子９６２４、接続端子９６２５は、例えば、ＰＣカード９６２１に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、ＰＣカード９６２１によって計算された信号の出力などを行うためのイ

50

ンターフェースとすることができる。接続端子 9 6 2 3、接続端子 9 6 2 4、接続端子 9 6 2 5 のそれぞれの規格としては、例えば、USB (Universal Serial Bus)、SATA (Serial ATA)、SCSI (Small Computer System Interface) などが挙げられる。また、接続端子 9 6 2 3、接続端子 9 6 2 4、接続端子 9 6 2 5 から映像信号を出力する場合、それぞれの規格としては、HDMI (登録商標) などが挙げられる。

【0 4 4 1】

半導体装置 9 6 2 6 は、信号の入出力を行う端子 (図示しない。) を有しており、当該端子をボード 9 6 2 2 が備えるソケット (図示しない。) に対して差し込むことで、半導体装置 9 6 2 6 とボード 9 6 2 2 を電氣的に接続することができる。

10

【0 4 4 2】

半導体装置 9 6 2 7 は、複数の端子を有しており、当該端子をボード 9 6 2 2 が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置 9 6 2 7 とボード 9 6 2 2 を電氣的に接続することができる。半導体装置 9 6 2 7 としては、例えば、FPGA (Field Programmable Gate Array)、GPU、CPU などが挙げられる。半導体装置 9 6 2 7 として、例えば、電子部品 4 7 3 0 を用いることができる。

【0 4 4 3】

半導体装置 9 6 2 8 は、複数の端子を有しており、当該端子をボード 9 6 2 2 が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置 9 6 2 8 とボード 9 6 2 2 を電氣的に接続することができる。半導体装置 9 6 2 8 としては、例えば、記憶装置、情報処理装置などが挙げられる。半導体装置 9 6 2 8 として、例えば、電子部品 4 7 0 0 を用いることができる。

20

【0 4 4 4】

計算機 9 6 0 0 は並列計算機としても機能できる。計算機 9 6 0 0 を並列計算機として用いることで、例えば、人工知能の学習、および推論に必要な大規模の計算を行うことができる。

【0 4 4 5】

上記の各種電子機器などに、本発明の一態様の半導体装置を用いることにより、電子機器の小型化、高速化、または低消費電力化を図ることができる。また、本発明の一態様の半導体装置は低消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、およびモジュールへの悪影響を低減できる。また、本発明の一態様の半導体装置を用いることにより、高温環境下においても動作が安定した電子機器を実現できる。よって、電子機器の信頼性を高めることができる。

30

【0 4 4 6】

続いて、計算機 9 6 0 0 に適用可能なコンピュータシステムの構成例について説明する。図 2 0 は、コンピュータシステム 1 0 0 0 の構成例を説明する図である。コンピュータシステム 1 0 0 0 はソフトウェア (Software) とハードウェア (Hardware) を含んで構成される。なお、コンピュータシステムが含むハードウェアを情報処理装置という場合がある。

40

【0 4 4 7】

コンピュータシステム 1 0 0 0 を構成するソフトウェアとしては、デバイスドライバを含むオペレーティングシステム、ミドルウェア、各種の開発環境、AI に関するアプリケーションプログラム (AI Application)、AI に無関係なアプリケーションプログラムなどがある。

【0 4 4 8】

デバイスドライバには、補助記憶装置、表示装置、およびプリンタなどの外部接続機器を制御するためのアプリケーションプログラムなどが含まれる。

【0 4 4 9】

コンピュータシステム 1 0 0 0 を構成するハードウェアは、第 1 演算処理装置、第 2 演

50

算処理装置、および第1記憶装置などを有する。また、第2演算処理装置は、第2記憶装置を有する。

【0450】

第1演算処理装置としては、例えば、No ff OS CPUなどの中央演算処理装置を用いるとよい。No ff OS CPUは、OSTランジスタを用いた記憶手段（例えば、不揮発性メモリ）を有し、動作が必要ない場合には、必要な情報を記憶手段に保持して、中央演算処理装置への電力供給を停止する機能を有する。第1演算処理装置としてNo ff OS CPUを用いることで、コンピュータシステム1000の消費電力を低減できる。

【0451】

第2演算処理装置としては、例えば、GPUやFPGAなどを用いることができる。なお、第2演算処理装置として、AI OS Acceleratorを用いることが好ましい。AI OS AcceleratorはOSTランジスタを用いて構成され、積和演算回路などの演算手段を有する。AI OS Acceleratorは一般のGPUなどよりも消費電力が少ない。第2演算処理装置としてAI OS Acceleratorを用いることで、コンピュータシステム1000の消費電力を低減できる。

【0452】

第1記憶装置および第2記憶装置として本発明の一態様の半導体装置を有することが好ましい。本発明の一態様の半導体装置は、例えば、3D OS NAND型の記憶装置を有してもよいので、この場合、3D OS NAND型の記憶装置はキャッシュ、メインメモリ、およびストレージとして機能することができる。また、3D OS NAND型の記憶装置を用いることで非ノイマン型のコンピュータシステムの実現が容易になる。

【0453】

3D OS NAND型の記憶装置は、Siトランジスタを用いた3D NAND型の記憶装置よりも消費電力が少ない。記憶装置として3D OS NAND型の記憶装置を用いることで、コンピュータシステム1000の消費電力を低減できる。加えて、3D OS NAND型の記憶装置は、ユニバーサルメモリとして機能できるため、コンピュータシステム1000を構成するための部品点数を低減できる。

【0454】

ハードウェアを構成する半導体装置を、OSTランジスタを含む半導体装置で構成することで、中央演算処理装置、演算処理装置、および記憶装置を含むハードウェアのモノリシック化が容易になる。ハードウェアをモノリシック化することで、小型化、軽量化、薄型化だけでなく、さらなる消費電力の低減が容易となる。

【0455】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【符号の説明】

【0456】

ST1：ストリング、ST2：ストリング、ST3：ストリング、L[1]：メモリセル、L[2]：メモリセル、L[n]：メモリセル、M[1]：メモリセル、M[2]：メモリセル、M[n]：メモリセル、N[1]：メモリセル、N[2]：メモリセル、N[n]：メモリセル、SL1：配線、SL2：配線、SL3：配線、BL1：配線、BL2：配線、BL3：配線、ISG：信号、OSG：信号、DT：データ、STP1：ステップ、STP2：ステップ、STP3：ステップ、STP4：ステップ、STP5：ステップ、STP6：ステップ、STP7：ステップ、STP8：ステップ、MC[1]：メモリセル、MC[2]：メモリセル、MC[n]：メモリセル、MC[1,1]：メモリセル、MC[j,1]：メモリセル、MC[n,1]：メモリセル、MC[1,i]：メモリセル、MC[j,i]：メモリセル、MC[n,i]：メモリセル、MC[1,m]：メモリセル、MC[j,m]：メモリセル、MC[n,m]：メモリセル、N1：ノード、N2：ノード、RWL[1]：配線、RWL[2]：配線、RWL[j]：配線、RWL[n]：配線、WWL[1]：配線、WWL[2]：配線、WWL[j]：配線、WW

10

20

30

40

50

L [n] : 配線、WBL : 配線、WBL [1] : 配線、WBL [i] : 配線、WBL [m]
] : 配線、RBL : 配線、RBL [1] : 配線、RBL [i] : 配線、RBL [m] : 配
 線、BGL : 配線、BGL [1] : 配線、BGL [i] : 配線、BGL [m] : 配線、W
 Tr : トランジスタ、RTr : トランジスタ、CS : 容量、BLK__1 : ブロック、BL
 K__h : ブロック、BLK__k : ブロック、BLK__2 : ブロック、BLK__3 : ブロッ
 ク、MC [1] __1 : メモリセル、MC [j] __1 : メモリセル、MC [n] __1 : メモ
 リセル、MC [1] __h : メモリセル、MC [j] __h : メモリセル、MC [n] __h :
 メモリセル、MC [1] __k : メモリセル、MC [j] __k : メモリセル、MC [n] __
 k : メモリセル、MC [2] __1 : メモリセル、MC [3] __1 : メモリセル、MC [1
] __2 : メモリセル、MC [2] __2 : メモリセル、MC [3] __2 : メモリセル、MC
 [1] __3 : メモリセル、MC [2] __3 : メモリセル、MC [3] __3 : メモリセル、
 RWL [1] __1 : 配線、RWL [j] __1 : 配線、RWL [n] __1 : 配線、RWL [1]
] __h : 配線、RWL [j] __h : 配線、RWL [n] __h : 配線、RWL [1] __k :
 配線、RWL [j] __k : 配線、RWL [n] __k : 配線、RWL [2] __1 : 配線、
 RWL [3] __1 : 配線、RWL [1] __2 : 配線、RWL [2] __2 : 配線、RWL [3]
] __2 : 配線、RWL [1] __3 : 配線、RWL [2] __3 : 配線、RWL [3] __3 :
 配線、WWL [1] __1 : 配線、WWL [j] __1 : 配線、WWL [n] __1 : 配線、
 WWL [1] __h : 配線、WWL [j] __h : 配線、WWL [n] __h : 配線、WWL [1]
] __k : 配線、WWL [j] __k : 配線、WWL [n] __k : 配線、WWL [2] __1 :
 配線、WWL [3] __1 : 配線、WWL [1] __2 : 配線、WWL [2] __2 : 配線、
 WWL [3] __2 : 配線、WWL [1] __3 : 配線、WWL [2] __3 : 配線、WWL [3]
] __3 : 配線、RBL__1 : 配線、RBL__h : 配線、RBL__k : 配線、RBL__2 :
 配線、RBL__3 : 配線、WBL__1 : 配線、WBL__h : 配線、WBL__k : 配線、
 WBL__2 : 配線、WBL__3 : 配線、LN1 : 配線、LN2 : 配線、BTr__1 : トラン
 ジスタ、BTr__h : トランジスタ、BTr__k : トランジスタ、BTr__2 : トラン
 ジスタ、BTr__3 : トランジスタ、STr__1 : トランジスタ、STr__h : トランジ
 スタ、STr__k : トランジスタ、STr__2 : トランジスタ、STr__3 : トランジス
 タ、BD : マザーボード、BSH : バス配線、SBT : 半導体基板、LGC : 回路層、S
 TR : 記憶層、OSC : 回路層、LT1 [1] : ラッチ回路、LT1 [2] : ラッチ回路
 、LT1 [3] : ラッチ回路、LT1 [z] : ラッチ回路、LT2 [1] : ラッチ回路、
 LT2 [2] : ラッチ回路、LT2 [3] : ラッチ回路、LT2 [z] : ラッチ回路、D
 A : データ、CLK : 配線、ENL : 配線、STG [1] : スtring、STG [2] :
 スtring、STG [3] : スtring、STG [z] : スtring、10 : 演算処理装
 置、20 : SRAM、30 : メインメモリ、40 : ストレージ、50 : 情報処理装置、6
 0 : インターフェース、70 : 演算処理装置、80 : 記憶装置、90 : 配線、100 : 記
 憶部、111 : 絶縁体、112 : 絶縁体、113 : 絶縁体、114 : 絶縁体、115 : 絶
 縁体、116 : 絶縁体、117 : 絶縁体、121 : 絶縁体、122 : 絶縁体、131 : 絶
 縁体、132 : 絶縁体、133 : 絶縁体、141 : 半導体、142 : 半導体、143 : 半
 導体、151 : 導電体、152 : 導電体、153 : 導電体、154 : 導電体、155 : 導
 電体、156 : 導電体、200 : 制御部、211 : 絶縁体、212 : 絶縁体、213 : 絶
 縁体、214 : 絶縁体、215 : 絶縁体、216 : 絶縁体、221 : 導電体、222 : 導
 電体、223 : 導電体、231 : 半導体、232 : 半導体、240 : 絶縁体、241 : 絶
 縁体、242 : 絶縁体、243 : 絶縁体、250 : 導電体、251 : 導電体、252 : 導
 電体、253 : 導電体、300 : トランジスタ、311 : 基板、313 : 半導体領域、3
 14 a : 低抵抗領域、314 b : 低抵抗領域、315 : 絶縁体、316 : 導電体、320
 : 絶縁体、322 : 絶縁体、324 : 絶縁体、326 : 絶縁体、328 : 導電体、330
 : 導電体、350 : 絶縁体、352 : 絶縁体、354 : 絶縁体、356 : 導電体、360
 : 絶縁体、382 : 絶縁体、384 : 絶縁体、386 : 導電体、700 : トランジスタ、
 800 : トランジスタ、900 : トランジスタ、1000 : コンピュータシステム、11
 96 : 記憶部、1197 : コントローラ、1198 : バスインターフェース、4700 :

10

20

30

40

50

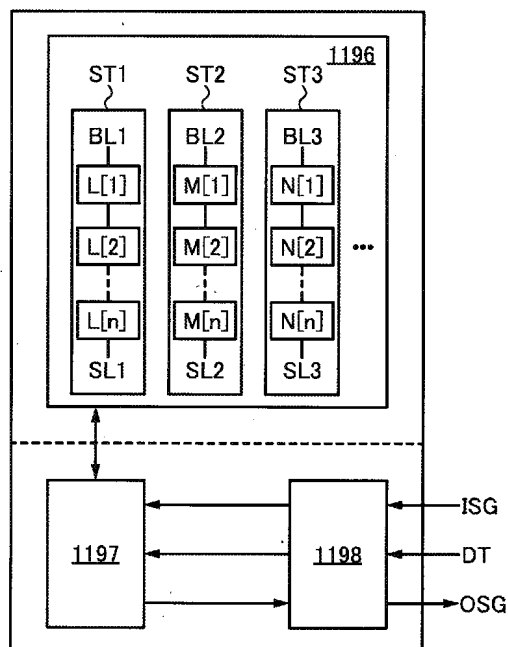
電子部品、4702：プリント基板、4704：実装基板、4710：半導体装置、4714：ワイヤ、4730：電子部品、4731：インターポーザ、4732：パッケージ基板、4733：電極、4735：半導体装置、4800：半導体ウェハ、4800a：チップ、4801：ウェハ、4801a：ウェハ、4802：回路部、4803：スペーシング、4803a：スペーシング、5200：携帯ゲーム機、5201：筐体、5202：表示部、5203：ボタン、5300：デスクトップ型情報端末、5301：本体、5302：ディスプレイ、5303：キーボード、5400：ICD本体、5401：バッテリー、5402：ワイヤ、5403：ワイヤ、5404：アンテナ、5405：鎖骨下静脈、5406：上大静脈、5500：情報端末、5510：筐体、5511：表示部、5700：自動車、5800：電気冷凍冷蔵庫、5801：筐体、5802：冷蔵庫用扉、5803：冷凍室用扉、5900：情報端末、5901：筐体、5902：表示部、5903：操作ボタン、5904：操作子、5905：バンド、6240：デジタルカメラ、6241：筐体、6242：表示部、6243：操作ボタン、6244：シャッターボタン、6246：レンズ、6300：ビデオカメラ、6301：第1筐体、6302：第2筐体、6303：表示部、6304：操作キー、6305：レンズ、6306：接続部、7520：本体、7522：コントローラ、9600：計算機、9610：ラック、9620：計算機、9621：PCカード、9622：ボード、9623：接続端子、9624：接続端子、9625：接続端子、9626：半導体装置、9627：半導体装置、9628：半導体装置、9629：接続端子、9630：マザーボード、9631：スロット

【図面】

【図1】

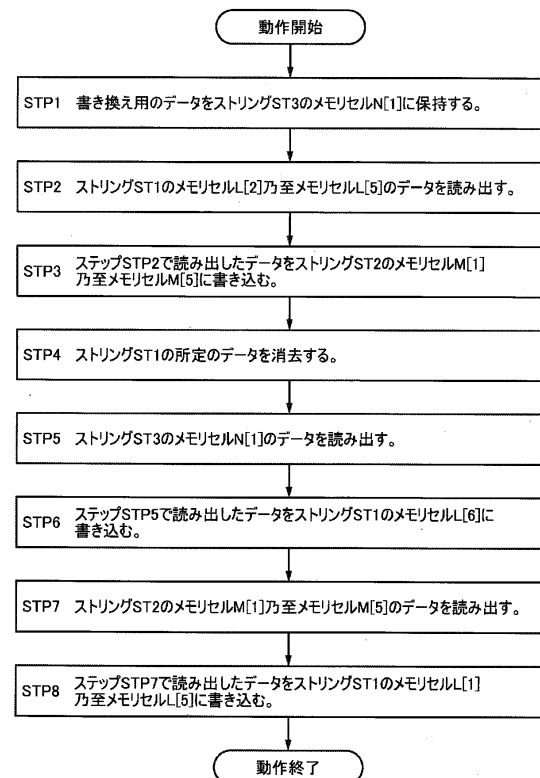
図1

50



【図2】

図2



10

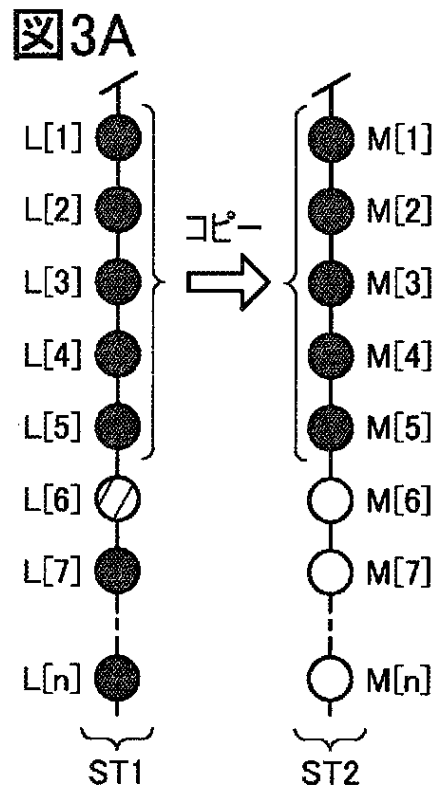
20

30

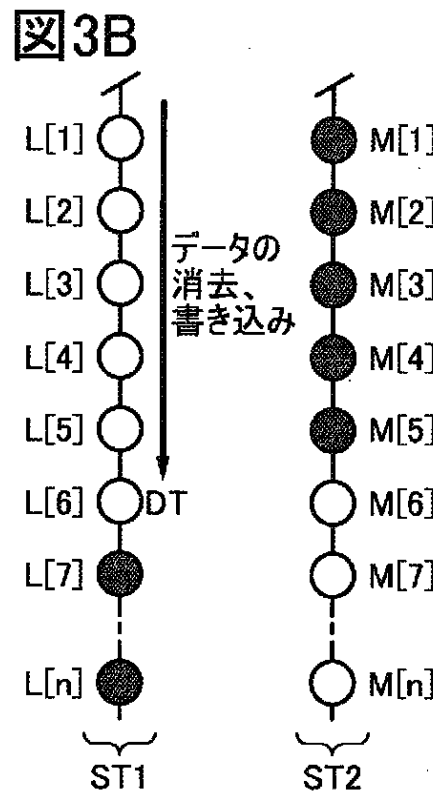
40

50

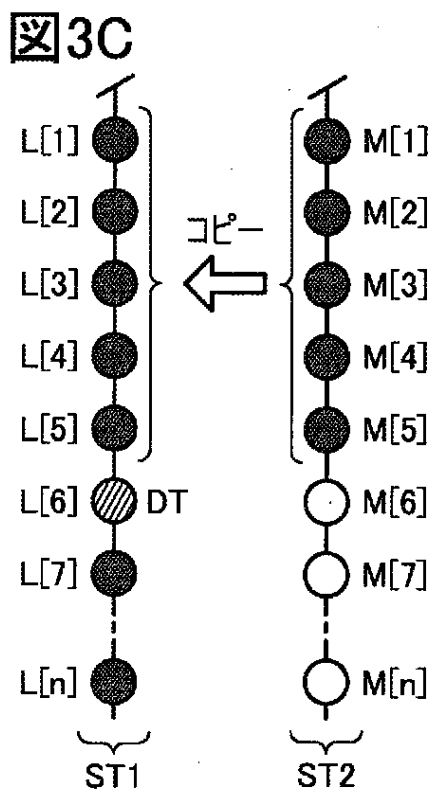
【図 3 A】



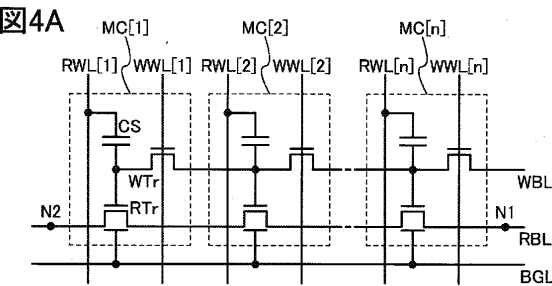
【図 3 B】



【図 3 C】



【図 4 A】



10

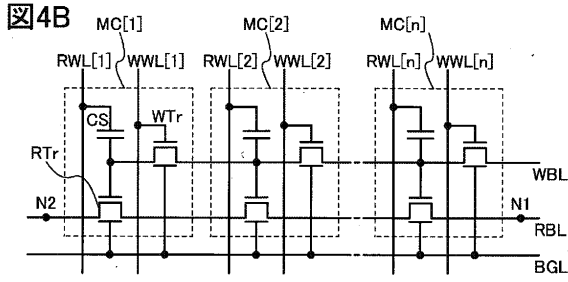
20

30

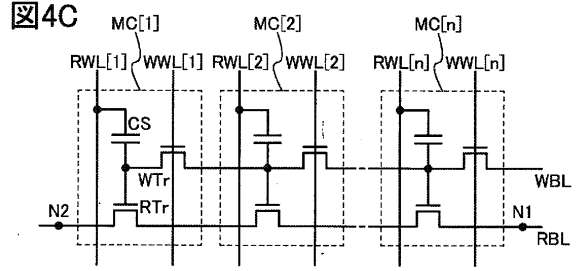
40

50

【図 4 B】



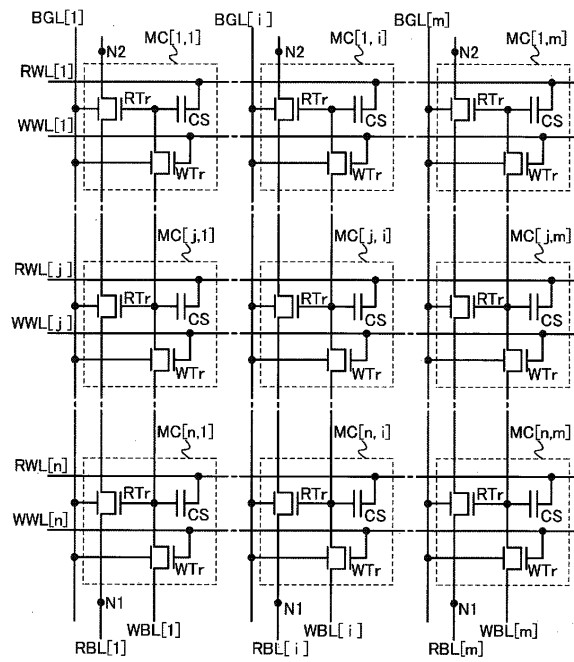
【図 4 C】



10

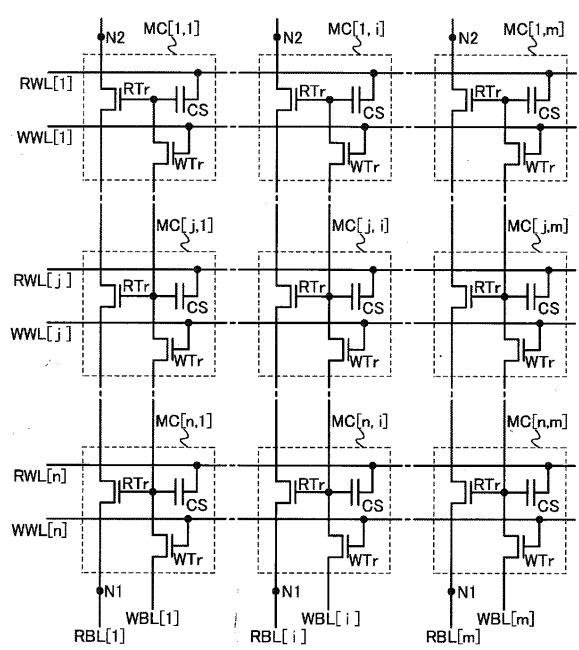
【図 5】

図5



【図 6】

図6



20

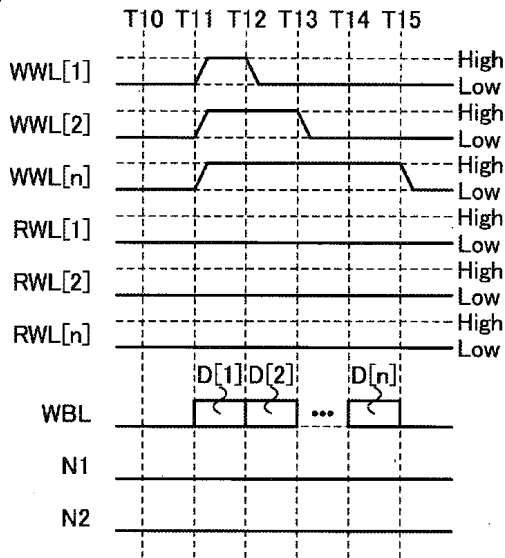
30

40

50

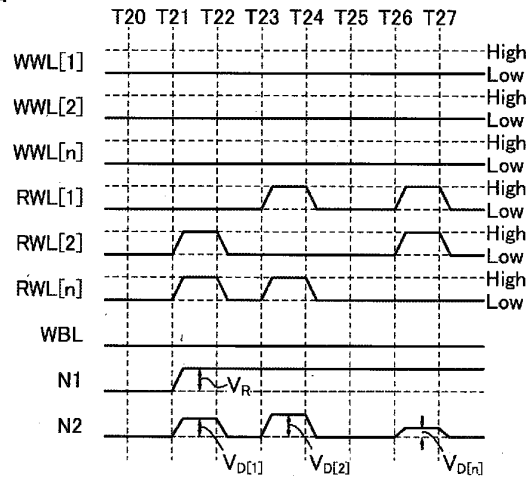
【図 7 A】

図7A



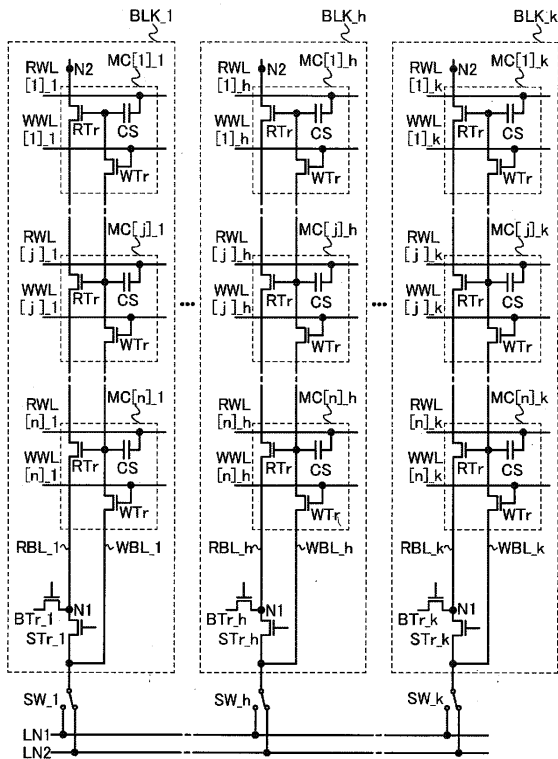
【図 7 B】

図7B



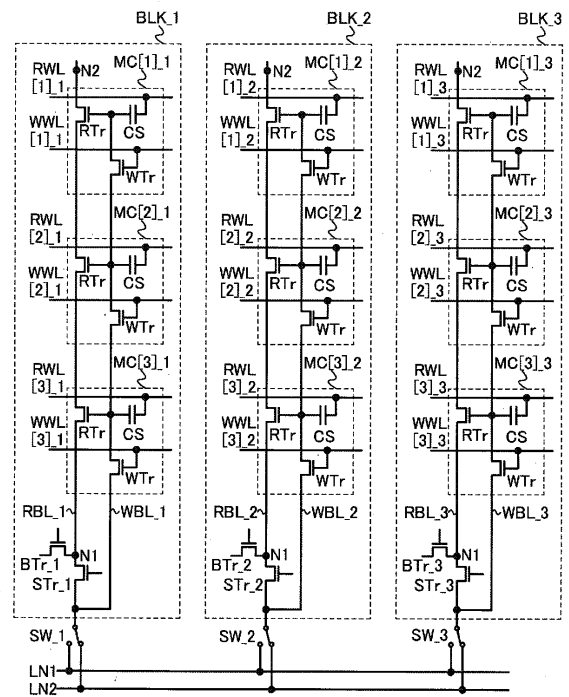
【図 8】

図8



【図 9】

図9



10

20

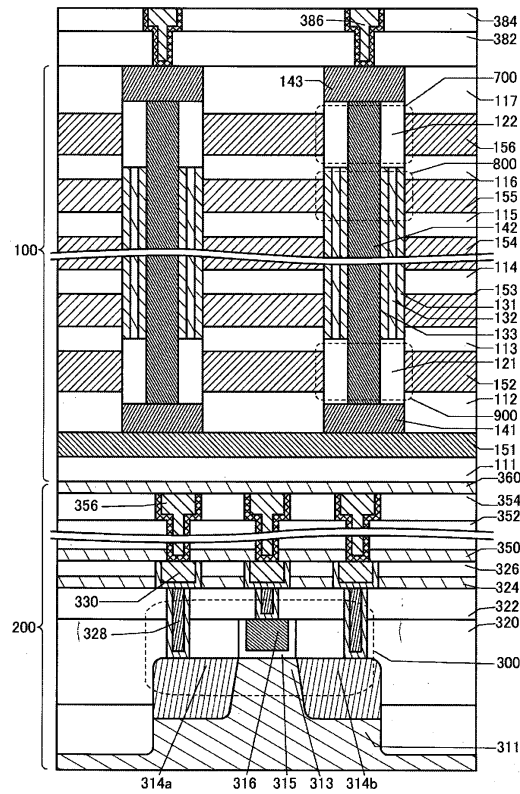
30

40

50

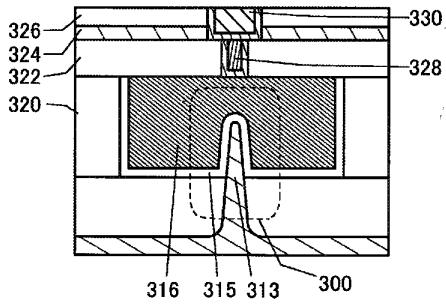
【図 10】

図10



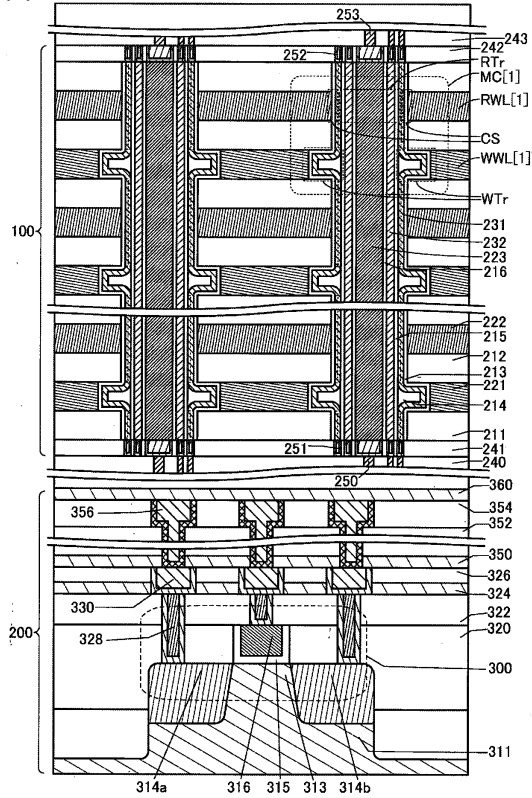
【図 11】

図11



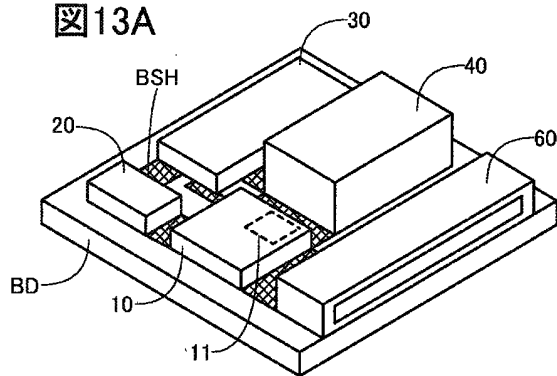
【図 12】

図12



【図 13 A】

図13A



10

20

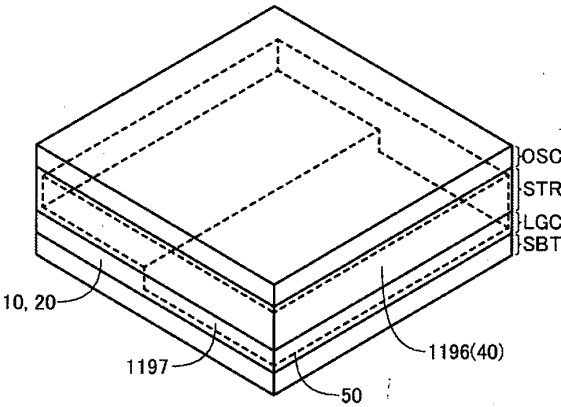
30

40

50

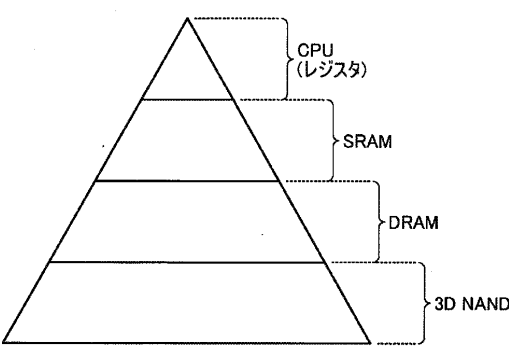
【図 1 3 B】

図13B



【図 1 4 A】

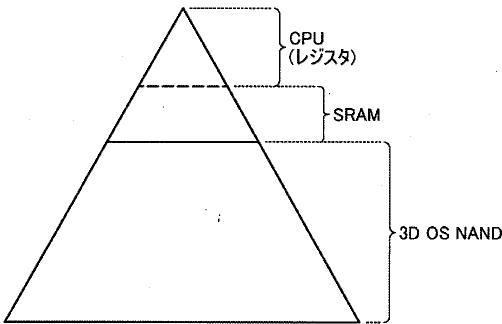
図14A



10

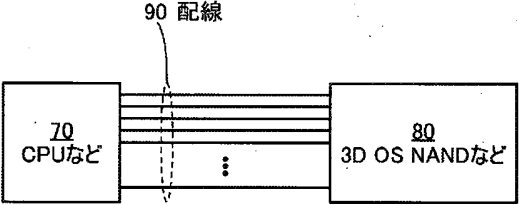
【図 1 4 B】

図14B



【図 1 5 A】

図15A



20

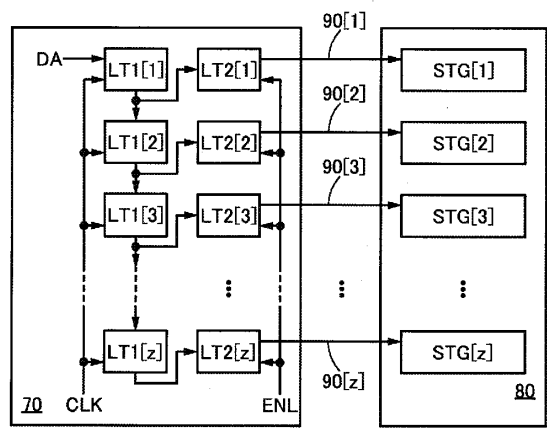
30

40

50

【図 1 5 B】

図15B



【図 1 6 A】

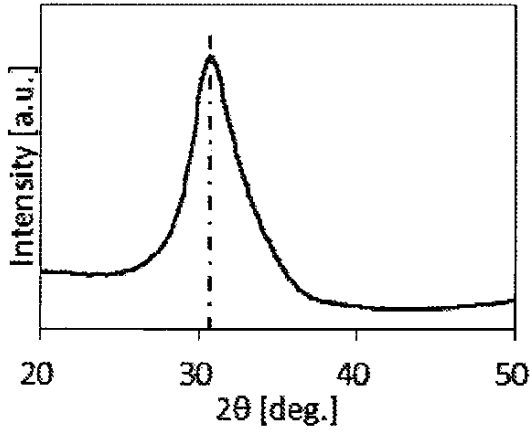
図16A

中間状態 新しい境界領域		
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
・completely amorphous	・CAAC ・nc ・CAC excluding single crystal and poly crystal	・single crystal ・poly crystal

10

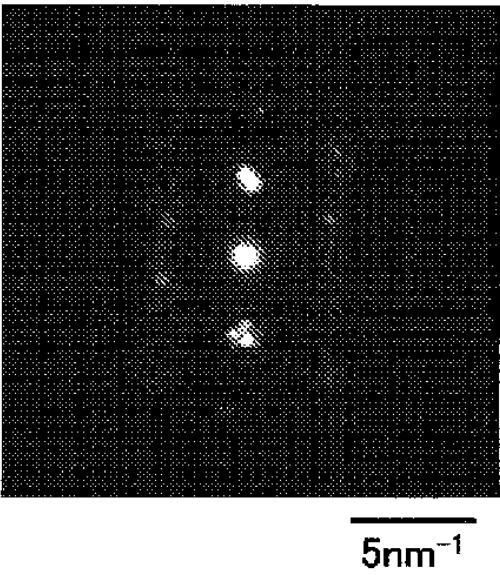
【図 1 6 B】

図16B



【図 1 6 C】

図16C



20

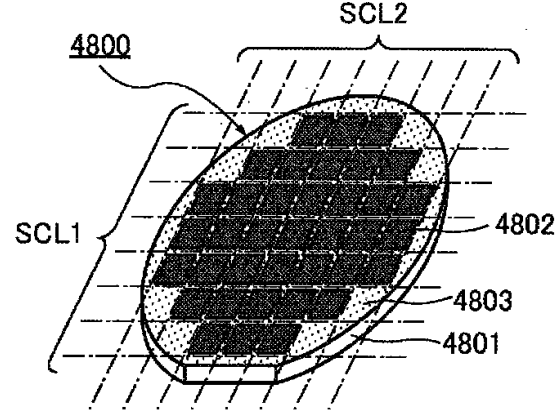
30

40

50

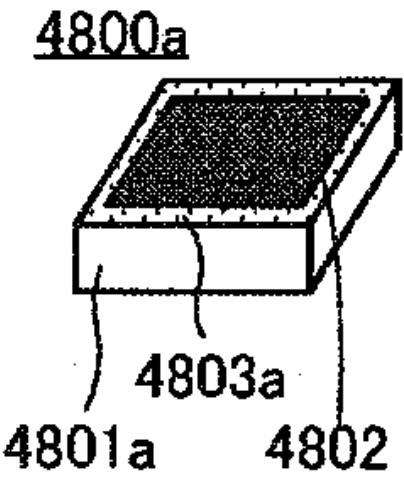
【図 17 A】

図17A



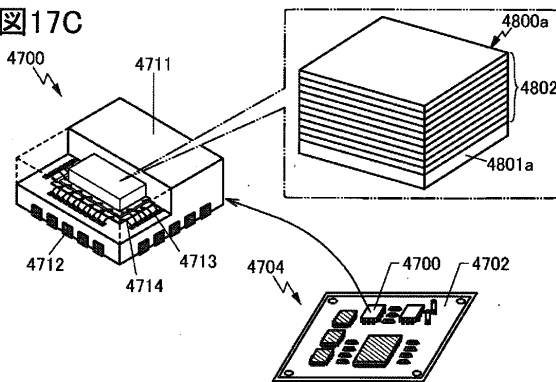
【図 17 B】

図17B



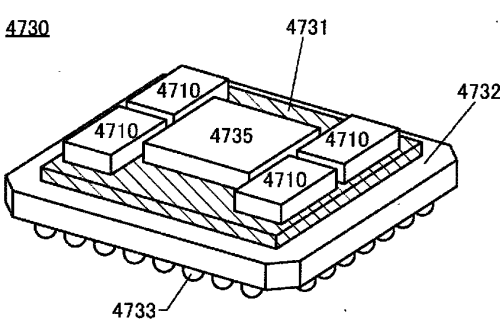
【図 17 C】

図17C



【図 17 D】

図17D



10

20

30

40

50

【図 18 A】

【図 18 B】

図 18A

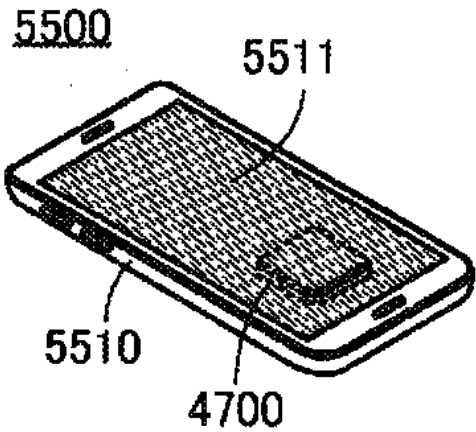
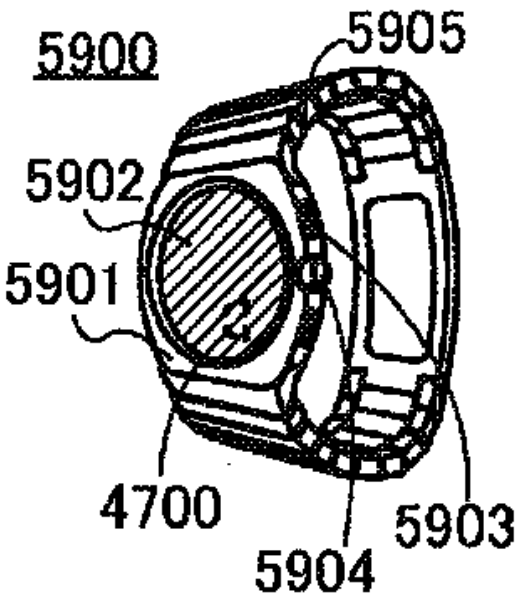


図 18B



【図 18 C】

【図 18 D】

図 18C

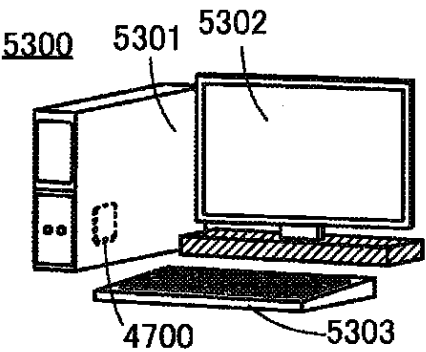
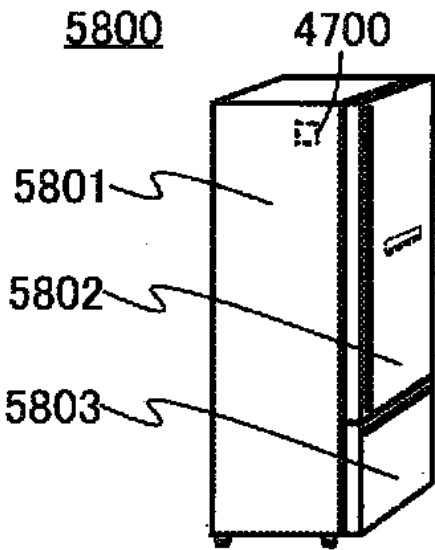


図 18D



10

20

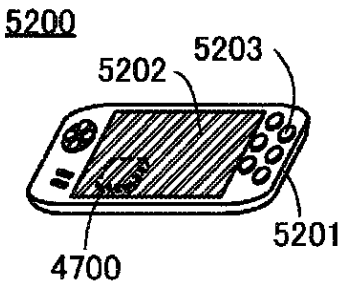
30

40

50

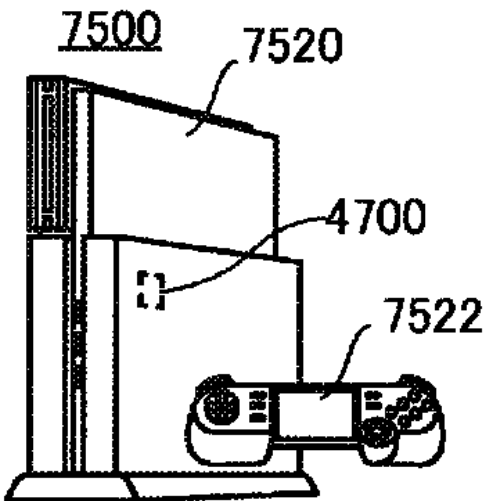
【図 18 E】

図 18E



【図 18 F】

図 18F

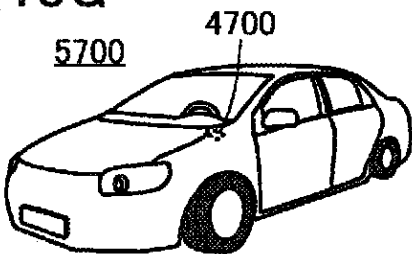


10

20

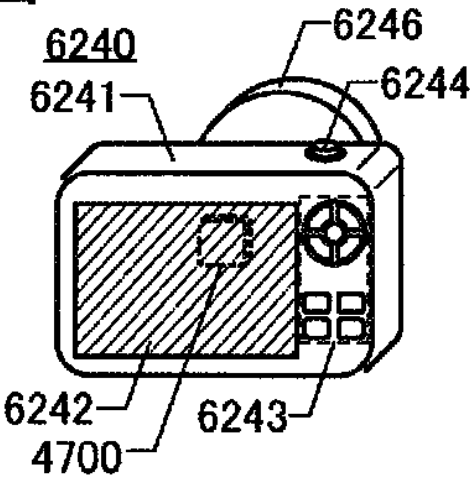
【図 18 G】

図 18G



【図 18 H】

図 18H



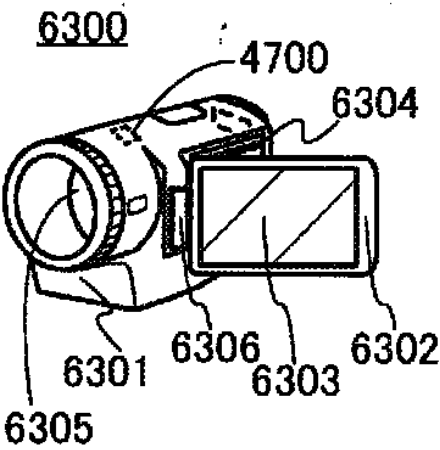
30

40

50

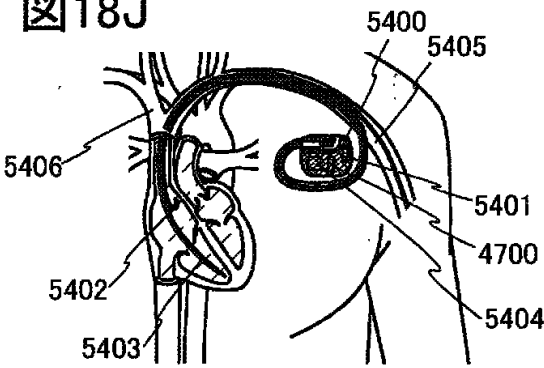
【図 18 I】

図 18I



【図 18 J】

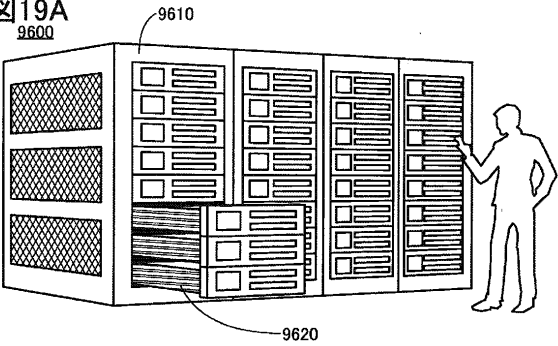
図 18J



10

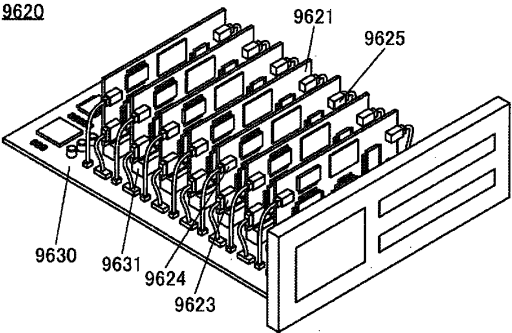
【図 19 A】

図 19A



【図 19 B】

図 19B



20

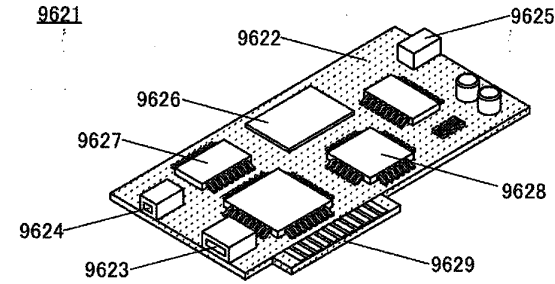
30

40

50

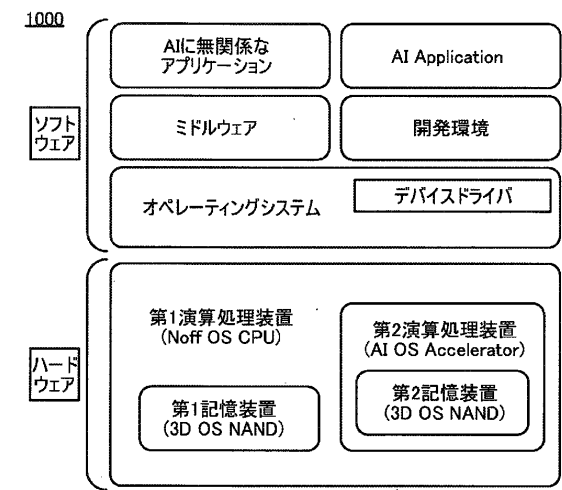
【図 19 C】

図19C



【図 20】

図20



10

20

30

40

50

フロントページの続き

ded Abstracts of the 2019 International Conference on Solid State Devices and Materials, Nagoya, 2019, pp519-520 発行日 令和1年9月2日

特許法第30条第2項適用 (集会名) 2019 International Conference on Solid State Devices and Materials 開催日 令和1年9月2日-9月5日

特許法第30条第2項適用 (集会名) The 13th Pacific Rim Conference of Ceramic Societies 開催日 令和1年10月27日-11月1日

(56)参考文献 特開2017-168809 (JP, A)

特開2007-242163 (JP, A)

(58)調査した分野 (Int.Cl., DB名)

G11C 11/404

G11C 11/405

G06F 12/00

G06F 12/06

G06F 13/16