



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0098114
(43) 공개일자 2014년08월07일

(51) 국제특허분류(Int. Cl.)
H04N 19/625 (2014.01) H04N 19/60 (2014.01)
(21) 출원번호 10-2014-7015180
(22) 출원일자(국제) 2012년11월06일
심사청구일자 없음
(85) 번역문제출일자 2014년06월03일
(86) 국제출원번호 PCT/US2012/063709
(87) 국제공개번호 WO 2013/070605
국제공개일자 2013년05월16일
(30) 우선권주장
61/556,681 2011년11월07일 미국(US)
61/556,823 2011년11월07일 미국(US)

(71) 출원인
브이아이디 스케일, 인크.
미국 텔라웨어 19809, 월링턴, 벨뷰 파크웨이
200, 스위트 300
(72) 발명자
덩 지예
미국 캘리포니아주 92129 샌 디에고 골드피쉬 웨이
7785
예 안
미국 캘리포니아주 92130 샌 디에고 펄먼 웨이
5001
(74) 대리인
김태홍, 김성기

전체 청구항 수 : 총 34 항

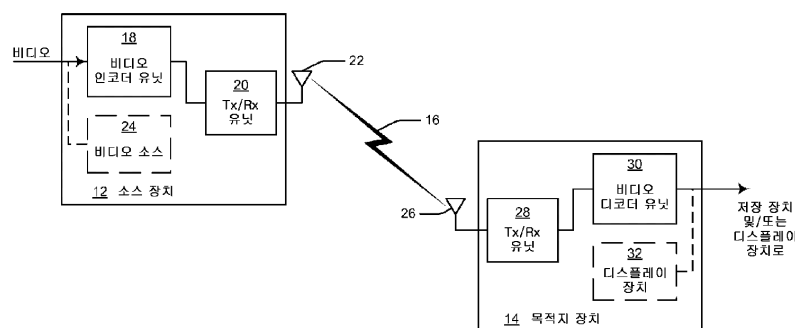
(54) 발명의 명칭 홀수-짝수 정수 변환 백그라운드를 사용하는 비디오 및 데이터 처리

(57) 요약

정수 변환, 및/또는 정수 변환 동작을 위한, 데이터(예컨대, 간차 비디오 데이터)를 변환하기 위한 방법, 장치 및 시스템이 개시되어 있다. 프로세서 및 메모리를 포함할 수 있는 장치가 이러한 방법, 장치 및 시스템 중에 포함되어 있다. 메모리는 변환 행렬 세트 및 변환 행렬 세트 중 임의의 변환 행렬을 사용하여 데이터(예컨대, 간차 비디오 데이터)를 변환하기 위해 프로세서에 의해 실행가능한 명령어들을 포함할 수 있다. 변환 행렬 세트의 각각의 변환 행렬은 직교일 수 있거나, 다른 대안으로서, 거의 직교일 수 있고, 완전 인수분해가능(fully factorizable)일 수 있다. 변환 행렬 세트의 각각의 변환 행렬은 상이한 수의 요소들을 가질 수 있다. 각각의 수의 요소들의 각각의 요소는 정수이다. 각각의 변환 행렬의 기저 벡터들(basis vectors)의 노름들(norms) 간의 차는 주어진 임계값을 만족시키고, 기저 벡터들은 DCT(discrete cosine transform) 행렬의 대응하는 기저 벡터들과 비슷하다.

대표도

10



특허청구의 범위

청구항 1

프로세서 및 메모리를 포함하는 장치로서,

상기 메모리는 변환 행렬 세트 및 상기 변환 행렬 세트 중 임의의 변환 행렬을 사용하여 데이터를 변환하기 위해 상기 프로세서에 의해 실행가능한 명령어들을 포함하고,

상기 변환 행렬 세트의 각각의 변환 행렬은 직교성이고, 상이한 수의 요소들을 가며;

각자의 수의 요소들의 각각의 요소는 정수이고;

각각의 변환 행렬의 기저 벡터들(basis vectors)의 노름들(norms) 간의 차는 주어진 임계값을 만족시키며;

상기 기저 벡터들은 DCT(discrete cosine transform, 이산 코사인 변환) 행렬의 대응하는 기저 벡터들과 비슷한 것인 장치.

청구항 2

프로세서 및 메모리를 포함하는 장치로서,

상기 메모리는 변환 행렬 세트 및 상기 변환 행렬 세트 중 임의의 변환 행렬을 사용하여 데이터를 변환하기 위해 상기 프로세서에 의해 실행가능한 명령어들을 포함하고,

상기 변환 행렬 세트의 각각의 변환 행렬은 거의 직교성이고, 상이한 수의 요소들을 가지며, 완전 인수분해가능(fully factorizable)이고;

각자의 수의 요소들의 각각의 요소는 정수이고;

각각의 변환 행렬의 기저 벡터들의 노름들 간의 차는 주어진 임계값을 만족시키며;

상기 기저 벡터들은 DCT(discrete cosine transform) 행렬의 대응하는 기저 벡터들과 비슷한 것인 장치.

청구항 3

제1항 또는 제2항에 있어서, 상기 메모리는 상기 변환 행렬 세트를 생성하여 상기 메모리에 저장하기 위해 상기 프로세서에 의해 실행가능한 명령어들을 더 포함하는 것인 장치.

청구항 4

제1항 또는 제2항에 있어서, 상기 주어진 임계값은, 만족될 때, 상기 기저 벡터들의 노름들이 거의 같다는 것을 나타내는 임계값을 포함하는 것인 장치.

청구항 5

제1항 또는 제2항에 있어서, 상기 기저 벡터들은 왜곡의 척도에 따라 DCT(discrete cosine transform) 행렬의 대응하는 기저 벡터들과 비슷한 것인 장치.

청구항 6

제1항 또는 제2항에 있어서, 상기 기저 벡터들은 왜곡의 척도에 따라 - 사전 정의된 임계값을 만족시키는 왜곡의 척도에 따르는 것을 포함함 -, DCT(discrete cosine transform) 행렬의 대응하는 기저 벡터들과 비슷한 것인 장치.

청구항 7

제5항 또는 제6항에 있어서, 상기 왜곡의 척도는 상기 DCT 행렬에 기초하는 것인 장치.

청구항 8

제5항 내지 제7항 중 어느 한 항에 있어서, 상기 왜곡의 척도는 상기 기저 벡터들 및 상기 DCT 행렬의 대응하는

기저 벡터들 중 적어도 일부에 기초하는 것인 장치.

청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서, 상기 변환 행렬 세트의 각각의 변환 행렬은 짝수 부분 및 홀수 부분으로 분해가능한 것인 장치.

청구항 10

제1항 내지 제9항 중 어느 한 항에 있어서, 상기 변환 행렬 세트의 각각의 변환 행렬은 $2^N \times 2^N$ 요소들을 포함하고, 여기서 N은 양의 정수인 것인 장치.

청구항 11

제10항에 있어서, 상기 변환 행렬 세트의 각각의 변환 행렬은 짝수 부분 및 홀수 부분으로 분해가능하고, 상기 짝수 부분 및 상기 홀수 부분 각각은 $2^{N-1} \times 2^{N-1}$ 요소들을 포함하는 것인 장치.

청구항 12

제11항에 있어서, 상기 짝수 부분은 인자 M에 의해 스케일링되고, 여기서 M은 양의 정수인 것인 장치.

청구항 13

제11항에 있어서, 상기 홀수 부분에 의한 변환은 단일 층 웨이블릿 분해(one-layer wavelet decomposition)로부터 얻어진 각각의 서브대역에 2^{N-2} 차원 변환을 적용한 결과를 포함하는 것인 장치.

청구항 14

제13항에 있어서, 상기 결과는 인자 M에 의해 스케일링되고, 여기서 M은 양의 정수인 것인 장치.

청구항 15

제14항에 있어서, 웨이블릿 변환은 Haar 변환인 것인 장치.

청구항 16

제1항 내지 제15항 중 어느 한 항에 있어서, 상기 장치는 비디오 인코더, 비디오 디코더, 및 무선 송수신 유닛(wireless transmit and/or receiver unit, WTRU) 중 임의의 것인 장치.

청구항 17

N 차원 정수 변환을 사용하여 잔차(residual) 비디오 데이터를 처리하는 방법으로서,

예조건화 유닛(preconditioning unit)에서, 잔차 비디오 데이터의 벡터를 수신하는 단계;

변환을 위한 제1 및 제2 중간 출력 벡터들을 형성하기 위해 상기 예조건화 유닛에서 잔차 비디오 데이터의 벡터를 처리하는 단계;

제1 변환 유닛에서 제1 중간 출력 벡터(intermediate output vector)를 수신하는 단계;

$N/2$ 차원 정수 짝수 부분 변환 행렬 및 $N/2$ 차원 정수 홀수 부분 행렬의 기저 벡터들을 사용하여 짝수번째 변환 계수들(even-indexed transform coefficients)을 형성하기 위해 상기 제1 변환 유닛에서 상기 제1 중간 출력 벡터를 변환하는 단계;

제2 변환 유닛에서 상기 제2 중간 출력 벡터를 수신하는 단계; 및

연속적인 $N/2$ 차원 정수 행렬들을 통해 상기 제2 중간 출력 벡터를 처리함으로써 홀수번째 변환 계수들(odd-indexed transform coefficients)을 형성하기 위해 상기 제2 변환 유닛에서 상기 제2 중간 출력 벡터를 변환하는 단계를 포함하고, 상기 $N/2$ 차원 정수 행렬들은 N 차원 변환 행렬의 홀수 부분을 전체적으로 인수분해하는 것인 잔차 비디오 데이터 처리 방법.

청구항 18

제17항에 있어서, 상기 연속적인 $N/2$ 차원 정수 행렬들은 $N/4$ 차원 홀수 부분 행렬에 기초하고, 연속적인 $N/2$ 차원 정수 행렬들을 통해 상기 제2 중간 출력 벡터를 처리하는 것은,

상기 제2 중간 출력 벡터의 제1 서브대역 및 제2 서브대역을 생성하는 것; 및

상기 $N/4$ 차원 홀수 부분 행렬을 상기 제1 서브대역 및 상기 제2 서브대역 각각에 적용하는 것을 포함하는 것인 방법.

청구항 19

제17항에 있어서, 상기 N 차원 정수 변환은 8 차원 정수 변환이고, 상기 연속적인 $N/2$ 차원 정수 행렬들은 3개의 연속적인 4 차원 정수 행렬들을 포함하는 것인 방법.

청구항 20

제19항에 있어서, 제1 연속적인 4 차원 정수 행렬은 하나의 대각선을 따른 우 대칭(even symmetry) 및 다른 대각선을 따른 기 대칭(odd symmetry)을 포함하고, 제2 연속적인 4 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 영 대칭(zero symmetry)을 포함하며, 제3 연속적인 4 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 기 대칭을 포함하는 것인 방법.

청구항 21

제17항에 있어서, 상기 N 차원 정수 변환은 16 차원 정수 변환이고, 상기 연속적인 $N/2$ 차원 정수 행렬들은 4개의 연속적인 8 차원 정수 행렬들을 포함하는 것인 방법.

청구항 22

제21항에 있어서, 제1 연속적인 8 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 기 대칭을 포함하고, 제2 연속적인 8 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 영 대칭을 포함하며, 제3 연속적인 8 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 영 대칭을 포함하고, 제4 연속적인 8 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 기 대칭을 포함하는 것인 방법.

청구항 23

제17항에 있어서, 상기 N 차원 정수 변환은 8 차원 정수 변환이고, 연속적인 $N/2$ 차원 정수 행렬들을 통해 상기 제2 중간 출력 벡터를 처리하는 것은,

제1 중간 변환 요소 세트를 형성하기 위해 제1 4 차원 정수 행렬을 통해 상기 제2 중간 출력 벡터를 처리하는 것;

제2 중간 변환 요소 세트를 형성하기 위해 제2 4 차원 정수 행렬을 통해 상기 제1 중간 변환 요소 세트를 처리하는 것; 및

상기 홀수번째 변환 계수들을 형성하기 위해 제3 4차원 정수 행렬을 통해 상기 제2 중간 변환 요소 세트를 처리하는 것을 포함하는 것인 방법.

청구항 24

제17항에 있어서, 상기 N 차원 정수 변환은 16 차원 정수 변환이고, 연속적인 $N/2$ 차원 정수 행렬들을 통해 상기 제2 중간 출력 벡터를 처리하는 것은,

제1 중간 변환 요소 세트를 형성하기 위해 제1 8 차원 정수 행렬을 통해 상기 제2 중간 출력 벡터를 처리하는 것;

제2 중간 변환 요소 세트를 형성하기 위해 제2 8 차원 정수 행렬을 통해 상기 제1 중간 변환 요소 세트를 처리하는 것;

제3 중간 변환 요소 세트를 형성하기 위해 제3 8 차원 정수 행렬을 통해 상기 제2 중간 변환 요소 세트를 처리

하는 것; 및

상기 홀수번째 변환 계수들을 형성하기 위해 제4 8차원 정수 행렬을 통해 상기 제3 중간 변환 요소 세트를 처리하는 것을 포함하는 것인 방법.

청구항 25

제17항에 있어서, 상기 N 차원 정수 변환은 32 차원 정수 변환이고, 연속적인 $N/2$ 차원 정수 행렬들을 통해 상기 제2 중간 출력 벡터를 처리하는 것은,

제1 중간 변환 요소 세트를 형성하기 위해 제1 16 차원 정수 행렬을 통해 상기 제2 중간 출력 벡터를 처리하는 것;

제2 중간 변환 요소 세트를 형성하기 위해 제2 16 차원 정수 행렬을 통해 상기 제1 중간 변환 요소 세트를 처리하는 것;

제3 중간 변환 요소 세트를 형성하기 위해 제3 16 차원 정수 행렬을 통해 상기 제2 중간 변환 요소 세트를 처리하는 것; 및

상기 제3 중간 변환 요소 세트를 각자의 4 차원 정수 행렬에 의한 변환을 위한 4개의 벡터들로 분해하기 위해 제4 16 차원 정수 행렬을 통해 상기 제3 중간 변환 요소 세트를 처리하는 것; 및

상기 홀수번째 변환 계수들을 형성하기 위해 각자의 4 차원 정수 행렬에 4개의 벡터들 각각을 적용하는 것을 포함하는 것인 방법.

청구항 26

N 차원 정수 변환을 사용하여 잔차 비디오 데이터를 처리하는 장치로서,

상기 장치는 예조건화 유닛, 제1 변환 유닛, 및 제2 변환 유닛을 포함하고,

상기 예조건화 유닛은 잔차 비디오 데이터의 벡터를 수신하도록 구성되어 있고;

상기 예조건화 유닛은 변환을 위한 제1 및 제2 중간 출력 벡터들을 형성하기 위해 상기 잔차 비디오 데이터의 벡터를 처리하도록 구성되어 있으며;

상기 제1 변환 유닛은 상기 제1 중간 출력 벡터를 수신하도록 구성되어 있고;

상기 제1 변환 유닛은 $N/2$ 차원 정수 짝수 부분 변환 행렬 및 $N/2$ 차원 정수 홀수 부분 행렬의 기저 벡터들을 사용하여 짝수번째 변환 계수들을 형성하기 위해 상기 제1 중간 출력 벡터를 변환하도록 구성되어 있으며;

상기 제2 변환 유닛은 상기 제2 중간 출력 벡터를 수신하도록 구성되어 있고;

상기 제2 변환 유닛은 연속적인 $N/2$ 차원 정수 행렬들을 통해 상기 제2 중간 출력 벡터를 처리함으로써 홀수번째 변환 계수들을 형성하기 위해 상기 제2 중간 출력 벡터를 변환하도록 구성되어 있으며, 상기 $N/2$ 차원 정수 행렬들은 N 차원 변환 행렬의 홀수 부분을 전체적으로 인수분해하는 것인 잔차 비디오 데이터 처리 장치.

청구항 27

제26항에 있어서, 상기 연속적인 $N/2$ 차원 정수 행렬들은 $N/4$ 차원 홀수 부분 행렬에 기초하고, 상기 제2 변환 유닛은 상기 제2 중간 출력 벡터의 제1 서브대역 및 제2 서브대역을 생성하고, 연속적인 $N/2$ 차원 정수 행렬들을 통해 상기 제2 중간 출력 벡터를 처리할 때 상기 $N/4$ 차원 홀수 부분 행렬을 상기 제1 서브대역 및 상기 제2 서브대역 각각에 적용하도록 구성되어 있는 것인 장치.

청구항 28

제26항에 있어서, 상기 N 차원 정수 변환은 8 차원 정수 변환이고, 상기 연속적인 $N/2$ 차원 정수 행렬들은 3개의 연속적인 4 차원 정수 행렬들을 포함하는 것인 장치.

청구항 29

제28항에 있어서, 제1 연속적인 4 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 기 대칭을 포함하고, 제2 연속적인 4 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 영

대칭을 포함하며, 제3 연속적인 4 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 기 대칭을 포함하는 것인 장치.

청구항 30

제26항에 있어서, 상기 N 차원 정수 변환은 16 차원 정수 변환이고, 상기 연속적인 $N/2$ 차원 정수 행렬들은 4개의 연속적인 4 차원 정수 행렬들을 포함하는 것인 장치.

청구항 31

제30항에 있어서, 제1 연속적인 8 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 기 대칭을 포함하고, 제2 연속적인 8 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 영 대칭을 포함하며, 제3 연속적인 8 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 영 대칭을 포함하고, 제4 연속적인 8 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 기 대칭을 포함하는 것인 장치.

청구항 32

제26항에 있어서, 상기 N 차원 정수 변환은 8 차원 정수 변환이고, 연속적인 $N/2$ 차원 정수 행렬들을 통해 상기 제2 중간 출력 벡터를 처리할 때, 상기 제2 변환 유닛은,

제1 중간 변환 요소 세트를 형성하기 위해 제1 4 차원 정수 행렬을 통해 상기 제2 중간 출력 벡터를 처리하고;

제2 중간 변환 요소 세트를 형성하기 위해 제2 4 차원 정수 행렬을 통해 상기 제1 중간 변환 요소 세트를 처리하며;

상기 홀수번째 변환 계수들을 형성하기 위해 제3 4차원 정수 행렬을 통해 상기 제2 중간 변환 요소 세트를 처리하도록 구성되어 있는 것인 장치.

청구항 33

제26항에 있어서, 상기 N 차원 정수 변환은 16 차원 정수 변환이고, 연속적인 $N/2$ 차원 정수 행렬들을 통해 상기 제2 중간 출력 벡터를 처리할 때, 상기 제2 변환 유닛은,

제1 중간 변환 요소 세트를 형성하기 위해 제1 8 차원 정수 행렬을 통해 상기 제2 중간 출력 벡터를 처리하고;

제2 중간 변환 요소 세트를 형성하기 위해 제2 8 차원 정수 행렬을 통해 상기 제1 중간 변환 요소 세트를 처리하며;

제3 중간 변환 요소 세트를 형성하기 위해 제3 8 차원 정수 행렬을 통해 상기 제2 중간 변환 요소 세트를 처리하고;

상기 홀수번째 변환 계수들을 형성하기 위해 제4 8차원 정수 행렬을 통해 상기 제3 중간 변환 요소 세트를 처리하도록 구성되어 있는 것인 장치.

청구항 34

제26항에 있어서, 상기 N 차원 정수 변환은 32 차원 정수 변환이고, 연속적인 $N/2$ 차원 정수 행렬들을 통해 상기 제2 중간 출력 벡터를 처리할 때, 상기 제2 변환 유닛은,

제1 중간 변환 요소 세트를 형성하기 위해 제1 16 차원 정수 행렬을 통해 상기 제2 중간 출력 벡터를 처리하고;

제2 중간 변환 요소 세트를 형성하기 위해 제2 16 차원 정수 행렬을 통해 상기 제1 중간 변환 요소 세트를 처리하며;

제3 중간 변환 요소 세트를 형성하기 위해 제3 16 차원 정수 행렬을 통해 상기 제2 중간 변환 요소 세트를 처리하고;

상기 제3 중간 변환 요소 세트를 각자의 4 차원 정수 행렬에 의한 변환을 위한 4개의 벡터들로 분해하기 위해 제4 16 차원 정수 행렬을 통해 상기 제3 중간 변환 요소 세트를 처리하며;

상기 홀수번째 변환 계수들을 형성하기 위해 각자의 4 차원 정수 행렬에 상기 4개의 벡터들 각각을 적용하도록

구성되어 있는 것인 장치.

명세서

배경 기술

[0001] 디지털 비디오 기능이 디지털 텔레비전, 디지털 직접 방송 시스템, 무선 방송 시스템, PDA(personal digital assistant), 랩톱 또는 데스크톱 컴퓨터, 디지털 카메라, 디지털 레코딩 장치, 비디오 게임 장치, 비디오 게임 콘솔, 셀룰러, 위성 또는 기타 무선 전화 등을 비롯한 광범위한 장치들에 포함될 수 있다. 많은 디지털 비디오 장치들은, 디지털 비디오 정보를 보다 효율적으로 전송 및 수신하기 위해, MPEG(Moving Picture Experts Group)에 의해 정의된 표준들(MPEG-2, MPEG-4 등); 및 ITU(International Telecommunications Union)에 의해 정의된 표준들[ITU-T H.263 또는 ITU-T H.264/MPEG-4, Part 10, AVC(Advanced Video Coding)], 및 이러한 표준들의 확장들에 기술되어 있는 것과 같은 비디오 압축 기법들을 구현한다.

[0002] 비디오 압축 기법들은 비디오 시퀀스에 본질적인 중복성을 감소시키거나 제거하기 위해 공간 예측(spatial prediction) 및/또는 시간 예측(temporal prediction)을 수행할 수 있다. 블록 기반 비디오 코딩의 경우, 비디오 프레임 또는 슬라이스가 블록들("비디오 블록들")로 분할될 수 있다. 다양한 코딩 기법들에 따르면, 인트라 코딩된(intra-coded)(I) 프레임 또는 슬라이스 내의 비디오 블록들은 이웃 블록들에 대한 공간 예측을 사용해 인코딩된다. 인터 코딩된(inter-coded)(P 또는 B) 프레임 또는 슬라이스 내의 비디오 블록들은 동일한 프레임 또는 슬라이스 내의 이웃 비디오 블록들에 대한 공간 예측 또는 다른 참조 프레임들 내의 비디오 블록들에 대한 시간 예측을 사용할 수 있다.

발명의 내용

[0003] 정수 변환, 및/또는 정수 변환 동작을 위한, 데이터[예컨대, 잔차(residual) 비디오 데이터]를 변환하기 위한 방법, 장치 및 시스템이 개시되어 있다. 프로세서 및 메모리를 포함할 수 있는 장치가 이러한 방법, 장치 및 시스템 중에 포함되어 있다. 메모리는 변환 행렬 세트 및 변환 행렬 세트 중 임의의 변환 행렬을 사용하여 데이터(예컨대, 잔차 비디오 데이터)를 변환하기 위해 프로세서에 의해 실행가능한 명령어들을 포함할 수 있다. 변환 행렬 세트의 각각의 변환 행렬은 직교성이고, 상이한 수의 요소들을 가진다. 각각의 수의 요소들의 각각의 요소는 정수이다. 각각의 변환 행렬의 기저 벡터들(basis vectors)의 노름들(norms) 간의 차는 주어진 임계값을 만족시키고, 기저 벡터들은 DCT(discrete cosine transform, 이산 코사인 변환) 행렬의 대응하는 기저 벡터들과 비슷하다.

[0004] 대안으로서, 변환 행렬 세트의 각각의 변환 행렬은 거의 직교성이고, 상이한 수의 요소들을 가지며, 완전 인수 분해가능(fully factorizable)일 수 있다.

[0005] 또한, N 차원 정수 변환(order-N integer transform)을 사용하여 잔차 비디오 데이터를 처리하는 방법이 이 방법, 장치 및 시스템 중에 포함된다. 이 방법은, 제1 예조건화 유닛(preconditioning unit)에서, (예컨대, 잔차) 비디오 데이터의 벡터를 수신하는 단계 및 변환을 위한 제1 및 제2 중간 출력 벡터들을 형성하기 위해 제1 예조건화 유닛에서 (예컨대, 잔차) 비디오 데이터의 벡터를 처리하는 단계를 포함할 수 있다. 이 방법은 또한 제1 변환 유닛에서 제1 중간 출력 벡터(intermediate output vector)를 수신하는 단계 및 N/2 차원 정수 짝수 부분 변환 행렬(even part transform matrix) 및 N/2 차원 정수 홀수 부분 행렬의 기저 벡터들을 사용하여 짝수번째 변환 계수들(even-indexed transform coefficients)을 형성하기 위해 제1 변환 유닛에서 제1 중간 출력 벡터를 변환하는 단계를 포함할 수 있다. 이 방법은 제2 변환 유닛에서 제2 중간 출력 벡터를 수신하는 단계 및 연속적인 N/2 차원 정수 행렬들을 통해 제2 중간 출력 벡터를 처리함으로써 홀수번째 변환 계수들(odd-indexed transform coefficients)을 형성하기 위해 제2 변환 유닛에서 제2 중간 출력 벡터를 변환하는 단계를 더 포함할 수 있다. N/2 차원 정수 행렬들은 N 차원 변환 행렬의 홀수 부분을 전체적으로 인수분해할 수 있다.

도면의 간단한 설명

[0006] 예로서 본 명세서에 첨부된 도면들과 관련하여 이하의 이하의 상세한 설명으로부터 보다 상세하게 이해될 수 있다. 이러한 첨부 도면 내의 도면들은, 상세한 설명과 같이, 예이다. 그에 따라, 도면 및 상세한 설명은 제한하는 것으로 생각되어서는 안되며, 다른 똑같이 효과적인 예가 가능하고 있을 수 있다. 게다가, 도면에서 유사한 참조 번호는 유사한 요소를 나타낸다.

도 1a는 하나 이상의 실시예들이 수행 및/또는 구현될 수 있는 한 예시적인 비디오 인코딩 및 디코딩 시스템을

나타낸 블록도.

도 1b는 도 1a의 시스템 등의 비디오 인코딩 및/또는 디코딩 시스템에서 사용하기 위한 한 예시적인 비디오 인코더 유닛을 나타낸 블록도.

도 1c는 도 1a 및 도 1b의 비디오 인코더 유닛 등의 비디오 인코더 유닛에서 사용하기 위한 비디오 인코더의 한 예를 나타낸 블록도.

도 1d는 도 1a 및 도 1b의 비디오 디코더 유닛 등의 비디오 디코더 유닛에서 사용하기 위한 비디오 디코더의 한 예를 나타낸 블록도.

도 2는 비제한적인 실시예에 따른 한 예시적인 32 차원 변환 행렬을 나타낸 도면.

도 3a 및 도 3b는 K 차원 변환에 대한 부분 인수분해(partial factorization)를 수행하는 한 예시적인 구조를 나타낸 블록도.

도 4a 및 도 4b는 32 차원 변환에 대한 부분 인수분해를 수행하는 한 예시적인 구조를 나타낸 블록도.

도 5a 및 도 5b는 8 차원 변환에 대한 완전 인수분해(full factorization)를 수행하는 한 예시적인 구조를 나타낸 블록도.

도 6a 및 도 6b는 16 차원 변환에 대한 완전 인수분해를 수행하는 한 예시적인 구조를 나타낸 블록도.

도 7a 및 도 7b는 32 차원 변환에 대한 완전 인수분해를 수행하는 한 예시적인 구조를 나타낸 블록도.

도 8은 비제한적인 실시예에 따른 통신 시스템을 나타낸 도면.

도 9a는 하나 이상의 개시된 실시예들이 구현될 수 있는 예시적인 통신 시스템의 시스템도.

도 9b는 도 9a에 예시된 통신 시스템 내에서 사용될 수 있는 한 예시적인 WTRU(wireless transmit/receive unit, 무선 송수신 유닛)의 시스템도.

도 9c, 도 9d 및 도 9e는 도 9a에 예시되어 있는 통신 시스템 내에서 사용될 수 있는 예시적인 무선 액세스 네트워크 및 예시적인 코어 네트워크의 시스템도.

발명을 실시하기 위한 구체적인 내용

[0007] 이하의 상세한 설명에, 본 명세서에 개시된 실시예들 및 예들에 대한 완전한 이해를 제공하기 위해 다수의 구체적인 상세가 기재되어 있다. 그렇지만, 이러한 실시예들 및 예들이 본 명세서에 기재된 구체적인 상세의 일부 또는 전부를 사용하지 않고 실시될 수 있다는 것을 잘 알 것이다. 다른 경우들에, 이하의 설명을 모호하게 하지 않기 위해 공지된 방법, 절차, 구성요소 및 회로에 대해서는 상세히 설명하지 않았다. 게다가, 본 명세서에 구체적으로 기술되어 있지 않은 실시예들 및 예들이 본 명세서에 개시되어 있는 실시예들 및 기타 예들 대신에 또는 그와 함께 실시될 수 있다.

[0008] 예시적인 시스템 아키텍처

[0009] 도 1a는 하나 이상의 실시예들이 수행 및/또는 구현될 수 있는 한 예시적인 비디오 인코딩 및 디코딩 시스템(10)을 나타낸 블록도이다. 시스템(10)은 인코딩된 비디오 정보를 통신 채널(16)을 통해 목적지 장치(14)로 전송하는 소스 장치(12)를 포함할 수 있다.

[0010] 소스 장치(12) 및 목적지 장치(14)는 매우 다양한 장치들 중 임의의 것일 수 있다. 어떤 실시예들에서, 소스 장치(12) 및 목적지 장치는 통신 채널(16) - 이 경우에, 통신 채널(16)은 무선 링크를 포함함 - 을 통해 비디오 정보를 전달할 수 있는 무선 핸드셋 또는 임의의 무선 장치 등의 WTRU(wireless transmit/receive unit, 무선 송수신 유닛)를 포함할 수 있다. 그렇지만, 본 명세서에 명시적으로, 암시적으로 및/또는 본질적으로 기술되거나, 개시되거나 다른 방식으로 제공된(충칭하여 "제공된") 방법, 장치 및 시스템이 무선 응용 또는 설정으로 꼭 제한되는 것은 아니다. 예를 들어, 이들 기법은 공중과 텔레비전 방송, 케이블 텔레비전 전송, 위성 텔레비전 전송, 인터넷 비디오 전송, 저장 매체 상에 인코딩되어 있는 인코딩된 디지털 비디오, 또는 기타 시나리오들에 적용될 수 있다. 그에 따라, 통신 채널(16)은 인코딩된 비디오 데이터의 전송에 적합한 무선 또는 유선 매체의 임의의 조합을 포함할 수 있고/있거나 그러한 무선 또는 유선 매체의 임의의 조합일 수 있다.

[0011] 소스 장치(12)는 비디오 인코더 유닛(18), 송수신(Tx/Rx) 유닛(20), 및 Tx/Rx 요소(22)를 포함할 수 있다. 도시

된 바와 같이, 소스 장치(12)는 선택적으로 비디오 소스(24)를 포함할 수 있다. 목적지 장치(14)는 Tx/Rx 요소(26), Tx/Rx 유닛(28), 및 비디오 디코더 유닛(30)을 포함할 수 있다. 도시된 바와 같이, 목적지 장치(14)는 선택적으로 디스플레이 장치(32)를 포함할 수 있다. Tx/Rx 유닛들(20, 28) 각각은 송신기, 수신기, 또는 송신기와 수신기의 조합(예컨대, 송수신기, 송신기-수신기)일 수 있거나 이들을 포함할 수 있다. Tx/Rx 요소들(22, 26) 각각은, 예를 들어, 안테나일 수 있다. 본 개시 내용에 따르면, 소스 장치(12)의 비디오 인코더 유닛(18) 및/또는 목적지 장치의 비디오 디코더 유닛(30)은 본 명세서에 제공된 코딩 기법들을 적용하도록 설정 및/또는 구성(총칭하여 "구성")되어 있을 수 있다.

[0012] 소스 및 목적지 장치들(12, 14)은 기타 요소들/구성요소들 또는 설비들을 포함할 수 있다. 예를 들어, 소스 장치(12)는 외부 비디오 소스로부터 비디오 데이터를 수신하도록 구성되어 있을 수 있다. 그리고, 목적지 장치(14)는, (예컨대, 일체형) 디스플레이 장치(32)를 포함하는 것 및/또는 사용하는 것보다는, 외부 디스플레이 장치(도시 생략)와 인터페이스할 수 있다. 어떤 실시예들에서, 비디오 인코더 유닛(18)에 의해 발생된 데이터 스트림은, 데이터를 반송파 신호 상에 변조할 필요 없이(예컨대, 직접 디지털 전송에 의해), 다른 장치들로 전달될 수 있고, 여기서 다른 장치들은 전송을 위해 데이터를 변조할 수 있거나 그렇지 않을 수 있다.

[0013] 도 1의 예시된 시스템(10)은 한 예에 불과하다. 본 명세서에 제공된 기법들은 임의의 디지털 비디오 인코딩 및/또는 디코딩 장치에 의해 수행될 수 있다. 비록 일반적으로 본 명세서에 제공된 기법들이 개별적인 비디오 인코딩 및/또는 비디오 디코딩 장치들에 의해 수행되지만, 기법들이 또한 결합된 비디오 인코더/디코더(통상적으로, "코덱"이라고 함)에 의해 수행될 수 있다. 더욱이, 본 명세서에 제공된 기법들은 또한 비디오 전처리기(video preprocessor) 등에 의해 수행될 수 있다. 소스 장치(12) 및 목적지 장치(14)는 이러한 코딩 장치들의 예에 불과하고, 여기서 소스 장치(12)는 목적지 장치(14)로 전송하기 위한 인코딩된 비디오 정보를 발생시킨다[및/또는 비디오 데이터를 수신하고 목적지 장치(14)로 전송하기 위한 인코딩된 비디오 정보를 발생시킨다]. 어떤 실시예들에서, 장치들(12, 14)은 실질적으로 대칭적으로 동작할 수 있고, 따라서 장치들(12, 14) 각각은 비디오 인코딩 및 디코딩 구성요소들 및/또는 요소들(총칭하여 "요소들")을 포함한다. 따라서, 시스템(10)은, 예컨대, 비디오 스트리밍, 비디오 재생, 비디오 방송, 화상 전화 및 화상 회의 중 임의의 것을 위해, 장치들(12, 14) 사이의 단방향 및 양방향 비디오 전송 중 임의의 것을 지원할 수 있다. 어떤 실시예들에서, 소스 장치(12)는, 예를 들어, 하나 이상의 목적지 장치들에 대한 인코딩된 비디오 정보를 발생시키도록(및/또는 비디오 데이터를 수신하고 하나 이상의 목적지 장치들에 대한 인코딩된 비디오 정보를 발생시키도록) 구성되어 있는 비디오 스트리밍 서버일 수 있고, 여기서 목적지 장치들은 유선 및/또는 무선 통신 시스템들을 통해 소스 장치(12)와 통신하고 있을 수 있다.

[0014] 외부 비디오 소스 및/또는 비디오 소스(24)는 비디오 카메라, 이전에 캡처된 비디오를 가지고 있는 비디오 보관소(video archive), 및/또는 비디오 콘텐츠 제공자로부터의 비디오 피드(video feed) 등의 비디오 캡처 장치일 수 있고 및/또는 그를 포함할 수 있다. 다른 대안으로서, 외부 비디오 소스 및/또는 비디오 소스(24)는 컴퓨터 그래픽 기반 데이터를 소스 비디오로서 발생시킬 수 있거나, 라이브 비디오, 보관된 비디오, 및 컴퓨터 발생 비디오의 조합을 발생시킬 수 있다. 어떤 실시예들에서, 비디오 소스(24)가 비디오 카메라인 경우, 소스 장치(12) 및 목적지 장치(14)는 카메라 폰 또는 비디오 폰일 수 있거나 이들을 구현할 수 있다. 그렇지만, 앞서 언급한 바와 같이, 본 명세서에 제공된 기법들은 일반적으로 비디오 코딩에 적용가능할 수 있고, 무선 및/또는 유선 응용들에 적용될 수 있다. 어쨌든, 캡처된, 사전 캡처된, 컴퓨터 발생 비디오, 비디오 피드, 또는 기타 유형의 비디오 데이터(총칭하여, "비인코딩된 비디오")가 인코딩된 비디오 정보를 형성하기 위해 비디오 인코더 유닛(18)에 의해 인코딩될 수 있다.

[0015] Tx/Rx 유닛(20)은 인코딩된 비디오 정보를 지니고 있는 하나 이상의 변조된 신호들을 형성하기 위해, 예컨대, 통신 표준에 따라, 인코딩된 비디오 정보를 변조할 수 있다. Tx/Rx 유닛(20)은 또한 변조된 신호들을 전송을 위해 그의 송신기로 전달할 수 있다. 송신기는 변조된 신호들을 Tx/Rx 요소(22)를 통해 목적지 장치(14)로 전송할 수 있다.

[0016] 목적지 장치(14)에서, Tx/Rx 유닛(28)은 채널(16)을 거쳐 Tx/Rx 요소(26)를 통해 변조된 신호들을 수신할 수 있다. Tx/Rx 유닛(28)은 인코딩된 비디오 정보를 획득하기 위해 변조된 신호들을 복조할 수 있다. Tx/Rx 유닛(28)은 인코딩된 비디오 정보를 비디오 디코더 유닛(30)으로 전달할 수 있다.

[0017] 비디오 디코더 유닛(30)은 디코딩된 비디오 데이터를 획득하기 위해 인코딩된 비디오 정보를 디코딩할 수 있다. 인코딩된 비디오 정보는 비디오 인코더 유닛(18)에 의해 정의되는 구문 정보(syntax information)를 포함할 수 있다. 이 구문 정보는 하나 이상의 요소들("구문 요소들")을 포함할 수 있고; 이들 중 일부 또는 전부는 인코딩

된 비디오 정보를 디코딩하는 데 유용할 수 있다. 구문 요소들은, 예를 들어, 인코딩된 비디오 정보의 특성들을 포함할 수 있다. 구문 요소들은 또한 인코딩된 비디오 정보를 형성하는 데 사용되는 비인코딩된 비디오의 특성들을 포함할 수 있고, 및/또는 그의 처리를 기술할 수 있다.

[0018] 비디오 디코더 유닛(30)은 나중에 저장 및/또는 외부 디스플레이(도시 생략) 상에 디스플레이하기 위해 디코딩된 비디오 데이터를 출력할 수 있다. 다른 대안으로서, 비디오 디코더 유닛(30)은 디코딩된 비디오 데이터를 디스플레이 장치(32)로 출력할 수 있다. 디스플레이 장치(32)는 디코딩된 비디오 데이터를 사용자에게 디스플레이하도록 구성되어 있는 각종의 디스플레이 장치들의 임의의 개별 장치, 다수의 장치들, 조합, 다수의 장치들의 조합일 수 있고 및/또는 그를 포함할 수 있다. 이러한 디스플레이 장치들의 예는 LCD(liquid crystal display, 액정 디스플레이), 플라즈마 디스플레이, OLED(organic light emitting diode, 유기 발광 다이오드) 디스플레이, CRT(cathode ray tube, 음극선관) 등을 포함한다.

[0019] 통신 채널(16)은 RF(radio frequency, 무선 주파수) 스펙트럼 또는 하나 이상의 물리 전송 선로, 또는 무선 및 유선 매체의 임의의 조합 등의 임의의 무선 또는 유선 통신 매체일 수 있다. 통신 채널(16)은 LAN(local area network, 근거리 통신망), WAN(wide-area network, 원거리 통신망), 또는 인터넷 등의 글로벌 네트워크(global network)와 같은 패킷 기반 네트워크의 일부를 형성할 수 있다. 통신 채널(16)은 일반적으로, 유선 또는 무선 매체의 임의의 적당한 조합을 비롯하여, 소스 장치(12)로부터 목적지 장치(14)로 비디오 데이터를 전송하는 임의의 적당한 통신 매체, 또는 상이한 통신 매체들의 집합체를 나타낸다. 통신 채널(16)은 소스 장치(12)로부터 목적지 장치(14)로의 통신을 용이하게 해주는 데 유용할 수 있는 라우터, 스위치, 기지국, 또는 임의의 다른 장비를 포함할 수 있다. 장치들(12, 14) 사이의 이러한 통신을 용이하게 해줄 수 있는 한 예시적인 통신 시스템의 상세가 도 8, 도 9a 내지 도 9e를 참조하여 이하에서 제공된다. 장치들(12, 14)을 나타낼 수 있는 장치들의 상세도 역시 이하에서 제공된다.

[0020] 비디오 인코더 유닛(18) 및 비디오 디코더 유닛(30)은, 예를 들어, MPEG-2, H.261, H.263, H.264, H.264/AVC, H.264, SVC 확장에 따라 확장된 H.264("H.264/SVC") 등과 같은 하나 이상의 표준들 및/또는 규격들에 따라 동작할 수 있다. 그렇지만, 본 명세서에 제공된 방법, 장치 및 시스템이, 아직 개발되지 않은 장래의 비디오 인코더, 디코더 및/또는 코덱을 비롯하여, 상이한 표준들에 따라(및/또는 상이한 표준들에 부합하게) 구현되는 기타 비디오 인코더, 디코더 및/또는 코덱에, 또는 독점 비디오 인코더, 디코더 및/또는 코덱에 적용가능하다는 것을 잘 알 것이다. 게다가, 그렇지만, 본 명세서에 제공된 기법들이 임의의 특정의 코딩 표준으로 제한되지 않는다.

[0021] 앞서 살펴본 H.264/AVC의 관련 부분들은 ITU(International Telecommunications Union)로부터 ITU-T 권고 H.264로서, 또는 보다 구체적으로는, "ITU-T Rec. H.264 and ISO/IEC 14496-10 (MPEG4-AVC), 'Advanced Video Coding for Generic Audiovisual Services,' v5, March, 2010"로서 이용가능하고, 이는 참조 문헌으로서 본 명세서에 포함되고, 본 명세서에서, H.264 표준 또는 H.264 규격, 또는 H.264/AVC 표준 또는 규격이라고 지칭될 수 있다. H.264/AVC 표준은 JVT(Joint Video Team)라고 하는 공동 파트너쉽(collective partnership)의 산물로서 ISO/IEC MPEG과 함께 ITU-T VCEG(Video Coding Experts Group)에 의해 작성되었다. 어떤 측면들에서, 본 명세서에 제공된 기법들은 H.264 표준에 일반적으로 부합하는 장치들에 적용될 수 있다. JVT는 H.264/AVC 표준의 확장에 관하여 계속 작업하고 있다.

[0022] H.264/AVC 표준을 진보시키기 위한 작업이 KTA(Key Technologies Area) 포럼 등의 ITU-T의 다양한 포럼들에서 착수되었다. 포럼들 중 적어도 일부는, 부분적으로, H.264/AVC 표준이 나타내는 것보다 더 높은 코딩 효율을 나타내는 코딩 기술들의 진보를 추구하고 있다. 예를 들어, ISO/IEC MPEG 및 ITU-T VCEG는 차세대 비디오 코딩 및 압축 표준, 즉 HEVC(High Efficiency Video Coding) 표준을 개발하기 시작한 JCT-VC(Joint Collaborative Team on Video Coding)를 설립하였다. 어떤 측면들에서, 본 명세서에 제공된 기법들은 H.264/AVC 및/또는 HEVC(현재 초안) 표준들에 대한 및/또는 이들에 따른 코딩 향상들을 제공할 수 있다.

[0023] 비록 도 1a 내지 도 1d에는 도시되어 있지 않지만, 어떤 측면들에서, 비디오 인코더 및 비디오 디코더 유닛들(18, 30) 각각은 (적절한 경우) 오디오 인코더 및/또는 디코더를 포함할 수 있고 및/또는 이들과 통합되어 있을 수 있다. 비디오 인코더 및 비디오 디코더 유닛들(18, 30)은 공통 데이터 스트림 내의 또는, 대안적으로, 개별적인 데이터 스트림 내의 오디오 및 비디오 둘 다의 인코딩을 처리하기 위해 적절한 MUX-DEMUX 유닛들 또는 기타 하드웨어 및/또는 소프트웨어를 포함할 수 있다. 적용가능한 경우, MUX-DEMUX 유닛들은, 예를 들어, ITU-T 권고 H.223 멀티플렉서 프로토콜, 또는 UDP(user datagram protocol) 등의 기타 프로토콜들에 부합할 수 있다.

[0024] 비디오 인코더 및 비디오 디코더 유닛들(18, 30) 각각 또는 그 중 다수가 하나 이상의 인코더들 또는 디코더들

에 포함될 수 있고, 그 중 임의의 것은 코덱의 일부로서 통합되어 있을 수 있으며, 각자의 카메라, 컴퓨터, 모바일 장치, 가입자 장치, 방송 장치, 셋톱 박스, 서버, 등과 통합되어 있거나 다른 방식으로 결합되어 있을 수 있다. 게다가, 비디오 인코더 유닛(18) 및 비디오 디코더 유닛(30)은, 각각, 하나 이상의 마이크로프로세서, DSP(digital signal processor), ASIC(application specific integrated circuit), FPGA(field programmable gate array), 이산 논리, 소프트웨어, 하드웨어, 펌웨어 또는 이들의 임의의 조합 등의 각종의 적당한 인코더 및 디코더 회로들 중 임의의 것으로서 구현될 수 있다. 다른 대안으로서, 비디오 인코더 및 비디오 디코더 유닛들(18, 30) 중 어느 하나 또는 둘 다가 실질적으로 소프트웨어로 구현될 수 있고, 그에 따라, 비디오 디코더 유닛(18) 및/또는 비디오 인코더 유닛(30)의 요소들의 동작들이 하나 이상의 프로세서(도시 생략)에 의해 실행되는 적절한 소프트웨어 명령어들에 의해 수행될 수 있다. 다시 말하지만, 이러한 실시예는, 프로세서에 부가하여, 외부 저장 장치(예를 들어, 비휘발성 메모리의 형태로 되어 있음), 입출력 인터페이스 등과 같은 오프칩 구성요소들도 포함할 수 있다.

[0025] 다른 실시예들에서, 비디오 인코더 유닛(18) 및 비디오 디코더 유닛(30) 각각의 요소들 중 어떤 요소들은 하드웨어로서 구현될 수 있는 반면, 다른 요소들은 하나 이상의 프로세서들에 의해 실행되는 적절한 소프트웨어 명령어들을 사용하여 구현될 수 있다. 비디오 인코더 및/또는 비디오 디코더 유닛들(18, 30)의 요소들의 동작들이 하나 이상의 프로세서들에 의해 실행되는 소프트웨어 명령어들에 의해 수행될 수 있는 임의의 실시예에서, 이러한 소프트웨어 명령어들은 CPU에 의해 판독가능한 자기 디스크, 광 디스크, 및 임의의 다른 휘발성[예컨대, 랜덤 액세스 메모리(RAM)] 또는 비휘발성[예컨대, 판독 전용 메모리(ROM)] 대용량 저장 시스템을 비롯한 컴퓨터 판독가능 매체 상에 유지될 수 있다. 컴퓨터 판독가능 매체는 처리 시스템 상에만 존재하거나 처리 시스템에 로컬이거나 원격일 수 있는 다수의 상호연결된 처리 시스템 간에 분산되어 있는 협력하는 또는 상호연결된 컴퓨터 판독가능 매체를 포함할 수 있다.

[0026] 도 1b는 도 1a의 시스템(10) 등의 비디오 인코딩 및/또는 디코딩 시스템에서 사용하기 위한 한 예시적인 비디오 인코더 유닛(18)을 나타낸 블록도이다. 비디오 인코더 유닛(18)은 비디오 인코더(33), 출력 버퍼(34) 및 시스템 제어기(36)를 포함할 수 있다. 비디오 인코더 유닛(18)과 같이, 전체로서, 비디오 인코더(33)(또는 그의 하나 이상의 요소들)는, 예를 들어, H.261, H.263, H.264, H.264/AVC, H.264/SVC, HEVC 등과 같은 하나 이상의 표준들 및/또는 규격들에 따라 구현될 수 있다. 그렇지만, 본 명세서에 제공된 방법, 장치 및 시스템이 상이한 표준들에 따라 구현되는 다른 비디오 인코더들에 또는 아직 개발되지 않은 장래의 코덱들을 비롯한 독점 코덱들에 적용가능하다고 생각된다.

[0027] 비디오 인코더(33)는 비디오 소스(24) 및/또는 외부 비디오 소스 등의 비디오 소스로부터 제공되는 비디오 신호를 수신할 수 있다. 이 비디오 신호는 비인코딩된 비디오를 포함할 수 있다. 비디오 인코더(33)는 비인코딩된 비디오를 인코딩하여, 인코딩된(즉, 압축된) 비디오 비트스트림(bit stream, BS)을 그 출력에서 제공할 수 있다.

[0028] 인코딩된 비디오 비트스트림(BS)이 출력 버퍼(34)에 제공될 수 있다. 출력 버퍼(34)는 인코딩된 비디오 비트스트림(BS)을 버퍼링하고, 통신 채널(16)을 통해 전송하기 위해 이러한 인코딩된 비디오 비트스트림(BS)을 버퍼링된 비트스트림(buffered bit stream, BBS)로서 제공할 수 있다.

[0029] 출력 버퍼(34)로부터 출력되는 버퍼링된 비트스트림(BBS)은 나중에 보거나 전송하기 위해 저장 장치(도시 생략)에 제공될 수 있다. 다른 대안으로서, 비디오 인코더 유닛(18)은 버퍼링된 비트스트림(BBS)이 명시된 일정한 및/또는 가변 비트 레이트로(예컨대, 아주 낮은 또는 최소의 지연으로) 통신 채널(16)을 통해 전송될 수 있는 화상 통신을 위해 구성될 수 있다.

[0030] 인코딩된 비디오 비트스트림(BS) 및, 차례로, 버퍼링된 비트스트림(BBS)은 인코딩된 비디오 정보의 비트들을 전달할 수 있다. 버퍼링된 비트스트림(BBS)의 비트들은 인코딩된 비디오 프레임들의 스트림으로서 배열될 수 있다. 인코딩된 비디오 프레임들은, 기술 분야의 당업자라면 잘 알 것인 바와 같이, 인트라 코딩된 프레임(예컨대, I 프레임), 인터 코딩된 프레임(예컨대, B 프레임 또는 P 프레임) 등일 수 있다. 인코딩된 비디오 프레임들의 스트림은, 예를 들어, 일련의 GOP들로서 배열될 수 있고, 각각의 GOP의 인코딩된 비디오 프레임들은 명시된 순서로 배열되어 있다. 일반적으로, 각각의 GOP는 인트라 코딩된 프레임(예컨대, I 프레임)으로 시작하고, 이어서 하나 이상의 인터 코딩된 프레임들(예컨대, P 프레임 및/또는 B 프레임)이 따라온다. 각각의 GOP는 통상적으로 단지 하나의 인트라 코딩된 프레임을 포함하지만, GOP들 중 임의의 것은 다수를 포함할 수 있다. 유의할 점은, 종래의 B 프레임이 실시간 저지연 응용에 사용되지 않을 수 있다는 것이다[왜냐하면, 예를 들어, 양방향 예측이 통상적으로, 예를 들어, 단방향 예측(P 프레임)과 비교하여 부가의 코딩 지연을 야기하기 때문임]. 기술

분야의 당업자라면 잘 알 것인 바와 같이, 부가의 및/또는 기타 프레임 유형들이 지원되고 인코딩된 비디오 프레임들의 특성의 순서가 수정될 수 있다.

[0031] 각각의 GOP는 구문 데이터("GOP 구문 데이터")를 포함할 수 있다. GOP 구문 데이터는 GOP의 헤더에, GOP의 하나 이상의 프레임들의 헤더에, 또는 다른 곳에 배치될 수 있다. GOP 구문 데이터는 각자의 GOP의 인코딩된 비디오 프레임들의 순서, 분량 및/또는 유형을 나타내고 및/또는 각자의 GOP의 인코딩된 비디오 프레임들을 다른 방식으로 기술할 수 있다. 각각의 인코딩된 비디오 프레임은 구문 데이터("인코딩된 프레임 구문 데이터")를 포함할 수 있다. 인코딩된 프레임 구문 데이터는 각자의 인코딩된 비디오 프레임에 대한 인코딩 모드를 나타내거나 다른 방식으로 기술할 수 있다.

[0032] 시스템 제어기(36)는 채널(16)과 연관되어 있는 다양한 파라미터들 및/또는 제약조건들, 비디오 인코더 유닛(18)의 계산 능력, 사용자의 요구 등을 모니터링할 수 있고, 채널(16)의 명시된 제약조건 및/또는 상태에 적당한 부수적인 QoE(quality of experience, 체감 품질)를 제공하기 위해 목표 파라미터들을 설정할 수 있다. 목표 파라미터들 중 하나 이상이 명시된 제약조건 및/또는 채널 상태에 따라 때때로 조절될 수 있다. 한 예로서, QoE가, 예를 들어, 인코딩된 비디오 시퀀스의 상대 지각 품질(relative perceptive quality)이라고 흔히 말해지는 척도를 비롯하여, 비디오 품질을 평가하는 하나 이상의 척도를 사용하여 정량적으로 평가될 수 있다. 예를 들어, 피크 신호대 잡음비(peak-signal-to-noise ratio, "PSNR") 척도를 사용하여 측정된, 인코딩된 비디오 시퀀스의 상대 지각 품질은 인코딩된 비트스트림(BS)의 비트 레이트(bit rate, BR)에 의해 제어된다. 인코딩된 비트스트림(BS)의 비트 레이트(BR)와 연관되어 있는 제약조건들 내에서 비디오의 상대 지각 품질을 최대화하기 위해 목표 파라미터들[예를 들어, 양자화 파라미터(quantization parameter, QP)를 포함함] 중 하나 이상이 조절될 수 있다.

[0033] 도 1c는 도 1a 및 도 1b의 비디오 인코더 유닛(18) 등의 비디오 인코더 유닛에서 사용하기 위한 비디오 인코더(33)의 한 예를 나타낸 블록도이다. 비디오 인코더(33)는 입력(38), 모드 결정 및 인코더 제어기 유닛(40), 공간 예측 유닛(42), 움직임/시간 예측 유닛(44), 제1 합산기(46), 변환 유닛(48), 양자화 유닛(50), 엔트로피 코딩 유닛(52), 역양자화 유닛(54), 역변환 유닛(56), 제2 합산기(58), 필터들(60), 참조 픽처 저장소(62), 및 출력(64)을 포함할 수 있다. 비디오 인코더(33)는 부가의 및/또는 상이한 요소들을 포함할 수 있다. 이러한 요소들은 간략함 및 명확함을 위해 예시되어 있지 않다.

[0034] 게다가, 도 1c에 도시되어 있고 본 명세서에 제공된 비디오 인코더(33)의 상세는 단지 예시를 위한 것이며, 실세계 구현들은 다를 수 있다. 실세계 구현은, 예를 들어, 보다 많은, 보다 적은 및/또는 상이한 요소들을 포함할 수 있고, 및/또는 도 1c에 도시되어 있는 배열과 상이하게 배열되어 있을 수 있다. 예를 들어, 개별적으로 도시되어 있지만, 변환 유닛(48) 및 양자화 유닛(50) 둘 다의 기능들 중 일부 또는 전부가, 예를 들어, H.264 표준의 코어 변환(core transform)을 사용하는 구현들과 같은 실세계 구현들 중 일부에서 고도로 통합되어 있을 수 있다. 이와 유사하게, 역양자화 유닛(54) 및 역변환 유닛(56)이 실세계 구현들(예컨대, H.264 표준 부합 구현들) 중 일부에서 고도로 통합되어 있을 수 있지만, 마찬가지로 개념적 목적을 위해 개별적으로 예시되어 있다.

[0035] 앞서 살펴본 바와 같이, 비디오 인코더(33)는 그의 입력(38)에서 비디오 신호를 수신할 수 있다. 비디오 인코더(33)는 수신된 비인코딩된 비디오로부터 인코딩된 비디오 정보를 발생시키고, 인코딩된 비디오 정보(예컨대, 인터 프레임 또는 인트라 프레임 중 임의의 것)를 그의 출력(64)으로부터 인코딩된 비디오 비트스트림(BS)의 형태로 출력할 수 있다. 비디오 인코더(33)는, 예를 들어, 하이브리드 비디오 인코더로서 동작할 수 있고, 비인코딩된 비디오를 인코딩하기 위해 블록 기반 코딩 프로세스를 이용할 수 있다. 이러한 인코딩 프로세스를 수행할 때, 비디오 인코더(33)는 통상적으로 비인코딩된 비디오의 개별 프레임, 픽처 또는 영상(총칭하여, "비인코딩된 픽처")에 대해 동작한다.

[0036] 블록 기반 인코딩 프로세스를 용이하게 해주기 위해, 비디오 인코더(33)는 그 입력(38)에 수신된 각각의 비인코딩된 픽처를 다수의 비인코딩된 비디오 블록들로 슬라이싱, 파티셔닝, 분할, 또는 다른 방식으로 세그먼트화(총칭하여, "세그먼트화")할 수 있다. 어떤 경우에, 비디오 인코더(33)는 먼저 비인코딩된 픽처를 다수의 비인코딩된 비디오 세그먼트들(예컨대, 슬라이스들)로 세그먼트화할 수 있고, 이어서 비인코딩된 비디오 세그먼트들 각각을 비인코딩된 비디오 블록들로 세그먼트화할 수 있다. 비디오 인코더(33)는 비인코딩된 비디오 블록들을 공간 예측 유닛(42), 움직임/시간 예측 유닛(44) 및/또는 제1 합산기(46)에 전달, 공급, 송신 또는 다른 방식으로 제공할 수 있다. 이하에서 더 상세히 기술하는 바와 같이, 비인코딩된 비디오 블록들은 블록별로 제공될 수 있다.

- [0037] 공간 예측 유닛(42)은 비인코딩된 비디오 블록들을 수신하고, 이러한 비디오 블록들을 인트라 모드에서 인코딩할 수 있다. 인트라 모드는 몇가지 공간 기반 압축 모드들 중 임의의 것을 말하고, 인트라 모드에서의 인코딩은 비인코딩된 픽처의 공간 기반 압축을 제공하려고 노력한다. 공간 기반 압축(있는 경우)은 비인코딩된 픽처 내의 비디오 정보의 공간 중복성을 감소시키거나 제거하는 것으로부터 얻어질 수 있다. 예측 블록들을 형성할 시에, 공간 예측 유닛(42)은 이미 인코딩 및/또는 재구성되어 있는 비인코딩된 픽처의 하나 이상의 비디오 블록들(각각, "인코딩된 비디오 블록들" 및/또는 "재구성된 비디오 블록들")에 대해 각각의 비인코딩된 비디오 블록의 공간 예측(또는 "인트라 예측")을 수행할 수 있다. 인코딩된 및/또는 재구성된 비디오 블록들은 비인코딩된 비디오 블록의 이웃이거나, 그에 인접해 있거나, 그와 아주 근접해 있을 수 있다.
- [0038] 움직임/시간 예측 유닛(44)은 입력(38)으로부터 비인코딩된 비디오 블록들을 수신하고, 이들을 인터 모드에서 인코딩할 수 있다. 인터 모드는, 예를 들어, P 모드(단방향 예측) 또는 B 모드(양방향 예측)를 비롯하여 몇가지 시간 기반 압축 모드들 중 임의의 것을 말한다. 인터 모드에서의 인코딩은 비인코딩된 픽처의 시간 기반 압축을 제공하려고 노력한다. 시간 기반 압축(있는 경우)은 비인코딩된 픽처와 하나 이상의 참조(예컨대, 인접) 픽처들 간의 비디오 정보의 시간 중복성을 감소시키거나 제거하는 것으로부터 얻어질 수 있다. 움직임/시간 예측 유닛(44)은 참조 픽처들의 하나 이상의 비디오 블록들에 대해 각각의 비인코딩된 비디오 블록의 시간 예측(또는 "인터 예측")을 수행할 수 있다. 수행된 시간 예측은 단방향 예측(예컨대, P 모드의 경우)이거나, 대안적으로, 양방향 예측(예컨대, B 모드의 경우)일 수 있다.
- [0039] 단방향 예측 하에서, 참조 비디오 블록들은 이전에 인코딩된 및/또는 재구성된 픽처들로부터 온 것일 수 있고, 어떤 경우에, 단지 하나의 이전에 인코딩된 및/또는 재구성된 픽처로부터 온 것일 수 있다. 인코딩된 및/또는 재구성된 픽처들은 비인코딩된 픽처의 이웃이거나, 그에 인접해 있거나, 그와 아주 근접해 있을 수 있다.
- [0040] 양방향 예측 하에서, 참조 비디오 블록들은 비디오 스트림의 하나 이상의 이전에 인코딩된 및/또는 재구성된 픽처들과 하나 이상의 다른 비인코딩된 픽처들로부터 온 것일 수 있다. 인코딩된 및/또는 재구성된 픽처들 및 다른 비인코딩된 픽처들은 비인코딩된 픽처의 이웃이거나, 그에 인접해 있거나, 그와 아주 근접해 있을 수 있다.
- [0041] (H.264/AVC 또는 HEVC 등의 최근의 비디오 코딩 표준들에 대해서와 같이) 다수의 참조 픽처들이 지원되는 경우, 각각의 비디오 블록에 대해, 그의 참조 픽처 인덱스(reference picture index)가 차후의 출력 및/또는 전송을 위해 엔트로피 코딩 유닛(52)으로 송신될 수 있다. 참조 인덱스는 시간 예측이 참조 픽처 저장소(62) 내의 어느 참조 픽처(들)로부터 이루어지는지를 식별하는 데 사용될 수 있다.
- [0042] 통상적으로 고도로 통합되어 있지만, 움직임 추정 및 움직임 보상을 위한 움직임/시간 예측 유닛(44)의 기능들이 개별적인 엔터티들 또는 유닛들(도시 생략)에 의해 수행될 수 있다. 움직임 추정은 참조 픽처 비디오 블록들에 대해 각각의 비인코딩된 비디오 블록의 움직임을 추정하기 위해 수행될 수 있고, 비인코딩된 비디오 블록에 대한 움직임 벡터를 발생시키는 것을 수반할 수 있다. 움직임 벡터는 코딩되고 있는 비인코딩된 비디오 블록에 대한 예측 블록의 변위를 나타낼 수 있다. 이 예측 블록은, 픽셀 차(pixel difference)의 면에서, 코딩되고 있는 비인코딩된 비디오 블록과 가장 가깝게 일치하는 것으로 밝혀진 참조 픽처 비디오 블록이다. 이 일치하는 SAD(sum of absolute difference, 절대차 합), SSD(sum of square difference, 제곱차 합), 또는 기타 차 척도(difference metric)에 의해 판정될 수 있다. 움직임 보상은 움직임 추정에 의해 결정된 움직임 벡터에 기초하여 예측 블록을 페치(fetch)하거나 발생시키는 것을 수반할 수 있다.
- [0043] 움직임/시간 예측 유닛(44)은 비인코딩된 비디오 블록을 참조 픽처 저장소(64)에 저장되어 있는 참조 픽처들로부터의 참조 비디오 블록들과 비교함으로써 비인코딩된 비디오 블록의 움직임 벡터를 계산할 수 있다. 움직임/시간 예측 유닛(44)은 참조 픽처 저장소(62)에 포함되어 있는 참조 픽처의 분수 픽셀 위치들(fractional pixel positions)에 대한 값들을 계산할 수 있다. 어떤 경우에, 비디오 인코더(33)의 합산기(58) 또는 다른 유닛은 재구성된 비디오 블록들에 대한 분수 픽셀 위치 값들을 계산할 수 있고, 이어서 재구성된 비디오 블록들을, 분수 픽셀 위치들에 대한 계산된 값들과 함께, 참조 픽처 저장소(62)에 저장할 수 있다. 움직임/시간 예측 유닛(44)은 또한 (예컨대, I 프레임 또는 P 프레임의) 참조 픽처의 하위 정수 픽셀들(sub-integer pixels)을 보간할 수 있다.
- [0044] 움직임/시간 예측 유닛(44)은 선택된 움직임 예측자(motion predictor)에 대해 움직임 벡터를 인코딩하도록 구성되어 있을 수 있다. 움직임/시간 예측 유닛(44)에 의해 선택된 움직임 예측자는, 예를 들어, 이미 인코딩되어 있는 이웃 블록들의 움직임 벡터들의 평균과 동등한 벡터일 수 있다. 비인코딩된 비디오 블록에 대한 움직임 벡터를 인코딩하기 위해, 움직임/시간 예측 유닛(44)은, 움직임 벡터 차 값을 형성하기 위해, 움직임 벡터와 움직

임 예측자 간의 차를 계산할 수 있다.

- [0045] H.264는 잠재적 참조 프레임 세트를 "리스트(list)"라고 한다. 참조 픽처 저장소(62)에 저장되어 있는 참조 픽처 세트는 참조 프레임들의 이러한 리스트에 대응할 수 있다. 움직임/시간 예측 유닛(44)은 참조 픽처 저장소(62)로부터의 참조 픽처들의 참조 비디오 블록들을 (예컨대, P 프레임 또는 B 프레임의) 비인코딩된 비디오 블록과 비교할 수 있다. 참조 픽처 저장소(62) 내의 참조 픽처들이 하위 정수 픽셀들에 대한 값들을 포함할 때, 움직임/시간 예측 유닛(44)에 의해 계산된 움직임 벡터는 참조 픽처의 하위 정수 픽셀 위치(sub-integer pixel location)를 참조할 수 있다. 움직임/시간 예측 유닛(44)은 계산된 움직임 벡터를 엔트로피 코딩 유닛(52)으로 그리고 움직임/시간 예측 유닛(44)의 움직임 보상 기능들로 송신할 수 있다. 움직임/시간 예측 유닛(44)(또는 그의 움직임 보상 기능들)은 코딩되고 있는 비인코딩된 비디오 블록에 대한 예측 블록의 오차 값을 계산할 수 있다. 움직임/시간 예측 유닛(44)은 예측 블록에 기초하여 예측 데이터를 계산할 수 있다.
- [0046] 모드 결정 및 인코더 제어기 유닛(40)은 코딩 모드들(인트라 모드 또는 인터 모드) 중 하나를 선택할 수 있다. 모드 결정 및 인코더 제어기 유닛(40)은, 예를 들어, 레이트 왜곡 최적화법에 기초하여 및/또는 각각의 모드에서 생성된 오차 결과에 기초하여 그렇게 할 수 있다.
- [0047] 비디오 인코더(33)는 움직임/시간 예측 유닛(42)으로부터 제공된 예측 데이터를 코딩되고 있는 비인코딩된 비디오 블록으로부터 차감함으로써 잔차들의 블록("잔차 비디오 블록")을 형성할 수 있다. 합산기(46)는 이 차감 동작을 수행하는 한 요소 또는 다수의 요소들을 나타낸다.
- [0048] 변환 유닛(48)은 잔차 비디오 블록을 픽셀 값 영역(pixel value domain)으로부터 주파수 영역 등의 변환 영역(transform domain)으로 변환하기 위해 이러한 잔차 비디오 블록에 변환을 적용할 수 있다. 이 변환은, 예를 들어, 본 명세서에 제공된 변환, DCT(discrete cosine transform), 또는 개념적으로 유사한 변환 중 임의의 것일 수 있다. 이 변환의 다른 예들은 H.264에 정의된 것, 웨이블릿 변환, 정수 변환, 서브대역 변환 등을 포함한다. 어쨌든, 변환 유닛(48)에서 잔차 비디오 블록에 변환을 적용하는 것은 잔차 비디오 블록의 변환 계수들("잔차 변환 계수들")의 대응하는 블록을 생성한다. 이들 잔차 변환 계수는 잔차 비디오 블록의 주파수 성분들의 크기를 나타낼 수 있다. 변환 유닛(48)은 잔차 변환 계수들 및 움직임 벡터들을 양자화 유닛(50)으로 전달할 수 있다.
- [0049] 양자화 유닛(50)은 인코딩된 비트 레이트를 추가로 감소시키기 위해 잔차 변환 계수들을 양자화할 수 있다. 양자화 프로세스는, 예를 들어, 잔차 변환 계수들 중 일부 또는 전부와 연관되어 있는 비트 깊이(bit depth)를 감소시킬 수 있다. 어떤 경우에, 양자화 유닛(50)은, 양자화된 변환 계수들의 블록을 형성하기 위해, 잔차 변환 계수들의 값들을 QP에 대응하는 양자화 레벨로 나눌 수 있다. 양자화의 정도가 QP 값을 조절함으로써 수정될 수 있다. 일반적으로, 양자화 유닛(50)은 원하는 수의 양자화 스텝들을 사용하여 잔차 변환 계수들을 나타내기 위해 양자화를 적용하고, 사용되는 스텝들의 수는 잔차 비디오 블록을 나타내는 데 사용되는 인코딩된 비디오 비트들의 수를 결정할 수 있다. 양자화 유닛(50)은 레이트 제어기(rate controller)(도시 생략)로부터 QP 값을 획득할 수 있다. 양자화 후에, 양자화 유닛(50)은 양자화된 변환 계수들 및 움직임 벡터들을 엔트로피 코딩 유닛(52)에 그리고 역양자화 유닛(54)에 제공할 수 있다.
- [0050] 엔트로피 코딩 유닛(52)은 엔트로피 코딩된 계수들(즉, 비트스트림)을 형성하기 위해 엔트로피 코딩을 양자화된 변환 계수들에 적용할 수 있다. 엔트로피 코딩 유닛(52)은 엔트로피 코딩된 계수들을 형성하기 위해 적응적 가변 길이 코딩(adaptive variable length coding, CAVLC), 컨텍스트 적응적 이진 산술 코딩(context adaptive binary arithmetic coding, CABAC), 또는 다른 엔트로피 코딩 기법을 사용할 수 있다. CABAC는, 기술 분야의 당업자라면 잘 알 것인 바와 같이, 상황 정보(contextual information)("컨텍스트")의 입력을 필요로 한다. 이 컨텍스트는, 예를 들어, 이웃하는 비디오 블록들에 기초할 수 있다.
- [0051] 엔트로피 코딩 유닛(52)은 엔트로피 코딩된 계수들을 움직임 벡터들과 함께 원시 인코딩된 비디오 비트스트림의 형태로 내부 비트스트림 포맷터(internal bit-stream formatter)(도시 생략)에 제공할 수 있다. 이 비트스트림 포맷터는, 비디오 디코더 유닛(30)이 원시 인코딩된 비디오 비트스트림으로부터 인코딩된 비디오 블록을 디코딩할 수 있게 하기 위해, 헤더 및/또는 기타 정보를 비롯한 부가 정보를 원시 인코딩된 비디오 비트스트림에 첨부하여 출력 버퍼(34)(도 1b)에 제공되는 인코딩된 비디오 비트스트림(BS)을 형성할 수 있다. 엔트로피 코딩 후에, 엔트로피 코딩 유닛(52)으로부터 출력 버퍼(34)에 제공되는 인코딩된 비디오 비트스트림(BS)은 채널(16)을 통해 목적지 장치(14)로 전송되거나 나중에 전송 또는 검색하기 위해 보관될 수 있다.
- [0052] 어떤 실시예들에서, 엔트로피 코딩 유닛(52) 또는 비디오 인코더(33)의 다른 유닛이, 엔트로피 코딩에

부가하여, 다른 코딩 기능들을 수행하도록 구성되어 있을 수 있다. 예를 들어, 엔트로피 코딩 유닛(52)은 비디오 블록들에 대한 CBP 값들을 결정하도록 구성되어 있을 수 있다. 또한, 어떤 실시예들에서, 엔트로피 코딩 유닛(52)은 비디오 블록에서 양자화된 변환 계수들의 런 렱스 코딩(run length coding)을 수행할 수 있다. 한 예로서, 엔트로피 코딩 유닛(52)은 비디오 블록에서 양자화된 변환 계수들을 배열하고 추가의 압축을 위해 영들의 런(run)을 인코딩하기 위해 지그재그 스캔 또는 기타 스캔 패턴을 적용할 수 있다. 엔트로피 코딩 유닛(52)은 또한 인코딩된 비디오 비트스트림(BS)에서의 전송을 위해 적절한 구문 요소들로 헤더 정보를 구성할 수 있다.

[0053] (예컨대, 참조 픽처 리스트 내의 참조 픽처들 중 하나 내의) 예컨대, 참조 비디오 블록들 중 하나로서 나중에 사용하기 위해, 픽셀 영역에서 잔차 비디오 블록을 재구성하기 위해, 역양자화 유닛(54) 및 역변환 유닛(56)은, 각각, 역양자화 및 역변환을 적용할 수 있다.

[0054] 모드 결정 및 인코더 제어기 유닛(40)은 재구성된 잔차 비디오 블록을 참조 픽처 저장소(62)에 저장되어 있는 참조 픽처들 중 하나의 참조 픽처의 예측 블록에 가산함으로써 참조 비디오 블록을 계산할 수 있다. 모드 결정 및 인코더 제어기 유닛(40)은 또한 움직임 추정에서 사용하기 위한 (예컨대, 반픽셀 위치들에 대한) 하위 정수 픽셀 값들을 계산하기 위해 하나 이상의 보간 필터들을 재구성된 잔차 비디오 블록에 적용할 수 있다.

[0055] 합산기(58)는, 참조 픽처 저장소(62)에 저장하기 위한 재구성된 비디오 블록을 생성하기 위해, 재구성된 잔차 비디오 블록을 움직임 보상된 예측 비디오 블록에 가산할 수 있다. 후속하는 비인코딩된 비디오 내의 비인코딩된 비디오 블록을 인터 코딩하기 위해, 재구성된(픽셀 값 영역) 비디오 블록이 움직임/시간 예측 유닛(44)(또는 그의 움직임 추정 기능들 및/또는 그의 움직임 보상 기능들)에 의해 참조 블록들 중 하나로서 사용될 수 있다.

[0056] 필터들(60)은 디블록킹 필터(deblocking filter)를 포함할 수 있다. 디블록킹 필터는 재구성된 매크로블록들에 존재할 수 있는 시각적 아티팩트들을 제거하는 동작을 할 수 있다. 이들 아티팩트는, 예를 들어, 상이한 인코딩 모드들(I 유형, P 유형 또는 B 유형 등)의 사용으로 인해 인코딩 프로세스에서 유입될 수 있다. 아티팩트들은, 예를 들어, 수신된 비디오 블록들의 경계 및/또는 가장자리에 존재할 수 있고, 디블록킹 필터는 시각적 품질을 향상시키기 위해 비디오 블록들의 경계 및/또는 가장자리를 매끄럽게 하는 동작을 할 수 있다. 원하는 경우, 디블록킹 필터는 통상적으로 합산기(58)의 출력을 필터링할 것이다.

[0057] 도 1d는 도 1a 및 도 1b의 비디오 디코더 유닛(30) 등의 비디오 디코더 유닛에서 사용하기 위한 비디오 디코더(35)의 한 예를 나타낸 블록도이다. 비디오 디코더(35)는 입력(66), 엔트로피 디코딩 유닛(68), 움직임 보상 예측 유닛(70), 공간 예측 유닛(72), 역양자화 유닛(74), 역변환 유닛(76), 참조 픽처 저장소(80), 필터들(82), 합산기(78) 및 출력(84)을 포함할 수 있다. 비디오 디코더(35)는 일반적으로, 비디오 인코더(33)(도 1c)와 관련하여 제공된 인코딩 프로세스와 상반되는 디코딩 프로세스를 수행할 수 있다. 이 디코딩 프로세스는 다음과 같이 수행될 수 있다.

[0058] 움직임 보상 예측 유닛(70)은 엔트로피 디코딩 유닛(68)으로부터 수신된 움직임 벡터들에 기초하여 예측 데이터를 발생시킬 수 있다. 움직임 벡터들은 인코딩된 움직임 벡터에 대응하는 비디오 블록에 대한 움직임 예측자에 대해 인코딩될 수 있다. 움직임 보상 예측 유닛(70)은 움직임 예측자를, 예를 들어, 디코딩된 비디오 블록에 이웃하는 블록들의 움직임 벡터들의 메디안(median)으로서 결정할 수 있다. 움직임 예측자를 결정한 후에, 움직임 보상 예측 유닛(70)은, 인코딩된 비디오 비트스트림(BS)으로부터 움직임 벡터 차 값을 추출하고 움직임 벡터 차 값을 움직임 예측자에 가산함으로써, 인코딩된 움직임 벡터를 디코딩할 수 있다. 움직임 보상 예측 유닛(70)은 움직임 예측자를 인코딩된 움직임 벡터와 동일한 분해능으로 양자화할 수 있다. 다른 대안으로서, 움직임 보상 예측 유닛(70)은 모든 인코딩된 움직임 예측자들에 대해 동일한 정밀도를 사용할 수 있다. 다른 대안으로서, 움직임 보상 예측 유닛(70)은 상기 방법들 중 어느 하나를 사용하도록 그리고 인코딩된 비디오 비트스트림(BS)으로부터 획득된 시퀀스 파라미터 세트, 슬라이스 파라미터 세트, 또는 픽처 파라미터 세트에 포함되어 있는 데이터를 분석함으로써 어느 방법을 사용할지를 결정하도록 구성되어 있을 수 있다.

[0059] 움직임 벡터를 디코딩한 후에, 움직임 보상 예측 유닛(70)은 참조 픽처 저장소(80)의 참조 픽처로부터 움직임 벡터에 의해 식별된 예측 비디오 블록을 추출할 수 있다. 움직임 벡터가 반픽셀 등의 분수 픽셀 위치를 가리키는 경우, 움직임 보상 예측 유닛(70)은 분수 픽셀 위치에 대한 값들을 보간할 수 있다. 움직임 보상 예측 유닛(70)은 이들 값을 보간하기 위해 적응적 보간 필터 또는 고정 보간 필터를 사용할 수 있다. 게다가, 움직임 보상 예측 유닛(70)은, 수신된 인코딩된 비디오 비트스트림(BS)으로부터, 필터들(82) 중 어느 것을 사용할지의 표시, 및 어떤 실시예들에서, 필터들(82)에 대한 계수들을 획득할 수 있다.

[0060] 공간 예측 유닛(72)은, 공간적으로 인접한 블록들로부터 예측 비디오 블록을 형성하기 위해, 인코딩된 비디오

비트스트림(BS)에서 수신된 인트라 예측 모델을 사용할 수 있다. 역양자화 유닛(74)은 인코딩된 비디오 비트스트림(BS)에서 제공되고 엔트로피 디코딩 유닛(68)에서 디코딩되는 양자화된 블록 계수들을 역양자화(nverse quantize 또는 de-quantize)할 수 있다. 역양자화 프로세스는, 예컨대, H.264에 의해 정의되는 바와 같은 종래의 프로세스를 포함할 수 있다. 역양자화 프로세스는 또한 양자화의 정도 그리고, 마찬가지로, 적용되어야만 하는 역양자화의 정도를 결정하기 위해 각각의 비디오 블록에 대해 비디오 인코더(33)에 의해 계산된 양자화 파라미터(QP)의 사용을 포함할 수 있다.

[0061] 역변환 유닛(76)은, 픽셀 영역에서의 잔차 비디오 블록들을 생성하기 위해, 역변환(예컨대, 본 명세서에 제공된 변환 중 임의의 변환의 역), 역 DCT, 역 정수 변환, 또는 개념적으로 유사한 역변환 프로세스를 변환 계수들에 적용할 수 있다. 움직임 보상 예측 유닛(70)은, 어쩌면 보간 필터들에 기초한 보간을 수행하여, 움직임 보상된 블록들을 생성할 수 있다. 서브픽셀 정밀도를 갖는 움직임 추정을 위해 사용될 보간 필터들에 대한 식별자들이 비디오 블록의 구문 요소들에 포함될 수 있다. 움직임 보상 예측 유닛(70)은, 참조 블록의 하위 정수 픽셀들에 대한 보간된 값들을 계산하기 위해, 비디오 블록의 인코딩 동안 비디오 인코더(33)에 의해 사용된 것과 같은 보간 필터들을 사용할 수 있다. 움직임 보상 예측 유닛(70)은 수신된 구문 정보에 따라 비디오 인코더(33)에 의해 사용된 보간 필터들을 결정하고, 예측 블록들을 생성하기 위해 보간 필터들을 사용할 수 있다.

[0062] 움직임 보상 예측 유닛(70)은 인코딩된 비디오 시퀀스의 픽처(들)를 인코딩하기 위해 사용된 비디오 블록들의 크기들을 결정하기 위한 구문 정보, 인코딩된 비디오 시퀀스의 프레임의 각각의 비디오 블록이 어떻게 파티셔닝되는지를 기술하는 파티션 정보, 각각의 파티션이 어떻게 인코딩되는지를 나타내는 모드들, 각각의 인터 인코딩된 비디오 블록에 대한 하나 이상의 참조 픽처들, 및 인코딩된 비디오 시퀀스를 디코딩하기 위한 기타 정보 중 일부를 사용할 수 있다.

[0063] 합산기(78)는, 디코딩된 비디오 블록들을 형성하기 위해, 잔차 블록들을 움직임 보상 예측 유닛(70) 또는 공간 예측 유닛(72)에 의해 발생된 대응하는 예측 블록들과 합산할 수 있다. 원하는 경우, 디블록킹 필터[예컨대, 필터들(82)]가 또한 블록화 현상 아티팩트들(blockiness artifacts)을 제거하기 위해 디코딩된 비디오 블록들을 필터링하는 데 적용될 수 있다. 디코딩된 비디오 블록들은 이어서 참조 픽처 저장소(80)에 저장되고, 참조 픽처 저장소(80)는 후속하는 움직임 보상을 위한 참조 비디오 블록들을 제공하고 또한 디스플레이 장치[도 1의 디스플레이 장치(34) 등] 상에 제시하기 위한 디코딩된 비디오를 생성한다.

[0064] 각각의 비디오 블록이 인코딩 및/또는 디코딩 프로세스를 거칠 때, 이러한 비디오 블록의 비디오 정보가 상이하게 표현될 수 있다. 예를 들어, 비디오 블록은 (i) 픽셀 영역에서의 픽셀 데이터; (ii) 비인코딩된 비디오 블록들과 예측 블록 사이의 픽셀 차들을 나타내는 잔차 데이터("잔차들"); (iii) (예컨대, 변환의 적용 이후의) 변환 영역에서의 변환 계수들; 및 (iv) 양자화된 변환 영역에서의 양자화된 변환 계수들을 포함할 수 있다.

[0065] 각각의 비디오 블록은 주어진 차원들 또는 총칭하여 "크기"를 가질 수 있다. 비디오 블록 크기는 코딩 표준에 의존할 수 있다. 한 예로서, H.264 표준은 루마 성분(luma component)에 대한 16x16, 8x8, 또는 4x4 그리고 크로마 성분(chroma component)에 대한 8x8 등의 다양한 비디오 블록 크기들에서 인트라 예측을 지원하고, 루마 성분에 대한 16x16, 16x8, 8x16, 8x8, 8x4, 4x8 및 4x4 그리고 크로마 성분에 대한 대응하는 스케일링된 크기들 등의 다양한 블록 크기들에서 인터 예측을 지원한다. H.264 표준에서, 16 픽셀 x 16 픽셀의 차원을 가지는 비디오 블록은 일반적으로 매크로블록(macroblock, MB)라고 하고, 16 픽셀 x 16 픽셀 미만을 갖는 비디오 블록은 일반적으로 MB의 파티션["MB 파티션(MB partition)"]이라고 한다. HEVC에서, "코딩 단위(coding unit)" 또는 CU라고 하는 비디오 블록은 고해상도(예컨대, 1080p 이상) 비디오 신호를 보다 효율적으로 압축하기 위해 사용될 수 있다. HEVC에서, CU 크기는 파라미터 시퀀스 세트에 설정되어 있고, 64x64 픽셀 정도로 크게 또는 4x4 픽셀 정도로 작게 설정될 수 있다. CU는 개별적인 예측 방법들이 적용되는 예측 단위들(prediction unit, PU)로 추가로 파티셔닝될 수 있다. 각각의 비디오 블록(MB, CU, PU 등)은 공간 예측 유닛(42) 및/또는 움직임/시간 예측 유닛(44)을 사용하여 처리될 수 있다.

[0066] 본 명세서에서 사용되는 바와 같이, "NxN"과 "N by N"은 수직 및 수평 차원 둘 다에서의 성분들(예컨대, 픽셀, 잔차, 변환 계수, 양자화된 변환 계수 등)의 면에서 블록의 크기를 가리키기 위해 사용될 수 있다(예컨대, 16x16 요소들). 일반적으로, 16x16 비디오 블록은 수직 방향에서 16개의 요소들(y=16) 및 수평 방향에서 16개의 요소들(x=16)을 가질 것이다. 마찬가지로, NxN 블록은 일반적으로 수직 방향에서 N개의 요소들 및 수평 방향에서 N개의 요소들을 가지며, 여기서 N은 음이 아닌 정수 값을 나타낸다. 비디오 블록 내의 요소들은 행과 열로 배열될 수 있다. 더욱이, 비디오 블록들은 수평 방향에서 수직 방향에서와 동일하거나 상이한 수의 픽셀들을 가질 수 있다. 예를 들어, 비디오 블록들은 NxM 픽셀들을 포함할 수 있고, 여기서 M이 꼭 N과 같을 필요는 없다.

[0067] H.264/AVC 표준은 4 차원 및 8 차원 정수 변환, 즉 T_4 및 T_8 을 이하에 주어진 바와 같이 규정하고 있다:

수학식 1

$$T_4 = \begin{bmatrix} 1 & 1 & 1 & 1 \\ 2 & 1 & -1 & -2 \\ 1 & -1 & -1 & 1 \\ 1 & -2 & 2 & -1 \end{bmatrix}$$

[0068]

수학식 2

$$T_8 = \begin{bmatrix} 8 & 8 & 8 & 8 & 8 & 8 & 8 & 8 \\ 12 & 10 & 6 & 3 & -3 & -6 & -10 & -12 \\ 8 & 4 & -4 & -8 & -8 & -4 & 4 & 8 \\ 10 & -3 & -12 & -6 & 6 & 12 & 3 & -10 \\ 8 & -8 & -8 & 8 & 8 & -8 & -8 & 8 \\ 6 & -12 & 3 & 10 & -10 & -3 & 12 & -6 \\ 4 & -8 & 8 & -4 & -4 & 8 & -8 & 4 \\ 3 & -6 & 10 & -12 & 12 & -10 & 6 & -3 \end{bmatrix}$$

[0069]

[0070] 이들 2개의 정수 변환 T_4 및 T_8 은 직교성이고, 아주 낮은 복잡도를 가진다. 그렇지만, 이러한 변환의 기저 벡터들은 DCT와 실질적으로 상이하고, 따라서 성능은 일반적으로 DCT보다 더 나쁘다. 그에 부가하여, 기저 벡터들의 노름들(norms)이 서로 상이하다. 가역성 및 에너지 보존에 있어서, 이 단점을 보상하기 위해 변환 후에 스케일링 프로세스가 수행되어야만 하고, 이는 계산 복잡도 및 메모리 요구사항을 증가시킨다. 그에 부가하여, 이러한 스케일링 행렬들은 종종 변환마다 상이하다. 예를 들어, 4 차원 및 8 차원 변환 T_4 및 T_8 은 상이한 스케일링 행렬들의 사용을 필요로 한다. 상이한 스케일링 행렬들의 사용은 코덱 설계 및 구현을 더욱 복잡하게 하고, 필요할 때 부가의 변환을 지원하는 것을 더 어렵게 만든다.

[0071] 앞서 살펴본 바와 같이, HEVC에서, CU 크기 및 PU 크기는 64x64 요소들 정도로 클 수 있고, 4 차원 및 8 차원보다 큰 변환이 요구된다. 현재, HEVC에서 4개의 변환 크기들이 사용된다: 4 차원, 8 차원, 16 차원 및 32 차원.

[0072] 변환 행렬 세트를 가지는 장치 및 유형의(tangible) 컴퓨터 판독가능 저장 매체가 본 명세서에 개시되어 있다. 변환 행렬 세트의 각각의 변환 행렬은 직교성이고, 상이한 수의 요소들을 가진다. 각자의 수의 요소들의 각각의 요소는 정수이다. 각각의 변환 행렬의 기저 벡터들의 노름들 간의 차는 주어진 임계값을 만족시킨다. 그리고 기저 벡터들은 DCT 행렬의 대응하는 기저 벡터들과 비슷하다. 주어진 임계값은, 예를 들어, 만족될 때, 기저 벡터들의 노름들(norms) 간의 차가 [예컨대, 특정의 정밀도 내에서] 무시할 정도라는 것을 나타내는 임계값일 수 있다. 다른 대안으로서, 주어진 임계값은, 만족될 때, 기저 벡터들의 노름들이 거의 같다는 것을 나타내는 임계값일 수 있다. 일 실시예에서, 기저 벡터들은 왜곡의 척도에 따라 대응하는 DCT 기저 벡터들과 비슷하다. 일 실시예에서, 기저 벡터들은 사전 정의된 임계값을 만족시키는 왜곡의 척도에 따라 대응하는 DCT 기저 벡터들과 비슷하다.

[0073] N 차원 정수 변환(즉, T_N)을 발생시키는 및/또는 사용하는 방법, 장치 및 시스템이 또한 개시되어 있으며, 여기서 N은 4, 8, 16, 32 등일 수 있다. 본 명세서에 개시되어 있는 다양한 실시예들에서, 변환의 "차원"은, 예를 들어, "K 차원(order-K)" 등과 같은 용어를 비롯한 다른 표기법들을 사용하여 표현될 수 있다.

[0074] N 차원 정수 변환 T_N 각각은 직교성일 수 있다. 직교성이기 때문에, 이들 N 차원 정수 변환 T_N 은 (비직교 변환과 달리) 재구성 오차(reconstruction error)의 평균 에너지를 양자화 오차(quantization error)의 평균 에너지와 같게 만들 수 있고, 따라서 비직교 변환보다 더 나은 변환 성능을 가질 수 있다.

[0075] N 차원 정수 변환 T_N 각각은 거의 같은 노름들 (" T_N 기저 벡터 노름들")을 가지는 기저 벡터들 (" T_N 기저 벡터들")을 가질 수 있다. 예를 들어, T_N 기저 벡터 노름들 간의 차가 주어진 임계값보다 작을 수 있다. T_N 기저 벡터들은, 예를 들어, DCT의 기저 벡터들 (" T_N 기저 벡터들")과 비슷할 수 있다. T_N 기저 벡터들과 DCT 기저 벡터들 간의 차는 DCT 왜곡에 의해 측정될 수 있다. 그리고, DCT 왜곡이 사전 정의된 임계값보다 작을 때, T_N 기저 벡터들은 DCT 기저 벡터들과 비슷할 수 있다. DCT 왜곡의 계산은 변환의 기저 벡터들의 전부 또는 일부분을 포함할 수 있다. 일 실시예에서, T_N 의 DCT 왜곡은 다음과 같이 계산될 수 있다. 먼저, T_N 기저 벡터들 각각이 정규화된다. T_N 기저 벡터들은 T_N 기저 벡터들 각각을 그 자신의 노름으로 나누는 것에 의해 정규화될 수 있다. 그 후에, DCT 왜곡이 이하의 수학적 식 3 및 수학적 식 4를 사용하여 계산될 수 있고:

수학적 식 3

$$[0076] \text{DistortionMaxtrix} = ICT_N \times DCT_N^T$$

[0077] 여기서 ICT_N 은 정규화된 T_N 이고, DCT_N 은 $N \times N$ DCT 행렬이며,

수학적 식 4

$$[0078] \text{Distortion}_{DCT} = \frac{1}{N} \sum_{s \in S} \sum_{\substack{j=0 \\ j \neq s}}^{N-1} \left| \frac{\text{DistortionMaxtrix}(s,j)}{\text{DistortionMaxtrix}(s,s)} \right|$$

[0079] 여기서 S는 변환의 기저 벡터 세트이다. S는 모든 기저 벡터들(예컨대, s는 {0, 1, ..., 2, N-1}일 수 있음) 또는 기저 벡터들의 일부분(예컨대, s는 {0, 1, 2, 7, 10, ...}일 수 있음)을 포함할 수 있다.

[0080] 일 실시예에서, N 차원 정수 변환 T_N 은 특수한 대칭 및 구조를 나타내는 각자의 변환 행렬들을 가질 수 있다. 이들 대칭 및 구조는, 예를 들어, 본 명세서에 개시된 것과 같은 고속 알고리즘의 사용을 용이하게 해줄 수 있다. 일 실시예에서, N 차원 정수 변환 T_N 의 순방향 변환(forward transform), 양자화, 역양자화 및/또는 역변환 중 임의의 것이 16 비트 산술을 사용하여 구현될 수 있다.

[0081] 또한, 여러 계열의 N 차원 변환이 본 명세서에 개시되어 있고, 여기서 N은 8, 16 및 32이다. 동일한 계열의 각각의 변환 T_N 은 동일한 구조["변환 계열 구조(transform family structure)"]를 가질 수 있다. 예를 들어, 8 차원 변환 계열의 변환 T_8 은 모두가 8 차원 변환 계열 구조를 가질 수 있다. 16 차원 변환 계열의 변환 T_{16} 은 모두가 16 차원 변환 계열 구조를 가질 수 있고, 32 차원 변환 계열의 변환 T_{32} 은 모두가 32 차원 변환 계열 구조를 가질 수 있다. 변환 계열 구조들은 이러한 대응하는 계열의 각각의 변환 T_N 이 완전 인수분해되고 고속 알고리즘을 사용하여 구현될 수 있게 할 수 있다. 완전 인수분해를 사용하여 구현가능한 것에 부가하여, 각각의 계열의 변환 내에서의 많은 실시예들이, N 차원 정수 변환(즉, T_N)과 같이, (i) 직교성 또는 거의 직교성일 수 있고, (ii) 거의 같은 노름들을 가지는 기저 벡터들을 가질 수 있다. 이들 기저 벡터는 또한 DCT 행렬의 기저 벡터들과 비슷할 수 있다. 게다가, 이러한 실시예들의 순방향 변환, 양자화, 역양자화 및 역변환 중 임의의 것이 16 비트 산술을 사용하여 수행될 수 있고 및/또는 16 비트 산술을 사용하도록 구성되어 있는 구조로 구현될 수 있다. 다른 대안으로서, 실시예들의 순방향 변환, 양자화, 역양자화 및 역변환 중 임의의 것이 또한 다른 산술 형식을 사용하여 수행될 수 있고/있거나 다른 산술 형식을 사용하도록 구성되어 있는 구조로 구현될 수 있다.

[0082] N 차원 정수 변환의 예시적인 변환 행렬

[0083] 일 실시예에서, K 차원 변환 T_K 가 중간 행렬(즉, T_K')을 사용하여 형성될 수 있다. 일 실시예에 따르면, 중간 행렬 T_K' 은 중간 변환 계수 행렬과 짝수-홀수 분해 행렬의 행렬 곱셈으로 표현될 수 있다. 중간 변환 계수 행렬은 짝수 부분 및 홀수 부분을 포함할 수 있다. A 짝수-홀수 분해 행렬을 K 차원 변환 T_K 에 적용하는 것은 K 차원

변환 T_K 를 짝수 부분 및 홀수 부분으로 분해할 수 있다. 짝수 부분은, 예를 들어, $N/2$ 차원(즉, 저차원) 변환 $T_{K/2}$ 일 수 있고, 홀수 부분은 저차원 변환 행렬 $P_{K/2}$ 일 수 있다. 일 실시예에서, 중간 행렬 T_K' 은 다음과 같이 표현될 수 있다:

수학식 5

$$T_K' = \begin{bmatrix} T_{K/2} & 0 \\ 0 & P_{K/2} \end{bmatrix} \begin{bmatrix} I_{K/2} & J_{K/2} \\ I_{K/2} & -J_{K/2} \end{bmatrix}$$

여기서 $K = 2^Z$ 이고, Z 는 양의 정수이며, $\begin{bmatrix} T_{K/2} & 0 \\ 0 & P_{K/2} \end{bmatrix}$ 는 중간 변환 계수 행렬일 수 있고, $\begin{bmatrix} I_{K/2} & J_{K/2} \\ I_{K/2} & -J_{K/2} \end{bmatrix}$ 는 짝수-홀수 분해 행렬일 수 있다. 짝수-홀수 분해 행렬에서, I_N 및 J_N 은 다음과 같이 정의될 수 있다:

수학식 6

$$I_N(i, j) = \begin{cases} 1 & i = j \text{ 인 경우} \\ 0 & \text{그렇지 않은 경우} \end{cases} \quad 0 \leq i, j \leq N - 1$$

수학식 7

$$J_N(i, j) = \begin{cases} 1 & (i + j) = N - 1 \text{ 인 경우} \\ 0 & \text{그렇지 않은 경우} \end{cases} \quad 0 \leq i, j \leq N - 1$$

중간 행렬 T_N' 으로부터 N 차원 변환 행렬 T_N 으로의 변환은 다음과 같이 수행될 수 있다:

수학식 8

$$T_N(i, j) = \begin{cases} T_N'(n, j) & i = 2n \text{ 인 경우} \\ T_N'(n + \frac{N}{2}, j) & i = 2n + 1 \text{ 인 경우} \end{cases} \quad 0 \leq i, j \leq N - 1$$

예로서, 일 실시예에 따른, 8 차원 변환 T_8 을 형성하기 위한 중간 행렬(즉, T_8')은 중간 변환 계수 행렬

$\begin{bmatrix} T_4 & 0 \\ 0 & P_4 \end{bmatrix}$ 와 짝수-홀수 분해 행렬 $\begin{bmatrix} I_4 & J_4 \\ I_4 & -J_4 \end{bmatrix}$ 의 행렬 곱셈으로 표현될 수 있다. 예를 들어, 중간 행렬 T_8' 은 다음과 같이 표현될 수 있다:

수학식 9

$$T_8' = \begin{bmatrix} T_4 & 0 \\ 0 & P_4 \end{bmatrix} \begin{bmatrix} I_4 & J_4 \\ I_4 & -J_4 \end{bmatrix}$$

중간 변환 계수 행렬 $\begin{bmatrix} T_4 & 0 \\ 0 & P_4 \end{bmatrix}$ 는 짝수 부분 및 홀수 부분을 포함할 수 있다. 짝수 부분은 4 차원 변환 T_4 (즉, 보다 낮은 $N/2$ 차원, 단, $N=8$)의 변환 행렬일 수 있고, 홀수 부분은 저차원 행렬 P_4 일 수 있다. 일 실시예에 따른 4 차원 행렬 T_4 (또는, 수학식 9와 관련하여, "저차원 짝수 부분 행렬")는 다음과 같을 수 있다:

수학식 10

$$T_4 = \begin{bmatrix} 128 & 128 & 128 & 128 \\ 167 & 70 & -70 & -167 \\ 128 & -128 & -128 & 128 \\ 70 & -167 & 167 & -70 \end{bmatrix}$$

4 차원 행렬 T_4 의 변환 계수들은 다수의 인자들에 기초하여 경험적으로 결정될 수 있다. 이들 인자는, 예를 들어, 변환 계수들 모두가 정수인 것, 4 차원 변환 T_4 가 직교인 것, T_4 기저 벡터 노름들이 같거나 거의 같은 것(예컨대, 임계값을 만족시킴) 및 T_4 기저 벡터들이 DCT 기저 벡터들과 비슷한 것(예컨대, DCT 왜곡이 사전 정의된 임계값보다 작아야 한다는 조건을 만족시키는 것)을 포함할 수 있다.

일 실시예에 따른 저차원 행렬 P_4 (또는, 수학식 9와 관련하여, "저차원 홀수 부분 행렬")는 다음과 같을 수 있다:

수학식 11

$$P_4 = \begin{bmatrix} 185 & 144 & 96 & 37 \\ 144 & -37 & -185 & -96 \\ 96 & -185 & 37 & 144 \\ 37 & -96 & 144 & -185 \end{bmatrix}$$

저차원 행렬 P_4 의 요소는 다수의 인자들에 기초하여 경험적으로 결정될 수 있다. 이들 인자는, 예를 들어, 요소들 모두가 정수인 것, 저차원 행렬 P_4 가 직교인 것, 저차원 행렬 P_4 기저 벡터 노름들이 같거나 거의 같은 것(예컨대, 임계값을 만족시킴) 및 저차원 행렬 P_4 기저 벡터들이 DCT 기저 벡터들과 비슷한 것(예컨대, DCT 왜곡이 사전 정의된 임계값보다 작아야 한다는 조건을 만족시키는 것)을 포함할 수 있다.

[0098] 짝수-홀수 분해 행렬의 I_4 및 J_4 는, 각각, 상기 수학식 6 및 수학식 7로서 표현될 수 있다.

[0099] 수학식 8 내지 수학식 11의 적용으로부터, 8 차원 정수 변환 T_8 은 다음과 같을 수 있다:

수학식 12

$$T_8 = \begin{bmatrix} 128 & 128 & 128 & 128 & 128 & 128 & 128 & 128 \\ 185 & 144 & 96 & 37 & -37 & -96 & -144 & -185 \\ 167 & 70 & -70 & -167 & -167 & -70 & 70 & 167 \\ 144 & -37 & -185 & -96 & 96 & 185 & 37 & -144 \\ 128 & -128 & -128 & 128 & 128 & -128 & -128 & 128 \\ 96 & -185 & 37 & 144 & -144 & -37 & 185 & -96 \\ 70 & -167 & 167 & -70 & -70 & 167 & -167 & 70 \\ 37 & -96 & 144 & -185 & 185 & -144 & 96 & -37 \end{bmatrix}$$

[0100]

[0101] 일 실시예에서, N 차원 정수 변환 T_N 각각은 저차원 정수 변환으로 표현될 수 있다. 예를 들어, 일 실시예에 따

른, 16 차원 변환 T_{16} 을 형성하기 위한 중간 행렬 T_{16}' 은 중간 변환 계수 행렬 $\begin{bmatrix} T_8 & 0 \\ 0 & P_8 \end{bmatrix}$ 와 짝수-홀수 분해

행렬 $\begin{bmatrix} I_8 & J_8 \\ I_8 & -J_8 \end{bmatrix}$ 의 행렬 곱셈으로 표현될 수 있다. 중간 변환 계수 행렬 $\begin{bmatrix} T_8 & 0 \\ 0 & P_8 \end{bmatrix}$ 은 짝수 부분 및 홀수 부분을 포함할 수 있다. 짝수 부분은 8 차원(즉, 저차원) 변환 T_8 일 수 있고, 홀수 부분은 저차원 변환 행렬 P_4 일 수 있다. 중간 행렬 T_{16}' 은 다음과 같이 표현될 수 있다:

수학식 13

$$T_{16}' = \begin{bmatrix} T_8 & 0 \\ 0 & P_8 \end{bmatrix} \begin{bmatrix} I_8 & J_8 \\ I_8 & -J_8 \end{bmatrix}$$

[0102]

[0103] 여기서 P_8 은 다음과 같이 정의될 수 있다:

수학식 14

$$P_8 = \begin{bmatrix} 180 & 173 & 160 & 140 & 115 & 85 & 53 & 17 \\ 115 & 85 & 53 & 17 & -180 & -173 & -160 & -140 \\ 160 & 140 & -180 & -173 & -53 & -17 & 115 & 85 \\ 17 & 53 & -85 & -115 & 140 & 160 & -173 & -180 \\ 53 & -17 & -115 & 85 & 160 & -140 & -180 & 173 \\ 173 & -180 & -140 & 160 & -85 & 115 & 17 & -53 \\ 140 & -160 & 173 & -180 & -17 & 53 & -85 & 115 \\ 85 & -115 & 17 & -53 & 173 & -180 & 140 & -160 \end{bmatrix}$$

[0104]

[0105] 수학식 6 내지 수학식 8, 수학식 13 및 수학식 14에 기초하여, 16 차원 변환 행렬 T_{16} 은 다음과 같을 수 있다:

수학식 15

$$T_{16} = \begin{bmatrix} 128 & 128 & 128 & 128 & 128 & 128 & 128 & 128 & 128 & 128 & 128 & 128 & 128 & 128 & 128 & 128 \\ 180 & 173 & 160 & 140 & 115 & 85 & 53 & 17 & -17 & -53 & -85 & -115 & -140 & -160 & -173 & -180 \\ 185 & 144 & 96 & 37 & -37 & -96 & -144 & -185 & -185 & -144 & -96 & -37 & 37 & 96 & 144 & 185 \\ 115 & 85 & 53 & 17 & -180 & -173 & -160 & -140 & 140 & 160 & 173 & 180 & -17 & -53 & -85 & -115 \\ 167 & 70 & -70 & -167 & -167 & -70 & 70 & 167 & 167 & 70 & -70 & -167 & -167 & -70 & 70 & 167 \\ 160 & 140 & -180 & -173 & -53 & -17 & 115 & 85 & -85 & -115 & 17 & 53 & 173 & 180 & -140 & -160 \\ 144 & -37 & -185 & -96 & 96 & 185 & 37 & -144 & -144 & 37 & 185 & 96 & -96 & -185 & -37 & 144 \\ 17 & 53 & -85 & -115 & 140 & 160 & -173 & -180 & 180 & 173 & -160 & -140 & 115 & 85 & -53 & -17 \\ 128 & -128 & -128 & 128 & 128 & -128 & -128 & 128 & 128 & -128 & -128 & 128 & 128 & -128 & -128 & 128 \\ 53 & -17 & -115 & 85 & 160 & -140 & -180 & 173 & -173 & 180 & 140 & -160 & -85 & 115 & 17 & -53 \\ 96 & -185 & 37 & 144 & -144 & -37 & 185 & -96 & -96 & 185 & -37 & -144 & 144 & 37 & -185 & 96 \\ 173 & -180 & -140 & 160 & -85 & 115 & 17 & -53 & 53 & -17 & -115 & 85 & -160 & 140 & 180 & -173 \\ 70 & -167 & 167 & -70 & -70 & 167 & -167 & 70 & 70 & -167 & 167 & -70 & -70 & 167 & -167 & 70 \\ 140 & -160 & 173 & -180 & -17 & 53 & -85 & 115 & -115 & 85 & -53 & 17 & 180 & -173 & 160 & -140 \\ 37 & -96 & 144 & -185 & 185 & -144 & 96 & -37 & -37 & 96 & -144 & 185 & -185 & 144 & -96 & 37 \\ 85 & -115 & 17 & -53 & 173 & -180 & 140 & -160 & 160 & -140 & 180 & -173 & 53 & -17 & 115 & -85 \end{bmatrix}$$

[0106]

[0107] 일 실시예에서, N 차원 정수 변환 T_N 각각은 저차원 정수 변환으로 표현될 수 있다. 일 실시예에 따른, 32 차원

변환 T_{32} 를 형성하기 위한 중간 행렬 T_{32}' 은 중간 변환 계수 행렬 $\begin{bmatrix} T_{16} & 0 \\ 0 & P_{16} \end{bmatrix}$ 과 짝수-홀수 분해 행렬

$\begin{bmatrix} I_{16} & J_{16} \\ I_{16} & -J_{16} \end{bmatrix}$ 의 행렬 곱셈으로 표현될 수 있다. 중간 변환 계수 행렬 $\begin{bmatrix} T_{16} & 0 \\ 0 & P_{16} \end{bmatrix}$ 은 짝수 부분 및 홀수 부분을 포함할 수 있다. 짝수 부분은 16 차원(즉, 저차원) 변환 T_{16} 일 수 있고, 홀수 부분은 저차원 변환 행렬 P_{16} 일 수 있다. 중간 행렬 T_{32}' 은 다음과 같이 표현될 수 있다:

수학식 16

$$T_{32}' = \begin{bmatrix} T_{16} & 0 \\ 0 & P_{16} \end{bmatrix} \begin{bmatrix} I_{16} & J_{16} \\ I_{16} & -J_{16} \end{bmatrix}$$

일 실시예에서, 수학식 16의 저차원 행렬 P_{16} 은 다음과 같이 정의될 수 있다:

수학식 17

$$P_{16} = \begin{bmatrix} P_8 & 0 \\ 0 & P_8 \end{bmatrix} W$$

여기서 $\begin{bmatrix} P_8 & 0 \\ 0 & P_8 \end{bmatrix}$ 은 웨이블릿 분해를 위한 저차원 중간 행렬이고, W 는 16x16 웨이블릿 변환일 수 있으며, 그의 한 예가 다음과 같이 나타내어질 수 있다:

수학식 18

$$W = \begin{bmatrix} 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \\ 1 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & -1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & -1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & -1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix}$$

웨이블릿 변환은, 예를 들어, Haar 변환일 수 있다. 웨이블릿 변환은 또한 다른 웨이블릿 변환일 수 있다. 웨이블릿 분해를 위한 저차원 중간 행렬에서의 P_8 은 보다 낮은 8 차원 변환 T_8 (즉, N/4 차원 변환)일 수 있다. 수학식 6 내지 수학식 8, 및 수학식 16 내지 수학식 18에 기초하여, 도 2에 나타낸 32 차원 변환 행렬 T_{16} 이 발생될 수 있다.

예시적인 동작

도 1c 및 도 1d를 참조하면, 비디오 인코더(33) 및 비디오 디코더(35)에 대해, 비디오 인코더(33)의 변환 유닛(48)에의 입력의 동적 범위 및 비디오 디코더(35)의 역변환(74)의 출력의 동적 범위가 동일할 수 있다. 비디오 인코더(33) 및/또는 비디오 디코더(35)에서의 변환 동작들에 대해, 이 동적 범위가 먼저 검출될 수 있고, 이어

서 비트 깊이("BD")에 의해 표현될 수 있다. 한 예로서, 동적 범위가 $[-255, 255]$ 인 경우, BD는 8이다. 동적 범위가 $[-1023, 1023]$ 인 경우, BD는 10이다. 동적 범위를 결정한 후에, 변수 ΔBD 가 계산될 수 있다. 변수 ΔBD 가, 예를 들어, BD-8로서 계산될 수 있다.

[0116] 비디오 인코더(33)에서, 예측 잔차 블록 $X_{M \times N}$ - 그 크기는 $M \times N$ 임($M, N \in \{4, 8, 16, 32\}$) - 이, 그 결과, 변환 유닛(48), 양자화 유닛(50), 역양자화 유닛(54) 및 역변환 유닛(56)에서 처리된다. 비디오 처리의 이들 4개의 동작이 이하에서 더 상세히 제공된다. 본 명세서에서 사용되는 바와 같이, 역양자화 유닛(54) 및 역변환 유닛(56)에서 수행되는 동작들은, 각각, 역양자화 및 역변환이라고 할 수 있다. 비디오 디코더(35)에서, 역양자화 유닛(74) 및 역변환 유닛(76)에서 수행되는 동작들은 통상적으로 역양자화 유닛(54) 및 역변환 유닛(56)에서 수행되는 것과 동일하다.

[0117] **순방향 변환**

[0118] 순방향 변환에의 입력은 $X_{M \times N}$ 로 표시된 예측 잔차 블록일 수 있다. $X_{M \times N}$ 에 대해 2-D 순방향 변환을 수행하기 위해, $X_{M \times N}$ 에서의 M개의 행 및 N개의 열이 각각의 차원에서 순차적으로 변환되고, 이들은, 각각, 수평 및 수직 순방향 변환이라고 한다. 수평 또는 수직 순방향 변환 중 어느 하나가 먼저 형성될 수 있다.

[0119] 수평 순방향 변환이 먼저 수행되는 경우, $X_{M \times N}$ 은 먼저 우측에 T_N^T 으로 곱해지고[덧셈자 T는 전치 행렬을 의미함] 16 비트 산술을 수용하기 위해 적당한 비트 수 만큼 우측으로 시프트된다. 그 결과, $U_{M \times N}$ 은 다음과 같을 수 있다:

수학식 19

$$[0120] \quad U_{M \times N} = (X_{M \times N} \times T_N^T + f_{fwd,h}) \gg (\log_2(N) + \Delta BD)$$

[0121] 여기서 T_N ($N \in \{4, 8, 16, 32\}$)은 상기와 같고, " \gg "은 우측 시프트를 의미한다. 인자 $f_{fwd,h}$ 는 반올림을 위한 것이고, 범위 $[0, 2^{(\log_2(N) + \Delta BD)}]$ 에 있을 수 있다. 본 명세서에서의 설명의 간략함을 위해,

$$f_{fwd,h} \text{는 } 2^{(\log_2(N) + \Delta BD - 1)} \text{ 일 수 있다.}$$

[0122] 수평 순방향 변환 후에, 중간 블록 $U_{M \times N}$ 에 대해 수직 순방향 변환이 수행될 수 있다. 수직 순방향 변환의 프로세스는 다음과 같을 수 있다:

수학식 20

$$[0123] \quad Y_{M \times N} = (T_M \times U_{M \times N} + f_{fwd,v}) \gg (\log_2(M) + 7)$$

[0124] 여기서 인자 $f_{fwd,v}$ 는 범위 $[0, 2^{(\log_2(M) + 7)}]$ 에 있을 수 있고, 본 명세서에서의 설명의 간략함을 위해, $2^{(\log_2(M) + 6)}$ 일 수 있다.

[0125] 그렇지만, 수직 순방향 변환이 먼저 수행될 수 있는 경우, $X_{M \times N}$ 은 먼저 좌측에 T_M 으로 곱해지고 16 비트 산술에 적합하도록 하기 위해 적당한 비트 수 만큼 우측으로 시프트된다. 그 결과, $U_{M \times N}$ 은 다음과 같을 수 있다:

수학식 21

[0126]

$$U_{M \times N} = (T_M \times X_{M \times N} + f_{fwd,v}) \gg (\log_2(M) + \Delta BD)$$

[0127]

인자 $f_{fwd,v}$ 는 반올림을 위한 것이고, 범위 $[0, 2^{(\log_2(M) + \Delta BD)}]$ 에 있을 수 있다. 본 명세서에서의 설명의 간략함을 위해, $f_{fwd,v}$ 는 $2^{(\log_2(M) + \Delta BD - 1)}$ 일 수 있다.

[0128]

수직 순방향 변환 후에, 중간 블록 $U_{M \times N}$ 에 대해 수평 순방향 변환이 수행될 수 있다. 수평 순방향 변환의 프로세스는 다음과 같을 수 있다:

수학식 22

[0129]

$$Y_{M \times N} = (U_{M \times N} \times T_N^T + f_{fwd,h}) \gg (\log_2(N) + 7)$$

[0130]

여기서 인자 $f_{fwd,h}$ 는 범위 $[0, 2^{(\log_2(N) + 7)}]$ 에 있을 수 있고, 본 명세서에서의 설명의 간략함을 위해, $2^{(\log_2(N) + 6)}$ 일 수 있다.

[0131]

양자화

[0132]

양자화의 입력은 2-D 순방향 변환의 출력(즉, $Y_{M \times N}$)일 수 있다. $Y_{M \times N}$ 내의 모든 요소들에 대한 양자화 프로세스가 동일하거나 상이할 수 있다. 요소 $Y_{M \times N}(i, j)$ ($0 \leq i \leq M - 1, 0 \leq j \leq N - 1$) 및 관련 양자화 스텝 크기(quantization stepsize) $W_{M \times N}(i, j)$ 가 주어진 경우, 양자화 프로세스는 다음과 같을 수 있고:

수학식 23

[0133]

$$Z_{M \times N}(i, j) = (Y_{M \times N}(i, j) \times S_{M \times N}(i, j) + f_{M \times N, q}(i, j)) \gg (Q_{M \times N}(i, j) + 7 - \frac{1}{2} \log_2(M \times N) - \Delta BD)$$

[0134]

여기서 $f_{M \times N, q}(i, j)$ 는 반올림을 위한 인자이고, 범위 $[0, 2^{(Q_{M \times N}(i, j) + 7 - \frac{1}{2} \log_2(M \times N) - \Delta BD)}]$ 에 있을 수 있다. 본 명세서에서의 설명의 간략함을 위해, $f_{M \times N, q}(i, j)$ 는 $2^{(Q_{M \times N}(i, j) + 6 - \frac{1}{2} \log_2(M \times N) - \Delta BD)}$ 일 수 있다. 수학식 23에서, $S_{M \times N}(i, j)$ 및 $Q_{M \times N}(i, j)$ 는 다음과 같은 관계식을 만족시킬 수 있다:

수학식 24

[0135]

$$\frac{S_{M \times N}(i, j)}{2^{Q_{M \times N}(i, j)}} \approx \frac{1}{W_{M \times N}((i, j))}$$

[0136] 여기서 \approx 는 $S_{M \times N}(i, j)$ 를 곱하고 이어서 $Q_{M \times N}(i, j)$ 비트만큼 우측으로 시프트하는 것이 양자화 스텝 크기 $W_{M \times N}(i, j)$ 로 나누는 것을 근사화하기 위해 사용된다는 것을 의미한다. 보다 정확한 근사화는 우측 시프트 비트의 수 $Q_{M \times N}(i, j)$ 를 증가시키는 것에 의해 달성될 수 있다.

[0137] 역양자화

[0138] 역양자화는 입력 $Z_{M \times N}$ 을 사용하여 $Y_{M \times N}$ 을 재구성하는 데 사용될 수 있다. 재구성된 블록은 $Y'_{M \times N}$ 으로 표시되어 있다. 직관적으로, $Y'_{M \times N}(i, j)$ 는 $Z_{M \times N}(i, j)$ 와 양자화 스텝 크기 $W_{M \times N}(i, j)$ 를 곱한 것과 같을 수 있다. 그렇지만, $W_{M \times N}(i, j)$ 가 꼭 정수일 필요는 없고, 따라서 수학식 24와 유사한 근사화가 또한 수학식 25에서와 같이 역양자화를 위해 수행될 수 있다:

수학식 25

$$[0139] \frac{D_{M \times N}(i, j)}{2^{IQ_{M \times N}(i, j)}} \approx W_{M \times N}(i, j)$$

[0140] 이와 유사하게, 큰 $IQ_{M \times N}(i, j)$ 는 높은 정밀도를 의미한다. 역양자화 프로세스는 다음과 같을 수 있다:

수학식 26

$$[0141] Y'_{M \times N}(i, j) = (Z_{M \times N}(i, j) \times D_{M \times N}(i, j) + f_{M \times N, dq}(i, j)) \gg (IQ_{M \times N}(i, j) + \frac{1}{2} \log_2(M \times N) - 7 + \Delta BD)$$

[0142] $f_{M \times N, dq}(i, j)$ 는 반올림을 위한 인자이고, 범위 $[0, 2^{(IQ_{M \times N}(i, j) + \frac{1}{2} \log_2(M \times N) - 7 + \Delta BD)}]$ 에 있어야만 한다. 본 명세서에서의 설명의 간략함을 위해, $f_{M \times N, dq}(i, j)$ 는 $2^{(IQ_{M \times N}(i, j) + \frac{1}{2} \log_2(M \times N) - 8 + \Delta BD)}$ 과 같고/같거나 그에 따를 수 있다. 유의할 점은, 0보다 작은 $(IQ_{M \times N}(i, j) + \frac{1}{2} \log_2(M \times N) - 7 + \Delta BD)$ 의 값이 좌측 시프트를 의미한다는 것이고, 이 경우에 $f_{M \times N, dq}(i, j)$ 는 0으로 설정될 수 있다.

[0143] 역변환

[0144] 역변환에의 입력은 역양자화된 블록 $Y'_{M \times N}$ 일 수 있다. $Y'_{M \times N}$ 에 대해 2-D 역변환을 수행하기 위해, $Y'_{M \times N}$ 에서의 M개의 행 및 N개의 열이, 각각, 수평 및 수직 역변환을 사용하여, 순차적으로 변환된다. 수평 또는 수직 역변환 중 어느 하나가 먼저 수행될 수 있다.

[0145] 수평 역변환이 먼저 수행되는 경우, $Y'_{M \times N}$ 은 먼저 우측에 T_N 으로 곱해지고 16 비트 산술을 수용하기 위해 적당한 비트 수 만큼 우측으로 시프트된다. 얻어진 중간 블록 $V_{M \times N}$ 은 다음과 같을 수 있다:

수학식 27

$$[0146] V_{M \times N} = (Y'_{M \times N} \times T_N + f_{inv, h}) \gg 8$$

[0147] 인자 $f_{inv, h}$ 는 범위 $[0, 256]$ 에 있을 수 있다. 본 명세서에서의 설명의 간략함을 위해, $f_{inv, h}$ 는 128일 수 있다.

[0148] 수평 역변환 후에, 중간 블록 $V_{M \times N}$ 에 대해 수직 역변환이 수행될 수 있다. 수직 역변환의 프로세스는 다음과 같을 수 있다:

수학식 28

[0149]
$$X'_{M \times N} = (T_M^T \times V_{M \times N} + f_{inv,v}) \gg (13 - \Delta BD)$$

[0150] 여기서 인자 $f_{inv,v}$ 는 범위 $[0, 2^{(13-\Delta BD)}]$ 에 있을 수 있고, 본 명세서에서의 설명의 간략함을 위해, $2^{(12-\Delta BD)}$ 일 수 있다.

[0151] 수직 역변환이 먼저 수행되는 경우, $Y'_{M \times N}$ 은 먼저 좌측에 T_M^T 으로 곱해지고 16 비트 산술을 수용하기 위해 적당한 비트 수 만큼 우측으로 시프트된다. 얻어진 중간 블록 $V_{M \times N}$ 은 다음과 같을 수 있다:

수학식 29

[0152]
$$V_{M \times N} = (T_M^T \times Y'_{M \times N} + f_{inv,v}) \gg 8$$

[0153] 인자 $f_{inv,v}$ 는 반올림을 위한 것이고, 범위 $[0, 256]$ 에 있을 수 있다. 본 명세서에서의 설명의 간략함을 위해, $f_{inv,v}$ 는 128일 수 있다.

[0154] 수직 역변환 후에, 중간 블록 $V_{M \times N}$ 에 대해 수평 역변환이 수행될 수 있다. 수평 역변환의 프로세스는 다음과 같을 수 있고:

수학식 30

[0155]
$$X'_{M \times N} = (V_{M \times N} \times T_N + f_{inv,h}) \gg (13 - \Delta BD)$$

[0156] 여기서 인자 $f_{inv,h}$ 는 범위 $[0, 2^{(13-\Delta BD)}]$ 에 있을 수 있고, 본 명세서에서의 설명의 간략함을 위해, $2^{(12-\Delta BD)}$ 일 수 있다.

[0157] 이하의 표 1은, 수평 변환이 수직 변환보다 먼저 수행되는 것으로 가정하여, 앞서 개시되어 있는 것과 같은 동작들의 각각의 단계 후의 동적 범위를 요약한 것이다. 표로부터 명백한 바와 같이, 프로세스들 모두가 16 비트 산술을 사용하여 구현될 수 있다.

표 1

[0158]

동작들		출력 비트 깊이
입력	$X_{M \times N}$	$9 + \Delta BD$
수평 순방향 변환	$X_{M \times N}$	$16 + \log_2(N) + \Delta BD$
우측 시프트	$\gg (\log_2(N) + \Delta BD)$	16
수직 순방향 변환	$T_M \times U_{M \times N}$	$23 + \log_2(M)$

우측 시프트	$\gg (\log_2(M) + 7)$	16
스텝 크기 W로 양자화	$(Y_{M \times N} \times S_{M \times N} + f_{M \times N, q}) \gg (Q_{M \times N} + 7 \cdot \frac{1}{2} \log_2(M \times N) - \Delta BD)$	$9 + \Delta BD + \frac{1}{2} \log_2(M \times N) - \log_2 W$
스텝 크기 W로 역양자화	$(Z_{M \times N} \times D_{M \times N} + f_{M \times N, dq}) \gg (\frac{1}{2} \log_2(M \times N) - 7 + IQ_{M \times N} + \Delta BD)$	16
수평 역변환	$Y'_{M \times N} \times T_N$	23
우측 시프트	$\gg 8$	15
수직 역변환	$T_M^T \times V_{M \times N}$	22
우측 시프트	$\gg (13 - \Delta BD)$	$9 + \Delta BD$
출력	$X'_{M \times N}$	$9 + \Delta BD$

[0159] 표 1 - 다양한 동작들 후의 동적 범위(수평 변환이 먼저 수행됨)

[0160] **순방향 변환/역변환의 인수분해**

[0161] 순방향 변환 및 역변환의 정의들은 수학식 19 내지 수학식 22 및 수학식 27 내지 수학식 30 등의 행렬 곱셈을 포함한다. 특징의 구현 플랫폼들에 대해, 행렬 곱셈의 복잡도가 높다. 행렬 곱셈의 단순화가 본 명세서에 제공되어 있다. 단순화의 적어도 일부는 변환 T_N , 홀수 부분, 웨이블릿 분해를 위한 저차원 중간 행렬, 및 웨이블릿 분해 행렬 등의 대칭성에 기초하여 개발되었다.

[0162] **변환에 대한 일반 부분 인수분해**

[0163] 도 3a 및 도 3b는 K 차원 변환에 대한 부분 인수분해를 수행하는 한 예시적인 구조를 나타낸 블록도이다. K 차원 변환($K \in \{4, 8, 16, 32\}$)에 대한 부분 인수분해를 수행하는 예시적인 순방향 변환 구조, 모듈 또는 유닛(총칭하여, "유닛")(300)이 도 3a에 도시되어 있다. 순방향 변환 유닛(300)은 2개의 스테이지들로 분해될 수 있다. 제1 스테이지는 스테이지 1 유닛(302)을 포함할 수 있고, 제2 스테이지는 2개의 스테이지 2 유닛들(304, 306)을 포함할 수 있다. $\mathbf{x} = [x_0, x_1, \dots, x_{k-1}]^T$ 의 입력 벡터를 가정할 때, 스테이지 1 유닛(302)은 다음과 같

이 $\begin{bmatrix} I_{K/2} & J_{K/2} \\ I_{K/2} & -J_{K/2} \end{bmatrix}$ 와 \mathbf{x} 의 행렬 곱셈을 수행하도록 구성되어 있을 수 있다:

수학식 31

$$\mathbf{a} = \begin{bmatrix} I_{K/2} & J_{K/2} \\ I_{K/2} & -J_{K/2} \end{bmatrix} \mathbf{x}$$

[0164]

[0165] 여기서 $\mathbf{a} = [a_0, a_1, \dots, a_{k-1}]^T$ 은 스테이지 1 유닛(302)의 중간 변환 결과 출력 및 스테이지 2 유닛들(304 및 306)에의 입력이다. 스테이지 2 유닛들(304, 306)은 중간 변환 결과 \mathbf{a} 를 2개의 부분들(즉, $\mathbf{a} = [a_0, a_1, \dots, a_{k-1}]^T$ 의 전반부 및 후반부)로 분할할 수 있다. 중간 변환 결과 \mathbf{a} 의 전반부(즉, $[a_0, a_1, \dots, a_{k/2-1}]^T$)는 스테이지 2.1 유닛(304)에 입력될 수 있다. 스테이지 2.1 유닛(304)은, 예를 들어, 다음과 같이 $T_{K/2}$ 와의 행렬 곱셈을 수행할 수 있다:

수학식 32

$$[f_0, f_2, \dots, f_{k-2}]^T = T_{k/2} \times [a_0, a_1, \dots, a_{k/2-1}]^T$$

여기서 $[f_0, f_2, \dots, f_{k-2}]^T$ 은 변환 행렬 T_N 의 출력에서의 짝수번째 요소들(even-indexed elements)을 나타낸다. $[f_0, f_2, \dots, f_{k-2}]^T$ 의 각각의 요소는 변환 행렬 T_k 의 짝수 부분의 기저 벡터에 대응한다. 또한 유의할 점은, $\mathbf{f} = [f_0, f_1, \dots, f_{k-1}]^T$ 이 1-D 순방향 변환의 출력이라는 것이다. 중간 변환 결과 \mathbf{a} 의 후반부(즉, $[a_{k/2}, a_{k/2+1}, \dots, a_{k-1}]^T$)는 스테이지 2.2 유닛(306)에 입력될 수 있다. 스테이지 2.2 유닛(306)은, 예를 들어, 다음과 같이 $P_{k/2}$ 와의 행렬 곱셈을 수행할 수 있다:

수학식 33

$$[f_1, f_3, \dots, f_{k-1}]^T = P_{k/2} \times [a_{k/2}, a_{k/2+1}, \dots, a_{k-1}]^T$$

여기서 $[f_1, f_3, \dots, f_{k-1}]^T$ 은 변환 행렬 T_N 의 출력에서의 홀수번째 요소들을 나타낸다. $[f_1, f_3, \dots, f_{k-1}]^T$ 의 각각의 요소는 변환 행렬 T_k 의 홀수 부분의 기저 벡터에 대응한다.

K 차원 변환($K \in \{4, 8, 16, 32\}$)에 대한 부분 인수분해를 수행하는 예시적인 역변환 유닛(350)이 도 3b에 도시되어 있다. 역변환 유닛(350)은 2개의 스테이지들로 분해될 수 있다. 제1 스테이지는 스테이지 1 유닛들(352 및 354)을 포함할 수 있고, 제2 스테이지는 스테이지 2 유닛(356)을 포함할 수 있다. 도시된 바와 같이, $\mathbf{f} = [f_0, f_1, \dots, f_{k-1}]^T$ 의 짝수번째 및 홀수번째 요소들이 먼저 개별적으로 그룹화되고, 스테이지 1.1 유닛(352) 및 스테이지 1.2 유닛(354)에, 각각, 입력된다. 스테이지 1.1 유닛(352)은 $T_{k/2}^T$ 와 $[f_0, f_2, \dots, f_{k-2}]^T$ 의 행렬 곱셈을 수행할 수 있고, 스테이지 1.2 유닛(354)은, 예를 들어, 다음과 같이 $P_{k/2}^T$ 와 $[f_1, f_3, \dots, f_{k-1}]^T$ 의 행렬 곱셈을 수행할 수 있다:

수학식 34

$$[b_0, b_1, \dots, b_{k/2-1}]^T = T_{k/2}^T \times [f_0, f_2, \dots, f_{k-2}]^T$$

수학식 35

$$[b_{k/2}, b_{k/2+1}, \dots, b_{k-1}]^T = P_{k/2}^T \times [f_1, f_3, \dots, f_{k-1}]^T$$

스테이지 1.1 유닛(352) 및 스테이지 1.2 유닛(354)의 출력들은, 각각, 중간 역변환 결과

$\mathbf{b} = [b_0, b_1, \dots, b_{k-1}]^T$ 의 전반부 및 후반부일 수 있다. 중간 역변환 결과 \mathbf{b} 는 스테이지 2 유닛(356)

에 입력될 수 있다. 스테이지 2 유닛(356)은, 예를 들어, 다음과 같이 $\begin{bmatrix} I_{K/2} & J_{K/2} \\ I_{K/2} & -J_{K/2} \end{bmatrix}^T$ 와 \mathbf{b} 의 행렬 곱셈을 수행할 수 있다:

수학식 36

$$\mathbf{x} = \begin{bmatrix} I_{K/2} & J_{K/2} \\ I_{K/2} & -J_{K/2} \end{bmatrix}^T \mathbf{b}$$

[0174]

[0175] 스테이지 2(356)는 또한 최종적인 출력 변환 계수들의 짝수 부분 및 홀수 부분을 결합시킬 수 있다.

[0176] 32 차원 변환에 대한 예시적인 인수분해

[0177] K가, 예를 들어, 32일 때, 32 차원 변환에 대한 순방향 변환 스테이지 2.2 유닛(306) 및 역변환 스테이지 1.2 유닛(354) 각각은, 도 4a 및 도 4b에, 각각, 도시된 바와 같이, 2개의 스테이지들(400 및 450)로 인수분해될 수 있다. 도 4a에 도시된 바와 같이, 스테이지 2.2 유닛(306)은 스테이지 2.2.1 유닛(402), 스테이지 2.2.2 유닛(404) 및 스테이지 2.2.3 유닛(406)을 사용하여 수행될 수 있다. 유닛들(402, 404 및 406)에서 완료되는 행렬 곱셈들은 다음과 같을 수 있다:

수학식 37

$$\mathbf{c} = W \times [a_{16}, a_{17}, \dots, a_{31}]^T$$

[0178]

수학식 38

$$[f_1, f_3, \dots, f_{15}]^T = P_8 \times [c_0, c_1, \dots, c_7]^T$$

[0179]

수학식 39

$$[f_{17}, f_{19}, \dots, f_{31}]^T = P_8 \times [c_8, c_9, \dots, c_{15}]^T$$

[0180]

[0181] 여기서 $\mathbf{c} = [c_0, c_1, \dots, c_{15}]^T$ 은 16x1 중간 벡터일 수 있다.

[0182] 도 4b에 도시된 바와 같이, 스테이지 1.2 유닛(354)은 스테이지 1.2.1 유닛(452), 스테이지 1.2.2 유닛(454) 및 스테이지 1.2.3 유닛(456)을 사용하여 수행될 수 있다. 유닛들(452, 454 및 456)에서 수행되는 행렬 곱셈들은 다음과 같을 수 있다:

수학식 40

[0183] $[d_0, d_1, \dots, d_7]^T = P_8^T \times [f_1, f_3, \dots, f_{15}]^T$

수학식 41

[0184] $[d_8, d_9, \dots, d_{15}]^T = P_8^T \times [f_{17}, f_{19}, \dots, f_{31}]^T$

수학식 42

[0185] $[b_{16}, b_{17}, \dots, b_{31}]^T = W^T \times \mathbf{d}$

[0186] 여기서 $\mathbf{d} = [d_0, d_1, \dots, d_{15}]^T$ 은 16x1 중간 벡터이다.

[0187] 8 차원 변환의 예시적인 구조

[0188] 변환 행렬 T_8 은, 앞서 살펴본 바와 같이, 저차원 짝수 부분 변환 행렬 및 저차원 홀수 부분 행렬을 포함할 수 있다. 저차원 짝수 부분 행렬은, 예를 들어, 변환 행렬 T_4 (예를 들어, 수학식 10의 변환 행렬 T_4 를 포함함)일 수 있다. 저차원 홀수 부분 행렬은 다음과 같이 10개의 파라미터들, 즉 $\{a, b, c, d, e, f, i, j, h, k\}$ 에 의해 정의될 수 있는 P_4 일 수 있다:

수학식 43

[0189]
$$P_4 = \begin{bmatrix} h \times \exp(a+b) & h \times f \times (c+1) & h \times f \times (c-1) & h \times \exp(a-b) \\ k \times j \times a & -k \times i & -k \times i \times c & -k \times j \times b \\ k \times j \times b & -k \times i \times c & k \times i & k \times j \times a \\ h \times \exp(a-b) & -h \times f \times (c-1) & h \times f \times (c+1) & -h \times \exp(a+b) \end{bmatrix}$$

[0190] 저차원 홀수 부분 행렬 P_4 는 3개의 N/2 차원 행렬들, 즉 M_2^4, M_3^4 , 및 M_4^4 의 곱셈과 같을 수 있다. 즉, 저

차원 홀수 부분 행렬 $P_4 = M_4^4 \times M_3^4 \times M_2^4$ 이다. 일 실시예에서, 3개의 N/2 차원 행렬들 M_2^4, M_3^4 , 및 M_4^4 는 다음과 같이 표현될 수 있다:

수학식 44

$$M_2^4 = \begin{bmatrix} a & 0 & 0 & -b \\ 0 & c & -d & 0 \\ 0 & d & c & 0 \\ b & 0 & 0 & a \end{bmatrix} \quad M_3^4 = \begin{bmatrix} e & 0 & f & 0 \\ 0 & -i & 0 & j \\ j & 0 & -i & 0 \\ 0 & f & 0 & e \end{bmatrix} \quad M_4^4 = \begin{bmatrix} h & 0 & 0 & h \\ 0 & 0 & k & 0 \\ 0 & k & 0 & 0 \\ h & 0 & 0 & -h \end{bmatrix}$$

[0191]

[0192] 일 실시예에서, 수학식 33에 나타난 것과 같은 스테이지 2.2 유닛(306)에 의해 수행되는 동작들은 다음과 같이 수행될 수 있다:

수학식 45

$$[f_1, f_3, f_5, f_7]^T = M_4^4 \times M_3^4 \times M_2^4 \times [a_4, a_5, a_6, a_7]^T$$

[0193]

[0194] 이는 $P_{K/2}$ 와의 행렬 곱셈이 M_2^4, M_3^4 , 및 M_4^4 와 순차적으로 행렬 곱셈을 행하는 것으로 완전 인수분해될 수 있다는 것을 의미한다. 이와 유사하게, 수학식 35에 나타난 것과 같은 스테이지 1.2 유닛(354)의 동작들은 다음과 같이 수행될 수 있다:

수학식 46

$$[b_4, b_5, b_6, b_7]^T = (M_2^4)^T \times (M_3^4)^T \times (M_4^4)^T \times [f_1, f_3, f_5, f_7]^T$$

[0195]

[0196] 이는 $P_{K/2}^T$ 와의 행렬 곱셈이 $(M_4^4)^T, (M_3^4)^T$, 및 $(M_2^4)^T$ 와 순차적으로 행렬 곱셈을 행하는 것으로 완전 인수분해될 수 있다는 것을 의미한다.

[0197] 도 5a 및 도 5b는 8 차원 변환에 대한 완전 인수분해를 수행하는 한 예시적인 구조를 나타낸 블록도이다. 파라미터 세트 $\{a, b, c, d, e, f, i, j, h, k\}$ 에 대한 예시적인 값들은 $\{3, 2, 5, 1, 37, 24, 37, 48, 1, 1\}$ 및 $\{3, 2, 5, 1, 144, 99, 72, 99, 0.5, 1\}$ 을 포함한다. 수학식 10의 저차원 행렬 P_4 는, 예를 들어, 예시적인 값들 $\{3, 2, 5, 1, 37, 24, 37, 48, 1, 1\}$ 을 사용하여 발생될 수 있다.

[0198] 16 차원 변환의 예시적인 구조

[0199] 변환 행렬 T_{16} 은, 앞서 살펴본 바와 같이, 저차원 짝수 부분 변환 행렬 및 저차원 홀수 부분 행렬을 포함할 수 있다. 저차원 짝수 부분 행렬은, 예를 들어, 임의의 8 차원 변환의 변환 행렬 T_8 (예를 들어, 앞서 "8 차원 변환의 예시적인 구조"라는 제목 하에 논의된 변환 행렬 T_8 을 포함함)일 수 있다. 저차원 홀수 부분 행렬은 다음과 같이 10개의 파라미터들, 즉 $\{a, b, c, d, e, f, g, h, k, l, i, j\}$ 에 의해 정의될 수 있는 P_8 일 수 있다:

수학식 47

$$P_8 = \begin{bmatrix} axl+bxl & cxl+dxl & exl+fxl & gxl+hxl & hxl-gxl & -fxl+exl & dxl-cxl & -bxl+axl \\ -axj+bxj & -dxj-cxj & fxj+exj & gxj-hxj & hxj+gxi & exj-fxi & cxj-dxi & bxj+axi \\ axi-bxj & -dxj-cxj & fxj+exj & -gxj+hxj & -hxj-gxj & exi-fxj & cxi-dxj & -bxj-axj \\ axk & -cxk & -exk & gxk & hxk & fxk & -dxk & -bxk \\ bxk & -dxk & -fxk & hxk & -gxk & -exk & cxk & axk \\ -axj-bxi & dxj-cxi & -fxj+exi & gxj+hxj & hxj-gxi & -exj-fxi & -cxj-dxi & bxj-axi \\ -axi-bxj & -dxj+cxj & fxj-exj & gxj+hxj & hxj-gxj & exi+fxj & cxi+dxj & bxj-axj \\ axl-bxl & cxl-dxl & exl-fxl & gxl-hxl & hxl+gxl & -fxl-exl & dxl+cxl & -bxl-axl \end{bmatrix}$$

[0200]

[0201] 저차원 홀수 부분 행렬 P_8 은 4개의 $N/2$ 차원 행렬들, 즉 M_2^8, M_3^8, M_4^8 , 및 M_5^4 의 곱셈과 같을 수 있다.

즉, $P_8 = M_5^8 \times M_4^8 \times M_3^8 \times M_2^8$ 이다. 일 실시예에서, 4개의 $N/2$ 차원 행렬들 M_2^8, M_3^8, M_4^8 , 및 M_5^4 는 다음과 같이 표현될 수 있다:

수학식 48

$$M_2^8 = \begin{bmatrix} a & 0 & 0 & 0 & 0 & 0 & 0 & -b \\ 0 & c & 0 & 0 & 0 & 0 & d & 0 \\ 0 & 0 & e & 0 & 0 & -f & 0 & 0 \\ 0 & 0 & 0 & g & h & 0 & 0 & 0 \\ 0 & 0 & 0 & -h & g & 0 & 0 & 0 \\ 0 & 0 & f & 0 & 0 & e & 0 & 0 \\ 0 & -d & 0 & 0 & 0 & 0 & c & 0 \\ b & 0 & 0 & 0 & 0 & 0 & 0 & a \end{bmatrix}$$

[0202]

수학식 49

$$M_3^8 = \begin{bmatrix} -1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & -1 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & -1 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 & -1 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 \end{bmatrix}$$

[0203]

수학식 50

$$M_4^8 = \begin{bmatrix} -1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & -1 & 0 & 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & -1 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & -1 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix}$$

[0204]

수학식 51

$$M_5^8 = \begin{bmatrix} 0 & 0 & 0 & l & -l & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & j & i \\ i & -j & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & k & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & k & 0 & 0 \\ -j & -i & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & i & -j \\ 0 & 0 & 0 & l & l & 0 & 0 & 0 \end{bmatrix}$$

[0205]

[0206]

일 실시예에서, 수학식 33에 나타난 것과 같은 스테이지 2.2 유닛(306)에 의해 수행되는 동작들은 다음과 같이 수행될 수 있고:

수학식 52

[0207]

$$[f_1, f_3, \dots, f_{15}]^T = M_5^8 \times M_4^8 \times M_3^8 \times M_2^8 \times [a_8, a_9, \dots, a_{15}]^T$$

[0208]

이는 P_8 과의 행렬 곱셈이 M_2^8, M_3^8, M_4^8 , 및 M_5^8 와 순차적으로 행렬 곱셈을 행하는 것으로 완전 인수분해될 수 있다는 것을 의미한다. 이와 유사하게, 수학식 35에 나타낸 것과 같은 스테이지 1.2 유닛(354)의 동작들은 다음과 같이 수행될 수 있다:

수학식 53

[0209]

$$[b_8, b_9, \dots, b_{15}]^T = (M_2^8)^T \times (M_3^8)^T \times (M_4^8)^T \times (M_5^8)^T \times [f_1, f_3, \dots, f_{15}]^T$$

[0210]

이는 P_8^T 와의 행렬 곱셈이 $(M_5^8)^T, (M_4^8)^T, (M_3^8)^T$, 및 $(M_2^8)^T$ 와 순차적으로 행렬 곱셈을 행하는 것으로 완전 인수분해될 수 있다는 것을 의미한다.

[0211]

도 6a 및 도 6b는 16 차원 변환에 대한 완전 인수분해를 수행하는 한 예시적인 구조를 나타낸 블록도이다. 파라미터 세트 {a, b, c, d, e, f, g, h, k, l, i, j}에 대한 예시적인 값들은 이하의 표 2에 나타내어져 있다.

표 2

a	b	c	d	e	f	g	h	k	l	i	j
1	1	1	1	2			2	1	1		
6	4	0	9	0	6	2	1	7	2	6	-16
1	1	1	1	2			2	1	1		
6	4	0	9	1	6	2	1	7	2	6	-16
1	1	1	1	2			2	1	1		
7	3	0	9	0	6	2	1	7	2	6	-16
1	1	1	1	2			2	1	1		
7	3	0	9	1	6	2	1	7	2	6	-16
1	1	1	1	2			2	1	1		
7	4	0	9	0	6	2	1	7	2	6	-16
3	2	1	3	4	1		4	1	1		
2	8	9	8	1	2	4	2	7	2	6	-16
3	2	1	3	4	1		4	1	1		
2	8	9	8	1	2	4	3	7	2	6	-16
3	2	2	3	4	1		4	1	1		
2	8	0	8	1	1	4	2	7	2	6	-16
3	2	2	3	4	1		4	1	1		
2	8	0	8	1	2	4	2	7	2	6	-16
3	2	2	3	4	1		4	1	1		
2	8	0	8	1	2	4	3	7	2	6	-16
3	2	2	3	4	1		4	1	1		
2	8	1	7	1	2	4	2	7	2	6	-16

[0212]

3	2	2	3	4	1	4	1	1		
2	8	1	7	1	2	4	3	7	2	-16
3	2	2	3	4	1		4	1	1	
2	8	1	7	1	2	5	2	7	2	-16
3	2	1	3	4	1		4	1	1	
3	7	9	8	1	2	4	3	7	2	-16
3	2	1	3	4	1		4	1	1	
3	7	9	8	1	3	4	3	7	2	-16
3	2	1	3	4	1		4	1	1	
3	7	9	8	1	3	5	2	7	2	-16
3	2	2	3	4	1		4	1	1	
3	7	0	8	1	1	4	2	7	2	-16
3	2	2	3	4	1		4	1	1	
3	7	0	8	1	2	4	3	7	2	-16
3	2	2	3	4	1		4	1	1	
3	7	1	7	1	2	4	2	7	2	-16
3	2	2	3	4	1		4	1	1	
3	7	1	7	1	2	4	3	7	2	-16
3	2	2	3	4	1		4	1	1	
3	7	1	7	1	2	5	2	7	2	-16
3	2	2	3	4	1		4	1	1	
3	7	1	7	1	3	4	3	7	2	-16
3	2	2	3	4	1		4	1	1	
3	7	1	7	1	3	5	2	7	2	-16
3	2	1	3	4	1		4	1	1	
4	6	9	8	1	1	4	2	7	2	-16
3	2	1	3	4	1		4	1	1	
4	6	9	8	1	2	4	2	7	2	-16
3	2	1	3	4	1		4	1	1	
4	6	9	8	1	2	5	2	7	2	-16
3	2	1	3	4	1		4	1	1	
4	6	9	8	1	3	4	3	7	2	-16
3	2	2	3	4	1		4	1	1	
4	6	0	8	1	2	4	2	7	2	-16
3	2	2	3	4	1		4	1	1	
4	6	1	7	1	2	4	2	7	2	-16
3	2	1	3	4	1		4	1	1	
3	7	9	8	1	1	4	2	7	2	-16
3	2	1	3	4	1		4	1	1	
3	7	9	8	1	2	4	2	7	2	-16
3	2	2	3	4	1		4	1	1	
3	7	1	7	1	2	4	2	7	2	-16
3	2	2	3	4	1		4	1	1	
2	7	0	7	0	2	4	2	7	2	-16
3	2	2	3	4	1		4	1	1	
2	7	0	7	0	3	4	2	7	2	-16
3	2	2	3	4	1		4	1	1	
3	6	0	7	0	2	4	2	7	2	-16
3	2	2	3	4	1		4	1	1	
3	6	0	7	0	3	4	2	7	2	-16
3	2	1	3	4	1		4	1	1	
3	7	9	8	1	1	4	2	7	2	-16

[0213]

3	2	1	3	4	1	4	1	1		
3	7	9	8	1	2	4	2	7	2	-16
3	2	2	3	4	1		4	1	1	
3	7	1	7	1	2	4	2	7	2	-16
3	2	2	3	4	1		4	1	1	
3	7	0	8	1	2	4	2	7	2	-16
3	2	2	3	4	1		4	1	1	
3	7	1	7	1	2	4	2	7	2	-16
3	2	1	3	4	1		4	1	1	
3	7	9	8	1	0	2	3	7	2	-16
3	2	2	3	4	1		4	1	1	
3	7	1	7	1	3	4	2	7	2	-16
2	1	1	2	2			3	2	1	1
3	9	3	7	9	8	3	0	4	7	-22
2	1	1	2	2			3	2	1	1
3	9	4	6	9	9	3	0	4	7	-22
2	1	1	2	2			3	2	1	1
3	9	4	7	9	8	3	0	4	7	-22
2	1	1	2	2			3	2	1	1
3	9	4	7	9	8	3	0	4	7	-22
2	1	1	2	2			3	2	1	1
3	9	5	6	9	9	3	0	4	7	-22

[0214]

[0215]

표 2 - P₈에 대한 실시예들

[0216]

32 차원 변환의 예시적인 구조

[0217] 변환 행렬 T_{32} 은, 앞서 살펴본 바와 같이, 저차원 짝수 부분 변환 행렬 및 저차원 홀수 부분 행렬을 포함할 수 있다. 저차원 짝수 부분 행렬은, 예를 들어, 임의의 16 차원 변환의 변환 행렬 T_{16} (예를 들어, 앞서 "16 차원 변환의 예시적인 구조"라는 제목 하에 논의된 변환 행렬 T_{16} 을 포함함)일 수 있다. 저차원 홀수 부분 행렬은 2개의 행렬들 X 및 Y 의 행렬 곱셈에 의해 정의될 수 있는 P_{16} 일 수 있다. 즉, $P_{16} = Y \times X$ 이다. 이어서, 수학식 33에 의해 제공되는 프로세스가, 수학식 54 및 수학식 55로 나타낸 바와 같은 2개의 스테이지들로, 각각, 분해될 수 있다:

수학식 54

$$[0218] \quad \mathbf{c}^T = X \times [a_{16}, a_{17}, \dots, a_{31}]^T$$

수학식 55

$$[0219] \quad [f_1, f_3, \dots, f_{31}]^T = Y \times \mathbf{c}^T$$

[0220] 여기서 $\mathbf{c} = [c_0, c_1, \dots, c_{15}]$ 은 중간 결과이다. 이와 유사하게, 수학식 35에 의해 제공되는 프로세스가 또한, 수학식 56 및 수학식 57로 나타낸 바와 같은 2개의 스테이지들로, 각각, 분해될 수 있다:

수학식 56

$$[0221] \quad \mathbf{d}^T = Y^T \times [f_1, f_3, \dots, f_{31}]^T$$

수학식 57

$$[0222] \quad [b_{16}, b_{17}, \dots, b_{31}]^T = X^T \times \mathbf{d}^T$$

[0223] 여기서 $\mathbf{d} = [d_0, d_1, \dots, d_{15}]$ 이 또한 중간 결과이다.

[0224] X 는, 이하에 나타낸 바와 같이, 5개의 파라미터들 $\{A, a_2, B, b_1, b_2\}$ 에 의해 정의될 수 있다.

수학식 58

$$X = \begin{bmatrix} 0 & 0 & b1*A & (b1-b2)*a2 & 0 & 0 & a2*B & -a2*B & 0 & 0 & (b1+b2)*a2 & -b2*A & 0 & 0 \\ 0 & b1*A & 0 & 0 & (b1-b2)*a2 & a2*B & 0 & 0 & -a2*B & (b1+b2)*a2 & 0 & 0 & -b2*A & A*B \\ 0 & -b1*A & 0 & 0 & -(b1-b2)*a2 & a2*B & 0 & 0 & -a2*B & -(b1+b2)*a2 & 0 & 0 & b2*A & A*B \\ 0 & 0 & -b1*A & -(b1-b2)*a2 & 0 & 0 & a2*B & -a2*B & 0 & 0 & -(b1+b2)*a2 & b2*A & 0 & 0 \\ 0 & 0 & b2*A & -(b1+b2)*a2 & 0 & 0 & -a2*B & a2*B & 0 & 0 & (b1-b2)*a2 & b1*A & 0 & 0 \\ 0 & b2*A & 0 & 0 & -(b1+b2)*a2 & -a2*B & 0 & 0 & a2*B & (b1-b2)*a2 & 0 & 0 & b1*A & A*B \\ 0 & -b2*A & 0 & 0 & 2 & -a2*B & 0 & 0 & a2*B & -(b1-b2)*a2 & 0 & 0 & -b1*A & A*B \\ 0 & 0 & -b2*A & (b1+b2)*a2 & 0 & 0 & -a2*B & a2*B & 0 & 0 & -(b1-b2)*a2 & -b1*A & 0 & 0 \\ 0 & 0 & b1*A & -(b1-b2)*a2 & 0 & 0 & -a2*B & -a2*B & 0 & 0 & -(b1+b2)*a2 & -b2*A & 0 & 0 \\ A*B & b1*A & 0 & 0 & -(b1-b2)*a2 & -a2*B & 0 & 0 & -a2*B & -(b1+b2)*a2 & 0 & 0 & -b2*A & 0 \\ A*B & -b1*A & 0 & 0 & (b1-b2)*a2 & -a2*B & 0 & 0 & -a2*B & (b1+b2)*a2 & 0 & 0 & b2*A & 0 \\ 0 & 0 & -b1*A & (b1-b2)*a2 & 0 & 0 & -a2*B & -a2*B & 0 & 0 & (b1+b2)*a2 & b2*A & 0 & 0 \\ 0 & 0 & -b2*A & -(b1+b2)*a2 & 0 & 0 & a2*B & a2*B & 0 & 0 & (b1-b2)*a2 & -b1*A & 0 & 0 \\ A*B & -b2*A & 0 & 0 & -(b1+b2)*a2 & a2*B & 0 & 0 & a2*B & (b1-b2)*a2 & 0 & 0 & -b1*A & 0 \\ A*B & b2*A & 0 & 0 & (b1+b2)*a2 & a2*B & 0 & 0 & a2*B & -(b1-b2)*a2 & 0 & 0 & b1*A & 0 \\ 0 & 0 & b2*A & (b1+b2)*a2 & 0 & 0 & a2*B & a2*B & 0 & 0 & -(b1-b2)*a2 & b1*A & 0 & 0 \end{bmatrix}$$

[0225]

[0226] 행렬 X 는 4개의 $N/2$ 차원 행렬들, 즉 $M_2^{16}, M_3^{16}, M_4^{16}$, 및 M_5^{16} 의 곱셈과 같을 수 있다. 즉,

$X = M_5^{16} \times M_4^{16} \times M_3^{16} \times M_2^{16}$ 이다. 일 실시예에서, 4개의 $N/2$ 차원 행렬들 $M_2^{16}, M_3^{16}, M_4^{16}$, 및 M_5^{16} 은 다음과 같이 표현될 수 있다:

수학식 59

$$M_2^{16} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & A \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & A \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & A & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & A & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & a2 & 0 & 0 & 0 & 0 & 0 & -a2 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & a2 & 0 & 0 & 0 & 0 & -a2 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & a2 & 0 & 0 & -a2 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & a2 & -a2 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & a2 & a2 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & a2 & 0 & 0 & a2 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & a2 & 0 & 0 & 0 & 0 & a2 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & a2 & 0 & 0 & 0 & 0 & 0 & 0 & a2 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & A & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & A & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & A & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ A & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}$$

[0227]

수학식 60

$$M_3^{16} = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix}$$

[0228]

수확식 61

[illegible]

[0229]

수학식 62

$$M_5^{16} = \begin{bmatrix} 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & -1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & -1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & -1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & -1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 \end{bmatrix}$$

[0230]

[0231] 수학식 54에서의 동작들은 추가로 분해되어 다음과 같이 수행될 수 있다:

수학식 63

$$c^T = M_5^{16} \times M_4^{16} \times M_3^{16} \times M_2^{16} \times [a_{16}, a_{17}, \dots, a_{31}]^T$$

[0232]

[0233] 이는 X와의 행렬 곱셈이 $M_2^{16}, M_3^{16}, M_4^{16}$, 및 M_5^{16} 과 순차적으로 행렬 곱셈을 행하는 것으로 완전 인수분해될 수 있다는 것을 의미한다. 이와 유사하게, 수학식 57에서의 동작들이 또한 추가로 분해되어 다음과 같이 수행될 수 있다:

수학식 64

$$[b_{16}, b_{17}, \dots, b_{31}]^T = (M_2^{16})^T \times (M_3^{16})^T \times (M_4^{16})^T \times (M_5^{16})^T \times d^T$$

[0234]

[0235] 이는 X^T 와의 행렬 곱셈이 $(M_5^{16})^T, (M_4^{16})^T, (M_3^{16})^T$, 및 $(M_2^{16})^T$ 와 순차적으로 행렬 곱셈을 행하는 것으로 완전 인수분해될 수 있다는 것을 의미한다.

[0236] 도 6a 및 도 6b는 32 차원 변환에 대한 완전 인수분해를 수행하는 한 예시적인 구조를 나타낸 블록도이다. X의 파라미터 세트 $\{A, a_2, B, b_1, b_2\}$ 에 대한 예시적인 값들은 $\{3, 2, 5, 2, 5\}$, $\{3, 2, 13, 5, 12\}$, $\{7, 5, 5, 2, 5\}$, 및 $\{7, 5, 13, 5, 12\}$ 이다.

[0237] 이하에서는 수학식 55 및 수학식 56에서의 고속 알고리즘을 용이하게 해주기 위해 Y를 인수분해하는 프로세스를 기술한다.

[0238] 먼저, c 내의 요소들이 4개의 벡터들, 즉

$c^0 = [c_0, c_1, c_{14}, c_{15}]$, $c^1 = [c_2, c_3, c_{12}, c_{13}]$, $c^2 = [c_4, c_5, c_{10}, c_{11}]$,
 및
 $c^3 = [c_6, c_7, c_8, c_9]$ 으로 그룹화될 수 있다. 이어서, c^0 , c^1 , c^2 , 및 c^3 에 대해, 각각, 다음과 같이 행렬 곱셈들이 적용될 수 있다.

수학식 65

$$[e_0, e_8, e_7, e_{15}]^T = Y^0 \times (c^0)^T$$

수학식 66

$$[e_4, e_{12}, e_3, e_{11}]^T = Y^1 \times (c^1)^T$$

수학식 67

$$[e_2, e_{10}, e_5, e_{13}]^T = Y^2 \times (c^2)^T$$

수학식 68

$$[e_6, e_{14}, e_1, e_9]^T = Y^3 \times (c^3)^T$$

수학식 65 내지 수학식 68에서의 4개의 출력 벡터들은 벡터 $e, e = [e_0, e_1, e_2, \dots, e_{15}]$ 을 형성할 수 있고, 여기서 e 는 수학식 55에서의 출력 벡터 $[f_1, f_3, \dots, f_{31}]$ 과 동일하다. 환언하면, 어떤 재정렬 동작들에 의해, 수학식 55에서의 16x16 행렬 곱셈은 수학식 65 내지 수학식 68로부터와 같이 4개의 4x4 행렬 곱셈들로 인수분해될 수 있다. 수학식 65 내지 수학식 68에서, Y^0 , Y^1 , Y^2 , 및 Y^3 은, 각각, 수학식 69 내지 수학식 72에서 다음과 같이 정의될 수 있다:

수학식 69

$$Y^0 = \begin{bmatrix} e1 & f1 & g1 & h1 \\ j1 & k1 & -m1 & n1 \\ -n1 & -m1 & -k1 & j1 \\ -h1 & g1 & -f1 & e1 \end{bmatrix}$$

수학식 70

$$Y^1 = \begin{bmatrix} e2 & f2 & g2 & h2 \\ -j2 & k2 & m2 & -n2 \\ -n2 & -m2 & k2 & j2 \\ h2 & -g2 & f2 & -e2 \end{bmatrix}$$

수학식 71

$$Y^2 = \begin{bmatrix} e3 & f3 & g3 & h3 \\ j3 & k3 & -m3 & n3 \\ -n3 & -m3 & -k3 & j3 \\ -h3 & g3 & -f3 & e3 \end{bmatrix}$$

수학식 72

$$Y^3 = \begin{bmatrix} e4 & f4 & g4 & -h4 \\ -j4 & k4 & m4 & -n4 \\ -n4 & -m4 & k4 & j4 \\ -h4 & -g4 & f4 & -e4 \end{bmatrix}$$

파라미터 세트들에 대한 예시적인 값들은 이하의 표 3 내지 표 4에 나타내어져 있다.

표 3

$e1$	$f1$	g 1	h 1	$j1$	$k1$	$m1$	n 1
		3	3	2	1		2
1	5	1	2	3	9	25	1
		3	3	2	1		2
2	5	1	1	3	9	25	1
		3	3	2	1		2
2	5	1	2	3	9	25	1
		3	3	2	1		2
1	5	1	2	3	9	26	1
		3	3	2	1		2
2	5	1	1	3	9	26	1
		3	3	2	1		2
2	5	1	2	3	9	26	1
		3	3	2	1		2
1	5	1	2	4	9	25	1
		3	3	2	1		2
2	5	1	1	4	9	25	1
		3	3	2	1		2
2	5	1	2	4	9	25	1

[0249]

[0250] 표 3 - {e1, f1, g1, h1, j1, k1, m1, n1}에 대한 실시예들

표 4

$e2$	$f2$	g 2	h 2	$j2$	$k2$	$m2$	n 2
3	1	2		1	3		2
1	3	9	8	6	0	10	7
3	1	2		1	3		2
1	4	8	8	6	0	10	7
3	1	2		1	3		2
0	4	9	8	6	0	11	7
3	1	2		1	3		2
1	3	8	8	6	0	11	7
3	1	2		1	3		2
1	3	9	7	6	0	11	7
3	1	2		1	3		2
1	3	9	8	6	0	11	7
3	1	2		1	3		2
1	4	8	7	6	0	11	7
3	1	2		1	3		2
1	4	8	8	6	0	11	7
3	1	2		1	3		2
1	3	9	8	7	0	11	7

[0251]

[0252] 표 4 - {e2, f2, g2, h2, j2, k2, m2, n2}에 대한 실시예들

표 5

<i>e3</i>	<i>f3</i>	<i>g</i> 3	<i>h</i> 3	<i>j3</i>	<i>k3</i>	<i>m3</i>	<i>n</i> 3
	2	2	3	2			1
8	1	3	1	7	1	31	6
	2	2	3	2			1
8	1	4	1	7	1	31	6
	2	2	3	2			1
8	1	3	0	7	1	32	6
	2	2	3	2			1
8	1	3	1	7	1	32	6
	2	2	3	2			1
8	1	4	1	7	1	32	6
	2	2	3	2			1
8	2	3	1	7	1	32	6
	2	2	3	2			1
8	1	3	1	7	2	31	6
	2	2	3	2			1
8	1	4	1	7	2	31	6
	2	2	3	2			1
7	1	3	1	7	2	32	6
	2	2	3	2			1
8	1	3	0	7	2	32	6
	2	2	3	2			1
8	1	3	1	7	2	32	6
	2	2	3	2			1
8	1	4	1	7	2	32	6
	2	2	3	2			1
8	2	3	1	7	2	32	6

[0253]

[0254] 표 5 - {e3, f3, g3, h3, j3, k3, m3, n3}에 대한 실시예들

표 6

<i>e4</i>	<i>f4</i>	<i>g</i> 4	<i>h</i> 4	<i>j4</i>	<i>k4</i>	<i>m4</i>	<i>n</i> 4
-----------	-----------	---------------	---------------	-----------	-----------	-----------	---------------

[0255]

3	1	2	1	2	3		1
0	9	5	1	8	1	5	3
3	1	2	1	2	3		1
0	9	5	1	8	1	5	4
3	1	2	1	2	3		1
0	9	5	1	9	1	4	3
3	1	2	1	2	3		1
0	9	5	1	9	1	4	4
3	1	2	1	2	3		1
0	9	5	0	9	1	5	3
3	1	2	1	2	3		1
0	9	5	1	9	1	5	3
3	1	2	1	2	3		1
0	9	5	0	9	1	5	4
3	1	2	1	2	3		1
0	9	5	1	9	1	5	4

[0256]

[0257]

[0258]

[0259]

표 6 - {e4, f4, g4, h4, j4, k4, m4, n4}에 대한 실시예들

역변환의 일부로서, 수학식 56에서의 동작들이 유사한 방식으로 분해될 수 있다.

한 예로서, 먼저, 수학식 56에서의 $[f_1, f_3, \dots, f_{31}]$ 을 벡터 $\mathbf{g}, \mathbf{g} = [g_0, g_1, \dots, g_{15}]$ 으로서 생각한다. \mathbf{g} 내의 요소들이 4개의 벡터들, $\mathbf{g}^0 = [g_0, g_8, g_7, g_{15}]$, $\mathbf{g}^1 = [g_4, g_{12}, g_3, g_{11}]$, $\mathbf{g}^2 = [g_2, g_{10}, g_5, g_{13}]$, 및 $\mathbf{g}^3 = [g_6, g_{14}, g_1, g_9]$ 으로 그룹화된다. 이어서, 수학식 73 내지 수학식 76에 나타난 바와 같이, $\mathbf{g}^0, \mathbf{g}^1, \mathbf{g}^2$, 및 \mathbf{g}^3 에 행렬 곱셈들을 적용한다.

수학식 73

[0260]

$$[d_0, d_1, d_{14}, d_{15}]^T = (Y^0)^T \times (\mathbf{g}^0)^T$$

수학식 74

[0261]

$$[d_2, d_3, d_{12}, d_{13}]^T = (Y^1)^T \times (\mathbf{g}^1)^T$$

수학식 75

[0262]

$$[d_4, d_5, d_{10}, d_{11}]^T = (Y^2)^T \times (\mathbf{g}^2)^T$$

수학식 76

[0263]

$$[d_6, d_7, d_8, d_9]^T = (Y^3)^T \times (g^3)^T$$

[0264]

수학식 73 내지 수학식 76에서의 4개의 출력 벡터들은 수학식 56에서의 출력 벡터 \mathbf{d} , $\mathbf{d} = [d_0, d_1, d_2, \dots, d_{15}]$ 을 형성할 수 있다. 환언하면, 어떤 재정렬 동작들에 의해, 수학식 56에서의 16x16 행렬 곱셈은 수학식 73 내지 수학식 76으로부터와 같이 4개의 4x4 행렬 곱셈들로 인수분해될 수 있다.

[0265]

예시적인 순방향 변환 및 역변환 동작

[0266]

순방향 변환에의 입력은 $X_{M \times N}$ 로 표시된 예측 잔차 블록일 수 있다. $X_{M \times N}$ 에 대해 2-D 순방향 변환을 수행하기 위해, $X_{M \times N}$ 에서의 M개의 행 및 N개의 열이 각각의 차원에서 순차적으로 변환되고, 이들은, 각각, 수평 및 수직 순방향 변환이라고 한다. 수평 또는 수직 순방향 변환 중 어느 하나가 먼저 형성될 수 있다.

[0267]

수평 순방향 변환이 먼저 수행되는 경우, $X_{M \times N}$ 은 먼저 우측에 T_N^T 로 곱해지고[덧셈자 T는 전치 행렬을 의미함] 16 비트 산술을 수용하기 위해 적당한 비트 수 만큼 우측으로 시프트된다. 그 결과, $U_{M \times N}$ 은 다음과 같을 수 있다:

수학식 77

[0268]

$$U_{M \times N} = (X_{M \times N} \times T_N^T + f_{fwd, h}) \gg (\log_2(N) + \log_2(T_N(0,0)) + \Delta BD - 7)$$

[0269]

유의할 점은, ">>"이 우측 시프트를 의미한다는 것이다. 인자 $f_{fwd, h}$ 는 반올림을 위한 것이고, 범위 $[0, 2^{(\log_2(N) + \log_2(T_N(0,0)) + \Delta BD - 7)}]$ 에 있을 수 있다. 설명의 간략함을 위해, $f_{fwd, h}$ 는 $2^{(\log_2(N) + \log_2(T_N(0,0)) + \Delta BD - 8)}$ 일 수 있다.

[0270]

수평 순방향 변환 후에, 중간 블록 $U_{M \times N}$ 에 대해 수직 순방향 변환이 수행될 수 있다. 수직 순방향 변환의 프로세스는 다음과 같을 수 있다:

수학식 78

[0271]

$$Y_{M \times N} = (T_M \times U_{M \times N} + f_{fwd, v}) \gg (\log_2(M) + \log_2(T_N(0,0)))$$

[0272]

여기서 인자 $f_{fwd, v}$ 는 범위 $[0, 2^{(\log_2(M) + \log_2(T_N(0,0)))}]$ 에 있을 수 있고, 설명의 간략함을 위해, $2^{(\log_2(M) + \log_2(T_N(0,0))) - 1}$ 일 수 있다.

[0273]

수직 순방향 변환이 먼저 수행되는 경우, $X_{M \times N}$ 은 먼저 좌측에 T_M 이 곱해지고 16 비트 산술을 수용하기 위해 적당한 비트 수 만큼 우측으로 시프트된다. 그 결과, $U_{M \times N}$ 은 다음과 같을 수 있다:

수학식 79

$$U_{M \times N} = (T_M \times X_{M \times N} + f_{fwd,v}) \gg (\log_2(M) + \log_2(T_N(0,0)) + ABD - 7)$$

여기서 인자 $f_{fwd,v}$ 는 반올림을 위한 것이고, 범위 $[0, 2^{(\log_2(N) + \log_2(T_N(0,0)) + ABD - 7)}]$ 에 있을 수 있다.

본 명세서에서의 설명의 간략함을 위해, $f_{fwd,v}$ 는 $2^{(\log_2(N) + \log_2(T_N(0,0)) + ABD - 8)}$ 일 수 있다.

수직 순방향 변환 후에, 중간 블록 $U_{M \times N}$ 에 대해 수평 순방향 변환이 수행될 수 있다. 수평 순방향 변환의 프로세스는 다음과 같을 수 있다:

수학식 80

$$Y_{M \times N} = (U_{M \times N} \times T_N^T + f_{fwd,h}) \gg (\log_2(N) + \log_2(T_N(0,0)))$$

여기서 인자 $f_{fwd,h}$ 는 범위 $[0, 2^{(\log_2(M) + \log_2(T_N(0,0)))}]$ 에 있을 수 있고, 설명의 간략함을 위해,

$2^{(\log_2(M) + \log_2(T_N(0,0))) - 1}$ 일 수 있다.

역변환에의 입력은 역양자화된 블록 $Y'_{M \times N}$ 이다. $Y'_{M \times N}$ 에 대해 2-D 역변환을 수행하기 위해, $Y'_{M \times N}$ 에서의 M개의 행 및 N개의 열이, 각각, 수평 및 수직 역변환을 사용하여, 순차적으로 변환된다. 수평 또는 수직 역변환 중 어느 하나가 먼저 수행될 수 있다.

수평 역변환이 먼저 수행되는 경우, $Y'_{M \times N}$ 은 먼저 우측에 T_N 이 곱해지고 16 비트 산술을 수용하기 위해 적당한 비트 수 만큼 우측으로 시프트될 수 있다. 그 결과, $V_{M \times N}$ 은 다음과 같을 수 있다:

수학식 81

$$V_{M \times N} = (Y'_{M \times N} \times T_N + f_{inv,h}) \gg (\log_2(T_N(0,0)) + 1)$$

여기서 인자 $f_{inv,h}$ 는 범위 $[0, 2^{(\log_2(T_N(0,0)) + 1)}]$ 에 있을 수 있다. 본 명세서에서의 설명의 간략함을

위해, $f_{inv,h}$ 는 $2^{(\log_2(T_N(0,0)))}$ 일 수 있다.

수평 역변환 후에, 중간 블록 $V_{M \times N}$ 에 대해 수직 역변환이 수행될 수 있다. 수직 역변환의 프로세스는 다음과 같을 수 있고,

수학식 82

$$X'_{M \times N} = (T_M^T \times V_{M \times N} + f_{inv,v}) \gg (\log_2(T_N(0,0)) + 6 - ABD)$$

[0285] 여기서 인자 $f_{inv,v}$ 는 범위 $[0, 2^{(\log_2(T_N(0,0))+6-\Delta BD)}]$ 에 있을 수 있고, 설명의 간략함을 위해, $2^{(\log_2(T_N(0,0))+5-\Delta BD)}$ 일 수 있다.

[0286] 수직 역변환이 먼저 수행되는 경우, Y'_{MxN} 은 먼저 좌측에 T_M^T 이 곱해지고 16 비트 산술을 수용하기 위해 적당한 비트 수 만큼 우측으로 시프트된다. 그 결과, V_{MxN} 은 다음과 같을 수 있다:

수학식 83

$$V_{MxN} = (T_M^T \times Y'_{MxN} + f_{inv,v}) \gg (\log_2(T_N(0,0))+1)$$

[0287]

[0288] 여기서 인자 $f_{inv,v}$ 는 반올림을 위한 것이고, 범위 $[0, 2^{(\log_2(T_N(0,0))+1)}]$ 에 있을 수 있다. 설명의 간략함을 위해, $f_{inv,v}$ 는 $2^{(\log_2(T_N(0,0)))}$ 일 수 있다.

[0289] 수직 역변환 후에, 중간 블록 V_{MxN} 에 대해 수평 역변환이 수행될 수 있다. 수평 역변환의 프로세스는 다음과 같을 수 있다:

수학식 84

$$X'_{MxN} = (V_{MxN} \times T_N + f_{inv,h}) \gg (\log_2(T_N(0,0))+6 - \Delta BD)$$

[0290]

[0291] 여기서 인자 $f_{inv,h}$ 는 범위 $[0, 2^{(\log_2(T_N(0,0))+6-\Delta BD)}]$ 에 있을 수 있고, 본 명세서에서의 설명의 간략함을 위해, $2^{(\log_2(T_N(0,0))+5-\Delta BD)}$ 일 수 있다.

[0292] 예시적인 통신 시스템

[0293] 도 8은 하나의 비제한적인 실시예에 따른 통신 시스템(800)을 나타낸 것이다. 예시된 바와 같이, 인코더(802)는 연결(808)을 통해 통신 네트워크(804)와 통신하고 있을 수 있다. 인코더(802)는 본 명세서에 제공된 바와 같이 요소들 및 처리를 이용할 수 있다. 게다가, 연결(808)은 유선 연결 또는 무선 연결일 수 있다. 디코더(806)도 역시 연결(810)을 통해 통신 네트워크(804)와 통신하고 있을 수 있다. 디코더(806)도 역시 본 명세서에 제공된 바와 같이 요소들 및 처리를 이용할 수 있다. 게다가, 연결(810)은 유선 연결 또는 무선 연결일 수 있다. 통신 네트워크(806)는 도 9a, 도 9b, 도 9c, 도 9d, 및 도 9e와 관련하여 이하에서 더 상세히 제공되는 임의의 적당한 유형의 통신 시스템일 수 있다. 인코더(806)는 디지털 텔레비전, 무선 통신 장치, 무선 방송 시스템, PDA(personal digital assistant), 랩톱 또는 데스크톱 컴퓨터, 태블릿 컴퓨터, 디지털 카메라, 디지털 레코딩 장치, 비디오 게임 장치, 비디오 게임 콘솔, 셀룰러 또는 위성 무선 전화, 디지털 미디어 플레이어(이들로 제한되지 않음) 등의 광범위한 단말들 중 임의의 것에 포함될 수 있다.

[0294] 도 9a는 하나 이상의 개시된 실시예들이 구현될 수 있는 예시적인 통신 시스템(900)의 도면이다. 통신 시스템(900)은 음성, 데이터, 비디오, 메시징, 방송 등과 같은 콘텐츠를 다수의 무선 사용자에게 제공하는 다중 접속 시스템일 수 있다. 통신 시스템(900)은 다수의 무선 사용자가 시스템 자원(무선 대역폭을 포함함)의 공유를 통해 이러한 콘텐츠에 액세스할 수 있게 해줄 수 있다. 예를 들어, 통신 시스템(900)은 CDMA(code division multiple access, 코드 분할 다중 접속), TDMA(time division multiple access, 시분할 다중 접속), FDMA(frequency division multiple access, 주파수 분할 다중 접속), OFDMA(orthogonal FDMA, 직교 FDMA), SC-FDMA(single-carrier FDMA, 단일 반송파 FDMA) 등과 같은 하나 이상의 채널 접속 방법을 이용할 수 있다.

- [0295] 도 9a에 도시된 바와 같이, 통신 시스템(900)은 WTRU들(wireless transmit/receive units, 무선 송수신 유닛)(902a, 902b, 902c, 902d), RAN(radio access network, 무선 액세스 네트워크)(904), 코어 네트워크(906), PSTN(public switched telephone network, 공중 교환 전화망)(908), 인터넷(910), 및 기타 네트워크들(912)을 포함할 수 있지만, 개시된 실시예가 임의의 수의 WTRU, 기지국, 네트워크 및/또는 네트워크 요소를 생각하고 있다는 것을 잘 알 것이다. WTRU들(902a, 902b, 902c, 902d) 각각은 무선 환경에서 동작 및/또는 통신하도록 구성된 임의의 유형의 장치일 수 있다. 일례로서, WTRU들(902a, 902b, 902c, 902d)은 무선 신호를 송수신하도록 구성될 수 있고, 압축된 화상 통신을 수신 및 처리할 수 있는 UE(user equipment), 이동국, 고정형 또는 이동형 가입자 유닛, 페이지, 셀룰러폰, PDA(personal digital assistant), 스마트폰, 랩톱, 넷북, 개인용 컴퓨터, 무선 센서, 가전 제품, 또는 임의의 다른 단말 등을 포함할 수 있다.
- [0296] 통신 시스템(900)은 또한 기지국(914a) 및 기지국(914b)을 포함할 수 있다. 기지국들(914a, 914b) 각각은 하나 이상의 통신 네트워크들 - 코어 네트워크(906), 인터넷(910) 및/또는 네트워크들(912) 등 - 에의 액세스를 용이하게 해주기 위해 WTRU들(902a, 902b, 902c, 902d) 중 적어도 하나와 무선으로 인터페이스하도록 구성된 임의의 유형의 장치일 수 있다. 예로서, 기지국들(914a, 914b)은 BTS(base transceiver station, 기지국 송수신기), 노드-B, eNode-B, 홈 노드 B, 사이트 제어기, AP(access point), 무선 라우터 등일 수 있다. 기지국들(914a, 914b) 각각이 단일 요소로서 나타내어져 있지만, 기지국들(914a, 914b)이 임의의 수의 상호연결된 기지국 및/또는 네트워크 요소를 포함할 수 있다는 것을 잘 알 것이다.
- [0297] 기지국(914a)은 다른 기지국들 및/또는 네트워크 요소들(도시 생략) - BSC(base station controller, 기지국 제어기), RNC(radio network controller, 무선 네트워크 제어기), 중계 노드, 기타 등등 - 도 포함할 수 있는 RAN(904)의 일부일 수 있다. 기지국(914a) 및/또는 기지국(914b)은 특정의 지리적 지역 - 셀(도시 생략)이라고 할 수 있음 - 내에서 무선 신호를 송수신하도록 구성될 수 있다. 셀은 여러 셀 섹터(cell sector)로 추가로 나누어질 수 있다. 예를 들어, 기지국(914a)과 연관된 셀이 3개의 섹터들로 나누어질 수 있다. 따라서, 일 실시예에서, 기지국(914a)은 3개의 송수신기들(즉, 셀의 각각의 섹터마다 하나씩)을 포함할 수 있다. 다른 실시예에서, 기지국(914a)은 MIMO(multiple-input multiple output, 다중 입력 다중 출력) 기술을 이용할 수 있고, 따라서, 셀의 각각의 섹터에 대해 다수의 송수신기들을 이용할 수 있다.
- [0298] 기지국들(914a, 914b)은 임의의 적당한 무선 통신 링크[예컨대, RF(radio frequency, 무선 주파수), 마이크로파, IR(infrared, 적외선), UV(ultraviolet, 자외선), 가시광 등]일 수 있는 공중 인터페이스(916)를 통해 WTRU들(902a, 902b, 902c, 902d) 중 하나 이상과 통신할 수 있다. 임의의 적당한 RAT(radio access technology, 무선 액세스 기술)를 사용하여 공중 인터페이스(916)가 설정될 수 있다.
- [0299] 보다 구체적으로는, 앞서 살펴본 바와 같이, 통신 시스템(900)은 다중 접속 시스템일 수 있고, CDMA, TDMA, FDMA, OFDMA, SC-FDMA 등과 같은 하나 이상의 채널 접속 방식을 이용할 수 있다. 예를 들어, RAN(904) 내의 기지국(914a) 및 WTRU들(902a, 902b, 902c)은 WCDMA(wideband CDMA, 광대역 CDMA)를 사용하여 공중 인터페이스(916)를 설정할 수 있는 UTRA[UMTS(Universal Mobile Telecommunications System) Terrestrial Radio Access]와 같은 무선 기술을 구현할 수 있다. WCDMA는 HSPA(High-Speed Packet Access, 고속 패킷 액세스) 및/또는 HSPA+(Evolved HSPA)와 같은 통신 프로토콜을 포함할 수 있다. HSPA는 HSDPA(High-Speed Downlink Packet Access, 고속 하향링크 패킷 액세스) 및/또는 HSUPA(High-Speed Uplink Packet Access, 고속 상향링크 패킷 액세스)를 포함할 수 있다.
- [0300] 다른 실시예에서, 기지국(914a) 및 WTRU들(902a, 902b, 902c)은 LTE(Long Term Evolution) 및/또는 LTE-A(LTE-Advanced)를 사용하여 공중 인터페이스(916)를 설정할 수 있는 E-UTRA(Evolved UMTS Terrestrial Radio Access)와 같은 무선 기술을 구현할 수 있다.
- [0301] 다른 실시예에서, 기지국(914a) 및 WTRU들(902a, 902b, 902c)은 IEEE 802.16[즉, WiMAX(Worldwide Interoperability for Microwave Access)], CDMA2000, CDMA2000 1X, CDMA2000 EV-DO, IS-2000(Interim Standard 2000), IS-95(Interim Standard 95), IS-856(Interim Standard 856), GSM(Global System for Mobile communications), EDGE(Enhanced Data rates for GSM Evolution), GSM EDGE(GERAN) 등과 같은 무선 기술을 구현할 수 있다.
- [0302] 도 9a의 기지국(914b)은, 예를 들어, 무선 라우터, 홈 노드 B, 홈 eNode B, 또는 액세스 포인트(access point)일 수 있고, 사업장, 가정, 차량, 캠퍼스 등과 같은 국소화된 지역에서의 무선 연결을 용이하게 해주는 임의의 적당한 RAT를 이용할 수 있다. 일 실시예에서, 기지국(914b) 및 WTRU들(902c, 902d)은 WLAN(wireless local area network)을 설정하기 위해 IEEE 802.11과 같은 무선 기술을 구현할 수 있다. 다른 실시예에서, 기지국

(914b) 및 WTRU들(902c, 902d)은 WPAN(wireless personal area network)을 설정하기 위해 IEEE 802.15와 같은 무선 기술을 구현할 수 있다. 또 다른 실시예에서, 기지국(914b) 및 WTRU들(902c, 902d)은 피코셀 또는 펌토셀을 설정하기 위해 셀룰러-기반 RAT(예컨대, WCDMA, CDMA2000, GSM, LTE, LTE-A 등)를 이용할 수 있다. 도 9a에 도시된 바와 같이, 기지국(114b)은 인터넷(910)에의 직접 연결을 가질 수 있다. 따라서, 기지국(914b)은 코어 네트워크(906)를 통해 인터넷(910)에 액세스할 필요가 없을 수 있다.

[0303] RAN(904)은 음성, 데이터, 응용 프로그램, 및 VoIP(voice over internet protocol) 서비스를 WTRU들(902a, 902b, 902c, 902d) 중 하나 이상의 WTRU에 제공하도록 구성된 임의의 유형의 네트워크일 수 있는 코어 네트워크(906)와 통신하고 있을 수 있다. 예를 들어, 코어 네트워크(906)는 호출 제어, 대금 청구 서비스, 모바일 위치-기반 서비스, 선불 전화(pre-paid calling), 인터넷 연결, 비디오 배포 등을 제공하고 및/또는 사용자 인증과 같은 고레벨 보안 기능을 수행할 수 있다. 도 9a에 도시되어 있지는 않지만, RAN(904) 및/또는 코어 네트워크(906)가 RAN(904)과 동일한 RAT 또는 상이한 RAT를 이용하는 다른 RAN과 직접 또는 간접 통신을 하고 있을 수 있다는 것을 잘 알 것이다. 예를 들어, E-UTRA 무선 기술을 이용하고 있을 수 있는 RAN(904)에 연결되는 것에 부가하여, 코어 네트워크(906)는 또한 GSM 무선 기술을 이용하는 다른 RAN(도시 생략)과 통신하고 있을 수 있다.

[0304] 코어 네트워크(906)는 또한 WTRU들(902a, 902b, 902c, 902d)이 PSTN(908), 인터넷(910) 및/또는 기타 네트워크들(912)에 액세스하기 위한 게이트웨이로서 역할할 수 있다. PSTN(908)은 POTS(plain old telephone service)를 제공하는 회선-교환 전화 네트워크를 포함할 수 있다. 인터넷(910)은 TCP/IP 인터넷 프로토콜군 내의 TCP(transmission control protocol, 전송 제어 프로토콜), UDP(user datagram protocol, 사용자 데이터그램 프로토콜) 및 IP(internet protocol, 인터넷 프로토콜)와 같은 공통의 통신 프로토콜을 사용하는 상호연결된 컴퓨터 네트워크들 및 장치들의 전세계 시스템(global system)을 포함할 수 있다. 네트워크들(912)은 다른 서비스 제공자가 소유하고 및/또는 운영하는 유선 또는 무선 통신 네트워크를 포함할 수 있다. 예를 들어, 네트워크들(912)은 RAN(104)과 동일한 RAT 또는 상이한 RAT를 이용할 수 있는 하나 이상의 RAN들에 연결된 다른 코어 네트워크를 포함할 수 있다.

[0305] 통신 시스템(900) 내의 WTRU들(902a, 902b, 902c, 902d) 중 일부 또는 전부는 다중-모드 기능을 포함할 수 있다 - 즉, WTRU들(902a, 902b, 902c, 902d)이 상이한 무선 링크를 통해 상이한 무선 네트워크와 통신하기 위한 다수의 송수신기들을 포함할 수 있다 -. 예를 들어, 도 9a에 도시된 WTRU(902c)는 셀룰러-기반 무선 기술을 이용할 수 있는 기지국(914a)과 통신하도록, 그리고 IEEE 802 무선 기술을 이용할 수 있는 기지국(914b)과 통신하도록 구성될 수 있다.

[0306] 도 9b는 예시적인 WTRU(902)의 시스템도이다. 도 9b에 도시된 바와 같이, WTRU(902)는 프로세서(918), 송수신기(920), 송수신 요소(922), 스피커/마이크(924), 키패드(926), 디스플레이/터치패드(928), 비착탈식 메모리(906), 착탈식 메모리(932), 전원 공급 장치(934), GPS(global positioning system) 칩셋(936), 및 기타 주변 장치들(938)을 포함할 수 있다. 실시예와 부합한 채로 있으면서 WTRU(902)가 상기한 요소들의 임의의 서브컴비네이션을 포함할 수 있다는 것을 잘 알 것이다.

[0307] 프로세서(918)가 범용 프로세서, 전용 프로세서, 종래의 프로세서, DSP(digital signal processor), 그래픽 처리 유닛(GPU), 복수의 마이크로프로세서들, DSP 코어와 연관된 하나 이상의 마이크로프로세서들, 제어기, 마이크로제어기, ASIC(Application Specific Integrated Circuit), FPGA(Field Programmable Gate Array) 회로들, 임의의 다른 유형의 IC(integrated circuit), 상태 기계 등일 수 있다. 프로세서(918)는 WTRU(902)가 무선 환경에서 동작할 수 있게 해주는 신호 코딩, 데이터 처리, 전력 제어, 입력/출력 처리, 및/또는 임의의 다른 기능을 수행할 수 있다. 프로세서(918)는 송수신 요소(922)에 결합되어 있을 수 있는 송수신기(920)에 결합될 수 있다. 도 9b가 프로세서(918) 및 송수신기(920)를 개별 구성요소로서 나타내고 있지만, 프로세서(918) 및 송수신기(920)가 전자 패키지 또는 칩에 함께 통합되어 있을 수 있다는 것을 잘 알 것이다.

[0308] 송수신 요소(922)는 공중 인터페이스(916)를 통해 기지국[예컨대, 기지국(914a)]으로 신호를 전송하거나 기지국으로부터 신호를 수신하도록 구성될 수 있다. 예를 들어, 일 실시예에서, 송수신 요소(922)는 RF 신호를 송수신하도록 구성된 안테나일 수 있다. 다른 실시예에서, 송수신 요소(922)는, 예를 들어, IR, UV 또는 가시광 신호를 송수신하도록 구성되어 있는 방출기/검출기일 수 있다. 또 다른 실시예에서, 송수신 요소(922)는 RF 신호 및 광 신호 둘 다를 전송 및 수신하도록 구성될 수 있다. 송수신 요소(922)가 무선 신호의 임의의 조합을 송수신하도록 구성될 수 있다는 것을 잘 알 것이다.

[0309] 그에 부가하여, 송수신 요소(922)가 도 9b에 단일 요소로서 나타내어져 있지만, WTRU(902)는 임의의 수의 송수

신 요소(922)를 포함할 수 있다. 보다 구체적으로는, WTRU(902)는 MIMO 기술을 이용할 수 있다. 따라서, 일 실시예에서, WTRU(902)는 공중 인터페이스(916)를 통해 무선 신호를 전송 및 수신하기 위한 2개 이상의 송수신 요소(922)(예컨대, 다수의 안테나)를 포함할 수 있다.

[0310] 송수신기(920)는 송수신 요소(922)에 의해 전송되어야 하는 신호를 변조하고 송수신 요소(922)에 의해 수신되는 신호를 복조하도록 구성될 수 있다. 앞서 살펴본 바와 같이, WTRU(902)는 다중-모드 기능을 가질 수 있다. 따라서, 송수신기(920)는 WTRU(902)가, 예를 들어, UTRA 및 IEEE 802.11과 같은 다수의 RAT들을 통해 통신할 수 있게 하는 다수의 송수신기들을 포함할 수 있다.

[0311] WTRU(902)의 프로세서(918)는 스피커/마이크(924), 키패드(926), 및/또는 디스플레이/터치패드(928)[예컨대, LCD(liquid crystal display, 액정 디스플레이) 디스플레이 유닛 또는 OLED(organic light-emitting diode, 유기 발광 다이오드) 디스플레이 유닛]에 결합될 수 있고 그로부터 사용자 입력 데이터를 수신할 수 있다. 프로세서(918)는 또한 사용자 데이터를 스피커/마이크(924), 키패드(926) 및/또는 디스플레이/터치패드(928)로 출력할 수 있다. 그에 부가하여, 프로세서(918)는 비착탈식 메모리(906) 및/또는 착탈식 메모리(932)와 같은 임의의 유형의 적당한 메모리로부터의 정보에 액세스하고 그 메모리에 데이터를 저장할 수 있다. 비착탈식 메모리(906)는 랜덤 액세스 메모리(RAM), 판독 전용 메모리(ROM), 하드 디스크, 또는 임의의 다른 유형의 메모리 저장 장치를 포함할 수 있다. 착탈식 메모리(932)는 SIM(subscriber identity module, 가입자 식별 모듈) 카드, 메모리 스틱, SD(secure digital) 메모리 카드 등을 포함할 수 있다. 다른 실시예에서, 프로세서(918)는 WTRU(902) 상에 물리적으로 위치하지 않은[예컨대, 서버 또는 가정용 컴퓨터(도시 생략) 상의] 메모리로부터의 정보에 액세스하고 그 메모리에 데이터를 저장할 수 있다.

[0312] 프로세서(918)는 전원 공급 장치(934)로부터 전력을 받을 수 있고, WTRU(902) 내의 다른 구성요소로 전력을 분배 및/또는 제어하도록 구성될 수 있다. 전원 공급 장치(934)는 WTRU(902)에 전원을 제공하는 임의의 적당한 장치일 수 있다. 예를 들어, 전원 공급 장치(934)는 하나 이상의 건전지[예컨대, 니켈-카드뮴(NiCd), 니켈-아연(NiZn), 니켈 수소화금속(NiMH), 리튬-이온(Li-ion) 등], 태양 전지, 연료 전지 등을 포함할 수 있다.

[0313] 프로세서(918)는 또한 WTRU(902)의 현재 위치에 관한 위치 정보(예컨대, 경도 및 위도)를 제공하도록 구성될 수 있는 GPS 칩셋(936)에 결합될 수 있다. GPS 칩셋(936)으로부터의 정보에 부가하여 또는 그 대신에, WTRU(902)는 기지국[예컨대, 기지국들(914a, 914b)] 공중 인터페이스(916)를 통해 위치 정보를 수신하고/수신하거나 2개 이상의 근방의 기지국들로부터 수신되는 신호의 타이밍에 기초하여 그의 위치를 결정할 수 있다. 실시예와 부합한 채로 있으면서 WTRU(902)가 임의의 적당한 위치 결정 방법에 의해 위치 정보를 획득할 수 있다는 것을 잘 알 것이다.

[0314] 프로세서(918)는 또한 부가의 특징, 기능 및/또는 유선 또는 무선 연결을 제공하는 하나 이상의 소프트웨어 및/또는 하드웨어 모듈을 포함할 수 있는 기타 주변 장치들(938)에 결합될 수 있다. 예를 들어, 주변 장치들(938)은 가속도계, 전자 나침반, 위성 송수신기, 디지털 카메라(사진 또는 비디오용), USB(universal serial bus) 포트, 진동 장치, 텔레비전 송수신기, 핸드프리 헤드셋, 블루투스® 모듈, FM(frequency modulated, 주파수 변조) 라디오 유닛, 디지털 음악 플레이어, 미디어 플레이어, 비디오 게임 플레이어 모듈, 인터넷 브라우저 등을 포함할 수 있다.

[0315] 도 9c는 일 실시예에 따른, RAN(904) 및 코어 네트워크(906)의 시스템도이다. 앞서 살펴본 바와 같이, RAN(904)은 공중 인터페이스(916)를 통해 WTRU들(902a, 902b, 902c)과 통신하기 위해 UTRA 무선 기술을 이용할 수 있다. RAN(904)은 또한 코어 네트워크(906)와 통신하고 있을 수 있다. 도 9c에 도시된 바와 같이, RAN(904)은 각각이 공중 인터페이스(916)를 통해 WTRU들(902a, 902b, 902c)과 통신하기 위한 하나 이상의 송수신기들을 포함할 수 있는 노드-B들(940a, 940b, 940c)을 포함할 수 있다. 노드-B들(940a, 940b, 940c) 각각은 RAN(904) 내의 특정의 셀(도시 생략)과 연관되어 있을 수 있다. RAN(904)은 또한 RNC들(942a, 942b)도 포함할 수 있다. RAN(904)이 실시예와 부합한 채로 있으면서 임의의 수의 노드-B들 및 RNC들을 포함할 수 있다는 것을 잘 알 것이다.

[0316] 도 9c에 도시된 바와 같이, 노드-B들(940a, 940b)은 RNC(942a)와 통신하고 있을 수 있다. 그에 부가하여, 노드-B(940c)는 RNC(942b)와 통신하고 있을 수 있다. 노드-B들(940a, 940b, 940c)은 Iub 인터페이스를 통해 각자의 RNC들(942a, 942b)과 통신할 수 있다. RNC들(942a, 942b)은 Iur 인터페이스를 통해 서로 통신하고 있을 수 있다. RNC들(942a, 942b) 각각은 RNC가 연결되어 있는 각자의 노드-B들(940a, 940b, 940c)을 제어하도록 구성되어 있을 수 있다. 그에 부가하여, RNC들(942a, 942b) 각각은 외측 루프 전력 제어, 부하 제어, 허가 제어, 패킷 스케줄링, 핸드오버 제어, 매크로다이버시티(macrodiversity), 보안 기능, 데이터 암호화 등과 같은 다른 기능

을 수행하거나 지원하도록 구성되어 있을 수 있다.

- [0317] 도 9c에 도시된 코어 네트워크(906)는 MGW(media gateway, 미디어 게이트웨이)(944), MSC(mobile switching center, 이동 교환국)(946), SGSN(serving GPRS support node, 서비스 제공 GPRS 지원 노드)(948), 및/또는 GGSN(gateway GPRS support node, 게이트웨이 GPRS 지원 노드)(950)을 포함할 수 있다. 상기 요소들 각각이 코어 네트워크(906)의 일부로서 나타내어져 있지만, 이들 요소 중 임의의 것이 코어 네트워크 운영자 이외의 엔터티에 의해 소유 및/또는 운영될 수 있다는 것을 잘 알 것이다.
- [0318] RAN(904) 내의 RNC(942a)는 IuCS 인터페이스를 통해 코어 네트워크(906) 내의 MSC(946)에 연결될 수 있다. MSC(946)는 MGW(944)에 연결될 수 있다. MSC(946) 및 MGW(944)는, WTRU들(902a, 902b, 902c)와 종래의 지상선(land-line) 통신 장치 사이의 통신을 용이하게 해주기 위해, PSTN(908)과 같은 회선 교환 네트워크에의 액세스를 WTRU들(902a, 902b, 902c)에 제공할 수 있다.
- [0319] RAN(904) 내의 RNC(942a)는 또한 IuPS 인터페이스를 통해 코어 네트워크(906) 내의 SGSN(948)에 연결될 수 있다. SGSN(948)은 GGSN(950)에 연결될 수 있다. SGSN(948) 및 GGSN(950)은, WTRU들(902a, 902b, 902c)와 IP-기반 장치 사이의 통신을 용이하게 해주기 위해, 인터넷(910)과 같은 패킷 교환 네트워크에의 액세스를 WTRU들(902a, 902b, 902c)에 제공할 수 있다.
- [0320] 앞서 살펴본 바와 같이, 코어 네트워크(906)는 또한 다른 서비스 제공자들에 의해 소유 및/또는 운영되는 다른 유선 또는 무선 네트워크들을 포함할 수 있는 네트워크들(912)에 연결될 수 있다.
- [0321] 도 9d는 다른 실시예에 따른, RAN(904) 및 코어 네트워크(906)의 시스템도이다. 앞서 살펴본 바와 같이, RAN(904)은 공중 인터페이스(916)를 통해 WTRU들(902a, 902b, 902c)과 통신하기 위해 E-UTRA 무선 기술을 이용할 수 있다. RAN(904)은 또한 코어 네트워크(906)와 통신하고 있을 수 있다.
- [0322] RAN(904)은 eNode-B들(960a, 960b, 960c)을 포함할 수 있지만, RAN(904)이 실시예와 부합한 채로 있으면서 임의의 수의 eNode-B들을 포함할 수 있다는 것을 잘 알 것이다. eNode-B들(960a, 960b, 960c) 각각은 공중 인터페이스(916)를 통해 WTRU들(902a, 902b, 902c)과 통신하기 위한 하나 이상의 송수신기들을 포함할 수 있다. 일 실시예에서, eNode-B들(960a, 960b, 960c)은 MIMO 기술을 구현할 수 있다. 따라서, 예를 들어, eNode B(960a)는 WTRU(902a)로 무선 신호를 전송하고 그로부터 무선 신호를 수신하기 위해 다수의 안테나들을 사용할 수 있다.
- [0323] eNode B들(960a, 960b, 960c) 각각은 특정의 셀(도시 생략)과 연관되어 있을 수 있고, 무선 자원 관리 결정, 핸드오버 결정, 상향링크 및/또는 하향링크에서의 사용자의 스케줄링 등을 처리하도록 구성되어 있을 수 있다. 도 9d에 도시된 바와 같이, eNode-B들(960a, 960b, 960c)은 X2 인터페이스를 통해 서로 통신할 수 있다.
- [0324] 도 9d에 도시된 코어 네트워크(906)는 MME(mobility management gateway, 이동성 관리 게이트웨이)(962), SGW(serving gateway, 서비스 제공 게이트웨이)(964), 및 PDN(packet data network, 패킷 데이터 네트워크) 게이트웨이(966)를 포함할 수 있다. 상기 요소들 각각이 코어 네트워크(906)의 일부로서 나타내어져 있지만, 이들 요소 중 임의의 것이 코어 네트워크 운영자 이외의 엔터티에 의해 소유 및/또는 운영될 수 있다는 것을 잘 알 것이다.
- [0325] MME(962)는 S1 인터페이스를 통해 RAN(904) 내의 eNode B들(960a, 960b, 960c) 각각에 연결되어 있을 수 있고, 제어 노드로서 역할할 수 있다. 예를 들어, MME(962)는 WTRU들(902a, 902b, 902c)의 사용자를 인증하는 것, 베어러 활성화/비활성화, WTRU들(902a, 902b, 902c)의 초기 접속(initial attach) 동안 특정의 SGW(serving gateway)를 선택하는 것 등을 책임지고 있을 수 있다. MME(962)는 또한 RAN(904)과 GSM 또는 WCDMA와 같은 다른 무선 기술을 이용하는 다른 RAN(도시 생략) 간에 전환하는 제어 평면 기능(control plane function)을 제공할 수 있다.
- [0326] SGW(serving gateway)(964)는 S1 인터페이스를 통해 RAN(904) 내의 eNode-B들(960a, 960b, 960c) 각각에 연결될 수 있다. 서비스 제공 게이트웨이(964)는 일반적으로 WTRU들(902a, 902b, 902c)로/로부터 사용자 데이터 패킷을 라우팅하고 전달할 수 있다. SGW(serving gateway)(964)는 eNode B간 핸드오버 동안 사용자 평면을 앵커링(anchoring)하는 것, WTRU들(902a, 902b, 902c)에 대해 하향링크 데이터가 이용가능할 때 페이징(paging)을 트리거하는 것, WTRU들(902a, 902b, 902c)의 컨텍스트를 관리하고 저장하는 것 등과 같은 다른 기능도 수행할 수 있다.
- [0327] SGW(serving gateway)(964)는, WTRU들(902a, 902b, 902c)와 IP-기반(IP-enabled) 디바이스 사이의 통신을 용이

하게 해주기 위해, 인터넷(910)과 같은 패킷 교환 네트워크에의 액세스를 WTRU들(902a, 902b, 902c)에 제공할 수 있는 PDN 게이트웨이(966)에도 연결될 수 있다.

[0328] 코어 네트워크(906)는 기타 네트워크들과의 통신을 용이하게 해줄 수 있다. 예를 들어, 코어 네트워크(906)는, WTRU들(902a, 902b, 902c)과 종래의 지상선(land-line) 통신 디바이스 사이의 통신을 용이하게 해주기 위해, PSTN(908)과 같은 회선 교환 네트워크에 대한 액세스를 WTRU들(902a, 902b, 902c)에 제공할 수 있다. 예를 들어, 코어 네트워크(906)는 코어 네트워크(906)와 PSTN(908) 사이의 인터페이스로서 역할하는 IP 게이트웨이 [예컨대, IMS(IP multimedia subsystem, IP 멀티미디어 서브시스템) 서버]를 포함할 수 있거나 그와 통신할 수 있다. 그에 부가하여, 코어 네트워크(906)는 다른 서비스 공급자에 의해 소유 및/또는 운영되는 다른 유선 또는 무선 네트워크를 포함할 수 있는 네트워크들(912)에 대한 액세스를 WTRU들(902a, 902b, 902c)에 제공할 수 있다.

[0329] 도 9e는 다른 실시예에 따른, RAN(904) 및 코어 네트워크(906)의 시스템도이다. RAN(904)은 공중 인터페이스(916)를 통해 WTRU들(902a, 902b, 902c)과 통신하기 위해 IEEE 802.16 무선 기술을 이용하는 ASN(access service network)일 수 있다. 이하에서 더 논의할 것인 바와 같이, WTRU들(902a, 902b, 902c)의 상이한 기능적 엔터티 간의 통신 링크, RAN(904), 및 코어 네트워크(906)가 기준점으로서 정의될 수 있다.

[0330] 도 9e에 도시된 바와 같이, RAN(904)은 기지국들(970a, 970b, 970c) 및 ASN 게이트웨이(972)를 포함할 수 있지만, RAN(904)이 실시예와 부합한 채로 있으면서 임의의 수의 기지국들 및 ASN 게이트웨이들을 포함할 수 있다는 것을 잘 알 것이다. 기지국들(970a, 970b, 970c)은 각각이 RAN(904) 내의 특정의 셀(도시 생략)과 연관될 수 있고, 각각이 공중 인터페이스(916)를 통해 WTRU들(902a, 902b, 902c)과 통신하기 위한 하나 이상의 송수신기들을 포함할 수 있다. 일 실시예에서, 기지국들(970a, 970b, 970c)은 MIMO 기술을 구현할 수 있다. 따라서, 예를 들어, 기지국(970a)은 WTRU(902a)로 무선 신호를 전송하고 그로부터 무선 신호를 수신하기 위해 다수의 안테나를 사용할 수 있다. 기지국들(970a, 970b, 970c)은 또한 핸드오프 트리거링, 터널 설정, 무선 자원 관리, 트래픽 분류, QoS(quality of service) 정책 시행 등과 같은 이동성 관리 기능들을 제공할 수 있다. ASN 게이트웨이(972)는 트래픽 집계 지점으로서 역할할 수 있고, 페이지, 가입자 프로필의 캐싱, 코어 네트워크(906)로의 라우팅 등을 책임지고 있을 수 있다.

[0331] WTRU들(902a, 902b, 902c)와 RAN(904) 사이의 공중 인터페이스(916)는 IEEE 802.16 규격을 구현하는 R1 기준점으로서 정의될 수 있다. 그에 부가하여, WTRU들(902a, 902b, 902c) 각각은 코어 네트워크(906)와 논리 인터페이스(도시 생략)를 설정할 수 있다. WTRU들(902a, 902b, 902c)와 코어 네트워크(906) 사이의 논리 인터페이스는 인증, 허가, IP 호스트 구성 관리, 및/또는 이동성 관리를 위해 사용될 수 있는 R2 기준점으로서 정의될 수 있다.

[0332] 기지국들(970a, 970b, 970c) 각각 사이의 통신 링크는 기지국들 사이의 WTRU 핸드오버 및 데이터 전송을 용이하게 해주는 프로토콜을 포함하는 R8 기준점으로서 정의될 수 있다. 기지국들(970a, 970b, 970c)들과 ASN 게이트웨이(972) 사이의 통신 링크는 R6 기준점으로서 정의될 수 있다. R6 기준점은 WTRU들(902a, 902b, 902c) 각각과 연관된 이동성 이벤트에 기초하여 이동성 관리를 용이하게 해주는 프로토콜을 포함할 수 있다.

[0333] 도 9e에 도시된 바와 같이, RAN(904)은 코어 네트워크(906)에 연결될 수 있다. RAN(104)과 코어 네트워크(906) 사이의 통신 링크는, 예를 들어, 데이터 전송 및 이동성 관리 기능들을 용이하게 해주는 프로토콜들을 포함하는 R3 기준점으로서 정의될 수 있다. 코어 네트워크(906)는 MIP-HA(mobile IP home agent, 이동 IP 홈 에이전트)(974), AAA(authentication, authorization, accounting) 서버(976), 및 게이트웨이(978)를 포함할 수 있다. 상기 요소들 각각이 코어 네트워크(906)의 일부로서 나타내어져 있지만, 이들 요소 중 임의의 것이 코어 네트워크 운영자 이외의 엔터티에 의해 소유 및/또는 운영될 수 있다는 것을 잘 알 것이다.

[0334] MIP-HA(974)는 IP 주소 관리를 책임지고 있을 수 있고, WTRU들(902a, 902b, 902c)가 상이한 ASN 및/또는 상이한 코어 네트워크 사이에서 로밍할 수 있게 해줄 수 있다. MIP-HA(974)는, WTRU들(902a, 902b, 902c)와 IP-기반 디바이스 사이의 통신을 용이하게 해주기 위해, 인터넷(910)과 같은 패킷 교환 네트워크에의 액세스를 WTRU들(902a, 902b, 902c)에 제공할 수 있다. AAA 서버(976)는 사용자 인증 및 사용자 서비스를 지원하는 것을 책임지고 있을 수 있다. 게이트웨이(978)는 기타 네트워크들과의 연동을 용이하게 해줄 수 있다. 예를 들어, 게이트웨이(978)는, WTRU들(902a, 902b, 902c)와 종래의 지상선(land-line) 통신 디바이스 사이의 통신을 용이하게 해주기 위해, PSTN(908)과 같은 회선 교환 네트워크에의 액세스를 WTRU들(902a, 902b, 902c)에 제공할 수 있다. 그에 부가하여, 게이트웨이(978)는 다른 서비스 제공자들에 의해 소유 및/또는 운영되는 다른 유선 또는 무선 네트워크들을 포함할 수 있는 네트워크들(912)에의 액세스를 WTRU들(902a, 902b, 902c)에 제공할 수 있다.

- [0335] 도 9e에 도시되어 있지는 않지만, RAN(904)이 다른 ASN들에 연결될 수 있다는 것과 코어 네트워크(906)가 다른 코어 네트워크들에 연결될 수 있다는 것을 잘 알 것이다. RAN(904)과 다른 ASN 사이의 통신 링크가 RAN(904)과 다른 ASN 사이의 WTRU들(902a, 902b, 902c)의 이동성을 조정하는 프로토콜을 포함할 수 있는 R4 기준점으로서 정의될 수 있다. 코어 네트워크(906)와 다른 코어 네트워크들 사이의 통신 링크가 홈 코어 네트워크들과 방문한 코어 네트워크들 사이의 연동을 용이하게 해주는 프로토콜들을 포함할 수 있는 R5 기준으로서 정의될 수 있다.
- [0336] 실시예들
- [0337] 정수 변환, 및/또는 정수 변환 동작을 위한, 데이터(예컨대, 간차 비디오 데이터)를 변환하기 위한 방법, 장치 및 시스템의 다양한 실시예들이 이하에 개시되어 있다. 일 실시예("제1 실시예")에서, 장치는 프로세서 및 메모리를 포함할 수 있다. 메모리는 변환 행렬 세트 및 변환 행렬 세트 중 임의의 변환 행렬을 사용하여 데이터(예컨대, 간차 비디오 데이터)를 변환하기 위해 프로세서에 의해 실행가능한 명령어들을 포함할 수 있다. 변환 행렬 세트의 각각의 변환 행렬은 직교성이고, 상이한 수의 요소들을 가진다. 각자의 수의 요소들의 각각의 요소는 정수이다. 각각의 변환 행렬의 기저 벡터들(basis vectors)의 노름들(norms) 간의 차는 주어진 임계값을 만족시키고, 기저 벡터들은 DCT(discrete cosine transform, 이산 코사인 변환) 행렬의 대응하는 기저 벡터들과 비슷하다.
- [0338] 일 실시예("제2 실시예")에서, 변환 행렬 세트의 각각의 변환 행렬은 거의 직교성이고, 상이한 수의 요소들을 가지며, 완전 인수분해가능(fully factorizable)일 수 있다. 각자의 수의 요소들의 각각의 요소는 정수이다. 각각의 변환 행렬의 기저 벡터들의 노름들 간의 차는 주어진 임계값을 만족시킬 수 있고, 기저 벡터들은 DCT 행렬의 대응하는 기저 벡터들과 비슷할 수 있다.
- [0339] 제1 실시예 및/또는 제2 실시예 등의 일 실시예에서, 주어진 임계값은, 만족될 때, 기저 벡터들의 노름들(norms) 간의 차가 [예컨대, 특정의 정밀도(degree of precision) 내에서] 무시할 정도라는 것을 나타내는 임계값일 수 있다.
- [0340] 제1 실시예 및/또는 제2 실시예 등의 일 실시예에서, 주어진 임계값은, 만족될 때, 기저 벡터들의 노름들이 거의 같다는 것을 나타내는 임계값일 수 있다.
- [0341] 제1 실시예, 제2 실시예, 및/또는 임의의 차후에 제공되는 선행 실시예("중간 실시예") 등의 일 실시예에서, 기저 벡터들은 왜곡의 척도에 따라 - 사전 정의된 임계값을 만족시키는 왜곡의 척도에 따르는 것을 포함함 -, DCT(discrete cosine transform) 행렬의 대응하는 기저 벡터들과 비슷할 수 있다.
- [0342] 제1 실시예, 제2 실시예, 및/또는 임의의 중간 실시예 등의 일 실시예에서, 왜곡의 척도는 DCT 행렬에 기초할 수 있다.
- [0343] 제1 실시예, 제2 실시예, 및/또는 임의의 중간 실시예 등의 일 실시예에서, 왜곡의 척도는 기저 벡터들 및 DCT 행렬의 대응하는 기저 벡터들 중 적어도 일부에 기초할 수 있다.
- [0344] 제1 실시예, 제2 실시예, 및/또는 임의의 중간 실시예 등의 일 실시예에서, 왜곡의 척도는 적어도 부분적으로 수학적식 3 및 수학적식 4에 의해 정의될 수 있고, 여기서 DCT_N 은 $N \times N$ 요소들을 갖는 DCT 행렬이고, S는 변환 행렬 세트의 선택된 변환 행렬의 기저 벡터 세트이며, ICT_N 은 $N \times N$ 요소들을 갖는 선택된 변환 행렬이고, 그 각각의 기저 벡터는 정규화되어 있으며, 여기서 DCT_N^T 은 DCT_N 의 전치 행렬이다.
- [0345] 제1 실시예, 제2 실시예, 및/또는 임의의 중간 실시예 등의 일 실시예에서, 기저 벡터 세트는 선택된 변환 행렬의 기저 벡터들의 일부 또는 전부를 포함할 수 있다.
- [0346] 제1 실시예, 제2 실시예, 및/또는 임의의 중간 실시예 등의 일 실시예에서, 변환 행렬 세트의 각각의 변환 행렬은 짝수 부분 및 홀수 부분으로 분해가능할 수 있다.
- [0347] 제1 실시예, 제2 실시예, 및/또는 임의의 중간 실시예 등의 일 실시예에서, 변환 행렬 세트의 각각의 변환 행렬은 $2^N \times 2^N$ 요소들을 포함할 수 있고, N은 양의 정수일 수 있다.
- [0348] 제1 실시예, 제2 실시예, 및/또는 임의의 중간 실시예 등의 일 실시예에서, 짝수 부분 및 홀수 부분 각각은 $2^{N-1} \times 2^{N-1}$ 요소들을 포함할 수 있다.

- [0349] 제1 실시예, 제2 실시예, 및/또는 임의의 중간 실시예 등의 일 실시예에서, 짝수 부분은 인자 M에 의해 스케일링될 수 있고, M은 양의 정수일 수 있다.
- [0350] 제1 실시예, 제2 실시예, 및/또는 임의의 중간 실시예 등의 일 실시예에서, 홀수 부분에 의한 변환은 단일 층 웨이블릿 분해로부터 얻어진 각각의 서브대역에 2^{N-2} 차원 변환을 적용한 결과를 포함할 수 있다.
- [0351] 제1 실시예, 제2 실시예, 및/또는 임의의 중간 실시예 등의 일 실시예에서, 결과는 인자 M에 의해 스케일링될 수 있고, M은 양의 정수일 수 있다.
- [0352] 제1 실시예, 제2 실시예, 및/또는 임의의 중간 실시예 등의 일 실시예에서, 웨이블릿 변환은 Haar 변환일 수 있다.
- [0353] 제1 실시예, 제2 실시예, 및/또는 임의의 중간 실시예 등의 일 실시예에서, 메모리는 변환 행렬 세트를 생성하여 메모리에 저장하기 위해 프로세서에 의해 실행가능한 명령어들을 더 포함할 수 있다.
- [0354] 제1 실시예, 제2 실시예, 및/또는 임의의 중간 실시예 등의 일 실시예에서, 장치는 비디오 인코더, 비디오 디코더, 및 WTRU 중 임의의 것일 수 있다.
- [0355] 일 실시예("제3 실시예")에서, 유형의(tangible) 컴퓨터 판독가능 저장 매체는 변환 행렬 세트 및 변환 행렬 세트 중 임의의 변환 행렬을 사용하여 데이터(예컨대, 잔차 비디오 데이터)를 변환하기 위해 프로세서에 의해 실행가능한 명령어들을 저장할 수 있다. 변환 행렬 세트의 각각의 변환 행렬은 직교일 수 있고, 상이한 수의 요소들을 가질 수 있다. 각각의 수의 요소들의 각각의 요소는 정수이다. 각각의 변환 행렬의 기저 벡터들의 노름들(norms) 간의 차는 주어진 임계값을 만족시킬 수 있고, 기저 벡터들은 DCT 행렬의 대응하는 기저 벡터들과 비슷할 수 있다.
- [0356] 대안의 제3 실시예에서, 변환 행렬 세트의 각각의 변환 행렬은 거의 직교성이고, 상이한 수의 요소들을 가지며, 완전 인수분해가능일 수 있다. 각각의 수의 요소들의 각각의 요소는 정수이다. 각각의 변환 행렬의 기저 벡터들의 노름들 간의 차는 주어진 임계값을 만족시킬 수 있고, 기저 벡터들은 DCT 행렬의 대응하는 기저 벡터들과 비슷할 수 있다.
- [0357] 제3 실시예, 대안의 제3 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 주어진 임계값은, 만족될 때, 기저 벡터들의 노름들(norms) 간의 차가 [예컨대, 특징의 정밀도(degree of precision) 내에서] 무시할 정도라는 것을 나타내는 임계값일 수 있다.
- [0358] 제3 실시예, 대안의 제3 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 주어진 임계값은, 만족될 때, 기저 벡터들의 노름들이 거의 같다는 것을 나타내는 임계값일 수 있다.
- [0359] 제3 실시예, 대안의 제3 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 기저 벡터들은 왜곡의 척도에 따라 DCT 행렬의 대응하는 기저 벡터들과 비슷할 수 있다.
- [0360] 제3 실시예, 대안의 제3 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 기저 벡터들은 사전 정의된 임계값을 만족시키는 왜곡의 척도에 따라 DCT 행렬의 대응하는 기저 벡터들과 비슷할 수 있다.
- [0361] 제3 실시예, 대안의 제3 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 왜곡의 척도는 DCT 행렬에 기초할 수 있다.
- [0362] 제3 실시예, 대안의 제3 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 왜곡의 척도는 기저 벡터들 및 DCT 행렬의 대응하는 기저 벡터들 중 적어도 일부에 기초할 수 있다.
- [0363] 제3 실시예, 대안의 제3 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 왜곡의 척도는 적어도 부분적으로 수학적식 3 및 수학적식 4에 의해 정의될 수 있고, 여기서 DCT_N 은 $N \times N$ 요소들을 갖는 DCT 행렬이고, S는 변환 행렬 세트의 선택된 변환 행렬의 기저 벡터 세트이며, ICT_N 은 $N \times N$ 요소들을 갖는 선택된 변환 행렬이고, 그 각각의 기저 벡터는 정규화되어 있으며, 여기서 DCT_N^T 는 DCT_N 의 전치 행렬이다.
- [0364] 제3 실시예, 대안의 제3 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 기저 벡터 세트는 선택된 변환 행렬의 기저 벡터들의 일부 또는 전부를 포함한다.
- [0365] 제3 실시예, 대안의 제3 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 변환 행렬 세트의 각각의 변

환 행렬은 짝수 부분 및 홀수 부분으로 분해가능할 수 있다.

- [0366] 제3 실시예, 대안의 제3 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 변환 행렬 세트의 각각의 변환 행렬은 $2^N \times 2^N$ 요소들을 포함할 수 있고, 여기서 N은 양의 정수이다.
- [0367] 제3 실시예, 대안의 제3 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 변환 행렬 세트의 각각의 변환 행렬은 짝수 부분 및 홀수 부분으로 분해가능할 수 있고, 짝수 부분 및 홀수 부분 각각은 $2^{N-1} \times 2^{N-1}$ 요소들을 포함한다.
- [0368] 제3 실시예, 대안의 제3 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 짝수 부분은 인자 M에 의해 스케일링될 수 있고, M은 양의 정수일 수 있다.
- [0369] 제3 실시예, 대안의 제3 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 홀수 부분에 의한 변환은 단일 층 웨이블릿 분해로부터 얻어진 각각의 서브대역에 2^{N-2} 차원 변환을 적용한 결과를 포함할 수 있다.
- [0370] 제3 실시예, 대안의 제3 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 결과는 인자 M에 의해 스케일링될 수 있고, M은 양의 정수일 수 있다.
- [0371] 제3 실시예, 대안의 제3 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 웨이블릿 변환은 Haar 변환일 수 있다.
- [0372] 제3 실시예, 대안의 제3 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 유형의 컴퓨터 판독가능 저장 매체는 변환 행렬 세트를 생성하기 위해 프로세서에 의해 실행가능한 명령어들을 저장할 수 있다.
- [0373] 일 실시예("제4 실시예")에서, 잔차 비디오 데이터를 변환하는 N 차원 정수 변환의 변환 행렬("N 차원 변환 행렬")을 형성하는 방법은 저차원 변환 행렬(lower-order transform matrix)을 사용하여 중간 변환 행렬의 짝수 부분을 형성하는 단계를 포함할 수 있다. 이 방법은 저차원 변환 행렬의 저차원 홀수 부분을 획득하는 단계를 포함할 수 있다. 이 방법은 저차원 변환 행렬의 저차원 홀수 부분을 사용하여 웨이블릿 변환의 저주파수 서브대역 및 고주파수 서브대역 각각을 처리함으로써 중간 변환 행렬의 홀수 부분을 형성하는 단계를 포함할 수 있다. 이 방법은 중간 변환 행렬을 짝수-홀수 결합 행렬에도 적용하는 단계를 포함할 수 있다.
- [0374] 제4 실시예 등의 일 실시예에서, 저차원 홀수 부분을 획득하는 단계는 짝수-홀수 분해 행렬을 사용하여 저차원 변환 행렬을 저차원 홀수 부분 및 저차원 짝수 부분으로 분해하는 단계를 포함할 수 있다.
- [0375] 제4 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, N 차원 변환 행렬의 각각의 기저 벡터는 각자의 양의 영 교차들(zero crossings)을 가질 수 있고, 이 방법은 영 교차들의 양에 기초하여 기저 벡터들을 재정렬(re-ordering)하는 단계를 더 포함한다.
- [0376] 제4 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 기저 벡터들을 재정렬하는 단계는 영 교차들의 양을 증가시킴으로써 기저 벡터들을 재정렬하는 단계를 포함할 수 있다.
- [0377] 제4 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 저차원 변환 행렬은 경험적으로 결정된 변환 계수들을 포함할 수 있다.
- [0378] 제4 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 웨이블릿 변환은 Haar 변환일 수 있다.
- [0379] 일 실시예("제5 실시예")에서, 잔차 비디오 데이터를 변환하는 N 차원 정수 변환의 변환 행렬("N 차원 변환 행렬")을 형성하도록 구성되어 있는 장치는 프로세서 및 메모리를 포함할 수 있다. 메모리는 프로세서에 의해 실행가능한 명령어들을 포함할 수 있다. 명령어들은 (i) 저차원 변환 행렬을 사용하여 중간 변환 행렬의 짝수 부분을 형성하고, (ii) 저차원 변환 행렬의 저차원 홀수 부분을 획득하며, (iii) 저차원 변환 행렬의 저차원 홀수 부분을 사용하여 웨이블릿 변환의 저주파수 서브대역 및 고주파수 서브대역 각각을 처리함으로써 중간 변환 행렬의 홀수 부분을 형성하고, 및/또는 (iv) 중간 변환 행렬을 짝수-홀수 결합 행렬에 적용하기 위해 프로세서에 의해 실행가능한 명령어들을 포함할 수 있다.
- [0380] 제5 실시예 등의 일 실시예에서, 저차원 홀수 부분을 획득하기 위해 프로세서에 의해 실행가능한 명령어들은 짝수-홀수 분해 행렬을 사용하여 저차원 변환 행렬을 저차원 홀수 부분 및 저차원 짝수 부분으로 분해하기 위해 프로세서에 의해 실행가능한 명령어들을 포함할 수 있다.
- [0381] 제5 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, N 차원 변환 행렬의 각각의 기저 벡터는 각자의

양의 영 교차들을 가질 수 있고, 명령어들은 영 교차들의 양에 기초하여 기저 벡터들을 재정렬하기 위해 프로세서에 의해 실행가능한 명령어들을 포함할 수 있다.

- [0382] 제5 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 기저 벡터들을 재정렬하기 위해 프로세서에 의해 실행가능한 명령어들은 영 교차들의 양을 증가시키는 것에 의해 기저 벡터들을 재정렬하기 위해 프로세서에 의해 실행가능한 명령어들을 포함할 수 있다.
- [0383] 제5 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 저차원 변환 행렬은 경험적으로 결정된 변환 계수들을 포함할 수 있다.
- [0384] 제5 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 웨이블릿 변환은 Haar 변환을 포함할 수 있다.
- [0385] 일 실시예("제6 실시예")에서, 잔차 비디오 데이터를 변환하는 N 차원 정수 변환 행렬을 형성하는 방법은 N 차원 변환 행렬을 짝수 부분 및 홀수 부분으로 분해하는 단계를 포함할 수 있다. 이 방법은 홀수 부분을 웨이블릿 변환을 사용하여 제1 서브대역 및 제2 서브대역으로 분해하는 단계를 포함할 수 있다. 이 방법은 제1 서브대역 및 제2 서브대역 각각을 보다 낮은 $N/4$ 차원 변환 행렬을 사용하여 처리하는 단계를 포함할 수 있다.
- [0386] 제6 실시예 등의 일 실시예에서, 제1 서브대역 및 제2 서브대역은, 각각, 저주파수 서브대역 및 고주파수 서브대역일 수 있다.
- [0387] 제6 실시예 및/또는 중간 실시예 등의 일 실시예에서, 웨이블릿 변환은 Haar 변환일 수 있다.
- [0388] 일 실시예("제7 실시예")에서, 잔차 비디오 데이터를 변환하는 N 차원 정수 변환 행렬을 형성하도록 구성되어 있는 장치는 프로세서 및 메모리를 포함할 수 있다. 메모리는 프로세서에 의해 실행가능한 명령어들을 포함할 수 있다. 명령어들은 (i) N 차원 변환 행렬을 짝수 부분 및 홀수 부분으로 분해하고, (ii) 홀수 부분을 웨이블릿 변환을 사용하여 제1 서브대역 및 제2 서브대역으로 분해하며, 및/또는 (iii) 제1 서브대역 및 제2 서브대역 각각을 보다 낮은 $N/4$ 차원 변환 행렬을 사용하여 처리하기 위해 프로세서에 의해 실행가능한 명령어들을 포함할 수 있다.
- [0389] 제7 실시예 등의 일 실시예에서, 제1 서브대역 및 제2 서브대역은, 각각, 저주파수 서브대역 및 고주파수 서브대역일 수 있다.
- [0390] 일 실시예("제8 실시예")에서, N 차원 정수 변환을 사용하여 잔차 비디오 데이터를 처리하는 방법은 예조건화 유닛(preconditioning unit)에서, 잔차 비디오 데이터의 벡터를 수신하는 단계를 포함할 수 있다. 이 방법은 변환을 위한 제1 및 제2 중간 출력 벡터들을 형성하기 위해 예조건화 유닛에서 잔차 비디오 데이터의 벡터를 처리하는 단계를 포함할 수 있다. 이 방법은 제1 및 제2 저차원 변환 유닛들에서, 각각, 제1 및 제2 중간 출력 벡터들을 수신하는 단계를 포함할 수 있다. 이 방법은 $N/2$ 차원 정수 변환의 기저 벡터들을 사용하여 짝수번째 변환 계수들을 형성하기 위해 제1 저차원 변환 유닛에서 제1 중간 출력 벡터를 변환하는 단계를 포함할 수 있다. 이 방법은 $N/4$ 차원 홀수 부분 행렬에 기초한 $N/2$ 차원 정수 행렬을 사용하여 홀수번째 변환 계수들을 형성하기 위해 제2 저차원 변환 유닛에서 제2 중간 출력 벡터를 변환하는 단계를 포함할 수 있다.
- [0391] 제8 실시예 등의 일 실시예에서, 예조건화 유닛에서 잔차 비디오 데이터의 벡터를 처리하는 단계는 잔차 비디오 데이터의 벡터를 변환을 위해 짝수-홀수 분해 행렬에 적용하는 단계를 포함할 수 있다.
- [0392] 제8 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제1 저차원 변환 유닛에서 제1 중간 출력 벡터를 변환하는 단계는 중간 변환 행렬의 짝수 부분을 제1 중간 출력 벡터에 적용하는 단계를 포함할 수 있고, 중간 변환 행렬의 짝수 부분은 $N/2$ 차원 정수 변환 행렬을 포함할 수 있다.
- [0393] 제8 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제2 저차원 변환 유닛에서 제2 중간 출력 벡터를 변환하는 단계는 제2 중간 출력 벡터의 제1 서브대역 및 제2 서브대역을 생성하는 단계, 및/또는 $N/4$ 차원 홀수 부분 행렬을 제1 서브대역 및 제2 서브대역 각각에 적용하는 단계를 포함할 수 있다.
- [0394] 제8 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제1 서브대역 및 제2 서브대역은, 각각, 저주파수 서브대역 및 고주파수 서브대역일 수 있다.
- [0395] 일 실시예("제9 실시예")에서, N 차원 정수 변환을 사용하여 잔차 비디오 데이터를 처리하도록 구성되어 있는 장치는 예조건화 유닛, 제1 저차원 변환 유닛, 및 제2 저차원 변환 유닛을 포함할 수 있다. 예조건화 유닛은 잔차 비디오 데이터의 벡터를 수신하도록 구성되어 있을 수 있다. 예조건화 유닛은 변환을 위한 제1 및 제2 중간 출력 벡터들을 형성하기 위해 잔차 비디오 데이터의 벡터를 처리하도록 구성되어 있을 수 있다. 제1 및 제2 저

차원 변환 유닛들은 제1 및 제2 중간 출력 벡터들을, 각각, 수신하도록 구성되어 있을 수 있다. 제1 저차원 변환 유닛은 $N/2$ 차원 정수 변환의 기저 벡터들을 사용하여 짝수번째 변환 계수들을 형성하기 위해 제1 중간 출력 벡터를 변환하도록 구성되어 있을 수 있다. 제2 저차원 변환 유닛은 $N/4$ 차원 홀수 부분 행렬에 기초한 $N/2$ 차원 정수 행렬을 사용하여 홀수번째 변환 계수들을 형성하기 위해 제2 중간 출력 벡터를 변환하도록 구성되어 있을 수 있다.

- [0396] 제9 실시예 등의 일 실시예에서, 예조건화 유닛은 변환을 위한 제1 및 제2 중간 출력 벡터들을 형성할 때 잔차 비디오 데이터의 벡터를 짝수-홀수 분해 행렬에 적용하도록 구성되어 있을 수 있다.
- [0397] 제9 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제1 저차원 변환 유닛은 제1 중간 출력 벡터를 변환할 때 중간 변환 행렬의 짝수 부분을 제1 중간 출력 벡터에 적용하도록 구성되어 있을 수 있고, 중간 변환 행렬의 짝수 부분은 $N/2$ 차원 정수 변환 행렬을 포함할 수 있다.
- [0398] 제9 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제2 저차원 변환 유닛은 제2 중간 출력 벡터의 제1 서브대역 및 제2 서브대역을 생성하고, 제2 중간 출력 벡터를 변환할 때 $N/4$ 차원 홀수 부분 행렬을 제1 서브대역 및 제2 서브대역 각각에 적용하도록 구성되어 있을 수 있다.
- [0399] 제9 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제1 서브대역 및 제2 서브대역은, 각각, 저주파수 서브대역 및 고주파수 서브대역일 수 있다.
- [0400] 일 실시예("제10 실시예")에서, N 차원 정수 변환을 사용하여 잔차 비디오 데이터를 처리하는 방법은, 예조건화 유닛에서, 잔차 비디오 데이터의 복수의 벡터들을 수신하는 단계를 포함할 수 있다. 이 방법은 변환을 위한 각자의 제1 및 제2 중간 출력 벡터들을 형성하기 위해 예조건화 유닛에서 벡터들을 처리하는 단계를 포함할 수 있다. 이 방법은 제1 및 제2 저차원 유닛들에서, 각각, 제1 및 제2 중간 출력 벡터들을 수신하는 단계를 포함할 수 있다. 이 방법은 $N/2$ 차원 정수 변환의 기저 벡터들을 사용하여 제1 짝수번째 변환 계수 세트를 형성하기 위해 제1 저차원 변환 유닛에서 제1 중간 출력 벡터를 변환하는 단계를 포함할 수 있다. 이 방법은 $N/4$ 차원 홀수 부분 행렬에 기초한 $N/2$ 차원 정수 행렬을 사용하여 제1 홀수번째 변환 계수 세트를 형성하기 위해 제2 저차원 변환 유닛에서 제2 중간 출력 벡터를 변환하는 단계를 포함할 수 있다. 이 방법은, 예조건화 유닛에서, 제1 짝수번째 변환 계수 세트 및 제1 홀수번째 변환 계수 세트로부터 형성되는 변환 행렬의 복수의 벡터들을 수신하는 단계를 포함할 수 있다. 이 방법은 변환을 위한 각자의 제3 및 제4 중간 출력 벡터들을 형성하기 위해 예조건화 유닛에서 벡터들을 처리하는 단계를 포함할 수 있다. 이 방법은 제1 및 제2 저차원 변환 유닛들에서, 각각, 제3 및 제4 중간 출력 벡터들을 수신하는 단계를 포함할 수 있다. 이 방법은 $N/2$ 차원 정수 변환의 기저 벡터들을 사용하여 제2 짝수번째 변환 계수 세트를 형성하기 위해 제1 저차원 변환 유닛에서 제3 중간 출력 벡터를 변환하는 단계를 포함할 수 있다. 이 방법은 $N/4$ 차원 홀수 부분 행렬에 기초한 $N/2$ 차원 정수 행렬을 사용하여 제2 홀수번째 변환 계수 세트를 형성하기 위해 제2 저차원 변환 유닛에서 제4 중간 출력 벡터를 변환하는 단계를 포함할 수 있다.
- [0401] 제10 실시예 등의 일 실시예에서, 예조건화 유닛에서 잔차 비디오 데이터의 벡터를 분할하는 단계는 잔차 비디오 데이터의 벡터를 변환을 위해 짝수-홀수 분해 행렬에 적용하는 단계를 포함할 수 있다.
- [0402] 제10 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제1 저차원 변환 유닛에서 제1 중간 출력 벡터를 변환하는 단계는 중간 변환 행렬의 짝수 부분을 제1 중간 출력 벡터에 적용하는 단계를 포함할 수 있고, 중간 변환 행렬의 짝수 부분은 $N/2$ 차원 정수 변환을 포함할 수 있거나 $N/2$ 차원 정수 변환일 수 있다.
- [0403] 제10 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제2 변환 유닛에서 제2 저차원 중간 출력 벡터를 변환하는 단계는 제2 중간 출력 벡터의 제1 서브대역 및 제2 서브대역을 생성하는 단계, 및/또는 $N/4$ 차원 홀수 부분 행렬을 제1 서브대역 및 제2 서브대역 각각에 적용하는 단계를 포함할 수 있다.
- [0404] 제10 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 예조건화 유닛에서 벡터들을 분할하는 단계는 기저 벡터들을 변환을 위해 짝수-홀수 분해 행렬에 적용하는 단계를 포함할 수 있다.
- [0405] 제10 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제1 저차원 변환 유닛에서 제3 중간 출력 벡터를 변환하는 단계는 중간 변환 행렬의 짝수 부분을 제3 중간 출력 벡터에 적용하는 단계를 포함할 수 있고, 중간 변환 행렬의 짝수 부분은 $N/2$ 차원 정수 변환을 포함할 수 있거나 $N/2$ 차원 정수 변환일 수 있다.
- [0406] 제10 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제2 저차원 변환 유닛에서 제4 중간 출력 벡터를 변환하는 단계는 제2 중간 출력 벡터의 제1 서브대역 및 제2 서브대역을 생성하는 단계, 및/또는 $N/4$ 차원 홀수

부분 행렬을 제1 서브대역 및 제2 서브대역 각각에 적용하는 단계를 포함할 수 있다.

- [0407] 제10 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제1 서브대역 및 제2 서브대역은, 각각, 저주파수 서브대역 및 고주파수 서브대역일 수 있다.
- [0408] 제10 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 예조건화 유닛, 제1 저차원 변환 유닛 및 제2 저차원 변환 유닛 중 임의의 것은 처리를 위해 16 비트 산술(16 bit arithmetic)을 사용하도록 구성되어 있다.
- [0409] 일 실시예("제11 실시예")에서, N 차원 정수 변환을 사용하여 잔차 비디오 데이터를 처리하는 장치는 예조건화 유닛, 제1 저차원 변환 유닛, 및 제2 저차원 변환 유닛을 포함할 수 있다. 예조건화 유닛은 잔차 비디오 데이터의 복수의 벡터들을 수신하도록 구성되어 있을 수 있다. 예조건화 유닛은 변환을 위한 각자의 제1 및 제2 중간 출력 벡터들을 형성하기 위해 벡터들을 처리하도록 구성되어 있을 수 있다. 제1 및 제2 저차원 변환 유닛들은 제1 및 제2 중간 출력 벡터들을, 각각, 수신하도록 구성되어 있을 수 있다. 제1 저차원 변환 유닛은 N/2 차원 정수 변환의 기저 벡터들을 사용하여 제1 짝수번째 변환 계수 세트를 형성하기 위해 제1 중간 출력 벡터를 변환하도록 구성되어 있을 수 있다. 제2 저차원 변환 유닛은 N/4 차원 홀수 부분 행렬에 기초한 N/2 차원 정수 행렬을 사용하여 제1 홀수번째 변환 계수 세트를 형성하기 위해 제2 중간 출력 벡터를 변환하도록 구성되어 있을 수 있다. 예조건화 유닛은 제1 짝수번째 변환 계수 세트 및 제1 홀수번째 변환 계수 세트로부터 형성되는 변환 행렬의 복수의 벡터들을 수신하도록 구성되어 있을 수 있다. 예조건화 유닛은 변환을 위한 각자의 제3 및 제4 중간 출력 벡터들을 형성하기 위해 벡터들을 처리하도록 구성되어 있을 수 있다. 제1 및 제2 저차원 변환 유닛들은 제3 및 제4 중간 출력 벡터들을, 각각, 수신하도록 구성되어 있을 수 있다. 제1 저차원 변환 유닛은 N/2 차원 정수 변환의 기저 벡터들을 사용하여 제2 짝수번째 변환 계수 세트를 형성하기 위해 제3 중간 출력 벡터를 변환하도록 구성되어 있을 수 있다. 제2 저차원 변환 유닛은 N/4 차원 홀수 부분 행렬에 기초한 N/2 차원 정수 행렬을 사용하여 제2 홀수번째 변환 계수 세트를 형성하기 위해 제4 중간 출력 벡터를 변환하도록 구성되어 있을 수 있다.
- [0410] 제11 실시예 등의 일 실시예에서, 예조건화 유닛은 변환을 위한 제1 및 제2 중간 출력 벡터들을 형성할 때 잔차 비디오 데이터의 벡터를 짝수-홀수 분해 행렬에 적용하도록 구성되어 있을 수 있다.
- [0411] 제11 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제1 저차원 변환 유닛은 제1 중간 출력 벡터를 변환할 때 중간 변환 행렬의 짝수 부분을 제1 중간 출력 벡터에 적용하도록 구성되어 있을 수 있고, 중간 변환 행렬의 짝수 부분은 N/2 차원 정수 변환을 포함할 수 있거나 N/2 차원 정수 변환일 수 있다.
- [0412] 제11 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제2 저차원 변환 유닛은 제2 중간 출력 벡터의 제1 서브대역 및 제2 서브대역을 생성하고, 제2 중간 출력 벡터를 변환할 때 N/4 차원 홀수 부분 행렬을 제1 서브대역 및 제2 서브대역 각각에 적용하도록 구성되어 있을 수 있다.
- [0413] 제11 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 예조건화 유닛은 변환을 위한 제3 및 제4 중간 출력 벡터들을 형성할 때 기저 벡터들을 짝수-홀수 분해 행렬에 적용하도록 구성되어 있을 수 있다.
- [0414] 제11 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제1 저차원 변환 유닛은 제3 중간 출력 벡터를 변환할 때 중간 변환 행렬의 짝수 부분을 제3 중간 출력 벡터에 적용하도록 구성되어 있을 수 있고, 중간 변환 행렬의 짝수 부분은 N/2 차원 정수 변환을 포함할 수 있거나 N/2 차원 정수 변환일 수 있다.
- [0415] 제11 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제2 저차원 변환 유닛은 제2 중간 출력 벡터의 제1 서브대역 및 제2 서브대역을 생성하고, 제4 중간 출력 벡터를 변환할 때 N/4 차원 홀수 부분 행렬을 제1 서브대역 및 제2 서브대역 각각에 적용하도록 구성되어 있을 수 있다.
- [0416] 제11 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제1 서브대역 및 제2 서브대역은, 각각, 저주파수 서브대역 및 고주파수 서브대역일 수 있다.
- [0417] 제11 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 예조건화 유닛, 제1 저차원 변환 유닛 및 제2 저차원 변환 유닛 중 임의의 것은 처리를 위해 16 비트 산술을 사용하도록 구성되어 있을 수 있다.
- [0418] 일 실시예("제12 실시예")에서, N 차원 정수 변환을 사용하여 잔차 비디오 데이터를 처리하는 방법은 제1 예조건화 유닛에서, 잔차 비디오 데이터의 벡터를 수신하는 단계 및 변환을 위한 제1 및 제2 중간 출력 벡터들을 형성하기 위해 제1 예조건화 유닛에서 잔차 비디오 데이터의 벡터를 처리하는 단계를 포함할 수 있다. 이 방법은 제1 변환 유닛에서 제1 중간 출력 벡터를 수신하는 단계 및 N/2 차원 정수 짝수 부분 변환 행렬 및 N/2 차원 정수 홀수 부분 행렬의 기저 벡터들을 사용하여 짝수번째 변환 계수들을 형성하기 위해 제1 변환 유닛에서 제1 중

간 출력 벡터를 변환하는 단계를 포함할 수 있다. 이 방법은 제2 변환 유닛에서 제2 중간 출력 벡터를 수신하는 단계 및 연속적인 $N/2$ 차원 정수 행렬들을 통해 제2 중간 출력 벡터를 처리함으로써 홀수번째 변환 계수들을 형성하기 위해 제2 변환 유닛에서 제2 중간 출력 벡터를 변환하는 단계를 포함할 수 있다. $N/2$ 차원 정수 행렬들은 N 차원 변환 행렬의 홀수 부분을 전체적으로 인수분해할 수 있다.

- [0419] 제12 실시예 등의 일 실시예에서, 연속적인 $N/2$ 차원 정수 행렬들은 $N/4$ 차원 홀수 부분 행렬에 기초할 수 있고, 연속적인 $N/2$ 차원 정수 행렬들을 통해 제2 중간 출력 벡터를 처리하는 것은 제2 중간 출력 벡터의 제1 서브대역 및 제2 서브대역을 생성하는 것; 및/또는 $N/4$ 차원 홀수 부분 행렬을 제1 서브대역 및 제2 서브대역 각각에 적용하는 것을 포함할 수 있다.
- [0420] 제12 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제1 변환 유닛에서 제1 중간 출력 벡터를 변환하는 단계는 중간 변환 행렬의 짝수 부분을 제1 중간 출력 벡터에 적용하는 단계를 포함할 수 있고, 중간 변환 행렬의 짝수 부분은 저차원 변환 행렬을 포함할 수 있거나 저차원 변환 행렬일 수 있다.
- [0421] 제12 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 예조건화 유닛에서 잔차 비디오 데이터의 벡터를 처리하는 단계는 잔차 비디오 데이터의 벡터를 변환을 위해 짝수-홀수 분해 행렬에 적용하는 단계를 포함할 수 있다.
- [0422] 제12 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, N 차원 정수 변환은 8 차원 정수 변환일 수 있고, 연속적인 $N/2$ 차원 정수 행렬들은 3개의 연속적인 4 차원 정수 행렬들을 포함할 수 있거나, 3개의 연속적인 4 차원 정수 행렬들일 수 있다.
- [0423] 선행 실시예 등의 일 실시예에서, 제1 연속적인 4 차원 정수 행렬은 하나의 대각선을 따른 우 대칭(even symmetry) 및 다른 대각선을 따른 기 대칭(odd symmetry)을 포함할 수 있고, 제2 연속적인 4 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 영 대칭(zero symmetry)을 포함할 수 있으며, 제3 연속적인 4 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 기 대칭을 포함할 수 있다.
- [0424] 제12 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, N 차원 정수 변환은 16 차원 정수 변환일 수 있고, 연속적인 $N/2$ 차원 정수 행렬들은 4개의 연속적인 8 차원 정수 행렬들을 포함할 수 있거나, 4개의 연속적인 8 차원 정수 행렬들일 수 있다.
- [0425] 선행 실시예 등의 일 실시예에서, 제1 연속적인 8 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 기 대칭을 포함할 수 있고, 제2 연속적인 8 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 영 대칭을 포함할 수 있으며, 제3 연속적인 8 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 영 대칭을 포함할 수 있고, 제4 연속적인 8 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 기 대칭을 포함할 수 있다.
- [0426] 제12 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, N 차원 정수 변환은 8 차원 정수 변환일 수 있고, 연속적인 $N/2$ 차원 정수 행렬들을 통해 제2 중간 출력 벡터를 처리하는 단계는 (i) 제1 중간 변환 요소 세트를 형성하기 위해 제1 4 차원 정수 행렬을 통해 제2 중간 출력 벡터를 처리하는 단계, (ii) 제2 중간 변환 요소 세트를 형성하기 위해 제2 4 차원 정수 행렬을 통해 제1 중간 변환 요소 세트를 처리하는 단계, 및/또는 (iii) 홀수번째 변환 계수들을 형성하기 위해 제3 4차원 정수 행렬을 통해 제2 중간 변환 요소 세트를 처리하는 단계를 포함할 수 있다.
- [0427] 제12 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, N 차원 정수 변환은 16 차원 정수 변환일 수 있고, 연속적인 $N/2$ 차원 정수 행렬들을 통해 제2 중간 출력 벡터를 처리하는 단계는 (i) 제1 중간 변환 요소 세트를 형성하기 위해 제1 8 차원 정수 행렬을 통해 제2 중간 출력 벡터를 처리하는 단계, (ii) 제2 중간 변환 요소 세트를 형성하기 위해 제2 8 차원 정수 행렬을 통해 제1 중간 변환 요소 세트를 처리하는 단계, (iii) 제3 중간 변환 요소 세트를 형성하기 위해 제3 8 차원 정수 행렬을 통해 제2 중간 변환 요소 세트를 처리하는 단계, 및/또는 (iv) 홀수번째 변환 계수들을 형성하기 위해 제4 8차원 정수 행렬을 통해 제3 중간 변환 요소 세트를 처리하는 단계를 포함할 수 있다.
- [0428] 제12 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, N 차원 정수 변환은 32 차원 정수 변환일 수 있고, 연속적인 $N/2$ 차원 정수 행렬들을 통해 제2 중간 출력 벡터를 처리하는 단계는 (i) 제1 중간 변환 요소 세트를 형성하기 위해 제1 16 차원 정수 행렬을 통해 제2 중간 출력 벡터를 처리하는 단계, (ii) 제2 중간 변환 요소 세트를 형성하기 위해 제2 16 차원 정수 행렬을 통해 제1 중간 변환 요소 세트를 처리하는 단계, (iii) 제3 중간 변환 요소 세트를 형성하기 위해 제3 16 차원 정수 행렬을 통해 제2 중간 변환 요소 세트를 처리하는 단

계, (iv) 제3 중간 변환 요소 세트를 각자의 4 차원 정수 행렬에 의한 변환을 위한 4개의 벡터들로 분해하기 위해 제4 16 차원 정수 행렬을 통해 제3 중간 변환 요소 세트를 처리하는 단계, 및/또는 (v) 홀수번째 변환 계수들을 형성하기 위해 각자의 4 차원 정수 행렬에 4개의 벡터들 각각을 적용하는 단계를 포함할 수 있다.

- [0429] 일 실시예("제13 실시예")에서, N 차원 정수 변환을 사용하여 잔차 비디오 데이터를 처리하는 장치는 예조건화 유닛, 제1 변환 유닛, 및 제2 변환 유닛을 포함할 수 있다. 예조건화 유닛은 잔차 비디오 데이터의 벡터를 수신하도록 구성되어 있을 수 있다. 예조건화 유닛은 변환을 위한 제1 및 제2 중간 출력 벡터들을 형성하기 위해 잔차 비디오 데이터의 벡터를 처리하도록 구성되어 있을 수 있다. 제1 변환 유닛은 제1 중간 출력 벡터를 수신하도록 구성되어 있을 수 있다. 제1 변환 유닛은 N/2 차원 정수 짝수 부분 변환 행렬 및 N/2 차원 정수 홀수 부분 행렬의 기저 벡터들을 사용하여 짝수번째 변환 계수들을 형성하기 위해 제1 중간 출력 벡터를 변환하도록 구성되어 있을 수 있다. 제2 변환 유닛은 제2 중간 출력 벡터를 수신하도록 구성되어 있을 수 있다. 제2 변환 유닛은 연속적인 N/2 차원 정수 행렬들을 통해 제2 중간 출력 벡터를 처리함으로써 홀수번째 변환 계수들을 형성하기 위해 제2 중간 출력 벡터를 변환하도록 구성되어 있을 수 있다. N/2 차원 정수 행렬들은 N 차원 변환 행렬의 홀수 부분을 전체적으로 인수분해할 수 있다.
- [0430] 제13 실시예 등의 일 실시예에서, 연속적인 N/2 차원 정수 행렬들은 N/4 차원 홀수 부분 행렬에 기초할 수 있고, 제2 변환 유닛은 제2 중간 출력 벡터의 제1 서브대역 및 제2 서브대역을 생성하고, 연속적인 N/2 차원 정수 행렬들을 통해 제2 중간 출력 벡터를 처리할 때 N/4 차원 홀수 부분 행렬을 제1 서브대역 및 제2 서브대역 각각에 적용하도록 구성되어 있을 수 있다.
- [0431] 제13 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제1 변환 유닛은 제1 중간 출력 벡터를 변환할 때 중간 변환 행렬의 짝수 부분을 제1 중간 출력 벡터에 적용하도록 구성되어 있을 수 있고, 중간 변환 행렬의 짝수 부분은 저차원 변환 행렬을 포함할 수 있거나 저차원 변환 행렬일 수 있다.
- [0432] 제13 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 예조건화 유닛은 변환을 위한 제1 및 제2 중간 출력 벡터들을 형성할 때 잔차 비디오 데이터의 벡터를 짝수-홀수 분해 행렬에 적용하도록 구성되어 있을 수 있다.
- [0433] 제13 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제1 변환 유닛은 제1 중간 출력 벡터를 변환할 때 중간 변환 행렬의 짝수 부분을 제1 중간 출력 벡터에 적용하도록 구성되어 있을 수 있고, 중간 변환 행렬의 짝수 부분은 저차원 변환 행렬을 포함할 수 있거나 저차원 변환 행렬일 수 있다.
- [0434] 제13 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, N 차원 정수 변환은 8 차원 정수 변환일 수 있고, 연속적인 N/2 차원 정수 행렬들은 3개의 연속적인 4 차원 정수 행렬들을 포함할 수 있거나, 3개의 연속적인 4 차원 정수 행렬들일 수 있다.
- [0435] 선행 실시예 등의 일 실시예에서, 제1 연속적인 4 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 기 대칭을 포함할 수 있고, 제2 연속적인 4 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 영 대칭을 포함할 수 있으며, 제3 연속적인 4 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 기 대칭을 포함할 수 있다.
- [0436] 제13 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, N 차원 정수 변환은 16 차원 정수 변환일 수 있고, 연속적인 N/2 차원 정수 행렬들은 4개의 연속적인 4 차원 정수 행렬들을 포함할 수 있거나, 4개의 연속적인 4 차원 정수 행렬들일 수 있다.
- [0437] 제13 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, 제1 연속적인 8 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 기 대칭을 포함할 수 있고, 제2 연속적인 8 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 영 대칭을 포함할 수 있으며, 제3 연속적인 8 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 영 대칭을 포함할 수 있고, 제4 연속적인 8 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 기 대칭을 포함할 수 있다.
- [0438] 제13 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, N 차원 정수 변환은 16 차원 정수 변환일 수 있고, 연속적인 N/2 차원 정수 행렬들은 4개의 연속적인 4 차원 정수 행렬들을 포함할 수 있거나, 4개의 연속적인 4 차원 정수 행렬들일 수 있다.
- [0439] 선행 실시예 등의 일 실시예에서, 제1 연속적인 4 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 기 대칭을 포함할 수 있고, 제2 연속적인 4 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다

른 대각선을 따른 영 대칭을 포함할 수 있으며, 제3 연속적인 4 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 영 대칭을 포함할 수 있고, 제4 연속적인 4 차원 정수 행렬은 하나의 대각선을 따른 우 대칭 및 다른 대각선을 따른 기 대칭을 포함할 수 있다.

[0440] 제13 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, N 차원 정수 변환은 8 차원 정수 변환일 수 있고, 연속적인 N/2 차원 정수 행렬들을 통해 제2 중간 출력 벡터를 처리할 때, 제2 변환 유닛은 (i) 제1 중간 변환 요소 세트를 형성하기 위해 제1 4 차원 정수 행렬을 통해 제2 중간 출력 벡터를 처리하고, (ii) 제2 중간 변환 요소 세트를 형성하기 위해 제2 4 차원 정수 행렬을 통해 제1 중간 변환 요소 세트를 처리하며, 및/또는 (iii) 홀수번째 변환 계수들을 형성하기 위해 제3 4차원 정수 행렬을 통해 제2 중간 변환 요소 세트를 처리하도록 구성되어 있을 수 있다.

[0441] 제13 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, N 차원 정수 변환은 16 차원 정수 변환일 수 있고, 연속적인 N/2 차원 정수 행렬들을 통해 제2 중간 출력 벡터를 처리할 때, 제2 변환 유닛은 (i) 제1 중간 변환 요소 세트를 형성하기 위해 제1 8 차원 정수 행렬을 통해 제2 중간 출력 벡터를 처리하고, (ii) 제2 중간 변환 요소 세트를 형성하기 위해 제2 8 차원 정수 행렬을 통해 제1 중간 변환 요소 세트를 처리하며, (iii) 제3 중간 변환 요소 세트를 형성하기 위해 제3 8 차원 정수 행렬을 통해 제2 중간 변환 요소 세트를 처리하고, 및/또는 (iv) 홀수번째 변환 계수들을 형성하기 위해 제4 8차원 정수 행렬을 통해 제3 중간 변환 요소 세트를 처리하도록 구성되어 있을 수 있다.

[0442] 제13 실시예 및/또는 임의의 중간 실시예 등의 일 실시예에서, N 차원 정수 변환은 32 차원 정수 변환일 수 있고, 연속적인 N/2 차원 정수 행렬들을 통해 제2 중간 출력 벡터를 처리할 때, 제2 변환 유닛은 (i) 제1 중간 변환 요소 세트를 형성하기 위해 제1 16 차원 정수 행렬을 통해 제2 중간 출력 벡터를 처리하고, (ii) 제2 중간 변환 요소 세트를 형성하기 위해 제2 16 차원 정수 행렬을 통해 제1 중간 변환 요소 세트를 처리하며, (iii) 제3 중간 변환 요소 세트를 형성하기 위해 제3 16 차원 정수 행렬을 통해 제2 중간 변환 요소 세트를 처리하고, (iv) 제3 중간 변환 요소 세트를 각자의 4 차원 정수 행렬에 의한 변환을 위한 4개의 벡터들로 분해하기 위해 제4 16 차원 정수 행렬을 통해 제3 중간 변환 요소 세트를 처리하며, 및/또는 (v) 홀수번째 변환 계수들을 형성하기 위해 각자의 4 차원 정수 행렬에 4개의 벡터들 각각을 적용하도록 구성되어 있을 수 있다.

[0443] **결론**

[0444] 특징들 및 요소들이 특징의 조합으로 앞서 제공되어 있지만, 당업자라면 각각의 특징 또는 요소가 단독으로 또는 다른 특징들 및 요소들과 임의의 조합으로 사용될 수 있다는 것을 잘 알 것이다. 그에 부가하여, 본 명세서에 제공된 방법이 컴퓨터 또는 프로세서에서 실행하기 위해 컴퓨터 판독가능 매체에 포함되어 있는 컴퓨터 프로그램, 소프트웨어, 또는 펌웨어로 구현될 수 있다. 컴퓨터 판독가능 매체의 일례는 전자 신호(유선 또는 무선 연결을 통해 전송됨) 및 컴퓨터 판독가능 저장 매체를 포함한다. 컴퓨터 판독가능 저장 매체의 일례로는 ROM(read only memory), RAM(random access memory), 레지스터, 캐시 메모리, 반도체 메모리 장치, 내장형 하드 디스크 및 착탈식 디스크 등의 자기 매체, 광자기 매체, 그리고 CD-ROM 디스크 및 DVD(digital versatile disk) 등의 광 매체가 있지만, 이들로 제한되지 않는다. 소프트웨어와 연관된 프로세서는 WTRU, UE, 단말, 기지국, RNC, 또는 임의의 호스트 컴퓨터에서 사용하기 위한 무선 주파수 송수신기를 구현하는 데 사용될 수 있다.

[0445] 본 발명의 범위를 벗어나지 않고 앞서 제공된 방법, 장치 및 시스템의 변형례가 가능하다. 적용될 수 있는 아주 다양한 실시예를 바탕으로, 예시된 실시예가 단지 예이고, 이하의 청구항의 범주를 제한하는 것으로 보아서는 안된다는 것을 잘 알 것이다. 예를 들어, 본 명세서에 제공된 실시예들은 임의의 적절한 전압을 제공하는 배터리 등의 임의의 적절한 전압원을 포함하거나 그와 함께 이용될 수 있는 핸드헬드 장치를 포함한다.

[0446] 더욱이, 앞서 제공된 실시예들에서, 처리 플랫폼, 컴퓨팅 시스템, 제어기, 및 프로세서를 포함하는 기타 장치가 언급되었다. 이들 장치는 적어도 하나의 중앙 처리 장치(CPU) 및 메모리를 포함할 수 있다. 컴퓨터 프로그래밍의 분야의 당업자의 실무에 따르면, 동작들 또는 명령어들의 작용들 및 심볼 표현들에 대한 참조가 다양한 CPU 및 메모리에 의해 수행될 수 있다. 이러한 작용들 및 동작들 또는 명령어들은 "실행", "컴퓨터 실행" 또는 "CPU 실행"되는 것으로 말해질 수 있다.

[0447] 기술 분야의 당업자라면 작용들 및 심볼로 표현된 동작들 또는 명령어들이 CPU에 의한 전기 신호의 조작을 포함한다는 것을 잘 알 것이다. 전기 시스템은 전기 신호의 얻어진 변환 또는 감소 및 메모리 시스템 내의 메모리 장소에의 데이터 비트의 유지를 야기할 수 있는 데이터 비트를 표현하고 그로써 CPU의 동작은 물론 신호의 다른 처리를 재구성 또는 다른 방식으로 변경한다. 데이터 비트가 유지되는 메모리 장소는 데이터 비트에 대응하는

또는 그를 나타내는 특정의 전기, 자기, 광학 또는 유기 특성을 가지는 물리적 장소이다. 예시적인 실시예가 상기 언급한 플랫폼 또는 CPU로 제한되지 않는다는 것과 다른 플랫폼 및 CPU가 제공된 방법을 지원할 수 있다는 것을 잘 알 것이다.

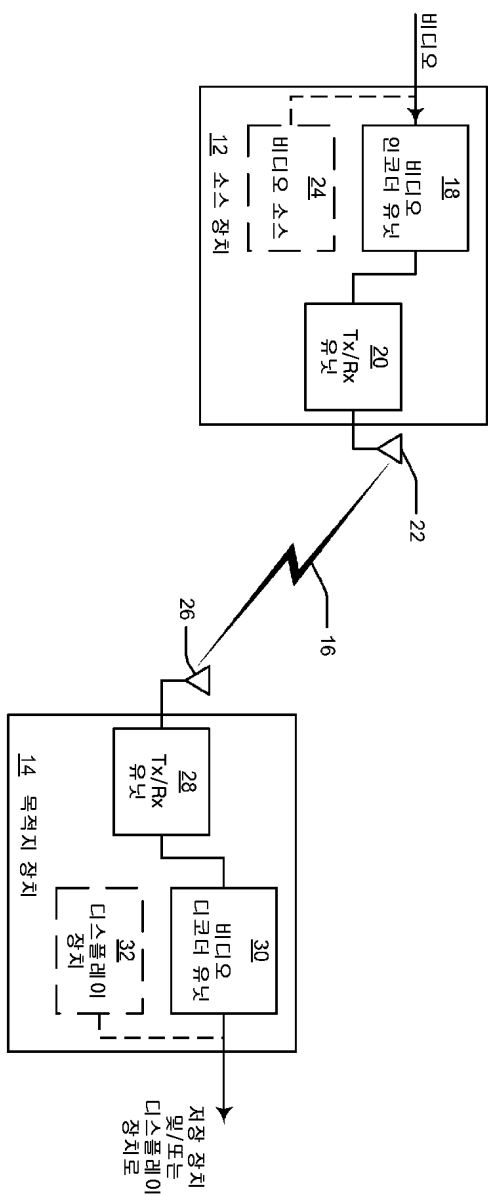
[0448] 데이터 비트는 또한 CPU에 의해 판독가능한 자기 디스크, 광 디스크, 및 임의의 다른 휘발성[예컨대, 랜덤 액세스 메모리(RAM)] 또는 비휘발성[예컨대, 판독 전용 메모리(ROM)] 대용량 저장 시스템을 비롯한 컴퓨터 판독가능 매체 상에 유지될 수 있다. 컴퓨터 판독가능 매체는 처리 시스템 상에만 존재하거나 처리 시스템에 로컬이거나 원격일 수 있는 다수의 상호연결된 처리 시스템 간에 분산되어 있는 협력하는 또는 상호연결된 컴퓨터 판독가능 매체를 포함할 수 있다. 예시적인 실시예가 앞서 언급한 메모리로 제한되지 않는다는 것과 다른 플랫폼 및 메모리가 제공된 방법을 지원할 수 있다는 것을 잘 알 것이다.

[0449] 본 출원의 설명에서 사용되는 요소, 작용 또는 명령어가, 그러한 것으로 명시적으로 제공되어 있지 않는 한, 본 발명에 중요하거나 필수적인 것으로 해석되어서는 안된다. 또한, 본 명세서에서 사용되는 바와 같이, 관형사 "한" 및 "어떤"은 하나 이상의 항목들을 포함하기 위한 것이다. 예를 들어, 구문 "한 실시예에서"의 "한"은, 예를 들어, "단일의 실시예에서", "다수의 실시예들에서", "일 실시예에서", 및/또는 "모든 실시예들에서"를 포함하기 위한 것이다. 단지 하나의 항목이 의도되어 있는 경우, "단일" 또는 유사한 표현이 사용된다. 게다가, 복수의 항목 및/또는 복수의 항목 카테고리의 목록의 다음에 오는 "~ 중 임의의 것"이라는 용어는, 본 명세서에서 사용되는 바와 같이, "~ 중 임의의 것", "~의 임의의 조합", "~ 중 임의의 다수", 및/또는 "항목들 및/또는 항목 카테고리들 중 다수의 임의의 조합"을 개별적으로 또는 다른 항목 및/또는 다른 항목 카테고리들과 함께 포함하기 위한 것이다. 더욱이, 본 명세서에서 사용되는 바와 같이, "세트"라는 용어는 0개를 비롯한 임의의 수의 항목을 포함하기 위한 것이다. 그에 부가하여, 본 명세서에서 사용되는 바와 같이, "수"라는 용어는 0을 비롯한 임의의 수를 포함하기 위한 것이다.

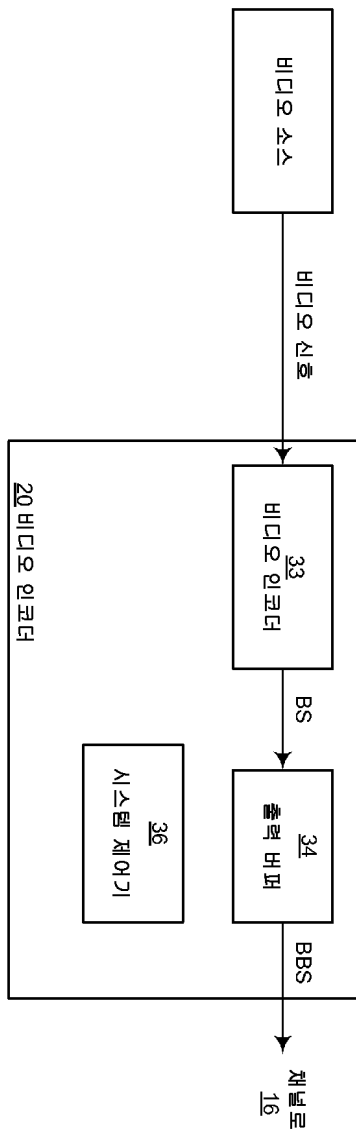
[0450] 더욱이, 청구항이, 그러한 취지로 언급되어 있지 않는 한, 제공된 순서 또는 요소들로 제한되는 것으로 해석되어서는 안된다. 그에 부가하여, 임의의 청구항에서 "~하는 수단"이라는 용어의 사용은 미국 특허법 112조 6항 또는 기능식(means-plus-function) 청구항 형식을 적용하기 위한 것이고, "~하는 수단"이라는 용어를 갖지 않는 임의의 청구항은 그렇게 의도되어 있지 않다.

도면

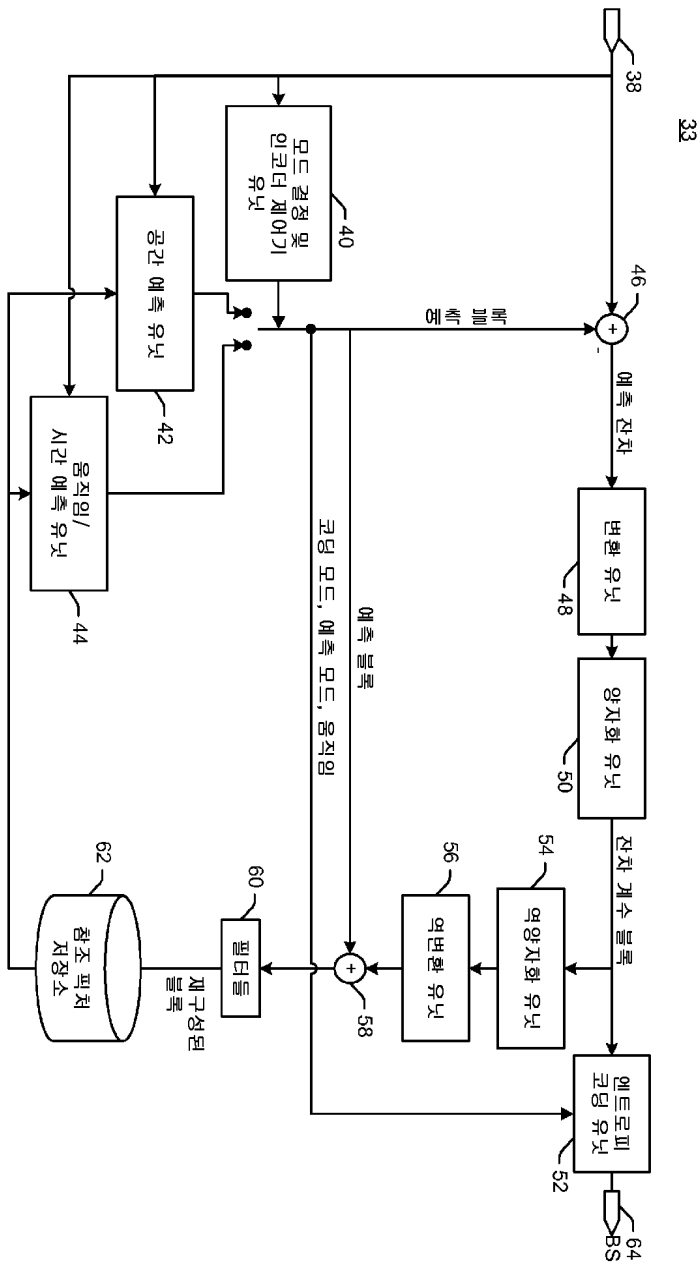
도면1a



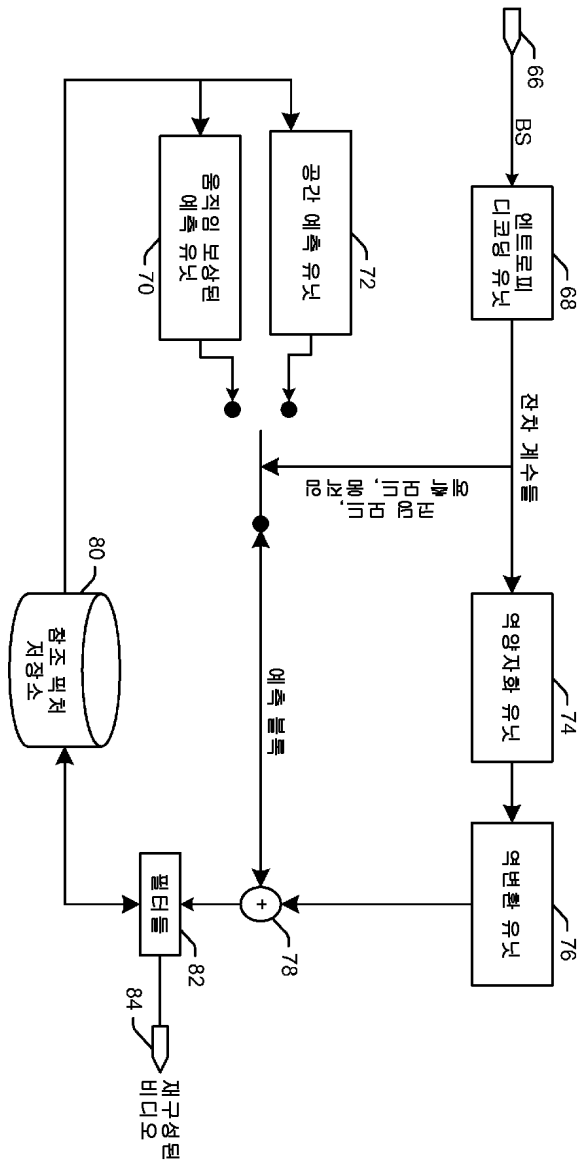
도면1b



도면1c



도면1d



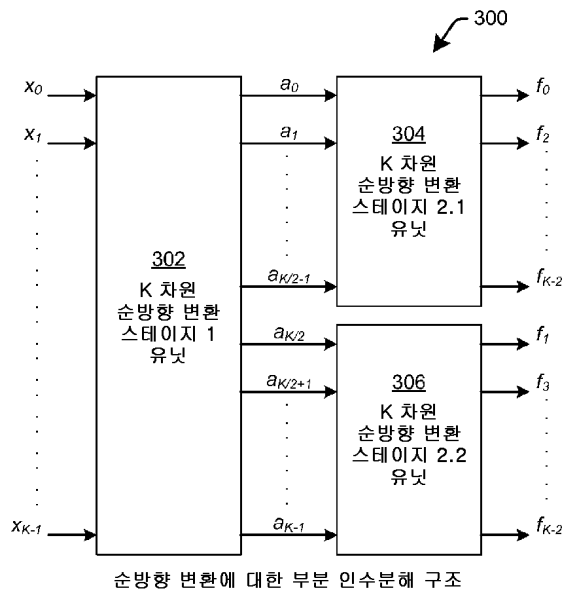
35

$T_{32} = [$

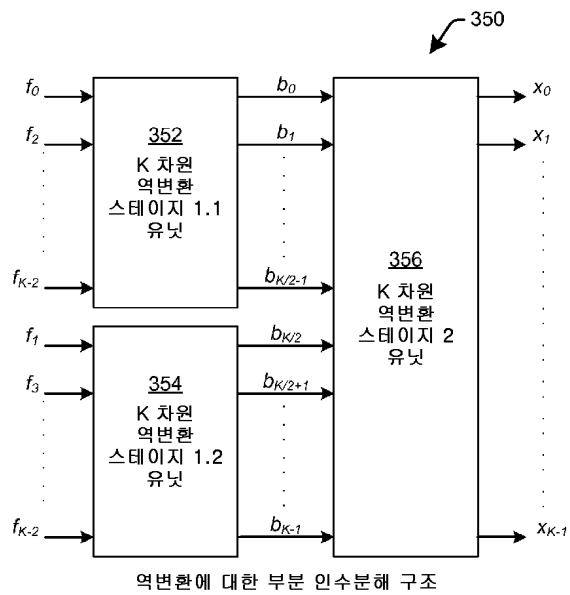
—

[illegible]

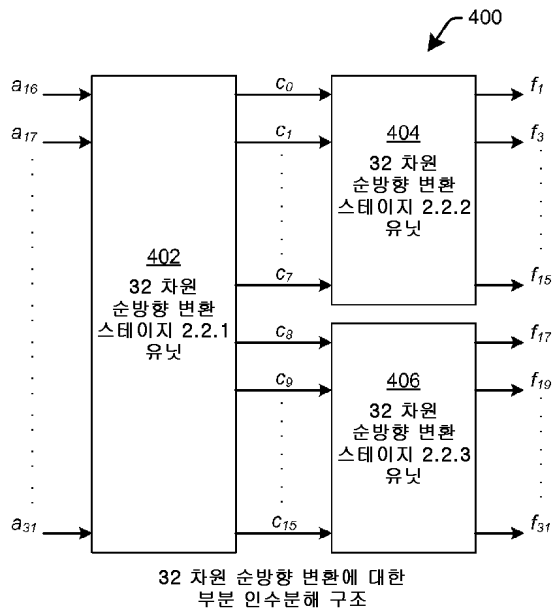
도면3a



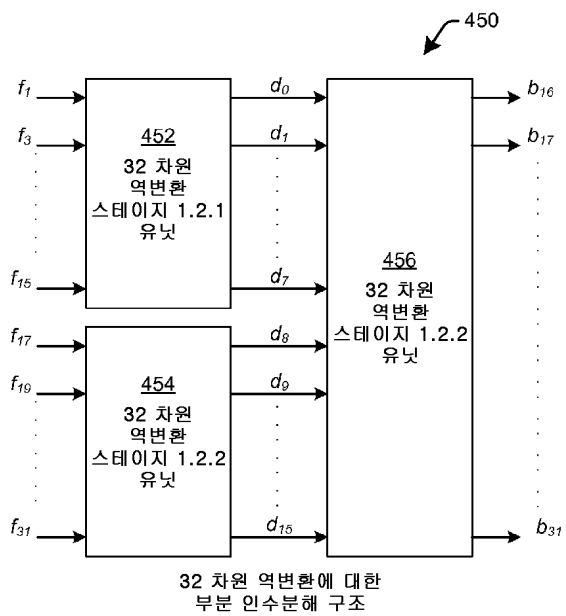
도면3b



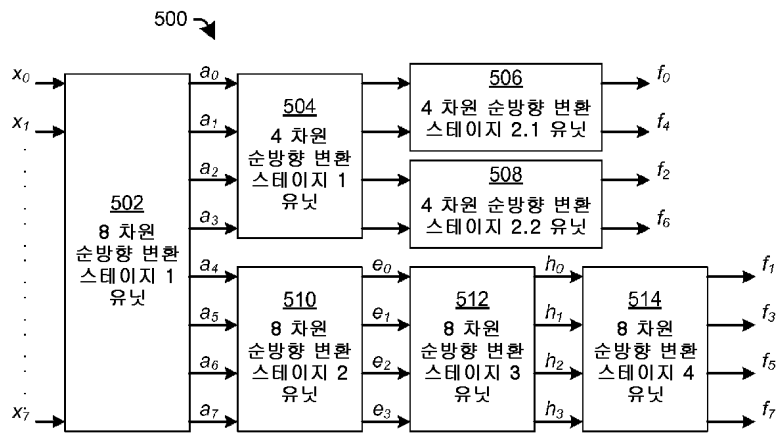
도면4a



도면4b

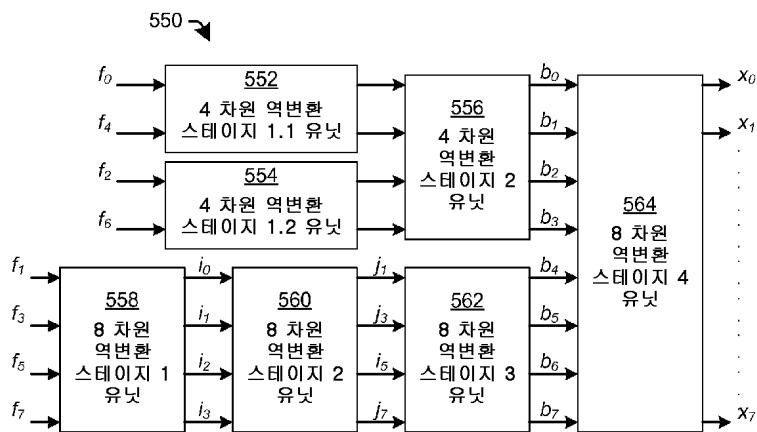


도면5a



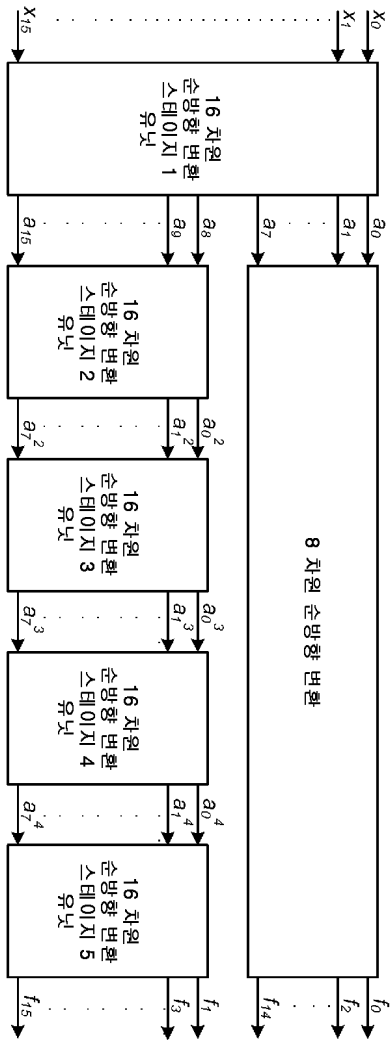
8 차원 순방향 변환에 대한 완전 인수분해 구조

도면5b

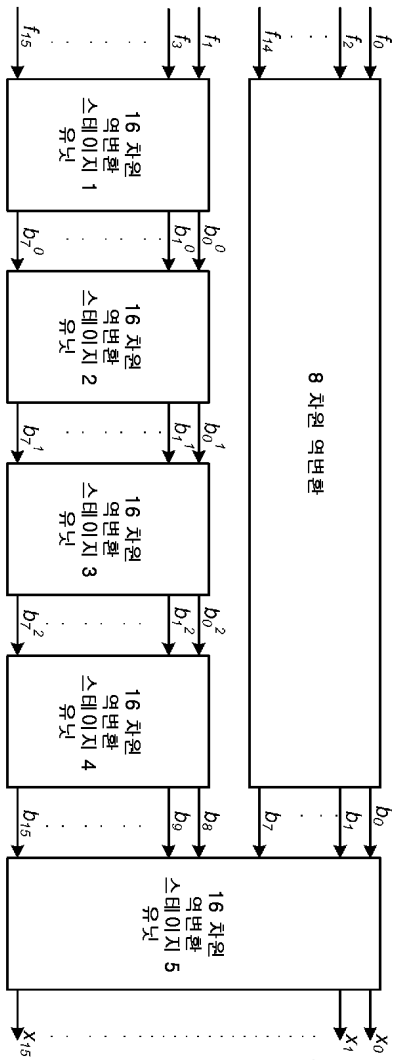


8 차원 역변환에 대한 완전 인수분해 구조

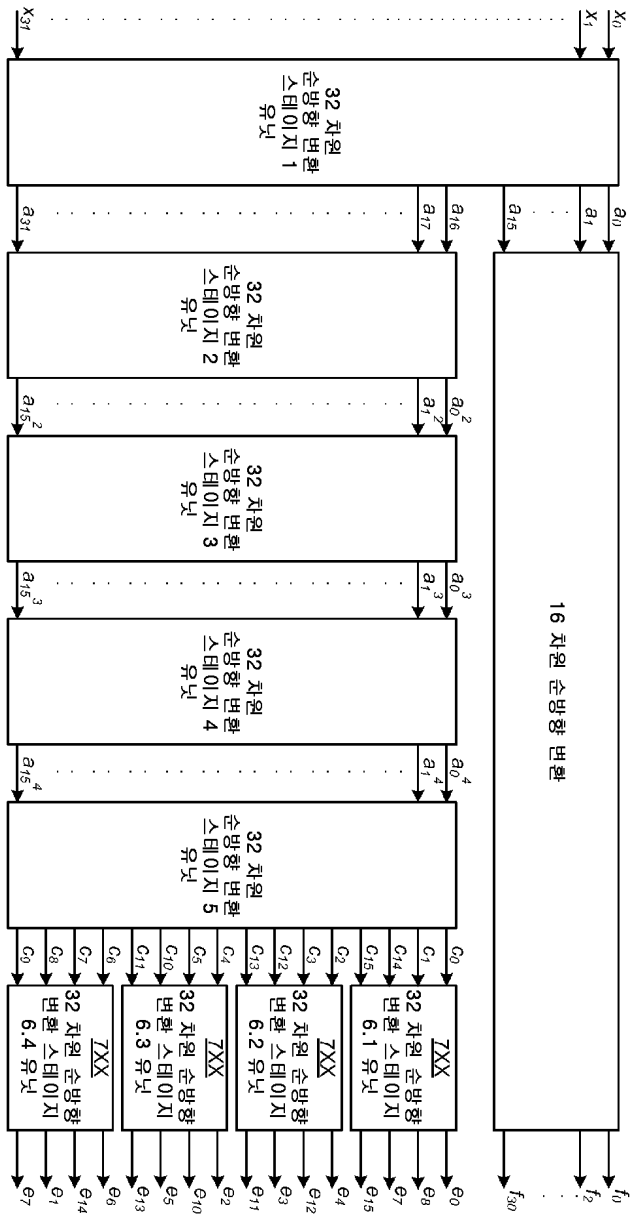
도면6a



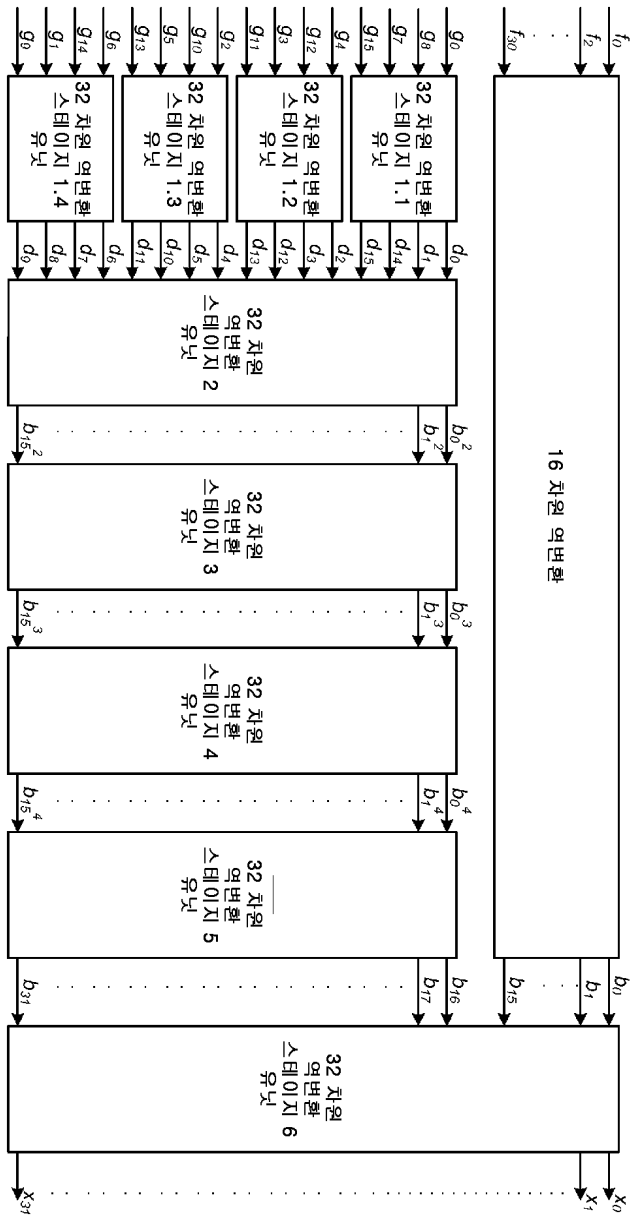
도면6b



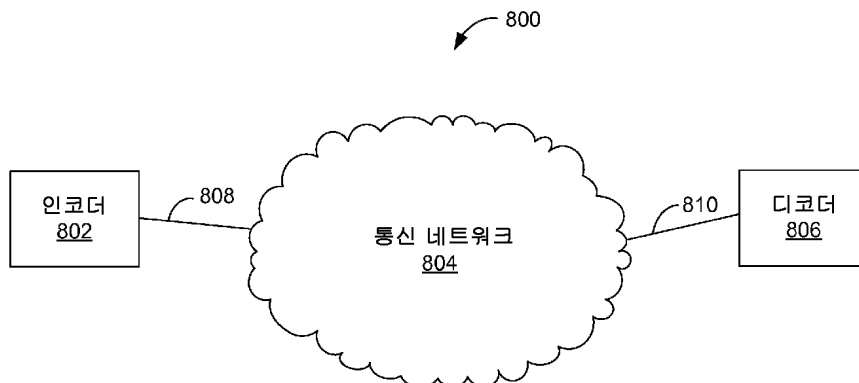
도면7a



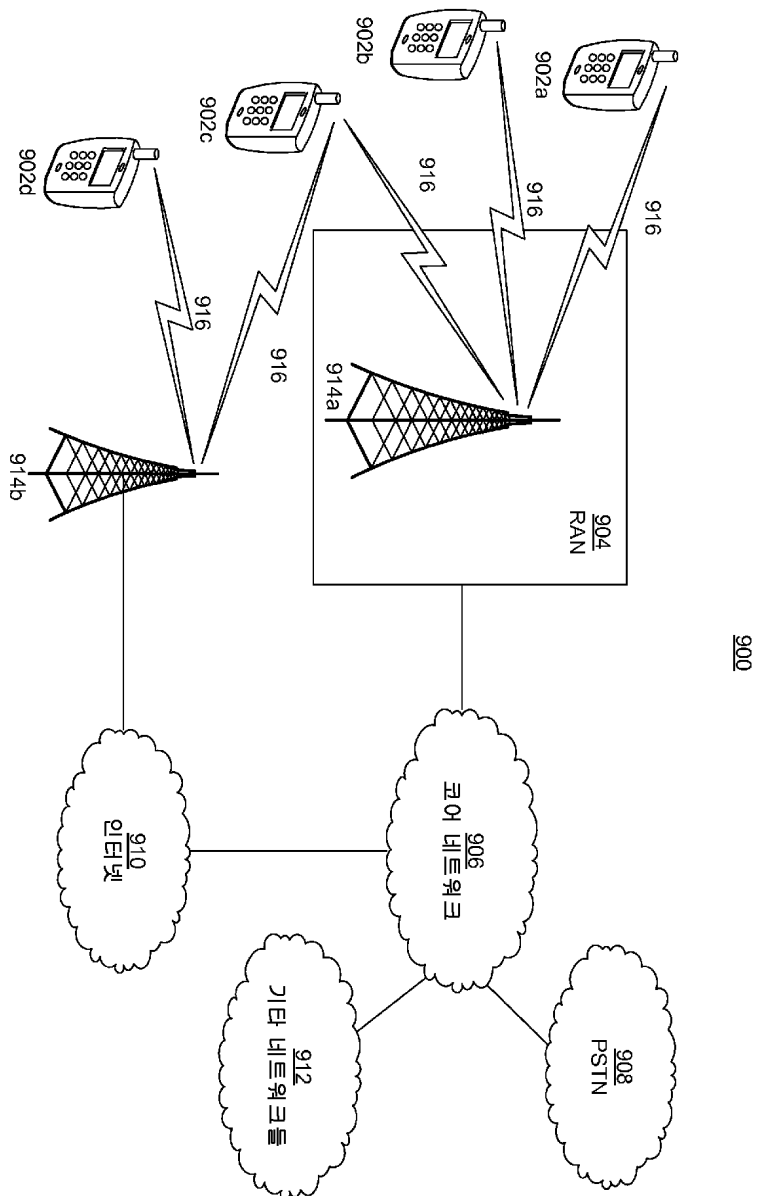
도면7b



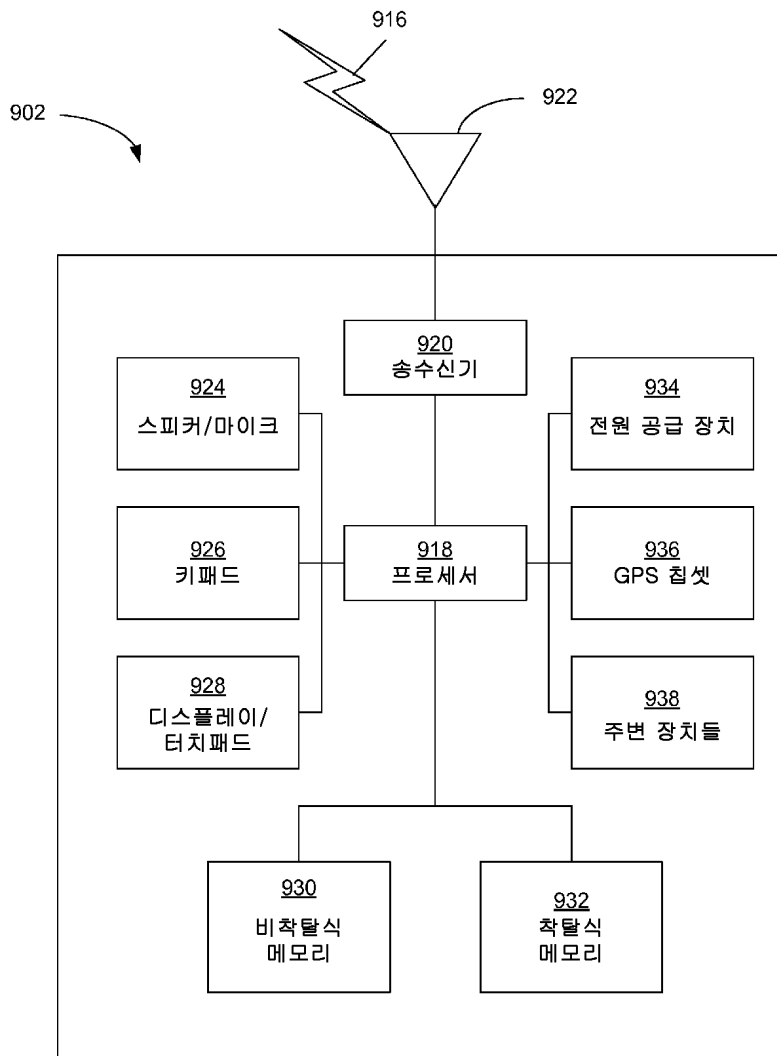
도면8



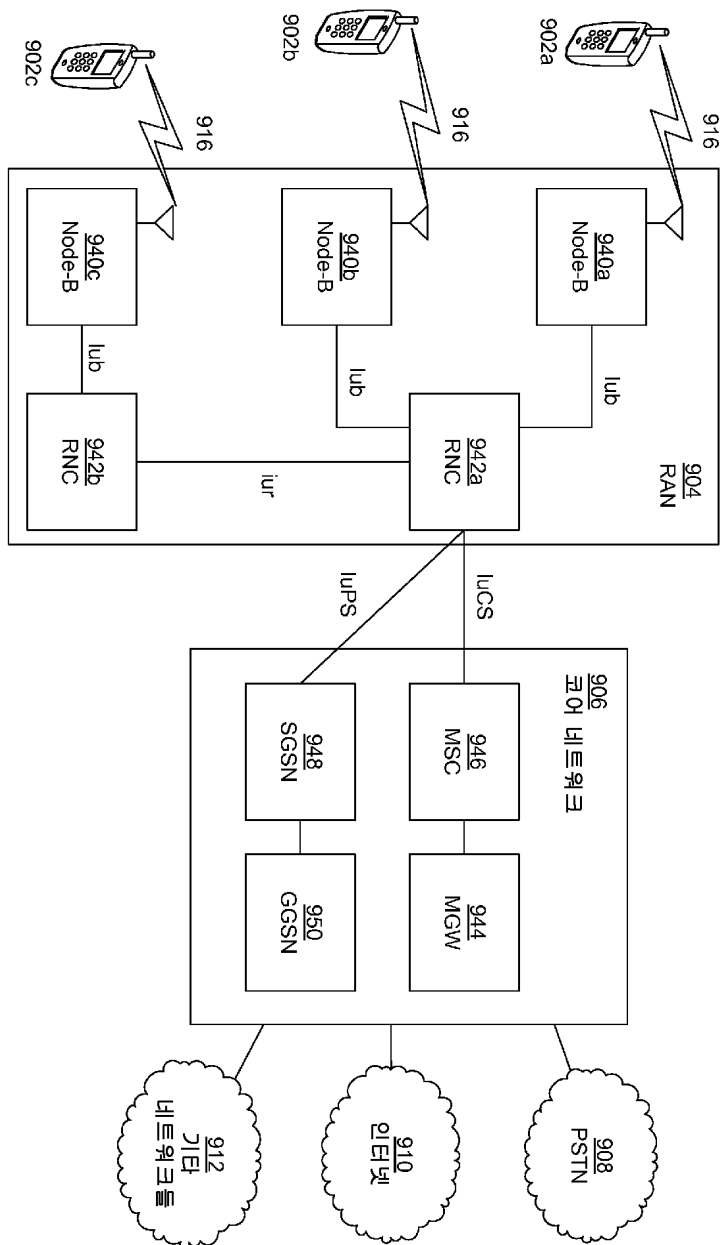
도면9a



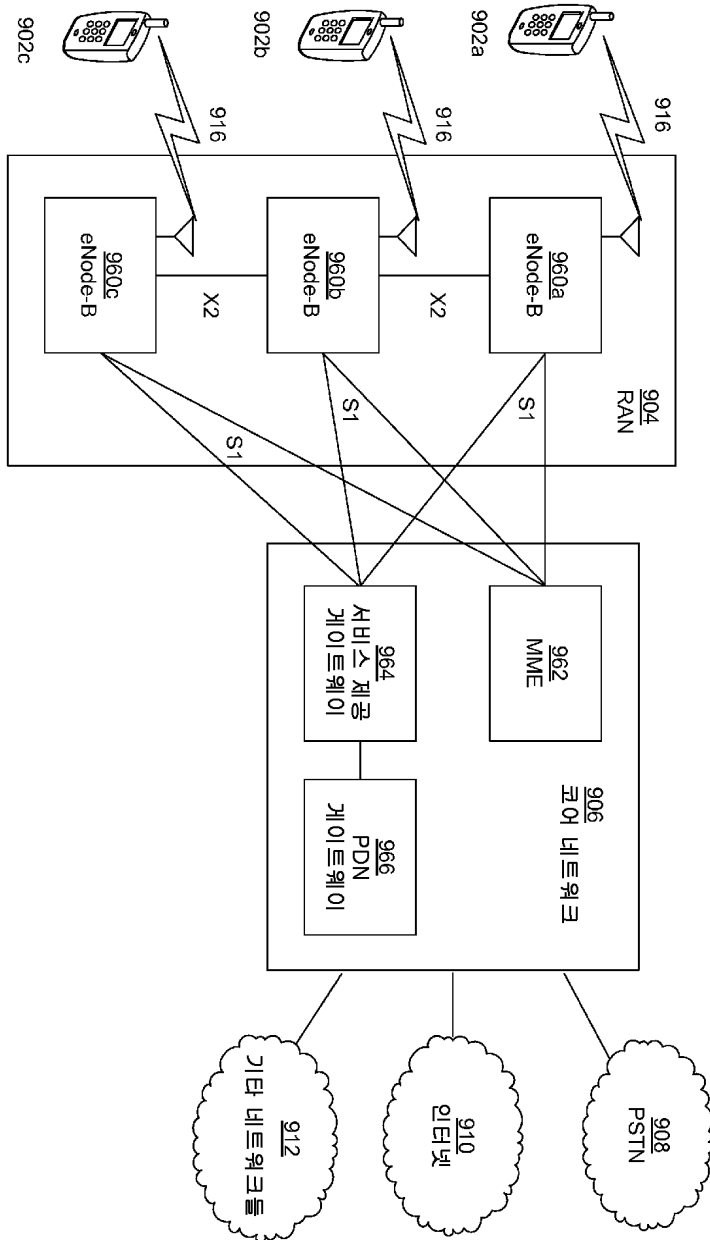
도면9b



도면9c



도면9d



도면9e

