



(12) 发明专利

(10) 授权公告号 CN 111415953 B

(45) 授权公告日 2024.01.09

(21) 申请号 202010004290.2

(51) Int.CI.

(22) 申请日 2020.01.03

H01L 27/146 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 111415953 A

(56) 对比文件

(43) 申请公布日 2020.07.14

CN 107221539 A, 2017.09.29

(30) 优先权数据

US 2017330907 A1, 2017.11.16

10-2019-0001937 2019.01.07 KR

CN 107359172 A, 2017.11.17

(73) 专利权人 三星电子株式会社

CN 101997016 A, 2011.03.30

地址 韩国京畿道

US 2009144354 A1, 2009.06.04

(72) 发明人 金昶和 金宽植 金润庆 朴商秀

US 2016013240 A1, 2016.01.14

李范锡 李泰渊 崔珉准

审查员 张敬文

(74) 专利代理机构 北京市柳沈律师事务所

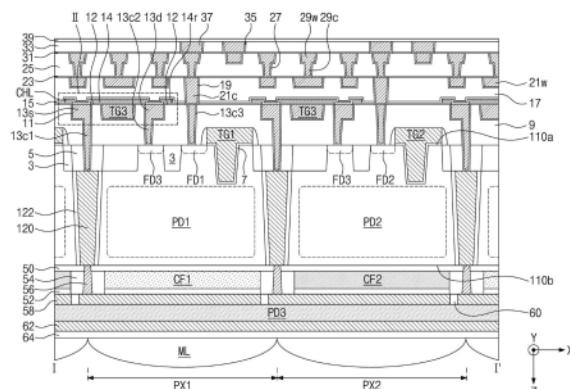
权利要求书3页 说明书15页 附图29页

(54) 发明名称

图像传感器及其制造方法

(57) 摘要

本公开提供了一种图像传感器及其制造方法，该图像传感器包括：半导体基板，具有彼此面对的第一表面和第二表面；第一光电转换部分，设置在半导体基板的第二表面上；第一浮置扩散区，与第一表面相邻地提供在半导体基板中；覆盖第一表面的第一层间绝缘层；在第一层间绝缘层上的第一沟道图案；以及第一传输栅电极，与第一沟道图案相邻地设置，并控制在第一光电转换部分中产生的电荷通过第一沟道图案传输到第一浮置扩散区。



1. 一种图像传感器，包括：

半导体基板，包括第一表面和与所述第一表面相对的第二表面；

第一光电转换部分，设置在所述半导体基板的所述第二表面上邻近于所述半导体基板；

第一浮置扩散区，与所述第一表面相邻地提供在所述半导体基板中；

第一层间绝缘层，覆盖所述第一表面；

第一沟道图案，在所述第一层间绝缘层上；以及

第一传输栅电极，与所述第一沟道图案相邻地设置，所述第一传输栅电极配置为控制在所述第一光电转换部分中产生的电荷通过所述第一沟道图案传输到所述第一浮置扩散区。

2. 如权利要求1所述的图像传感器，还包括：贯通电极，设置在所述半导体基板中并将所述第一光电转换部分电连接到所述第一沟道图案。

3. 如权利要求2所述的图像传感器，还包括：

第一接触插塞，穿透所述第一层间绝缘层并将所述贯通电极连接到所述第一沟道图案的一端；和

第二接触插塞，穿透所述第一层间绝缘层并将所述第一沟道图案的另一端连接到所述第一浮置扩散区。

4. 如权利要求3所述的图像传感器，还包括：

面对所述第一接触插塞的第一导电图案，所述第一沟道图案的一部分插置在所述第一导电图案和所述第一接触插塞之间；和

面对所述第二接触插塞的第二导电图案，所述第一沟道图案的另一部分插置在所述第二导电图案和所述第二接触插塞之间。

5. 如权利要求4所述的图像传感器，其中所述第一导电图案和所述第二导电图案与所述第一沟道图案接触。

6. 如权利要求4所述的图像传感器，还包括覆盖所述第一沟道图案的绝缘层，

其中所述绝缘层插置在所述第一导电图案和所述第一沟道图案之间以及在所述第二导电图案和所述第一沟道图案之间。

7. 如权利要求1所述的图像传感器，其中所述第一层间绝缘层包括凹陷区域，所述凹陷区域形成在所述第一层间绝缘层的上部中，并且

所述第一传输栅电极设置在所述凹陷区域中。

8. 如权利要求1所述的图像传感器，其中所述第一沟道图案包括氧化物半导体材料。

9. 如权利要求1所述的图像传感器，还包括：

第二光电转换部分，设置在所述半导体基板中；和

第二传输栅电极，插置在所述半导体基板的所述第一表面和所述第一层间绝缘层之间，所述第二传输栅电极配置为控制在所述第二光电转换部分中产生的电荷的传输。

10. 如权利要求9所述的图像传感器，还包括与所述第二传输栅电极相邻地设置在所述半导体基板中的第二浮置扩散区，

其中所述第二浮置扩散区与所述第一浮置扩散区间隔开。

11. 如权利要求9所述的图像传感器，还包括：

第三光电转换部分，设置在所述半导体基板中并与所述第二光电转换部分间隔开；和
第三传输栅电极，插置在所述半导体基板的所述第一表面和所述第一层间绝缘层之间，所述第三传输栅电极配置为控制在所述第三光电转换部分中产生的电荷的传输，

其中所述第二光电转换部分的深度不同于所述第三光电转换部分的深度，

所述第二传输栅电极的一部分和所述第三传输栅电极的一部分延伸到所述半导体基板中，并且

所述第二传输栅电极的底表面的深度不同于所述第三传输栅电极的底表面的深度。

12. 如权利要求1所述的图像传感器，其中所述第一传输栅电极面对所述第一层间绝缘层，使所述第一沟道图案插置在所述第一传输栅电极与所述第一层间绝缘层之间，并且

所述图像传感器还包括光阻挡图案，该光阻挡图案与所述第一传输栅电极垂直地重叠并插置在所述第一沟道图案和所述第一层间绝缘层之间。

13. 如权利要求12所述的图像传感器，其中所述光阻挡图案的宽度大于所述第一传输栅电极的宽度。

14. 如权利要求1所述的图像传感器，还包括面对所述第一传输栅电极的第二传输栅电极，使所述第一沟道图案插置在所述第一传输栅电极和所述第二传输栅电极之间。

15. 如权利要求14所述的图像传感器，其中所述第一传输栅电极位于所述第一沟道图案和所述第一层间绝缘层之间，并且

所述第一传输栅电极的宽度大于所述第二传输栅电极的宽度。

16. 如权利要求15所述的图像传感器，还包括插置在所述第二传输栅电极和所述第一沟道图案之间的含金属的图案，

其中所述含金属的图案的宽度大于所述第二传输栅电极的所述宽度。

17. 如权利要求15所述的图像传感器，其中所述第一传输栅电极包括与所述第二传输栅电极中包括的金属不同的金属。

18. 如权利要求1所述的图像传感器，还包括插置在所述第一层间绝缘层和所述半导体基板之间的导电图案和至少一个第二层间绝缘层。

19. 如权利要求1所述的图像传感器，还包括：

第二光电转换部分，设置在所述第一光电转换部分上；

第二沟道图案，设置在所述第一层间绝缘层上并与所述第一沟道图案间隔开；

第二浮置扩散区，与所述第一表面相邻地设置在所述半导体基板中，并与所述第一浮置扩散区间隔开；以及

第二传输栅电极，与所述第二沟道图案相邻地设置，所述第二传输栅电极配置为控制在所述第二光电转换部分中产生的电荷通过所述第二沟道图案传输到所述第二浮置扩散区。

20. 一种图像传感器，包括：

半导体基板，包括第一表面和面对所述第一表面的第二表面；

光电转换部分，设置在所述半导体基板的所述第二表面上邻近于所述半导体基板；

浮置扩散区，与所述第一表面相邻地设置在所述半导体基板中；

层间绝缘层，覆盖所述第一表面，并在所述层间绝缘层的上部中包括凹陷区域；

沟道图案，设置在所述层间绝缘层上并与所述凹陷区域重叠；以及

传输栅电极，设置在所述凹陷区域中，所述传输栅电极配置为控制在所述光电转换部分中产生的电荷通过所述沟道图案传输到所述浮置扩散区。

21. 一种制造图像传感器的方法，包括：

制备包括第一表面和与所述第一表面相对的第二表面的半导体基板；
在所述半导体基板中且与所述第一表面相邻地形成浮置扩散区；
形成第一层间绝缘层以覆盖所述半导体基板的所述第一表面；
蚀刻所述第一层间绝缘层以形成凹陷区域以及与所述凹陷区域间隔开的接触孔，所述接触孔暴露所述浮置扩散区；

在所述凹陷区域中形成传输栅电极；

在所述接触孔中形成接触插塞；以及

在所述传输栅电极和所述第一层间绝缘层之上形成沟道图案。

22. 如权利要求21所述的方法，还包括，

在形成所述浮置扩散区之前，在所述半导体基板中形成贯通电极；以及
在形成所述沟道图案之后，在所述半导体基板的所述第二表面上邻近于所述半导体基板形成电连接到所述贯通电极的光电转换部分。

23. 如权利要求21所述的方法，还包括在形成所述沟道图案之后，在所述第一层间绝缘层和所述沟道图案上形成多个第二层间绝缘层和互连线。

24. 如权利要求21所述的方法，还包括：

在所述沟道图案上形成含金属的图案；以及

使用所述含金属的图案作为蚀刻掩模来图案化所述沟道图案。

图像传感器及其制造方法

技术领域

[0001] 本发明构思涉及图像传感器及其制造方法。

背景技术

[0002] 图像传感器是配置为将光学图像转变为电信号的半导体器件。图像传感器可以分为两种类型：电荷耦合器件（CCD）型和互补金属氧化物半导体（CMOS）型。通常，CMOS型图像传感器可以表征为“CIS”。CIS包括多个二维布置的像素，每个像素包括将入射光转变为电信号的光电二极管（PD）。

发明内容

[0003] 本发明构思的实施方式提供一种高度集成的图像传感器，其被配置为降低噪声并具有改善的图像质量。

[0004] 本发明构思的实施方式提供一种在制造高度集成的图像传感器的工艺中减少工艺失败和污染问题的方法。

[0005] 本发明构思的实施方式提供一种图像传感器，该图像传感器包括：半导体基板，包括第一表面和与第一表面相对的第二表面；第一光电转换部分，设置在半导体基板的第二表面上；第一浮置扩散区，与第一表面相邻地提供在半导体基板中；覆盖第一表面的第一层间绝缘层；在第一层间绝缘层上的第一沟道图案；以及第一传输栅电极，与第一沟道图案相邻地设置。第一传输栅电极控制在第一光电转换部分中产生的电荷通过第一沟道图案传输到第一浮置扩散区。

[0006] 本发明构思的实施方式还提供一种图像传感器，该图像传感器包括：半导体基板，包括第一表面和面对第一表面的第二表面；光电转换部分，设置在半导体基板的第二表面上；浮置扩散区，与第一表面相邻地设置在半导体基板中；层间绝缘层，覆盖第一表面并在该层间绝缘层的上部中包括凹陷区域；沟道图案，设置在层间绝缘层上并与凹陷区域重叠；以及传输栅电极，设置在凹陷区域中。传输栅电极控制在光电转换部分中产生的电荷通过沟道图案传输到浮置扩散区。

[0007] 本发明构思的实施方式还提供一种图像传感器，该图像传感器包括：设置在半导体基板上的沟道图案；以及第一传输栅电极和设置为面对第一传输栅电极的第二传输栅电极。沟道图案插置在第一传输栅电极和第二传输栅电极之间。

[0008] 本发明构思的实施方式还提供一种制造图像传感器的方法，该方法包括：制备包括第一表面和面对第一表面的第二表面的半导体基板；在半导体基板中且与第一表面相邻地形成浮置扩散区；形成第一层间绝缘层以覆盖半导体基板的第一表面；蚀刻第一层间绝缘层以形成凹陷区域以及与凹陷区域间隔开的接触孔，该接触孔暴露浮置扩散区；在凹陷区域中形成传输栅电极；在接触孔中形成接触插塞；以及在传输栅电极和第一层间绝缘层之上形成沟道图案。

[0009] 本发明构思的实施方式还提供一种图像传感器，该图像传感器包括：半导体基板，

包括第一表面以及与第一表面相对的第二表面；第一光电转换部分，设置在半导体基板的第二表面上，该第一光电转换部分配置为响应于第一入射光产生第一电荷；第一沟道图案，设置在半导体基板的第一表面上；以及第一传输栅电极，与第一沟道图案相邻地设置，并配置为控制第一电荷从第一光电转换部分通过第一沟道图案的传输。

附图说明

- [0010] 本发明构思的以上和其它的特征将在下面参照附图更详细地描述。
- [0011] 图1示出根据本发明构思的实施方式的图像传感器的框图。
- [0012] 图2示出根据本发明构思的实施方式的图像传感器的平面图。
- [0013] 图3示出根据本发明构思的实施方式的图2的图像传感器沿着线I-I'截取的剖视图。
- [0014] 图4示出图3的部分“II”的放大剖视图。
- [0015] 图5A示出根据本发明构思的实施方式的图像传感器的电路图。
- [0016] 图5B示出根据本发明构思的实施方式的图像传感器的电路图。
- [0017] 图5C示出根据本发明构思的实施方式的图像传感器的电路图。
- [0018] 图6A、图6B、图6C、图6D和图6E示出剖视图，依次示出制造具有图3的垂直剖面的图像传感器的工艺。
- [0019] 图7示出根据本发明构思的实施方式的图2的图像传感器沿着线I-I'截取的剖视图。
- [0020] 图8A示出图7的部分“III”的放大剖视图。
- [0021] 图8B示出图7的图像传感器的电路图。
- [0022] 图9A、图9B、图9C和图9D示出剖视图，依次示出制造图7的图像传感器的工艺。
- [0023] 图10示出根据本发明构思的实施方式的图2的图像传感器沿着线I-I'截取的剖视图。
- [0024] 图11A示出图10的部分“IV”的放大剖视图。
- [0025] 图11B示出图10的图像传感器的电路图。
- [0026] 图12示出根据本发明构思的实施方式的图2的图像传感器沿着线I-I'截取的剖视图。
- [0027] 图13A示出图12的部分“VI”的放大剖视图。
- [0028] 图13B示出图12的图像传感器的电路图。
- [0029] 图14A、图14B和图14C示出剖视图，依次示出制造图12的图像传感器的工艺。
- [0030] 图15示出根据本发明构思的实施方式的图2的图像传感器沿着线I-I'截取的剖视图。
- [0031] 图16示出图15的部分“VII”的放大剖视图。
- [0032] 图17示出根据本发明构思的实施方式的图像传感器的平面图。
- [0033] 图18示出沿着图17的线VIII-VIII'截取的剖视图。
- [0034] 图19示出根据本发明构思的实施方式的图像传感器的平面图。
- [0035] 图20示出沿着图19的线IX-IX'截取的剖视图。

具体实施方式

[0036] 现在将参照附图更全面地描述本发明构思的示例实施方式。

[0037] 应当理解，附图旨在示出在某些示例实施方式中使用的方法、结构和/或材料的一般特征，并对下文提供的书面描述进行补充。然而，这些附图没有按比例并可能没有精确地反映任何给定实施方式的精确结构或性能特征，并且不应被解释为限定或限制由示例实施方式包括的值或性能的范围。例如，为了清楚起见，可以减小或夸大分子、层、区域和/或结构元件的相对厚度和位置。在各个附图中使用相似或相同的附图标记旨在表示存在相似或相同的元件或特征。

[0038] 图1示出根据本发明构思的实施方式的图像传感器的框图。

[0039] 参照图1，图像传感器包括第一至第三光电转换部分PD1、PD2和PD3以及第一滤色器CF1和第二滤色器CF2。第一光电转换部分PD1和第二光电转换部分PD2可以提供在半导体基板110中。第三光电转换部分PD3可以提供在半导体基板110的表面上，第一滤色器CF1和第二滤色器CF2可以提供在第三光电转换部分PD3和半导体基板110之间。

[0040] 第一至第三波长的光L1、L2和L3入射到第三光电转换部分PD3上。第一波长和第二波长可以与第三波长不同。第一波长可以与第二波长不同。例如，第一波长的光L1可以对应于红色光，第二波长的光L2可以对应于蓝色光，第三波长的光L3可以对应于绿色光。

[0041] 第三光电转换部分PD3从第三波长的光L3产生第三光电信号S3。第三光电转换部分PD3配置为允许第一波长的光L1和第二波长的光L2从其穿过。第三光电转换部分PD3可以由多个第一像素PX1和多个第二像素PX2共用。

[0042] 穿过第三光电转换部分PD3的光L1和L2入射到第一滤色器CF1和第二滤色器CF2中。第一像素PX1包括第一滤色器CF1和第一光电转换部分PD1。第二像素PX2包括第二滤色器CF2和第二光电转换部分PD2。第一光电转换部分PD1可以提供在第一滤色器CF1下面，第二光电转换部分PD2可以提供在第二滤色器CF2下面。

[0043] 第一波长的光L1穿过第一滤色器CF1但不穿过第二滤色器CF2。第二波长的光L2穿过第二滤色器CF2但不穿过第一滤色器CF1。穿过第一滤色器CF1的第一波长的光L1入射到第一光电转换部分PD1上。第一光电转换部分PD1从第一波长的光L1产生第一光电信号S1。穿过第二滤色器CF2的第二波长的光L2入射到第二光电转换部分PD2上。第二光电转换部分PD2从第二波长的光L2产生第二光电信号S2。

[0044] 根据本发明构思的实施方式，第三光电转换部分PD3设置在第一光电转换部分PD1和第二光电转换部分PD2上，这使得可以提高图像传感器的集成密度。

[0045] 图2示出根据本发明构思的实施方式的图像传感器的平面图。图3示出根据本发明构思的实施方式的图2的图像传感器沿着线I-I'截取的剖视图。图4示出图3的部分“II”的放大剖视图。

[0046] 参照图2至图4，半导体基板110包括第一像素PX1和第二像素PX2。半导体基板110可以是单晶硅晶片或外延硅层。半导体基板110可以掺杂有第一导电类型的杂质。例如，第一导电类型可以是P型。第一导电类型的杂质可以是例如硼。半导体基板110可以包括彼此面对的第一表面110a和第二表面110b。第一表面110a可以是晶体管设置在其上的前表面。第二表面110b可以是光入射到其的后表面。在一实施方式中，图像传感器可以是背侧照射的图像传感器。

[0047] 深器件隔离部分DI设置在半导体基板110中以将第一像素PX1和第二像素PX2彼此分隔。深器件隔离部分DI可以包括在第一方向X上延伸的延伸部分DI_E以及在与第一方向X交叉的第二方向Y上和在与第二方向Y相反的方向上从延伸部分DI_E突出的突出部分DI_P。深器件隔离部分DI可以由例如硅氧化物、金属氧化物(例如铪氧化物和铝氧化物)和多晶硅等中的至少一种形成,或包括例如硅氧化物、金属氧化物(例如铪氧化物和铝氧化物)和多晶硅等中的至少一种。

[0048] 当在平面图中观看时,贯通电极120设置在深器件隔离部分DI的在第二方向Y上彼此相邻的突出部分DI_P之间。贯通电极120可以包括例如掺杂的多晶硅或导电材料(例如钨)。过孔绝缘层122可以插置在贯通电极120和半导体基板110之间。过孔绝缘层122可以由例如硅氧化物、硅氮化物和硅氮氧化物等中的至少一种形成或者包括例如硅氧化物、硅氮化物和硅氮氧化物等中的至少一种,并可以具有单层或多层结构。

[0049] 浅器件隔离部分3设置在半导体基板110的第一表面110a中,以限定第一像素PX1的有源区和第二像素PX2的有源区。浅器件隔离部分3可以由例如硅氧化物、硅氮化物和硅氮氧化物等中的至少一种形成,或者包括例如硅氧化物、硅氮化物和硅氮氧化物等中的至少一种。

[0050] 贯通电极120的顶表面和过孔绝缘层122的顶表面可以位于等于或低于浅器件隔离部分3的底表面的水平面。绝缘间隙填充层5可以设置在贯通电极120和过孔绝缘层122上。绝缘间隙填充层5可以由例如硅氧化物、硅氮化物和硅氮氧化物等中的至少一种形成,或者包括例如硅氧化物、硅氮化物和硅氮氧化物等中的至少一种。贯通电极120的底表面和过孔绝缘层122的底表面可以与半导体基板110的第二表面110b基本上共平面。

[0051] 在第一像素PX1中,第一光电转换部分PD1设置在半导体基板110中。在第二像素PX2中,第二光电转换部分PD2设置在半导体基板110中。第一光电转换部分PD1和第二光电转换部分PD2可以是被掺杂以具有与第一导电类型不同的第二导电类型的杂质区。例如,第二导电类型可以是N型,第二导电类型的杂质可以是磷或砷。第一光电转换部分PD1和第二光电转换部分PD2以及与其相邻的半导体基板110构成PN结,用作光电二极管。

[0052] 在第一像素PX1中,第一传输栅电极TG1设置在半导体基板110的第一表面110a处。在第二像素PX2中,第二传输栅电极TG2设置在半导体基板110的第一表面110a处。第一栅极绝缘层7插置在第一传输栅电极TG1和半导体基板110之间以及在第二传输栅电极TG2和半导体基板110之间。第一栅极绝缘层7可以包括例如硅氧化物层。

[0053] 在第一像素PX1中,第一浮置扩散区FD1设置在半导体基板110中且与第一传输栅电极TG1相邻。第三浮置扩散区FD3设置在半导体基板110的与第一表面110a相邻的区域中。第三浮置扩散区FD3通过浅器件隔离部分3而与第一浮置扩散区FD1间隔开。在第二像素PX2中,第二浮置扩散区FD2设置在半导体基板110中且与第二传输栅电极TG2相邻。第三浮置扩散区FD3设置在半导体基板110的与第一表面110a相邻的区域中。第三浮置扩散区FD3通过浅器件隔离部分3而与第二浮置扩散区FD2间隔开。第一至第三浮置扩散区FD1、FD2和FD3可以是掺杂有第二导电类型的杂质区。

[0054] 半导体基板110的第一表面110a覆盖有第一层间绝缘层9。第一层间绝缘层9可以由例如硅氧化物、硅氮化物、硅氮氧化物和多孔氧化物材料等中的至少一种形成,或者包括例如硅氧化物、硅氮化物、硅氮氧化物和多孔氧化物材料等中的至少一种。彼此间隔开的第

一至第三凹陷区域RS、RG和RD形成在第一层间绝缘层9的上部中。第一接触孔RC1穿过第一凹陷区域RS的底部形成，第二接触孔RC2穿过第三凹陷区域RD的底部形成。源电极13s设置在第一凹陷区域RS中。第三传输栅电极TG3设置在第二凹陷区域RG中。漏电极13d设置在第三凹陷区域RD中。第一层级第一接触插塞13c1设置在第一接触孔RC1中，以将源电极13s电连接到贯通电极120。第一层级第一接触插塞13c1可以延伸到绝缘间隙填充层5中并可以相邻于贯通电极120定位。第一层级第二接触插塞13c2设置在第二接触孔RC2中，以将漏电极13d电连接到第三浮置扩散区FD3。与第一层级第二接触插塞13c2间隔开并电连接到第一浮置扩散区FD1或第二浮置扩散区FD2的第一层级第三接触插塞13c3设置在第一层间绝缘层9中。第一层级第一至第三接触插塞13c1、13c2和13c3、源电极13s、漏电极13d和第三传输栅电极TG3可以由相同的导电材料(例如钨)形成或者包括相同的导电材料(例如钨)。第一扩散阻挡层11被提供为覆盖第一层级第一至第三接触插塞13c1、13c2和13c3、源电极13s、漏电极13d和第三传输栅电极TG3中的每个的侧表面和底表面。第一扩散阻挡层11可以包括例如钛氮化物层。第一层级第三接触插塞13c3的顶表面、源电极13s的顶表面、漏电极13d的顶表面和第三传输栅电极TG3的顶表面可以与第一层间绝缘层9的顶表面基本上共平面。

[0055] 第一蚀刻停止层12设置在第一层间绝缘层9上。第一蚀刻停止层12可以由相对于第一层间绝缘层9具有蚀刻选择性的绝缘层形成。例如，第一蚀刻停止层12可以由硅氮化物层形成。

[0056] 第二栅极绝缘层14设置在第三传输栅电极TG3上(之上)。第二栅极绝缘层14可以由例如硅氧化物和具有高于硅氧化物的介电常数的金属氧化物材料(例如铝氧化物)中的至少一种形成，或者包括例如硅氧化物和具有高于硅氧化物的介电常数的金属氧化物材料(例如铝氧化物)中的至少一种。第一蚀刻停止层12的一部分可以插置在第二栅极绝缘层14和第三传输栅电极TG3之间，并可以用作额外的栅极绝缘层。

[0057] 沟道图案CHL设置在第二栅极绝缘层14上。在一实施方式中，沟道图案CHL可以由氧化物半导体材料中的至少一种形成，或者包括氧化物半导体材料中的至少一种。例如，沟道图案CHL可以包括含有铟(In)、镓(Ga)、锌(Zn)和锡(Sn)中的至少一种的氧化物半导体材料。作为示例，氧化物半导体材料可以是包含铟(In)、镓(Ga)和锌(Zn)的铟镓锌氧化物(IGZO)。在某些实施方式中，氧化物半导体材料可以是非晶IGZO。

[0058] 第三传输栅电极TG3、源电极13s、漏电极13d、第二栅极绝缘层14、第一蚀刻停止层12的部分和沟道图案CHL可以构成图5C的第三传输晶体管Tx3。

[0059] 沟道图案CHL可以延伸超过第三传输栅电极TG3的相反两侧，并可以包括位于源电极13s和漏电极13d上的部分。沟道图案CHL可以穿透第二栅极绝缘层14和第一蚀刻停止层12，并可以与源电极13s和漏电极13d接触。在一实施方式中，沟道图案CHL可以横向地进一步延伸超过源电极13s和漏电极13d。剩余的栅极绝缘层14r可以插置在沟道图案CHL和第一层间绝缘层9之间。

[0060] 第一蚀刻停止层12可以在沟道图案CHL外部的区域处被部分地暴露。沟道图案CHL的侧表面可以与剩余的栅极绝缘层14r的侧表面对准。沟道图案CHL和第一蚀刻停止层12覆盖有第二蚀刻停止层15。第二层间绝缘层17设置在第二蚀刻停止层15上。第二层级线21w和第二层级接触插塞21c设置在第二层间绝缘层17中。第二层级线21w的侧表面和底表面以及第二层级接触插塞21c的侧表面和底表面覆盖有第二扩散阻挡层19。第二层级线21w和第二

层级接触插塞21c可以包含与源电极13s、第三传输栅电极TG3和漏电极13d的金属材料不同的金属材料。在一实施方式中，第二层级线21w和第二层级接触插塞21c可以包含铜。

[0061] 第三蚀刻停止层23和第三层间绝缘层25依次形成在第二层间绝缘层17上。第三层级线29w和第三层级接触插塞29c设置在第三层间绝缘层25中。第三层级线29w的侧表面和底表面以及第三层级接触插塞29c的侧表面和底表面覆盖有第三扩散阻挡层27。第四蚀刻停止层31和第四层间绝缘层33依次堆叠在第三层间绝缘层25上。第四层级线37和第四扩散阻挡层35设置在第四层间绝缘层33中，第四扩散阻挡层35被提供为覆盖第四层级线37的侧表面和底表面。第四层间绝缘层33用第一钝化层39覆盖。第三蚀刻停止层23和第四蚀刻停止层31可以包括例如硅氮化物层。第三层间绝缘层25和第四层间绝缘层33可以包括例如硅氧化物层或多孔绝缘层。第三层级线29w、第三层级接触插塞29c和第四层级线37可以包括例如铜。第三扩散阻挡层27和第四扩散阻挡层35可以包括例如金属氮化物层(例如钛氮化物层)。第一钝化层39可以包括例如硅氮化物层或聚酰亚胺层。

[0062] 保护层50设置在半导体基板110的第二表面110b上。保护层50可以包括绝缘层(例如硅氧化物层)。在一实施方式中，保护层50可以与第二表面110b接触并可以具有负的固定电荷。保护层50可以由金属氧化物或金属氟化物形成，所述金属氧化物或金属氟化物含有从由铪(Hf)、锆(Zr)、铝(Al)、钽(Ta)、钛(Ti)、钇(Y)和镧系元素组成的组选择的至少一种金属元素。例如，保护层50可以由铪氧化物或铝氧化物形成，或者包括铪氧化物或铝氧化物。这可以导致保护层50附近的空穴累积。因此，可以有效地减少或抑制暗电流问题和白点(white spot)问题。在一实施方式中，保护层50可以由具有良好台阶覆盖特性的绝缘层形成。保护层50可以用作平坦化层。

[0063] 在第一像素PX1中，第一滤色器CF1设置在保护层50上。在第二像素PX2中，第二滤色器CF2设置在保护层50上。第一滤色器CF1和第二滤色器CF2可以包括不同颜色的颜料或染料。第一绝缘图案54插置在第一滤色器CF1和第二滤色器CF2之间。在一实施方式中，第一绝缘图案54可以由其折射率低于第一滤色器CF1和第二滤色器CF2的折射率的材料形成或包括所述材料。在这种情况下，可以增加入射到第一像素PX1和第二像素PX2中的光的量并可以提高第一像素PX1和第二像素PX2的光敏感度。

[0064] 像素电极58分别设置在第一滤色器CF1和第二滤色器CF2上。第二绝缘图案52插置在第一滤色器CF1和第二滤色器CF2中的每个与像素电极58之间。第二绝缘图案52可以由绝缘材料(例如硅氧化物或硅氮化物)中的至少一种形成，或包括所述绝缘材料中的至少一种。像素电极58设置在第二绝缘图案52上。像素电极58可以包括铟锡氧化物(ITO)、铟锌氧化物(IZO)、锌氧化物(ZnO)和/或有机透明导电材料。像素电极58通过穿透第一绝缘图案54的过孔插塞56电连接到贯通电极120。第三绝缘图案60插置在像素电极58之间。

[0065] 第三光电转换部分PD3设置在像素电极58上。第三光电转换部分PD3可以是例如有机光电转换层。第三光电转换部分PD3可以包括P型有机半导体材料和N型有机半导体材料，并且P型有机半导体材料和N型有机半导体材料可以构成PN结。在一实施方式中，第三光电转换部分PD3可以由量子点和硫属化物材料中的至少一种形成，或者包括量子点和硫属化物材料中的至少一种。

[0066] 公共电极62设置在第三光电转换部分PD3上。公共电极62可以包括铟锡氧化物(ITO)、铟锌氧化物(IZO)、锌氧化物(ZnO)和/或有机透明导电材料。像素电极58分别提供在

每个像素中，而第三光电转换部分PD3和公共电极62不分离并因此提供在半导体基板110的基本上整个第二表面110b上。第二钝化层64设置在公共电极62上。微透镜ML设置在第二钝化层64上。

[0067] 图5A至图5C示出根据本发明构思的实施方式的图像传感器的电路图。

[0068] 参照图1至图4和图5A至图5C，包括第一传输栅电极TG1的第一传输晶体管Tx1和第一浮置扩散区FD1设置在第一像素PX1中，如图5A所示。尽管没有在图1至图4中示出，包括第一复位栅电极RG1的第一复位晶体管Rx1、包括第一源极跟随器栅电极SF1的第一源极跟随器晶体管SFx1以及包括第一选择栅电极SEL1的第一选择晶体管SELx1设置在第一像素PX1中。包括第二传输栅电极TG2的第二传输晶体管Tx2和第二浮置扩散区FD2设置在第二像素PX2中，如图5B所示。尽管没有在图1至图4中示出，但是包括第二复位栅电极RG2的第二复位晶体管Rx2、包括第二源极跟随器栅电极SF2的第二源极跟随器晶体管SFx2以及包括第二选择栅电极SEL2的第二选择晶体管SELx2设置在第二像素PX2中。包括第三传输栅电极TG3的第三传输晶体管Tx3和第三浮置扩散区FD3设置在第一像素PX1和第二像素PX2中的每个中。

[0069] 尽管没有在图1至图4中示出，但是包括第三复位栅电极RG3的第三复位晶体管Rx3、包括第三源极跟随器栅电极SF3的第三源极跟随器晶体管SFx3以及包括第三选择栅电极SEL3的第三选择晶体管SELx3设置在第一像素PX1或第二像素PX2中。第一像素PX1和第二像素PX2可以共用第一至第三复位晶体管Rx1、Rx2和Rx3。例如，一个复位晶体管可以电连接到第一至第三传输晶体管Tx1、Tx2和Tx3，并可以用作第一至第三复位晶体管Rx1、Rx2和Rx3。类似地，第一像素PX1和第二像素PX2可以共用第一至第三源极跟随器晶体管SFx1、SFx2和SFx3以及第一至第三选择晶体管SELx1、SELx2和SELx3。

[0070] 由第一光电转换部分PD1获得的颜色信息可以通过第一传输晶体管Tx1、第一复位晶体管Rx1、第一源极跟随器晶体管SFx1和第一选择晶体管SELx1输出为第一信号Vout1。由第二光电转换部分PD2获得的颜色信息可以通过第二传输晶体管Tx2、第二复位晶体管Rx2、第二源极跟随器晶体管SFx2和第二选择晶体管SELx2输出为第二信号Vout2。由第三光电转换部分PD3获得的颜色信息可以通过第三传输晶体管Tx3、第三复位晶体管Rx3、第三源极跟随器晶体管SFx3和第三选择晶体管SELx3输出为第三信号Vout3。然后，像素PX1、PX2、PX3的每个可以通过施加电源电压V_{DD}到复位晶体管Rx1、Rx2、Rx3的每个的漏极和源极跟随器晶体管SFx1、SFx2、SFx3的每个的漏极而复位。

[0071] 根据本发明构思的前述实施方式，图像传感器可以包括第三传输晶体管Tx3，其用于传输在第三光电转换部分PD3中产生的电荷。也就是，图像传感器可以包括4晶体管CDS(相关双采样)电路，其包括用于传输每种颜色信息的四个晶体管。这可以减少复位噪声。此外，第三传输晶体管Tx3可以用于将在第三光电转换部分PD3中产生的电荷更快速地传输到第三浮置扩散区FD3。因此，可以提供能够实现改善的图像质量的高度集成的图像传感器。

[0072] 图6A至图6E示出剖视图，依次示出制造具有图3的垂直剖面的图像传感器的工艺。

[0073] 参照图6A，制备包括第一像素PX1和第二像素PX2的半导体基板110。半导体基板110可以掺杂有第一导电类型的杂质。通过多次执行离子注入工艺并执行热处理工艺，可以在半导体基板110中形成第一光电转换部分PD1和第二光电转换部分PD2。第一光电转换部分PD1和第二光电转换部分PD2可以被掺杂以具有与第一导电类型不同的第二导电类型。可以执行浅沟槽隔离(STI)工艺以在半导体基板110中且在第一表面110a附近形成浅器件隔

离部分3。深器件隔离部分DI可以通过如下形成在第一像素PX1和第二像素PX2之间：图案化浅器件隔离部分3和在其下面的半导体基板110以形成深沟槽、依次形成绝缘层和多晶硅层以填充该深沟槽、然后对绝缘层和多晶硅层执行抛光或回蚀刻工艺。

[0074] 深器件隔离部分DI可以被部分地去除以形成穿透过孔，过孔绝缘层122和导电层可以形成为填充该穿透过孔，然后可以执行抛光或回蚀刻工艺以在穿透过孔中形成贯通电极120。贯通电极120的上部可以凹陷，并且绝缘间隙填充层5可以形成为填充该凹陷部分。在第一像素PX1和第二像素PX2中，第一栅极绝缘层7以及第一传输栅电极TG1和第二传输栅电极TG2可以形成在半导体基板110的第一表面110a处。第一传输栅电极TG1和第二传输栅电极TG2中的每个可以形成为具有延伸到半导体基板110中的部分。可以执行离子注入工艺以分别在半导体基板110的第一表面110a处的第一传输栅电极TG1和第二传输栅电极TG2周围的部分中形成第一浮置扩散区FD1和第二浮置扩散区FD2。这里，第三浮置扩散区FD3可以形成在半导体基板110的由浅器件隔离部分3划界的区域中。第一层间绝缘层9可以形成为覆盖半导体基板110的第一表面110a。

[0075] 参照图6B，第一层间绝缘层9可以被蚀刻以形成第一至第三凹陷区域RS、RG和RD以及第一至第三接触孔RC1、RC2和RC3。第一凹陷区域RS和第一接触孔RC1可以形成为具有双镶嵌孔结构，第三凹陷区域RD和第二接触孔RC2可以形成为具有双镶嵌孔结构。在形成第一接触孔RC1期间，绝缘间隙填充层5的一部分可以被蚀刻以暴露贯通电极120的顶表面的一部分。第二接触孔RC2可以形成为暴露第三浮置扩散区FD3。第三接触孔RC3可以形成为暴露第一浮置扩散区FD1和第二浮置扩散区FD2。第一扩散阻挡层11和导电层(例如钨)可以依次形成在第一层间绝缘层9上以填充第一至第三凹陷区域RS、RG和RD以及第一至第三接触孔RC1、RC2和RC3，然后可以执行抛光或回蚀刻工艺以形成源电极13s、第三传输栅电极TG3、漏电极13d和第一层级第一至第三接触插塞13c1、13c2和13c3。

[0076] 参照图6C，第一蚀刻停止层12和第二栅极绝缘层14可以依次形成在第一层间绝缘层9上。第一蚀刻停止层12可以由例如硅氮化物形成或包括例如硅氮化物。第二栅极绝缘层14可以由例如铝氧化物或硅氧化物形成，或者包括例如铝氧化物或硅氧化物。第二栅极绝缘层14和第一蚀刻停止层12可以被蚀刻以暴露源电极13s的顶表面和漏电极13d的顶表面。沟道层140可以形成在第二栅极绝缘层14上。沟道层140可以由氧化物半导体材料(例如IGZO)形成。沟道层140可以形成为与源电极13s和漏电极13d接触。

[0077] 参照图6D，沟道层140和第二栅极绝缘层14可以被图案化以暴露第一蚀刻停止层12的在源电极13s和漏电极13d周围的部分，因此可以形成沟道图案CHL。此时，由此形成剩余的栅极绝缘层14r。

[0078] 参照图6E，第二蚀刻停止层15可以共形地形成在提供有沟道图案CHL的半导体基板110的第一表面110a上。此后，第二至第四层间绝缘层17、25、33、第三蚀刻停止层23和第四蚀刻停止层31、第二层级线21w，第二层级接触插塞21c、第三层级线29w、第三层级接触插塞29c、第四层级线37和第一钝化层39可以通过传统的生产线后端(BEOL)工艺形成。

[0079] 接下来，参照图6E和图3，可以对半导体基板110的第二表面110b执行研磨工艺以去除半导体基板110的一部分并暴露贯通电极120。第一滤色器CF1和第二滤色器CF2、像素电极58、第三光电转换部分PD3、公共电极62和微透镜ML可以形成在半导体基板110的第二表面110b上。

[0080] 在根据本发明构思的实施方式的制造图像传感器的方法中，在BEOL工艺之前可以形成由氧化物半导体材料制成的沟道图案CHL。BEOL工艺中的大多数互连线可以由铜形成，因此，在BEOL工艺中，重要的是防止装置被铜污染。在BEOL工艺中使用诸如IGZO的氧化物半导体材料的情况下，装置可能被IGZO污染，并且在某些情况下，会需要改变传统BEOL工艺中的工艺顺序并因此增加工艺的复杂性。相反，在根据本发明构思的实施方式的制造图像传感器的方法中，由于在BEOL工艺之前形成由氧化物半导体材料制成的沟道图案CHL，所以可以避免这些问题并可以减少或抑制工艺失败。

[0081] 图7示出根据本发明构思的实施方式的图2的图像传感器沿着线I-I'截取的剖视图。图8A示出图7的部分“III”的放大剖视图。图8B示出图7的图像传感器的电路图。

[0082] 参照图7和图8A，根据本实施方式的图像传感器包括第一层级源电极13s、第一层级第三传输栅电极TG31和第一层级漏电极13d，它们设置在第一层间绝缘层9中以彼此间隔开。第一蚀刻停止层12和第二栅极绝缘层14依次堆叠在第一层级第三传输栅电极TG31上。沟道图案CHL设置在第二栅极绝缘层14上。沟道图案CHL可以被提供为穿透第二栅极绝缘层14和第一蚀刻停止层12并与第一层级源电极13s和第一层级漏电极13d接触。第三栅极绝缘层16设置在沟道图案CHL上。第三栅极绝缘层16可以是铝氧化物层或硅氧化物层。

[0083] 第二层级第三传输栅电极TG32设置在第三栅极绝缘层16上(之上)。第二层级第三传输栅电极TG32可以与第一层级第三传输栅电极TG31垂直地重叠。第一层级第三传输栅电极TG31可以具有第一宽度W1。第二层级第三传输栅电极TG32可以具有第二宽度W2。第一宽度W1可以大于第二宽度W2。沟道图案CHL设置(例如，夹入)在第一层级第三传输栅电极TG31和第二层级第三传输栅电极TG32之间。

[0084] 第二层级源电极21s和第二层级漏电极21d设置在沟道图案CHL上(之上)并与第二层级第三传输栅电极TG32间隔开。第三栅极绝缘层16可以延伸以包括插置在沟道图案CHL和第二层级源电极21s之间以及在沟道图案CHL和第二层级漏电极21d之间的部分。当在平面图中观看时，第二层级源电极21s可以与第一层级源电极13s重叠。当在平面图中观看时，第二层级漏电极21d可以与第一层级漏电极13d重叠。例如，第二层级源电极21s和第二层级漏电极21d可以至少表征为面对第一层级第一接触插塞13c1和第一层级第二接触插塞13c2的第一导电图案和第二导电图案。

[0085] 第二层级源电极21s、第二层级漏电极21d和第二层级第三传输栅电极TG32可以包括与第一层级源电极13s、第一层级漏电极13d和第一层级第三传输栅电极TG31不同的金属材料。例如，第一层级源电极13s、第一层级漏电极13d和第一层级第三传输栅电极TG31可以包括钨，而第二层级源电极21s、第二层级漏电极21d和第二层级第三传输栅电极TG32可以包括铜。

[0086] 第二层级源电极21s的侧表面和底表面、第二层级漏电极21d的侧表面和底表面以及第二层级第三传输栅电极TG32的侧表面和底表面被第二扩散阻挡层19覆盖。第一覆盖图案18s可以插置在第二层级源电极21s和第三栅极绝缘层16之间。第二覆盖图案18g可以插置在第二层级第三传输栅电极TG32和第三栅极绝缘层16之间。第二覆盖图案18g可以具有第三宽度W3。第三宽度W3可以大于第二宽度W2。第三覆盖图案18d可以插置在第二层级漏电极21d和第三栅极绝缘层16之间。第一至第三覆盖图案18s、18g和18d可以彼此间隔开并可以具有基本上相同的厚度和基本上相同的材料。在一实施方式中，第一至第三覆盖图案

18s、18g和18d可以由金属氮化物材料(例如钛氮化物)中的至少一种形成,或者包括金属氮化物材料(例如钛氮化物)中的至少一种。因此,第一至第三覆盖图案18s、18g和18d也可以被称为含金属的图案。

[0087] 第一覆盖图案18s、第三栅极绝缘层16、沟道图案CHL和剩余的栅极绝缘层14r具有彼此对准并被第二蚀刻停止层15覆盖的侧表面。第三覆盖图案18d、第三栅极绝缘层16、沟道图案CHL和剩余的栅极绝缘层14r具有彼此对准并被第二蚀刻停止层15覆盖的侧表面。

[0088] 在一实施方式中,第一层级第三传输栅电极TG31和第二层级第三传输栅电极TG32可以通过另外的过孔插塞(未示出)而彼此电连接。这里,第一层级第三传输栅电极TG31和第二层级第三传输栅电极TG32可以表现得像单个传输栅电极(例如图5C的第三传输栅电极TG3)一样。

[0089] 在另一实施方式中,仅第二层级第三传输栅电极TG32可以表现得像图5C的第三传输栅电极TG3一样,第一层级第三传输栅电极TG31可以没有被施加电压并可以处于电浮置状态。在这种情况下,第一层级第三传输栅电极TG31可以用作光阻挡图案,而不用作栅电极。由于第一宽度W1大于第二宽度W2,所以可以防止通过第二表面110b入射的光入射到位于第二层级第三传输栅电极TG32下面的沟道图案CHL中。因此,可以防止图5C的第三传输晶体管Tx3的阈值电压的变化。

[0090] 在另一实施方式中,第一层级第三传输栅电极TG31和第二层级第三传输栅电极TG32可以被施加相应的电压,并可以用于控制沟道图案CHL中的电荷传输(即,通过沟道图案CHL的电荷传输)。在这种情况下,第三传输晶体管Tx3可以与图8B的基本上相同。第一层级第三传输栅电极TG31或第二层级第三传输栅电极TG32可以用作背栅电极。此外,第二层级源电极21s和第二层级漏电极21d也可以被施加电压。第二层级源电极21s和第二层级漏电极21d可以设置在第三栅极绝缘层16上,并可以用作额外的辅助栅电极。在这种情况下,沟道图案CHL中的电荷的运动可以由第一层级第三传输栅电极TG31、第二层级第三传输栅电极TG32、第二层级源电极21s和第二层级漏电极21d控制。其它元件及其操作可以与参照图2至图4、图5A和图5B描述的那些基本上相同或相似,并且为简洁起见,省略对这样的类似元件及其操作的描述。

[0091] 图9A至图9D示出剖视图,依次示出制造图7的图像传感器的工艺。

[0092] 参照图9A,在之前关于图6C描述的工艺之后,第三栅极绝缘层16和覆盖层18被依次且共形地形成在沟道层140上。在一实施方式中,第三栅极绝缘层16可以由铝氧化物或硅氧化物形成。覆盖层18可以由钛氮化物形成或包括钛氮化物。尽管没有示出,但是掩模图案可以形成在覆盖层18上以限定图3的沟道图案CHL的形状。掩模图案可以是例如光致抗蚀剂图案。

[0093] 参照图9B,覆盖层18、第三栅极绝缘层16、沟道层140和第二栅极绝缘层14可以采用该掩模图案作为蚀刻掩模而依次被图案化。在一实施方式中,通过此图案化工艺可以形成沟道图案CHL。在另一实施方式中,可以通过使用该掩模图案对覆盖层18进行图案化而首先形成覆盖图案,然后可以去除该掩模图案。此后,可以使用该覆盖图案作为蚀刻掩模或硬掩模而依次图案化第三栅极绝缘层16、沟道层140和第二栅极绝缘层14,然后可以进一步图案化该覆盖图案以形成彼此间隔开的第一至第三覆盖图案18s、18g和18d并暴露在第一至第三覆盖图案18s、18g和18d之间的第三栅极绝缘层16。

[0094] 参照图9C,可以执行BEOL工艺。具体地,第二蚀刻停止层15和第二层间绝缘层17被依次形成在提供有第一至第三覆盖图案18s、18g和18d的半导体基板110的第一表面110a上。此后,第二层间绝缘层17和第二蚀刻停止层15可以被依次蚀刻以形成分别暴露第一至第三覆盖图案18s、18g和18d的第二层级源极沟槽区域17s、第二层级栅极沟槽区域17g和第二层级漏极沟槽区域17d。在一实施方式中,在形成沟槽区域(17s、17g和17d)期间,第二层间绝缘层17、第二蚀刻停止层15和第一蚀刻停止层12可以被依次蚀刻以形成第二层级接触孔17c。当形成第二层级接触孔17c时,第一至第三覆盖图案18s、18g和18d可以用作保护第三栅极绝缘层16的蚀刻停止层。

[0095] 参照图9D,第二扩散阻挡层19共形地形成在第二层间绝缘层17上,并且导电层被形成成为填充沟槽区域(17s、17g和17d)以及第二层级接触孔17c。此后,可以对该导电层执行抛光工艺以形成第二层级源电极21s、第二层级第三传输栅电极TG32、第二层级漏电极21d和第二层级接触插塞21c。可以与参照图6E和图3描述的相同或相似的方式来执行后续工艺。

[0096] 图10示出根据本发明构思的实施方式的图2的图像传感器的沿着线I-I'截取的剖视图。图11A示出图10的部分“IV”的放大剖视图。图11B示出图10的图像传感器的电路图。

[0097] 参照图10、图11A和图11B,在根据本实施方式的图像传感器中,第三栅极绝缘层16没有插置在沟道图案CHL和第二层级源电极21s之间,并且没有插置在沟道图案CHL和第二层级漏电极21d之间。在第二层级源电极21s下面和在第二层级漏电极21d下面,第二扩散阻挡层19穿透第一覆盖图案18s和第三覆盖图案18d以及第三栅极绝缘层16,并与沟道图案CHL直接接触。换句话说,第二层级源电极21s和第二层级漏电极21d可以电连接到沟道图案CHL。在这种情况下,与图7、图8A和图8B的先前实施方式不同,第二层级源电极21s和第二层级漏电极21d不用作辅助栅电极。在此实施方式中,沟道图案CHL中的电荷的运动可以由第一层级第三传输栅电极TG31和第二层级第三传输栅电极TG32控制。其它元件及其操作可以与参照图2至图4、图5A和图5B描述的那些基本上相同或相似,并且为简洁起见,省略对这样的类似元件及其操作的描述。

[0098] 图12示出根据本发明构思的实施方式的图2的图像传感器沿着线I-I'截取的剖视图。图13A示出图12的部分“VI”的放大剖视图。图13B示出图12的图像传感器的电路图。

[0099] 参照图12和图13A,在根据本实施方式的图像传感器中,第三传输栅电极TG3、源电极37s和漏电极37d设置在第四层间绝缘层33中。半导体基板110的第一表面110a被第一层间绝缘层9覆盖。在本示例中,在第一层间绝缘层9的上部区域中没有凹陷区域。第一层级第一至第三接触插塞13c1、13c2和13c3设置在第一层间绝缘层9中以彼此间隔开。第二蚀刻停止层15和第二层间绝缘层17依次堆叠在第一层间绝缘层9上。第二层级线21可以设置在第二层间绝缘层17中。第三蚀刻停止层23和第三层间绝缘层25依次堆叠在第二层间绝缘层17上。第三层级线29可以设置在第三层间绝缘层25中。第四蚀刻停止层31设置在第三层间绝缘层25上。第三层间绝缘层25的顶表面的一部分没有被第四蚀刻停止层31覆盖并被暴露。

[0100] 沟道图案CHL设置在第三层间绝缘层25的被暴露的部分上。沟道图案CHL可以与第三层级线29的部分直接接触。沟道图案CHL的一端可以电连接到贯通电极120,并且沟道图案CHL的另一端可以电连接到第三浮置扩散区FD3。第二栅极绝缘层14设置在沟道图案CHL上。彼此间隔开的源电极37s、第三传输栅电极TG3和漏电极37d设置在第二栅极绝缘层14

上。覆盖图案18s、18g和18d分别插置在电极(37s、TG3和37d)与第二栅极绝缘层14之间。第四层间绝缘层33可以设置在第四蚀刻停止层31上。与电极(37s、TG3和37d)间隔开的第四层级线37可以设置在第四层间绝缘层33中。第五蚀刻停止层41、第五层间绝缘层43、第六蚀刻停止层71、第六层间绝缘层73和第一钝化层39依次堆叠在第四层间绝缘层33上。第五层级线47和第五扩散阻挡层45设置在第五层间绝缘层43中。第六层级线77和第六扩散阻挡层75设置在第六层间绝缘层73中。尽管没有示出,但是除了互连线之外,第二层级线至第六层级线21、29、37、47和77可以包括过孔插塞和导电焊盘。在一实施方式中,第一层级第一至第三接触插塞13c1、13c2和13c3可以由例如钨形成或包括例如钨。在一实施方式中,第二层级线21、第三层级线29、源电极37s、第三传输栅电极TG3、漏电极37d、第五层级线47和第六层级线77中的全部可以包括铜。

[0101] 参照图13B,在图12和图13A的图像传感器中,源电极37s和漏电极37d可以用作辅助栅电极。例如,在第三传输晶体管Tx3中,沟道图案CHL中的电荷的运动可以由源电极37s、第三传输栅电极TG3和漏电极37d控制。其它元件及其操作可以与参照图2至图4、图5A和图5B描述的那些基本上相同或相似,并且为简洁起见,省略对这样的类似元件及其操作的描述。

[0102] 图14A至图14C示出剖视图,依次示出制造图12的图像传感器的工艺。

[0103] 参照图14A,如在关于图6A描述的工艺中,第一层间绝缘层9形成为覆盖半导体基板110的第一表面110a。第一层级第一至第三接触插塞13c1、13c2和13c3以及第一扩散阻挡层11形成在第一层间绝缘层9中。第二蚀刻停止层15和第二层间绝缘层17依次堆叠在第一层间绝缘层9上。第二层级线21和第二扩散阻挡层19形成在第二层间绝缘层17中。第三蚀刻停止层23和第三层间绝缘层25依次堆叠在第二层间绝缘层17上。第三层级线29形成在第三层间绝缘层25中。

[0104] 参照图14B,第四蚀刻停止层31堆叠在第三层间绝缘层25上。第四蚀刻停止层31可以由例如硅氮化物、硅氧化物、硅氮氧化物和硅碳氮化物(SiCN)中的至少一种形成,或者包括例如硅氮化物、硅氧化物、硅氮氧化物和硅碳氮化物(SiCN)中的至少一种。第四蚀刻停止层31可以被图案化以暴露第三层间绝缘层25的顶表面和第三层级线29的部分。沟道层、第二栅极绝缘层14和覆盖层可以依次形成在第四蚀刻停止层31上,然后被依次图案化。结果,形成沟道图案CHL、第二栅极绝缘层14和覆盖图案。这里,第二栅极绝缘层14和覆盖图案可以形成为具有与沟道图案CHL相同的形状。此后,覆盖图案可以被蚀刻以形成彼此间隔开的第一至第三覆盖图案18s、18g和18d。

[0105] 参照图14C,第四层间绝缘层33形成在提供有第一至第三覆盖图案18s、18g和18d的半导体基板110的第一表面110a之上。彼此间隔开的源电极37s、第三传输栅电极TG3、漏电极37d和第四层级线37形成在第四层间绝缘层33中。

[0106] 图15示出根据本发明构思的实施方式的图2的图像传感器沿着线I-I'截取的剖视图。图16示出图15的部分“VII”的放大剖视图。

[0107] 参照图15和图16,在根据本实施方式的图像传感器中,源电极21s、第三传输栅电极TG3和漏电极21d设置在第二层间绝缘层17中。沟道图案CHL与第一层间绝缘层9接触。沟道图案CHL在其一端附近的部分与第一层级第一接触插塞13c1接触,并且沟道图案CHL在其另一端附近的一部分与第一层级第二接触插塞13c2接触。其它元件可以与之前描述

的元件基本上相同或相似，并且为简洁起见，省略对这样的类似元件的描述。

[0108] 图17示出根据本发明构思的实施方式的图像传感器的平面图。图18示出沿着图17的线VIII-VIII'截取的图像传感器的剖视图。

[0109] 参照图17和图18，在根据本实施方式的图像传感器中，每个像素PX1或PX2可以配置为同时获得关于三种不同颜色的信息。具体地，半导体基板110包括彼此面对的第一表面110a和第二表面110b。半导体基板110可以掺杂有P型杂质。在每个像素PX1或PX2中，第一光电转换部分PD1设置在半导体基板110中。第一光电转换部分PD1可以是例如掺杂有N型杂质的杂质区。彼此间隔开的第一贯通电极120a和第二贯通电极120b设置在半导体基板110中。第一过孔绝缘层122a可以插置在第一贯通电极120a和半导体基板110之间。第二过孔绝缘层122b可以插置在第二贯通电极120b和半导体基板110之间。

[0110] 在每个像素PX1或PX2中，保护层50、第一滤色器CF1、第二绝缘图案52、第一像素电极58、第二光电转换部分PD2、第一公共电极62、第三绝缘图案63、第二像素电极84、第三光电转换部分PD3、第二公共电极86、第二钝化层64和微透镜ML依次堆叠在半导体基板110的第二表面110b上。第一绝缘图案54可以设置在第一滤色器CF1之间。第一贯通电极120a可以通过第一过孔插塞56电连接到第一像素电极58，第一过孔插塞56形成为穿透第一绝缘图案54和保护层50。第二贯通电极120b可以通过第二过孔插塞80电连接到第二像素电极84。第二过孔插塞80的侧表面可以被第三过孔绝缘层82覆盖。

[0111] 第一像素电极58和第二像素电极84以及第一公共电极62和第二公共电极86中的全部可以包括铟锡氧化物(ITO)、铟锌氧化物(IZO)、锌氧化物(ZnO)和/或有机透明导电材料。即使当各种其它波长的光入射到第二光电转换部分PD2和第三光电转换部分PD3时，第二光电转换部分PD2和第三光电转换部分PD3也可以仅感测特定波长的光并产生电荷。在一实施方式中，第二光电转换部分PD2和第三光电转换部分PD3可以是有机光电转换层。第二光电转换部分PD2和第三光电转换部分PD3中的每个可以包含P型有机半导体材料和N型有机半导体材料，或者可以包含量子点或硫属化物材料。

[0112] 第一传输栅电极TG1设置在半导体基板110处。第一栅极绝缘层7插置在第一传输栅电极TG1和半导体基板110之间。第一浮置扩散区FD1可以设置在半导体基板110的与第一传输栅电极TG1相邻的区域中。在每个像素PX1或PX2中，与第一浮置扩散区FD1间隔开的第二浮置扩散区FD2和第三浮置扩散区FD3可以设置在半导体基板110中。半导体基板110的第一表面110a被第一层间绝缘层9覆盖。彼此间隔开的第一源电极13s1、第二传输栅电极TG2和第一漏电极13d1设置在第一层间绝缘层9中。此外，彼此间隔开的第二源电极13s2、第三传输栅电极TG3和第二漏电极13d2设置在第一层间绝缘层9中。第二栅极绝缘层14a和第一沟道图案CHL1依次堆叠在第二传输栅电极TG2上。第一沟道图案CHL1可以横向地延伸以与第一源电极13s1和第一漏电极13d1接触。第三栅极绝缘层14b和第二沟道图案CHL2依次堆叠在第三传输栅电极TG3上。第二沟道图案CHL2可以横向地延伸以与第二源电极13s2和第二漏电极13d2接触。

[0113] 第一光电转换部分PD1可以配置为从穿过第一滤色器CF1的第一波长的光产生电荷。这样的电荷可以通过第一传输栅电极TG1被传输到第一浮置扩散区FD1。

[0114] 第二光电转换部分PD2可以配置为从第二波长的光产生电荷。这样的电荷可以通过第一像素电极58、第一过孔插塞56、第一贯通电极120a、第一层级第一接触插塞13c1和第

一源电极13s1被传输到第一沟道图案CHL1，然后当电压被施加到第二传输栅电极TG2时可以通过第一漏电极13d1和第一层级第二接触插塞13c2被传输到第二浮置扩散区FD2。

[0115] 第三光电转换部分PD3可以配置为从第三波长的光产生电荷。这样的电荷可以通过第二像素电极84、第二过孔插塞80、第二贯通电极120b、第一层级第三接触插塞13c3和第二源电极13s2被传输到第二沟道图案CHL2，然后当电压被施加到第三传输栅电极TG3时可以通过第二漏电极13d2和第一层级第四接触插塞13c4被传输到第三浮置扩散区FD3。其它元件及其操作可以与参照图2至图4、图5A和图5B描述的那些基本上相同或相似，并且为简洁起见，省略对这样的类似元件及其操作的描述。

[0116] 图19示出根据本发明构思的实施方式的图像传感器的平面图。图20示出沿着图19的线IX-IX'截取的图像传感器的剖视图。

[0117] 参照图19和图20，在根据本实施方式的图像传感器中，每个像素PX1或PX2可以配置为同时获得关于三种不同颜色的信息。具体地，半导体基板110包括彼此面对的第一表面110a和第二表面110b。半导体基板110可以掺杂有P型杂质。在每个像素PX1或PX2中，第一光电转换部分PD1和第二光电转换部分PD2设置在半导体基板110中的不同深度处并彼此垂直地间隔开。第一光电转换部分PD1和第二光电转换部分PD2可以是例如掺杂有N型杂质的杂质区。

[0118] 深器件隔离部分DI可以设置在半导体基板110中以将第一像素PX1和第二像素PX2彼此分隔。深器件隔离部分DI可以包括在第一方向X上延伸的延伸部分DI_E以及在与第一方向X交叉的第二方向Y上和在与第二方向Y相反的方向上从延伸部分DI_E突出的突出部分DI_P。深器件隔离部分DI可以包括多晶硅图案90和绝缘图案92。与多晶硅图案90电断开的贯通电极120可以设置在半导体基板110中。

[0119] 在每个像素PX1或PX2中，彼此间隔开的第一传输栅电极TG1和第二传输栅电极TG2设置在半导体基板110的第一表面110a处。第一传输栅电极TG1的一部分延伸到半导体基板110中并与第一光电转换部分PD1相邻地定位。第二传输栅电极TG2的一部分延伸到半导体基板110中并与第二光电转换部分PD2相邻地定位。第二光电转换部分PD2可以比第一光电转换部分PD1更深，并且第二传输栅电极TG2的底表面可以比第一传输栅电极TG1的底表面更深。第一栅极绝缘层7插置在第一和第二传输栅电极TG1和TG2与半导体基板110之间。第一浮置扩散区FD1可以设置在半导体基板110的与第一传输栅电极TG1相邻的区域中。第二浮置扩散区FD2可以设置在半导体基板110的与第二栅电极TG2相邻的另一区域中。

[0120] 与第一浮置扩散区FD1和第二浮置扩散区FD2间隔开的第三浮置扩散区FD3可以设置在半导体基板110中。半导体基板110的第一表面110a被第一层间绝缘层9覆盖。源电极13s、第三传输栅电极TG3和漏电极13d设置在第一层间绝缘层9中。第二栅极绝缘层14和沟道图案CHL设置在第三传输栅电极TG3上。

[0121] 在每个像素PX1或PX2中，滤色器没有设置在半导体基板110的第二表面110b上。保护层50、像素电极58、第三光电转换部分PD3、公共电极62、第二钝化层64和微透镜ML依次堆叠在半导体基板110的第二表面110b上。

[0122] 第一光电转换部分PD1可以配置为从第一波长的光产生电荷。这样的电荷可以通过第一传输栅电极TG1被传输到第一浮置扩散区FD1。

[0123] 第二光电转换部分PD2可以配置为从第二波长的光产生电荷。这样的电荷可以通

过第二传输栅电极TG2被传输到第二浮置扩散区FD2。由于它们之间的波长差异,第一波长和第二波长的光可以在半导体基板110中具有不同的穿透深度。因此,即使没有滤色器,第一光电转换部分PD1和第二光电转换部分PD2也可以感测不同波长的光。

[0124] 第三光电转换部分PD3可以配置为从第三波长的光产生电荷。这样的电荷可以通过第三传输栅电极TG3被传输到第三浮置扩散区FD3。

[0125] 根据本发明构思的实施方式,图像传感器可以包括单独的传输晶体管,其形成在层间绝缘层上并用于传输在有机光电转换部分中产生的电荷。因此,可以减少复位噪声并增大电荷传输速度。此外,可以提供能够实现改善的图像质量的高度集成的图像传感器。

[0126] 在根据本发明构思的实施方式的制造图像传感器的方法中,在生产线后端(BEOL)工艺之前,可以使用氧化物半导体材料形成沟道图案,因此在BEOL工艺期间,可以减少或防止由氧化物半导体材料引起的污染问题以及随之发生的工艺失败。

[0127] 尽管已经具体示出和描述了本发明构思的示例实施方式,但是本领域普通技术人员应当理解,可以在其中进行形式和细节上的变化,而没有脱离本发明构思的精神和范围。

[0128] 本申请要求于2019年1月7日在韩国知识产权局提交的韩国专利申请第10-2019-0001937号的优先权,其全部内容通过引用结合于此。

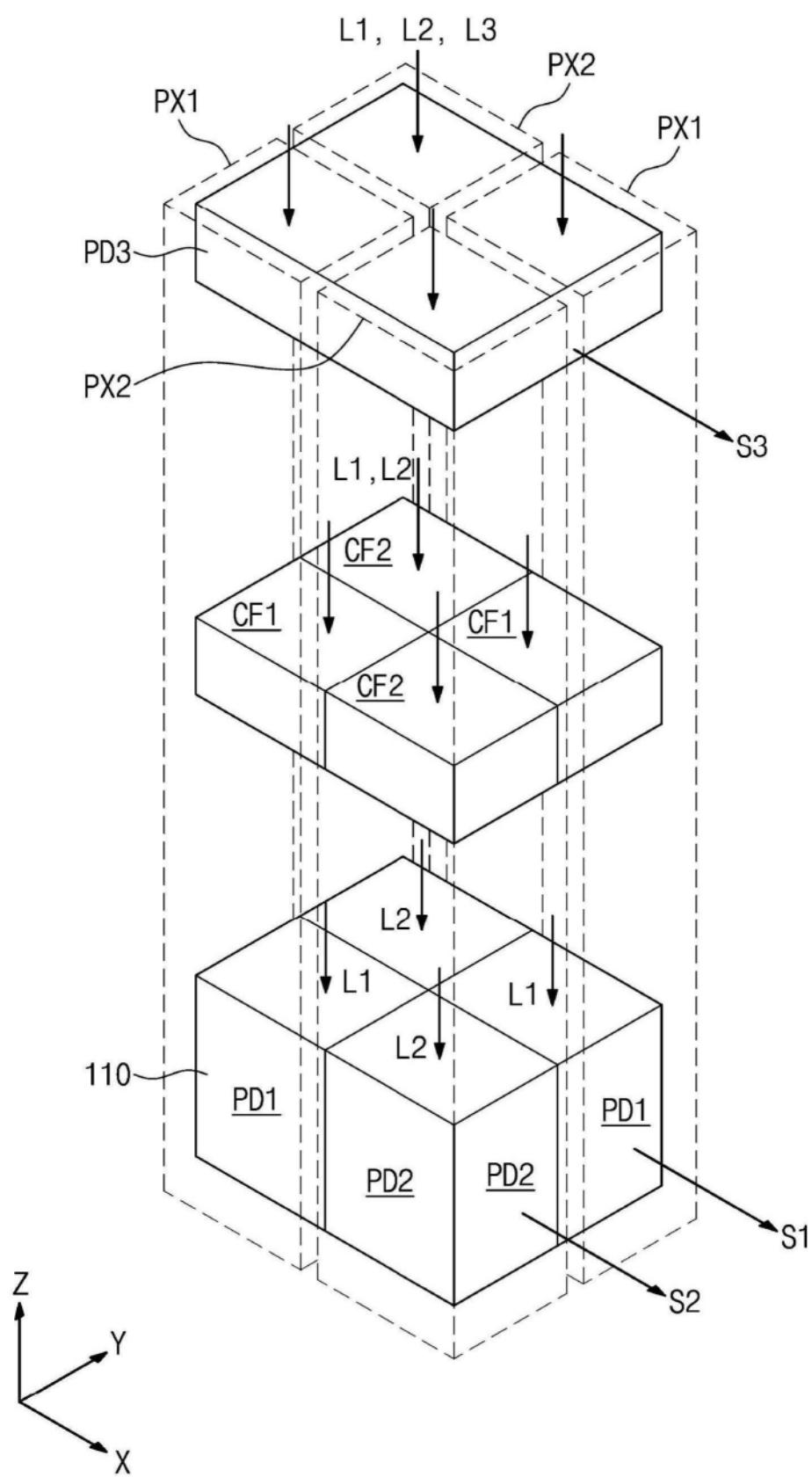


图1

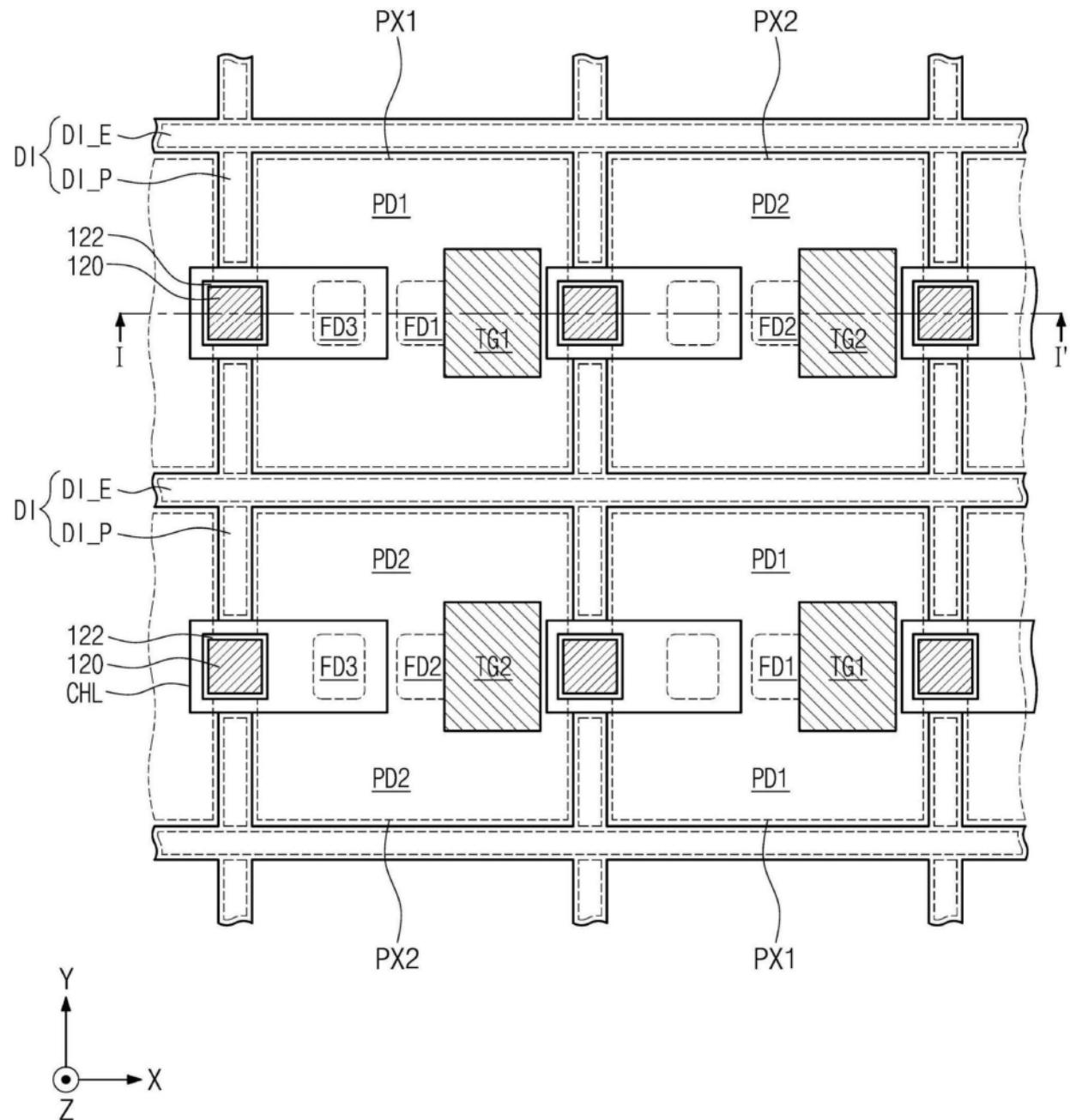


图2

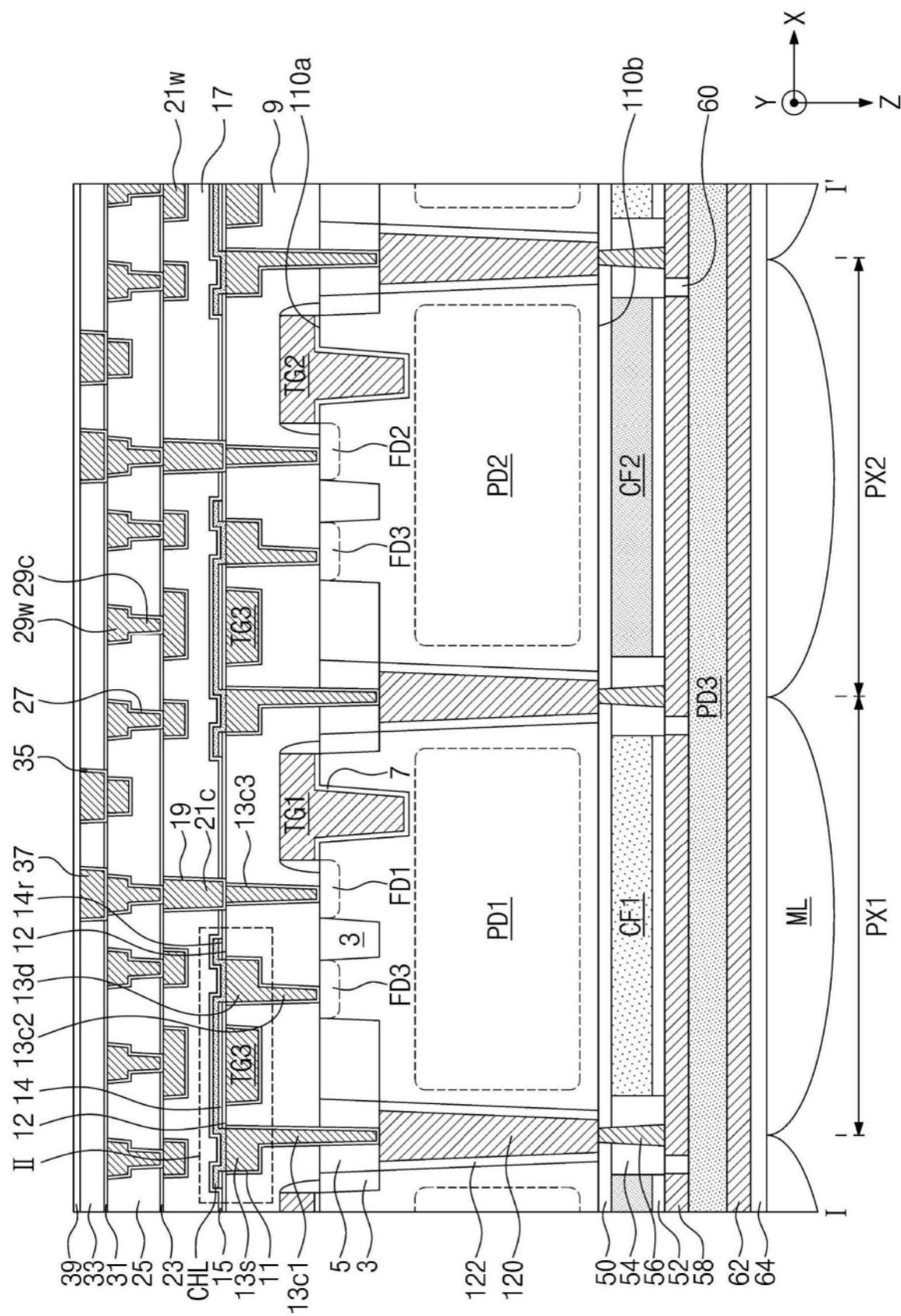


图3

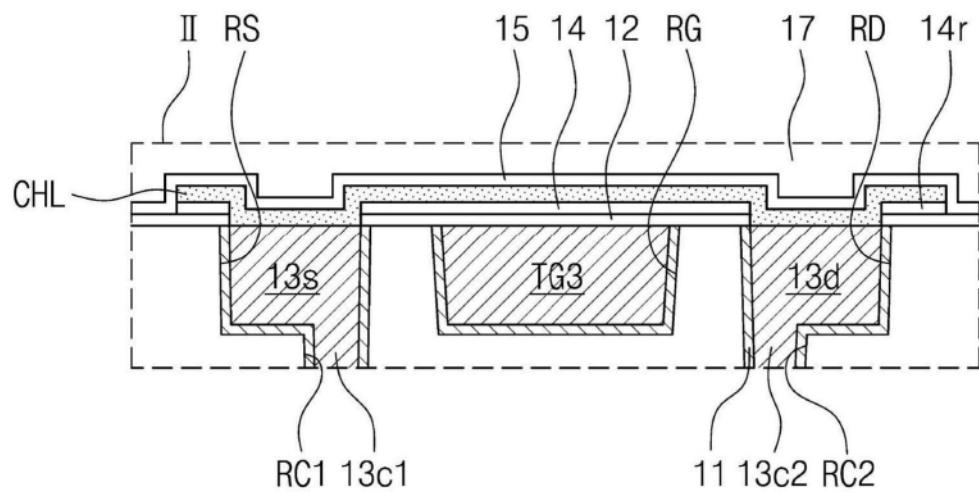


图4

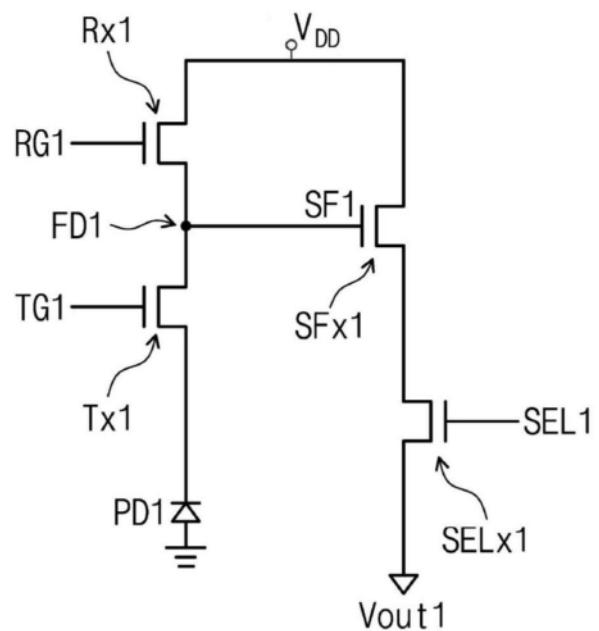


图5A

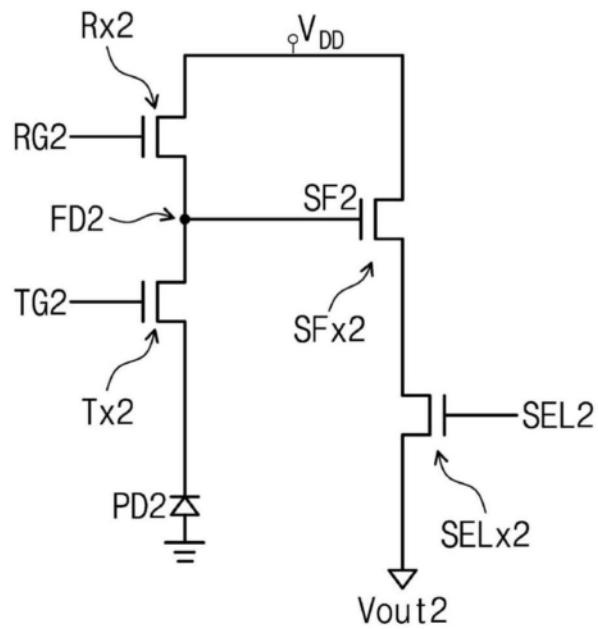


图5B

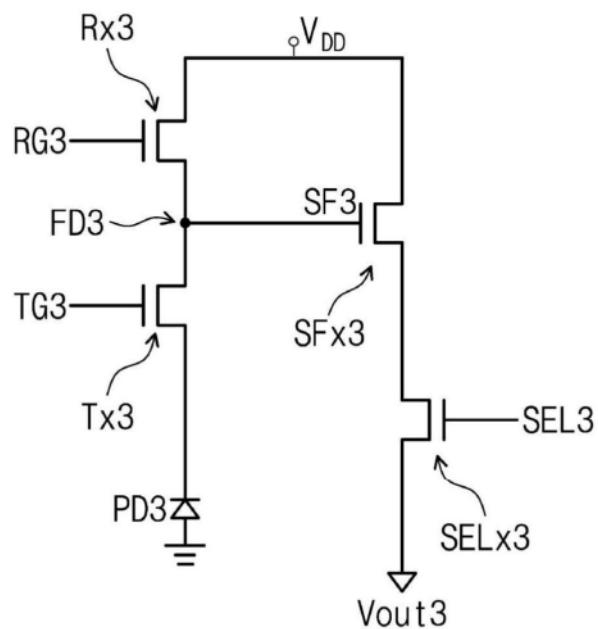


图5C

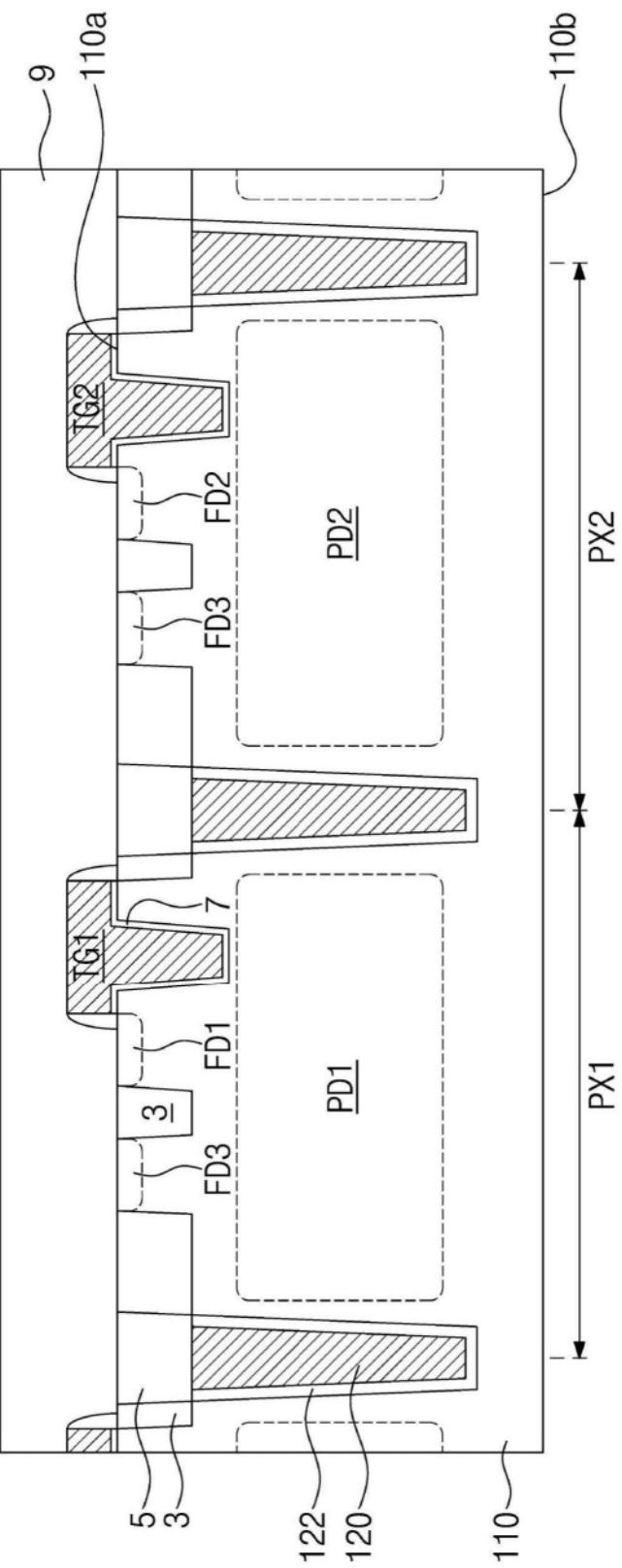


图6A

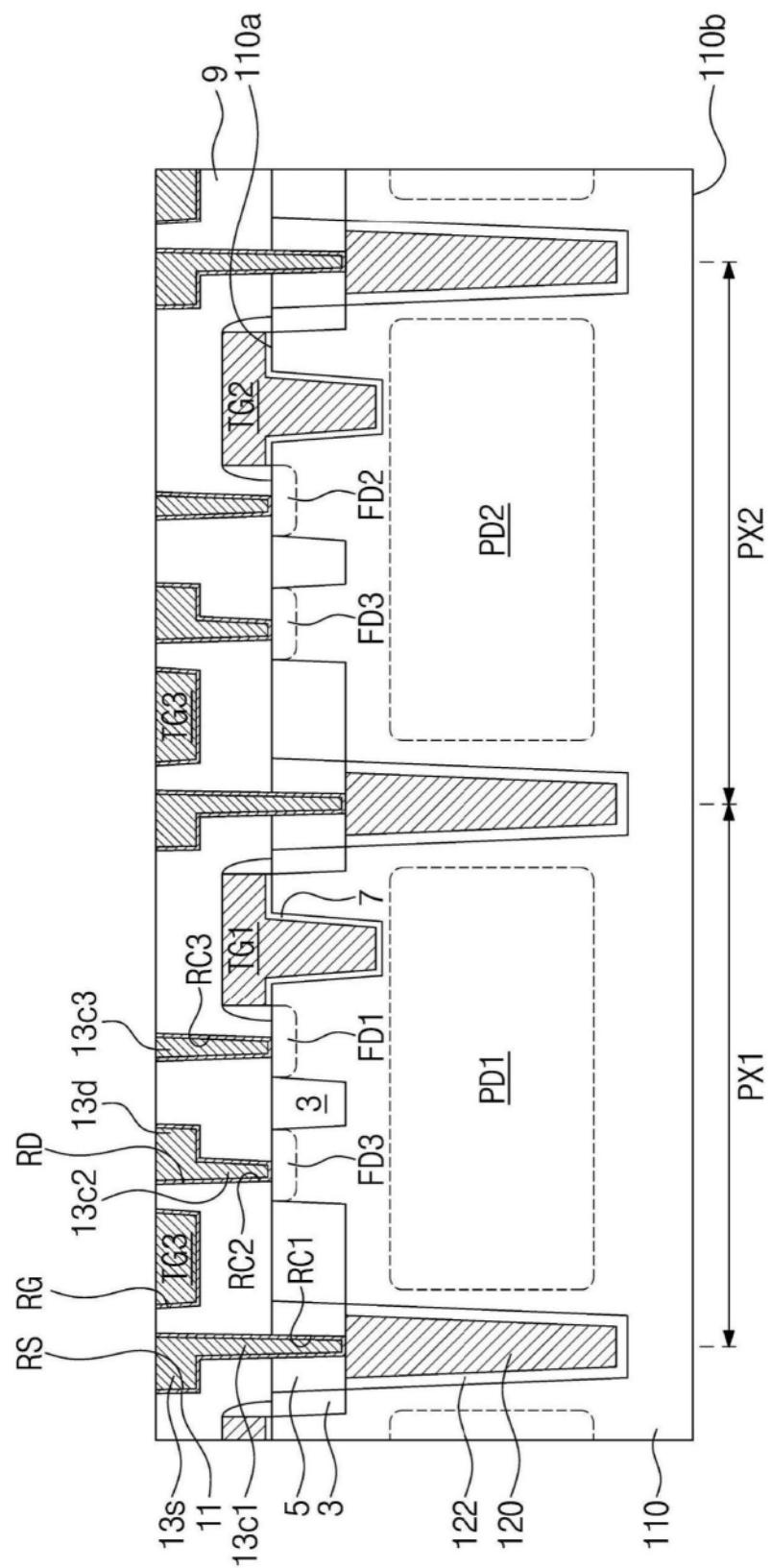


图6B

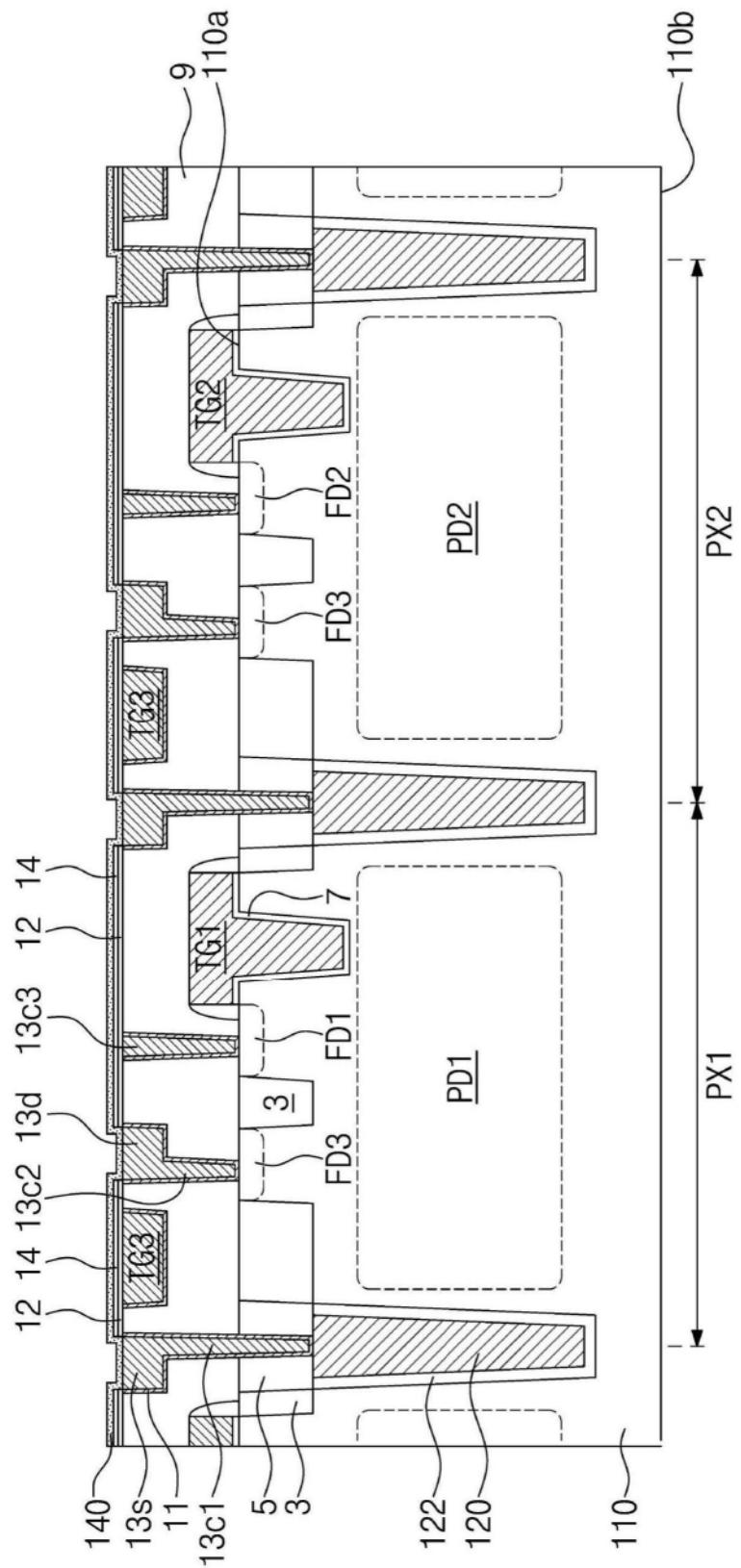


图6C

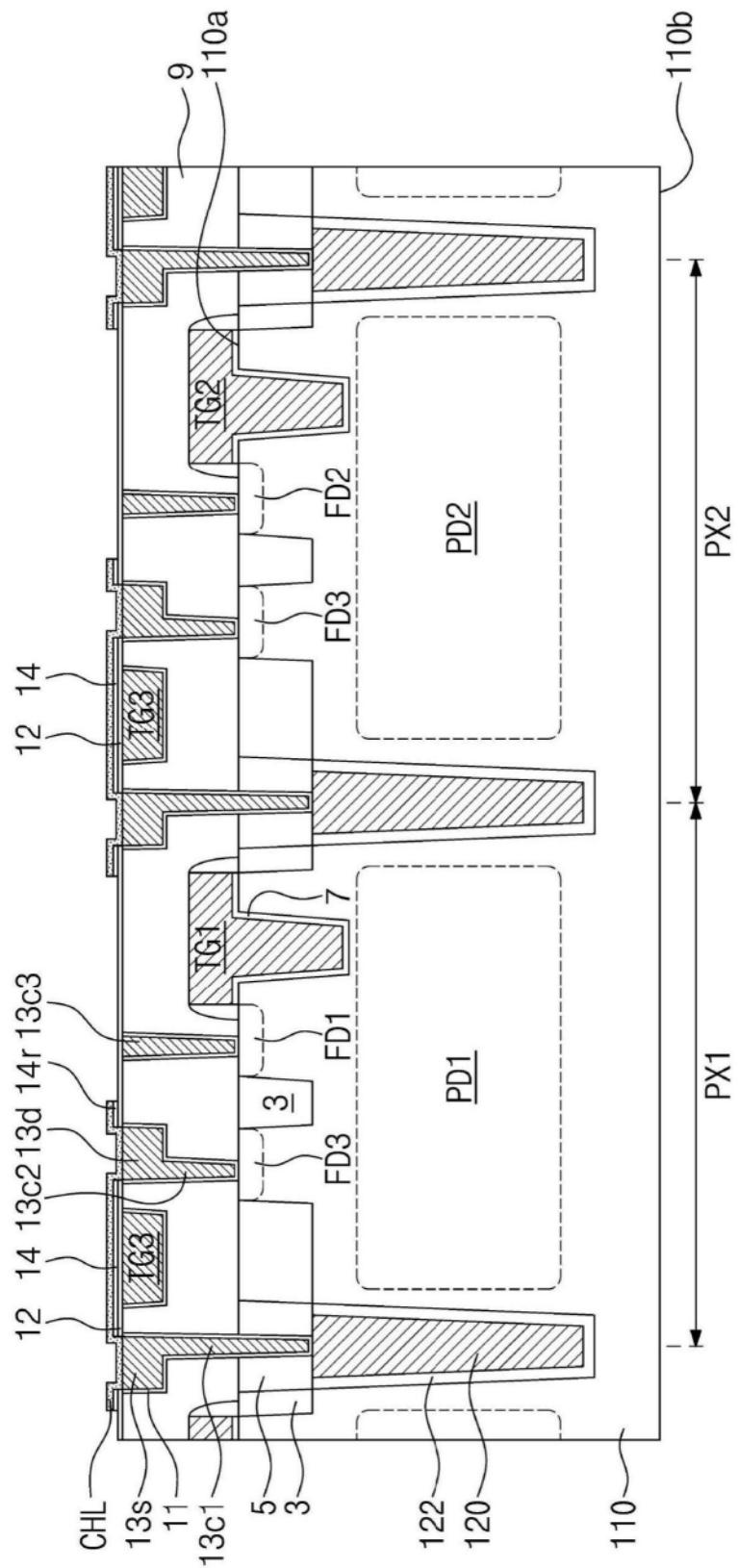


图6D

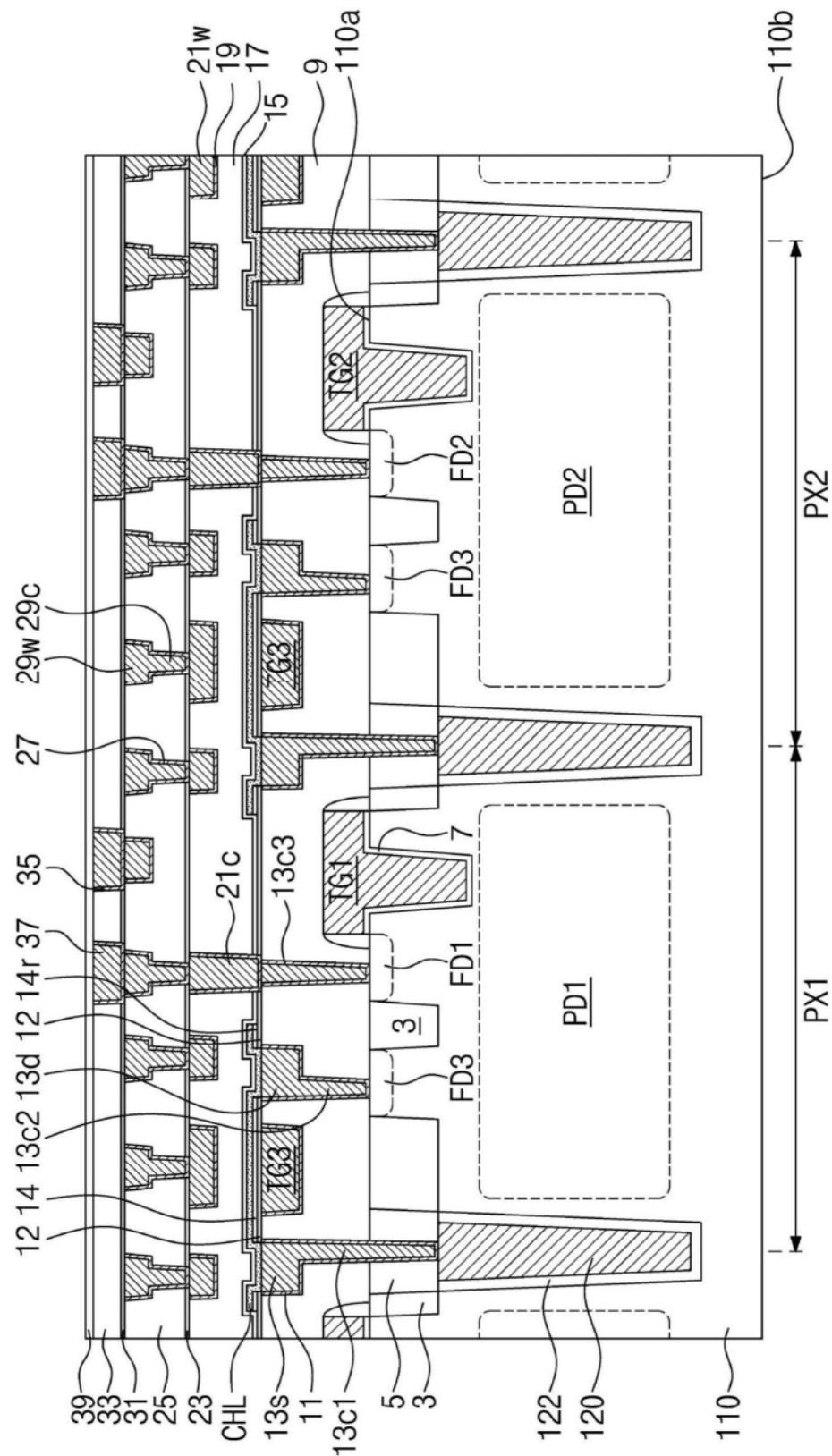


图6E

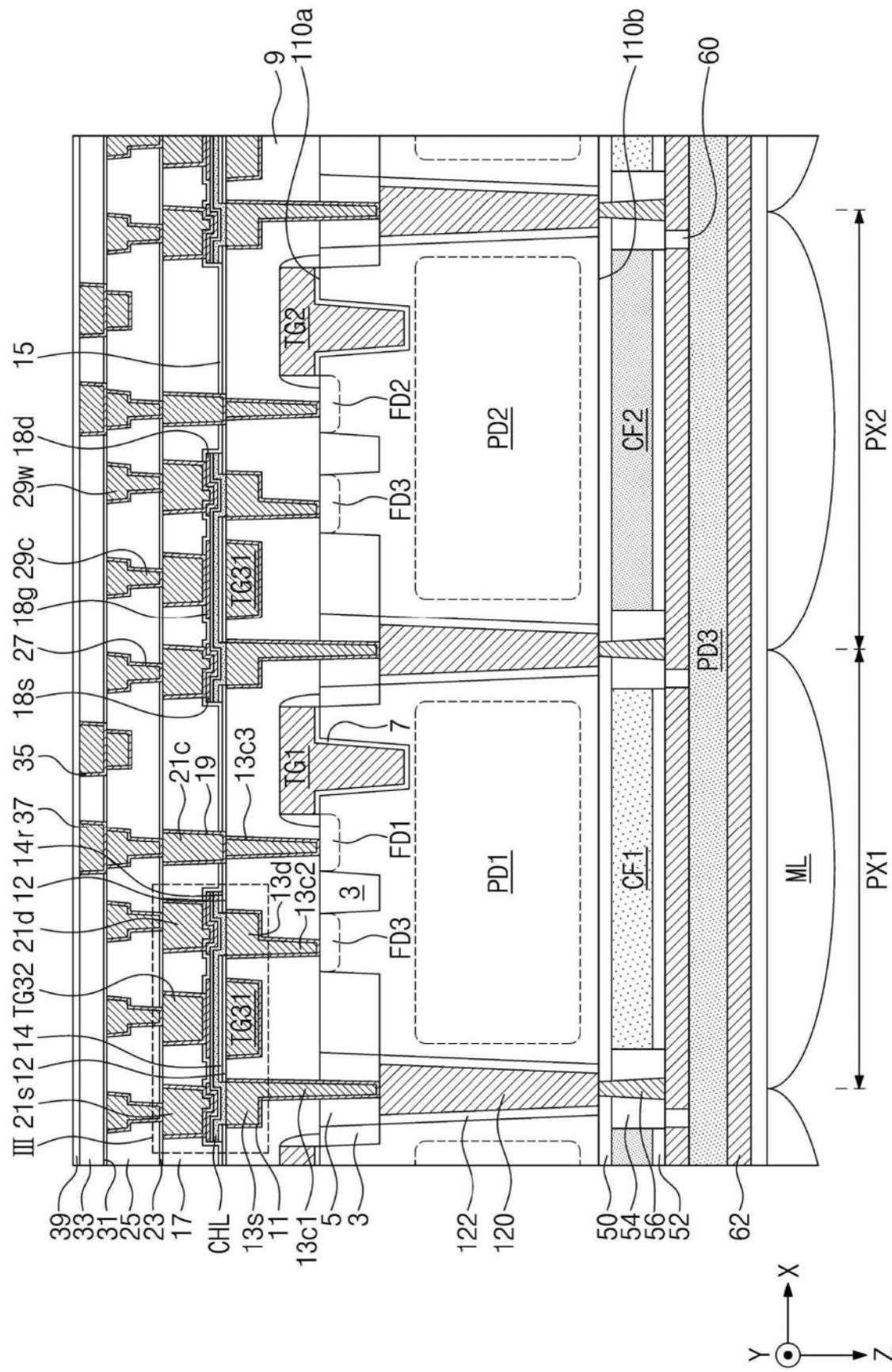


图7

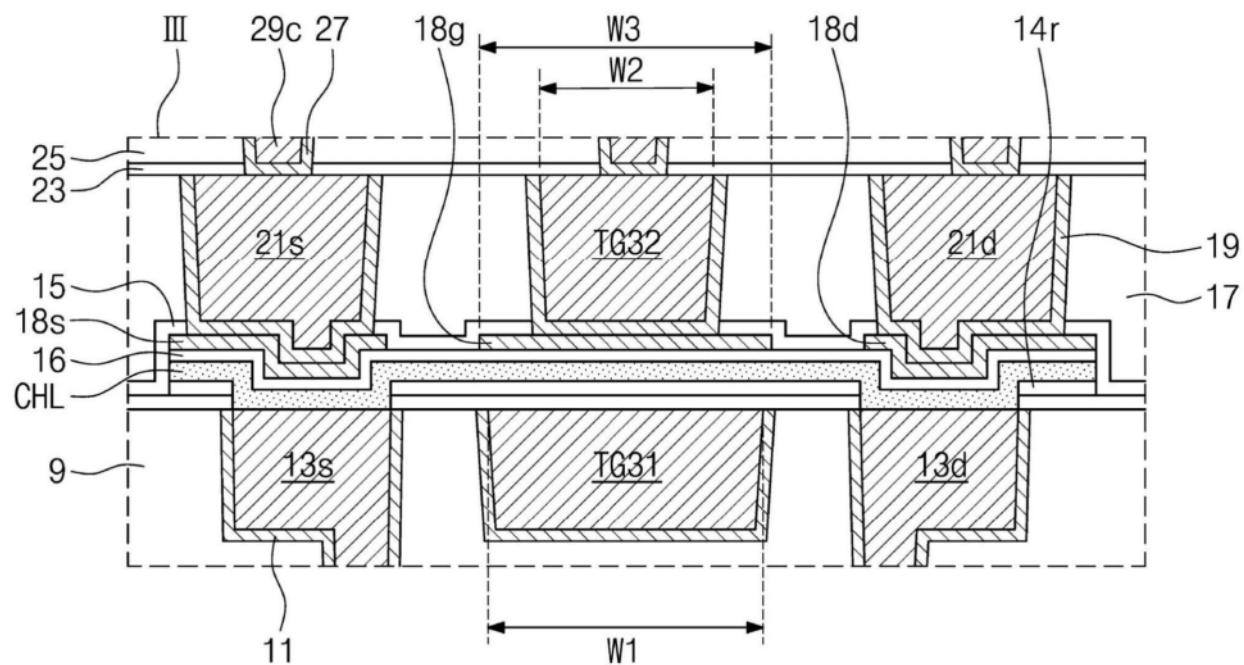


图8A

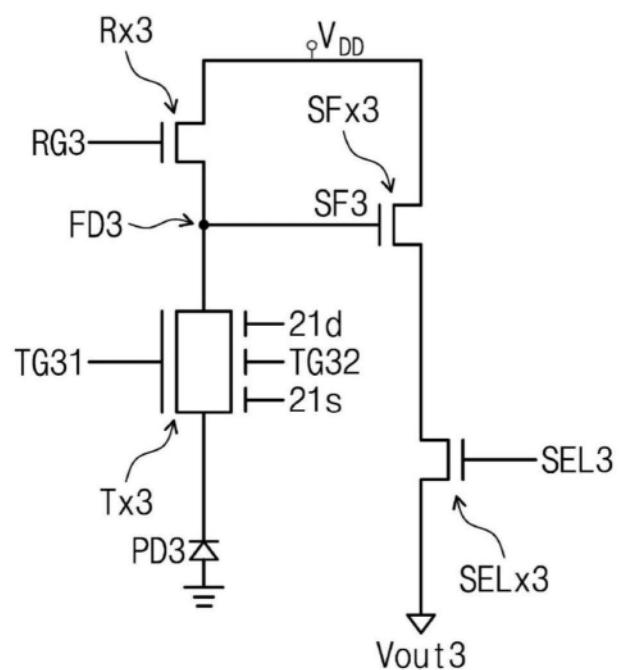


图8B

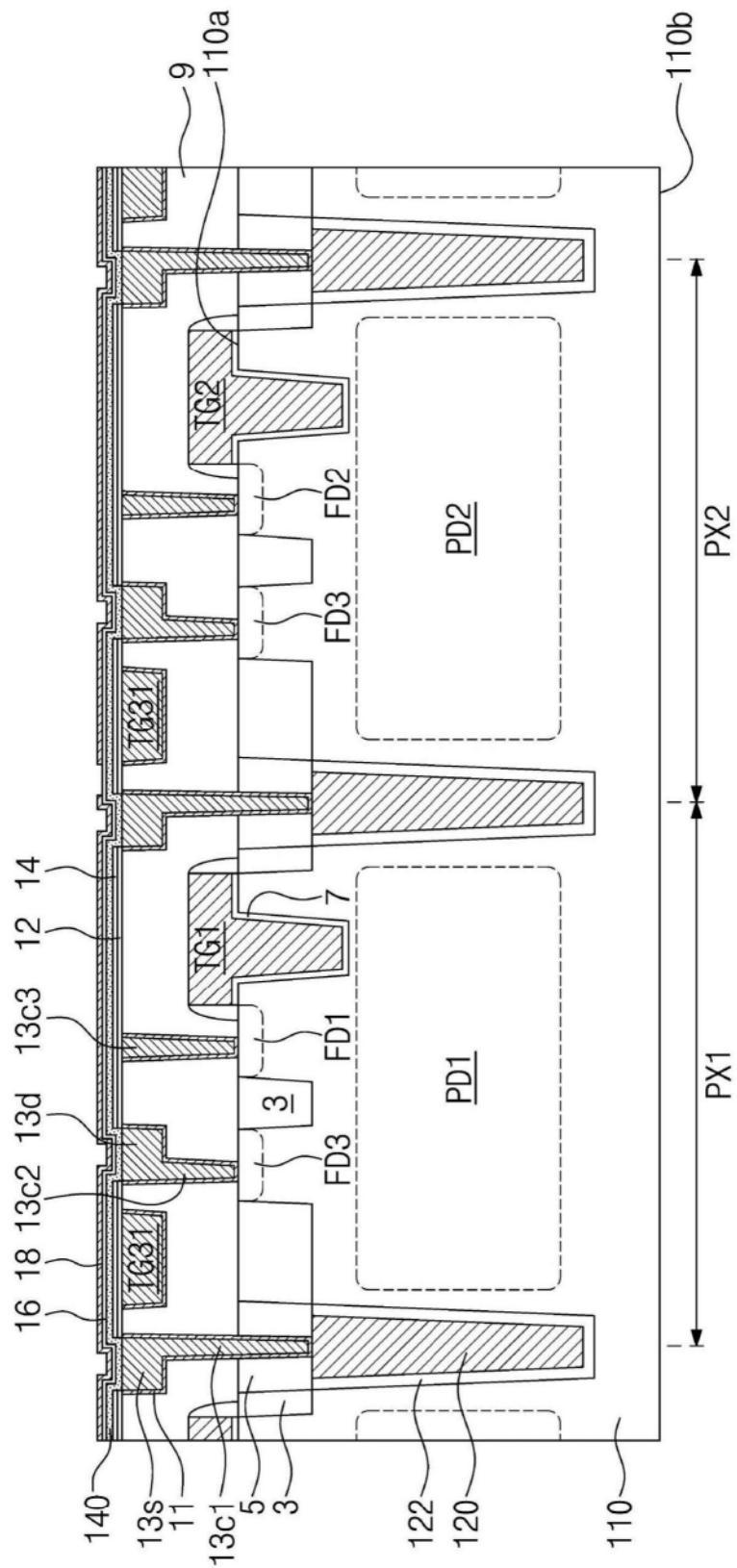


图9A

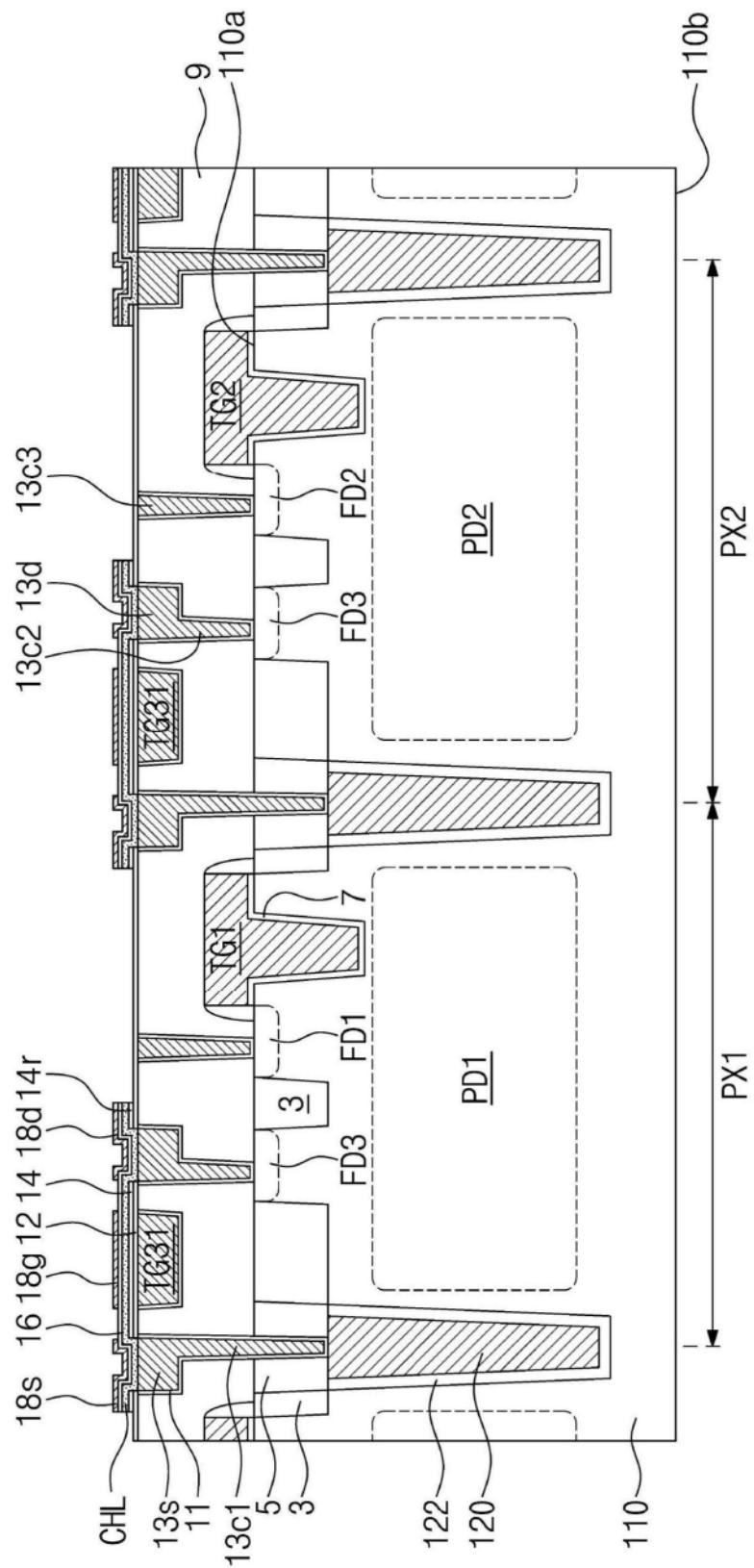


图9B

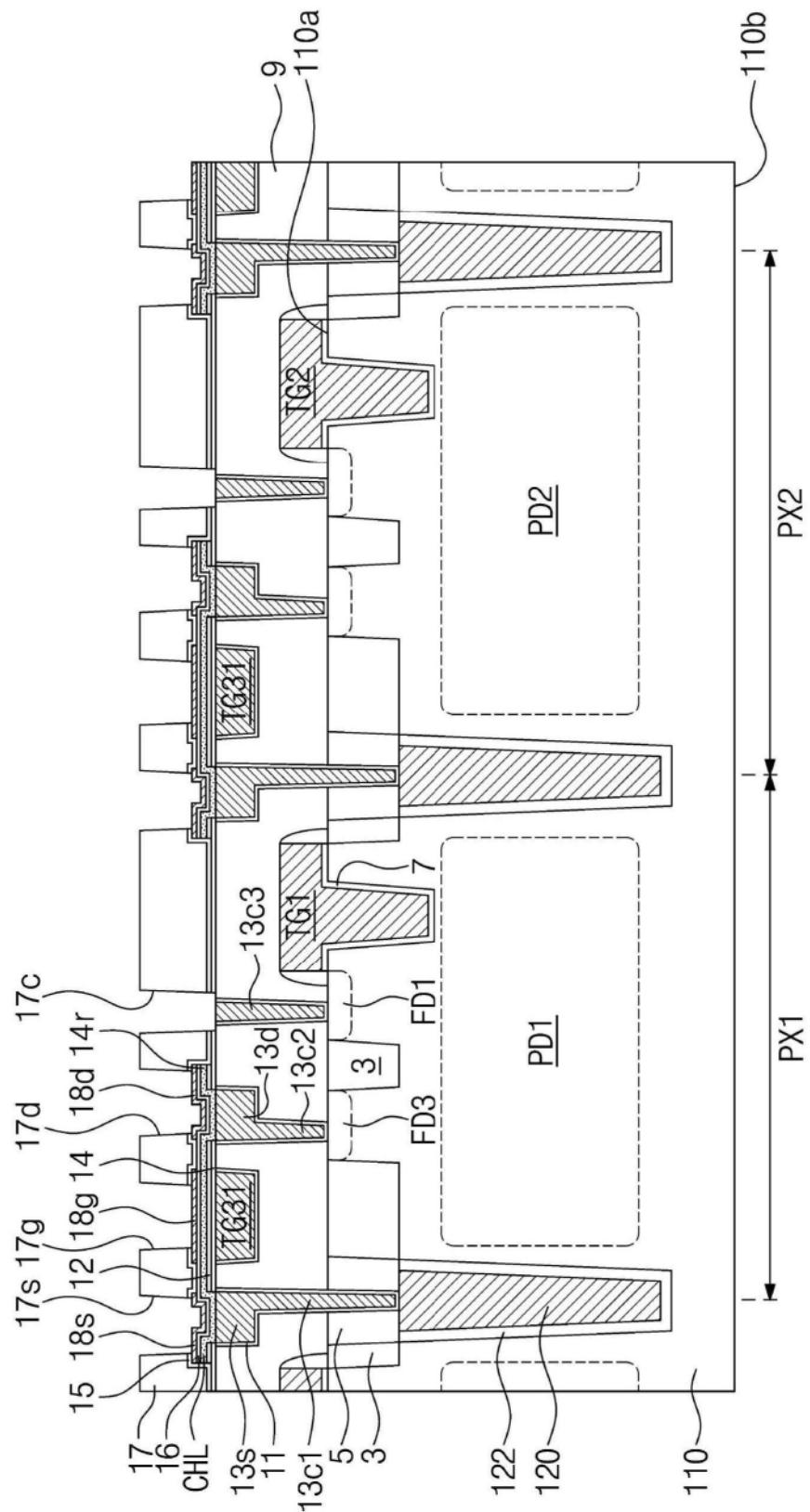


图9C

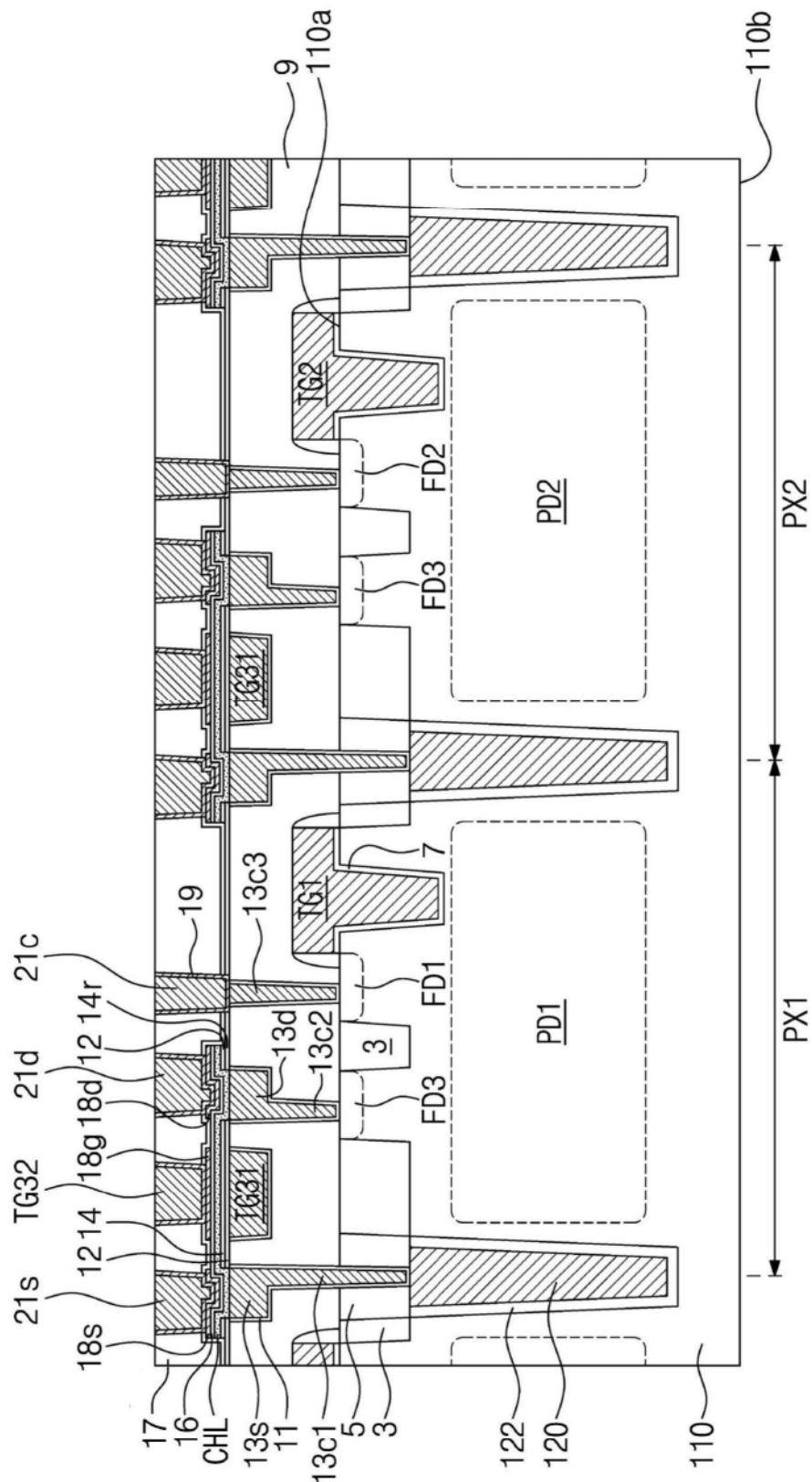


图9D

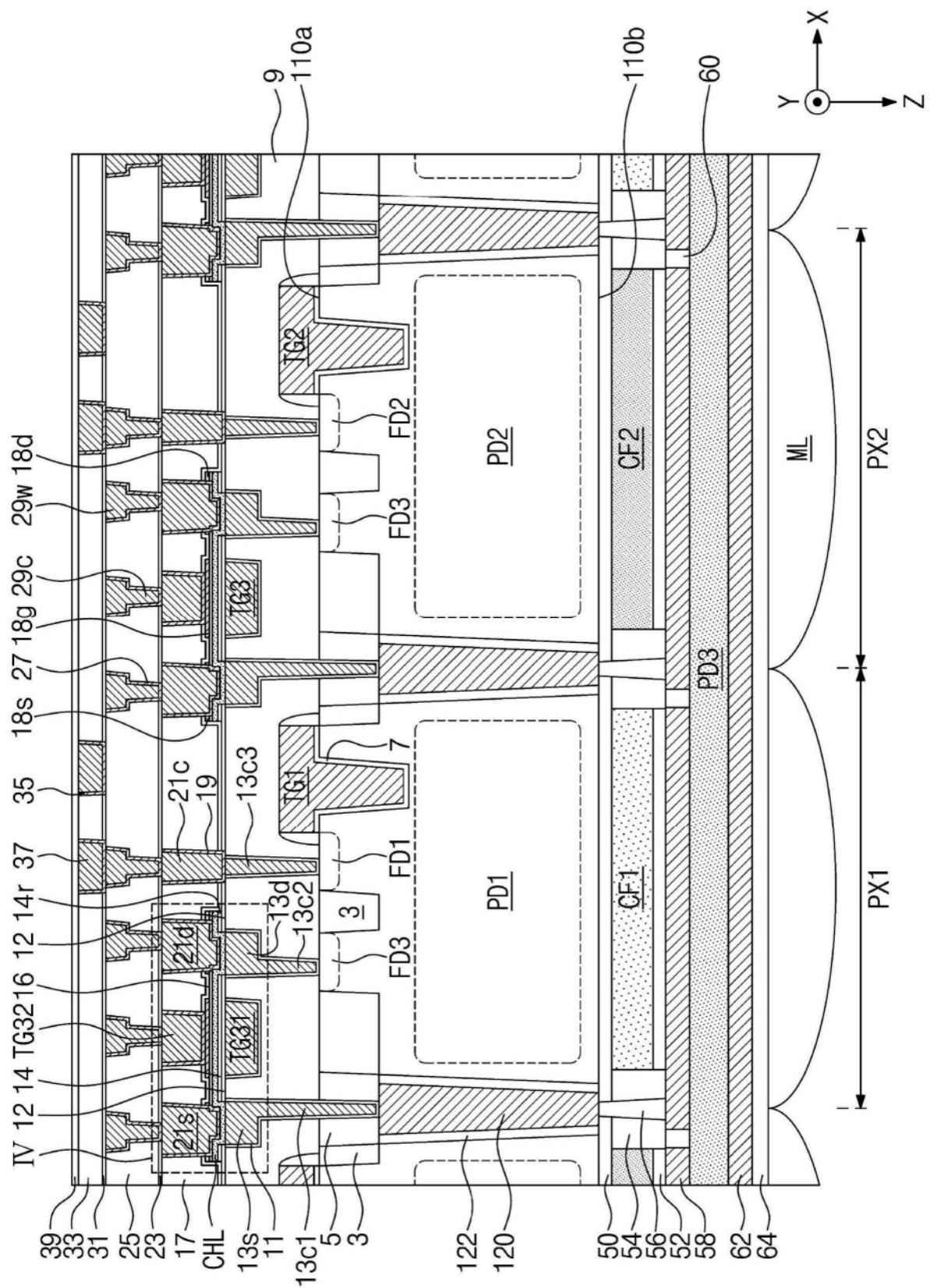


图10

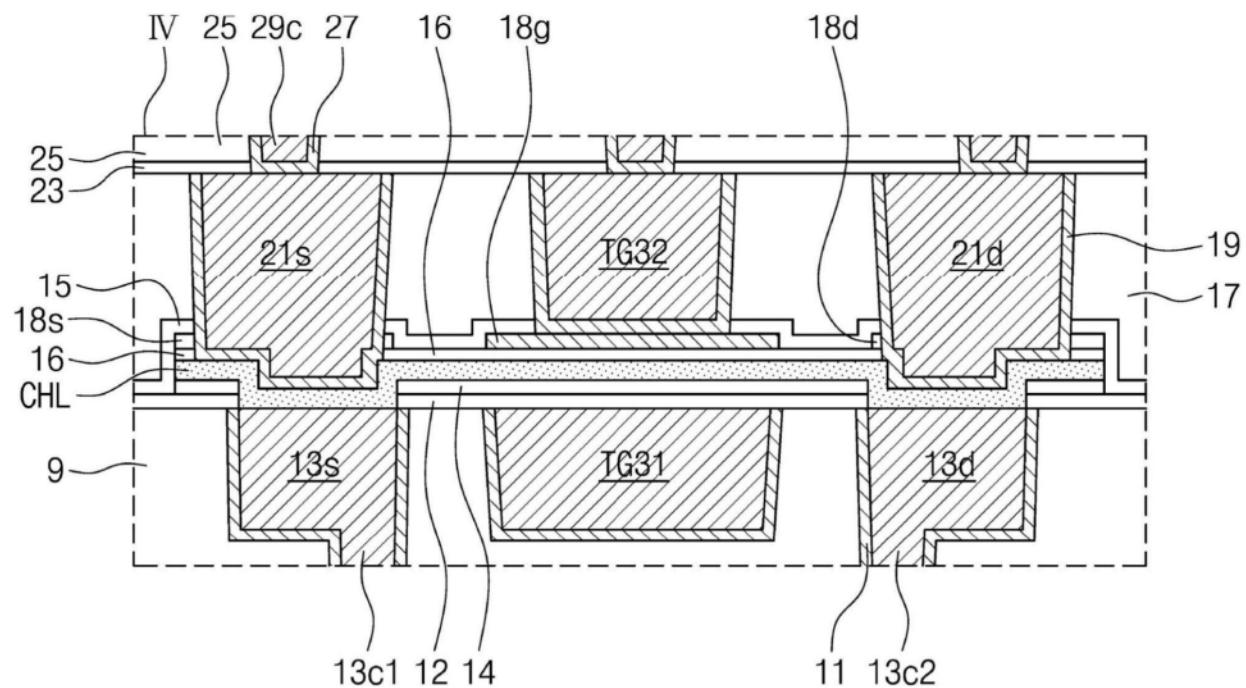


图11A

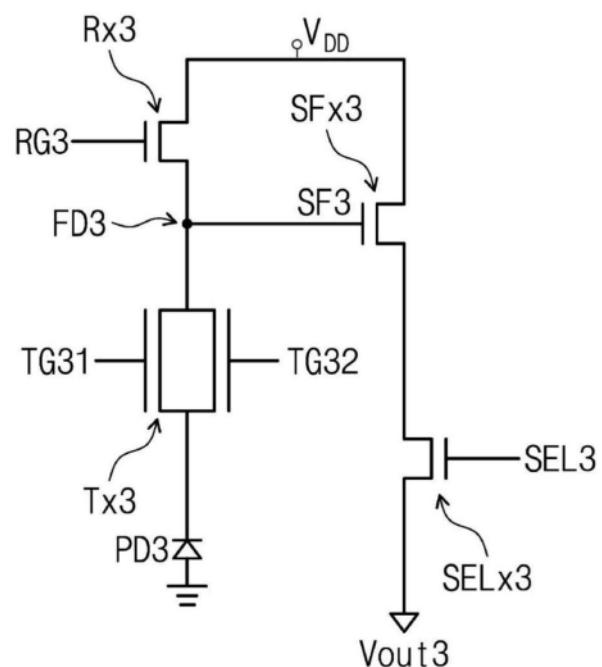


图11B

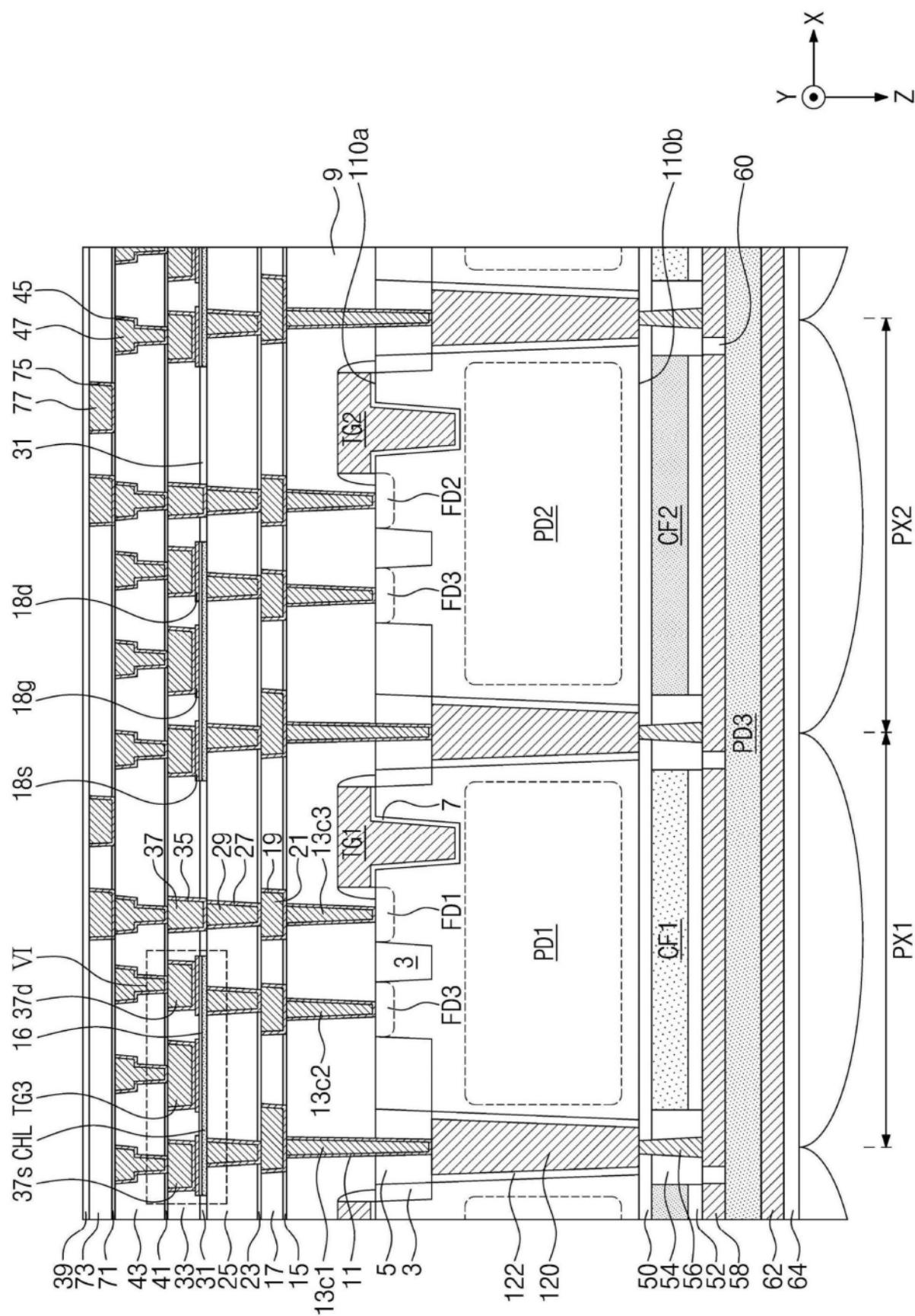


图12

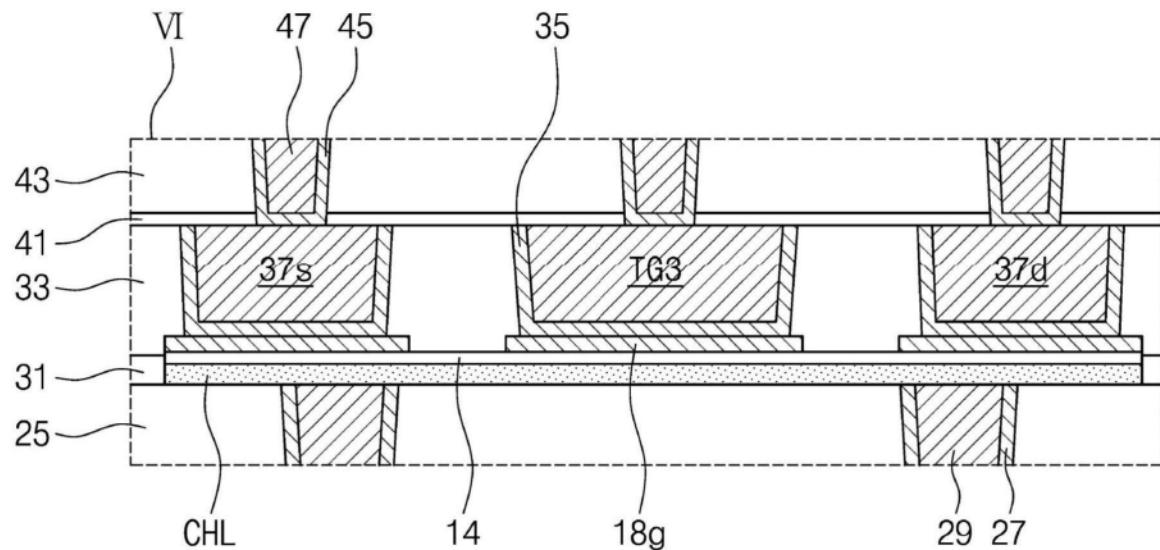


图13A

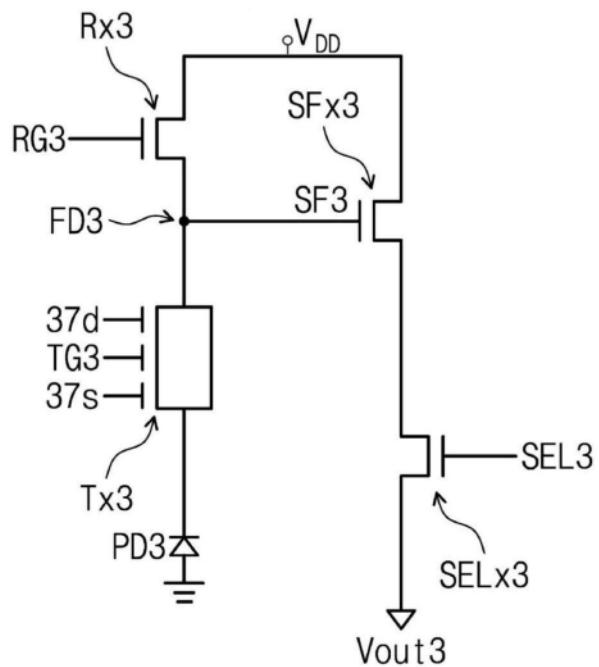


图13B

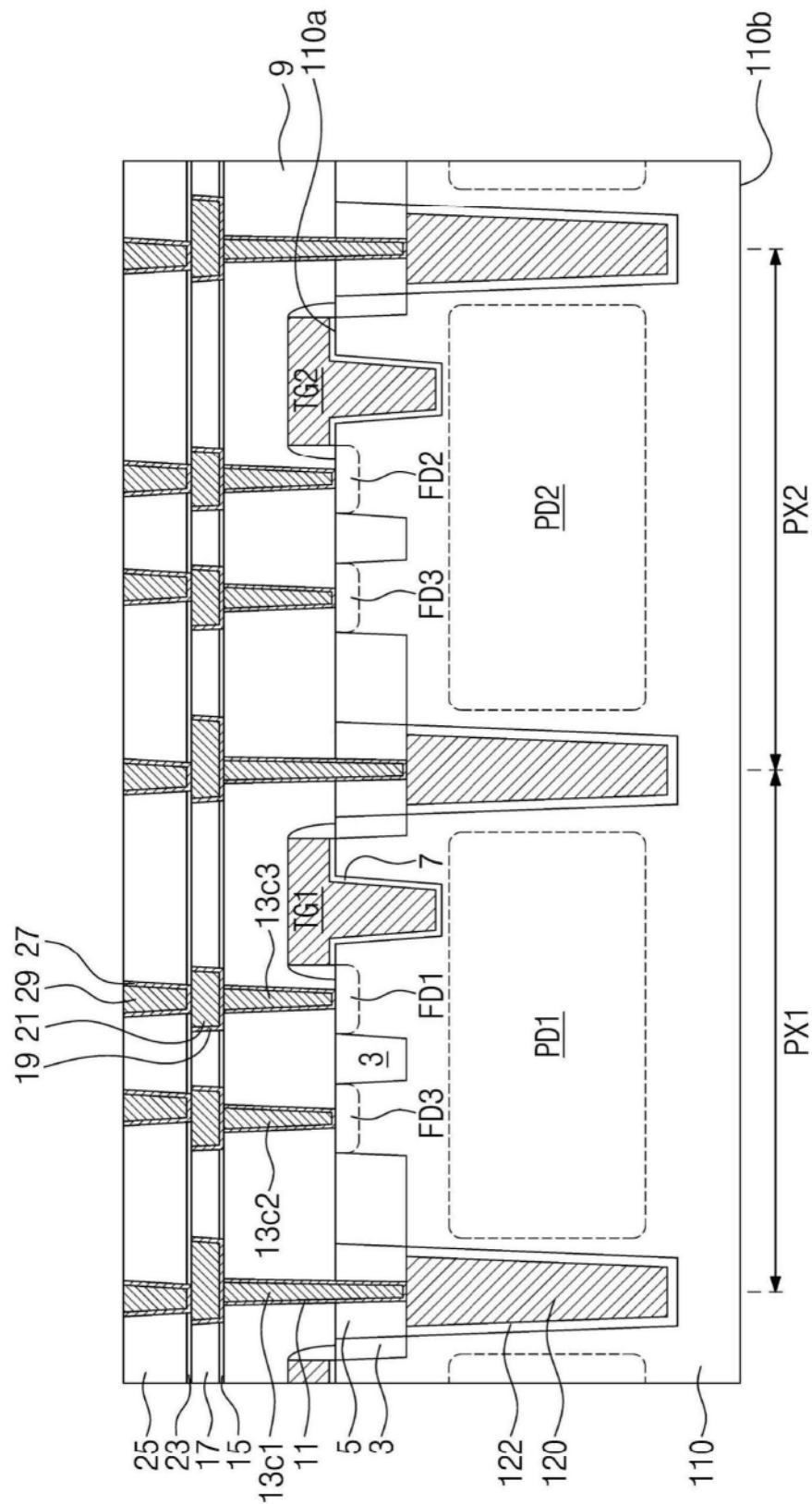


图14A

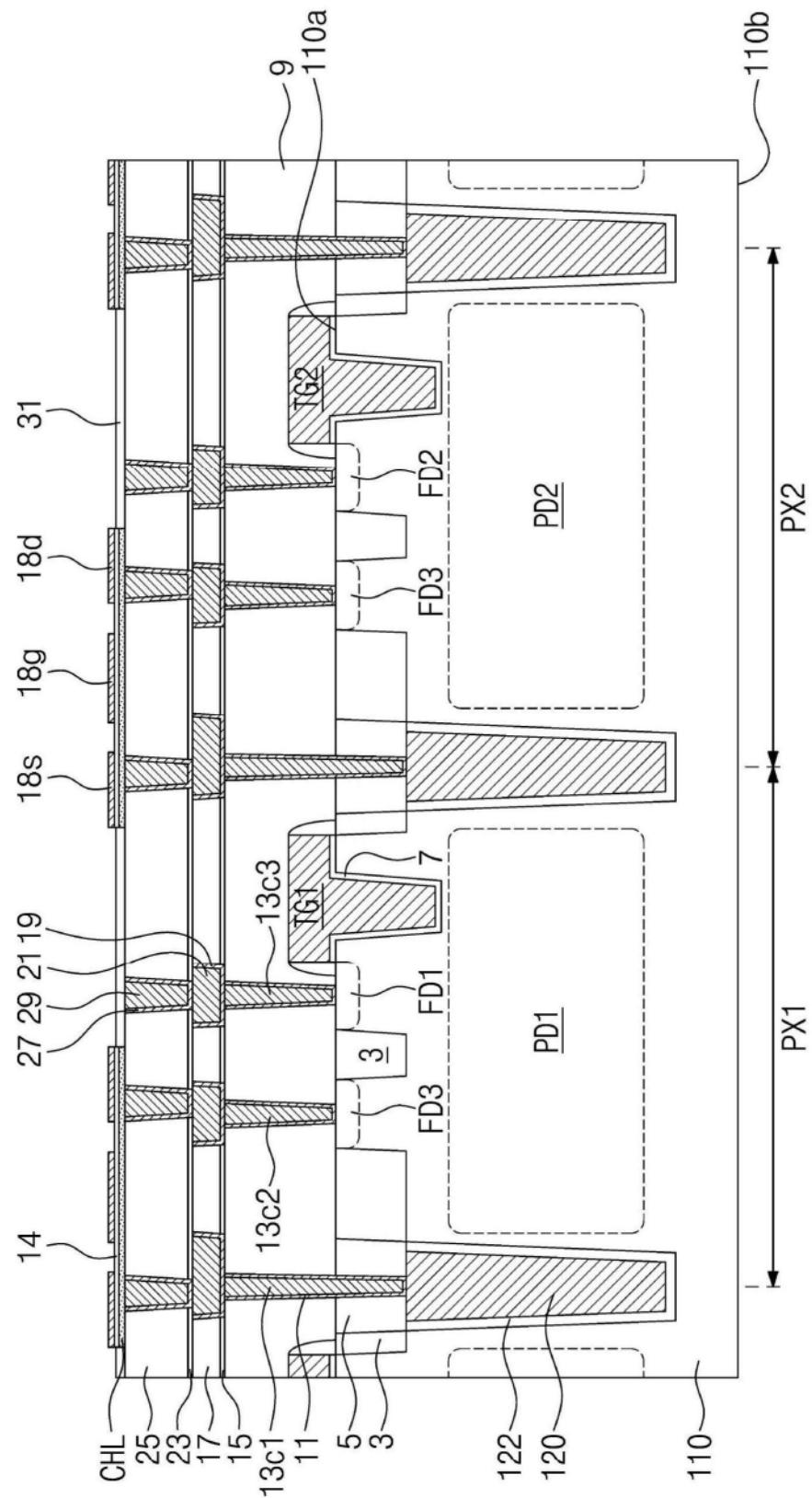


图14B

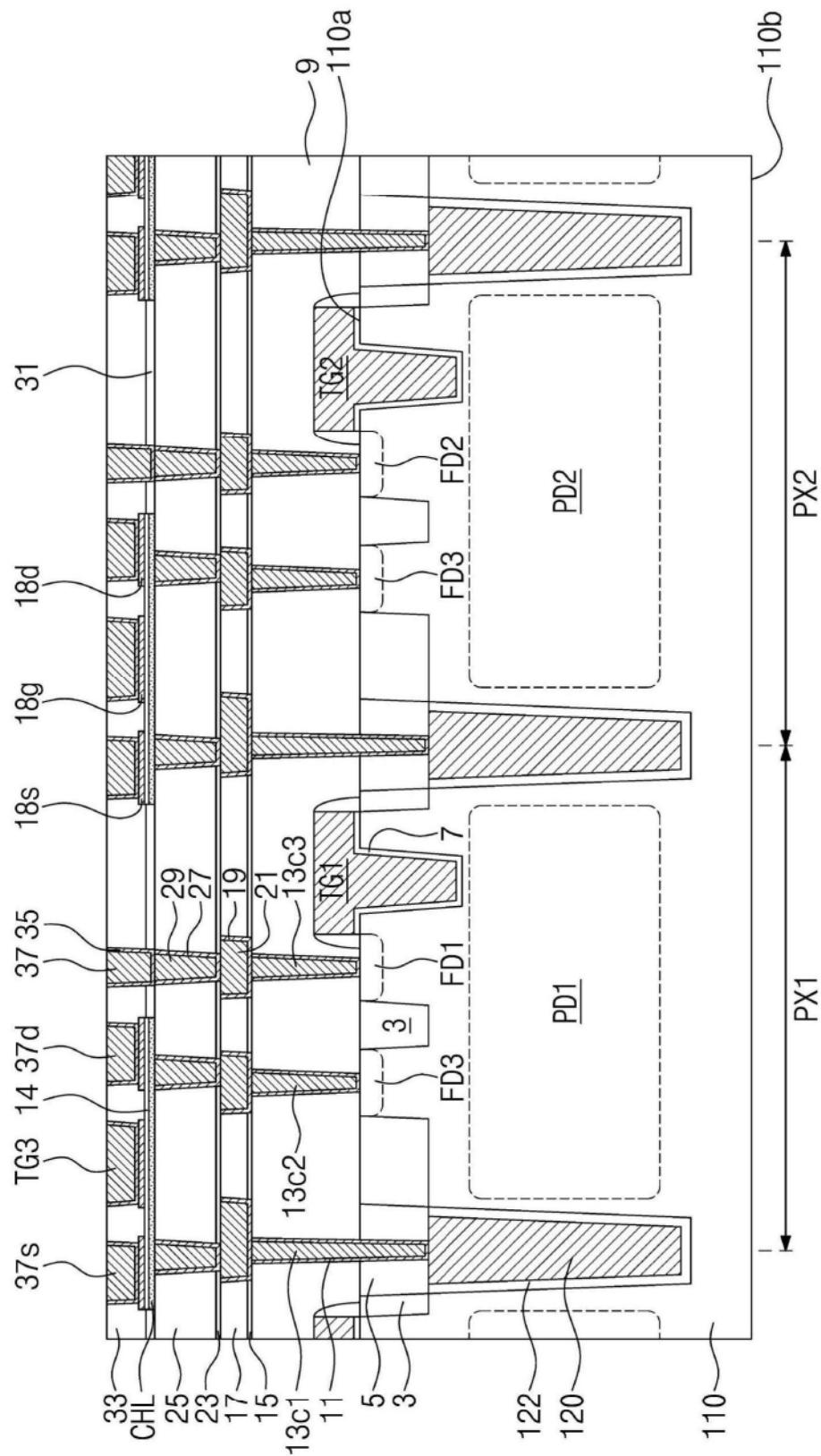


图14C

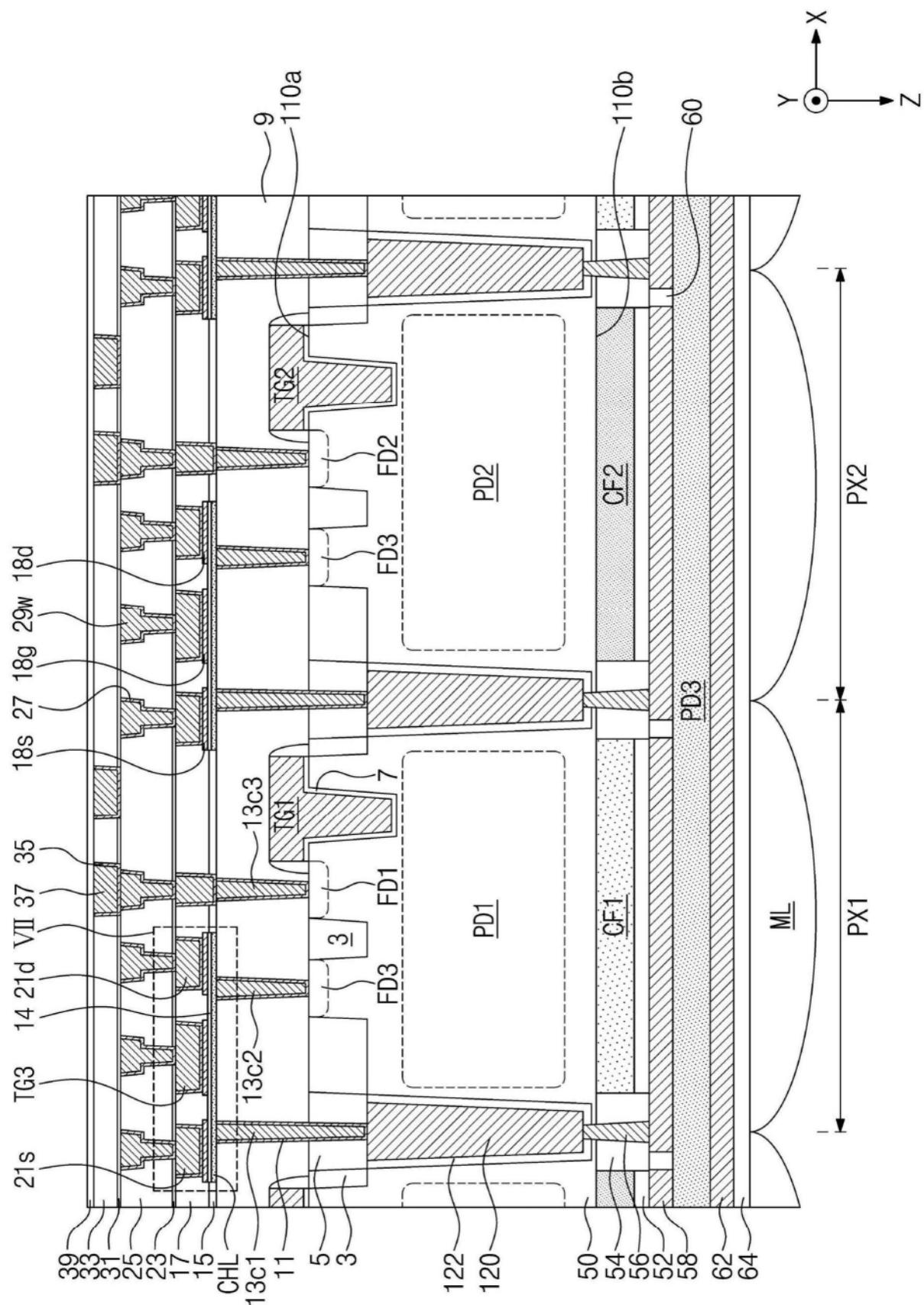


图15

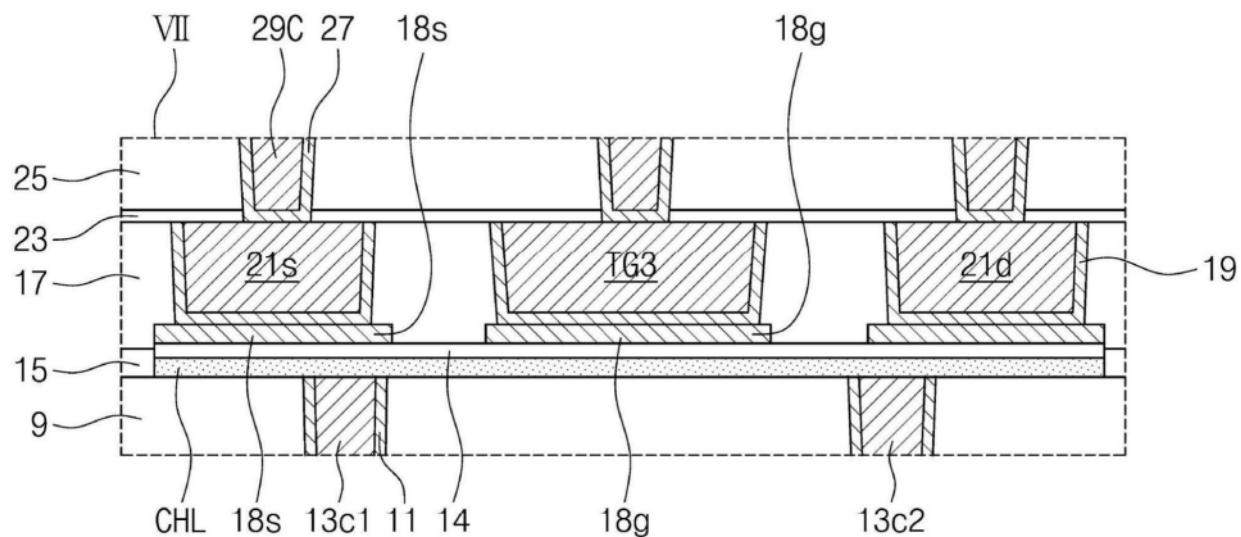


图16

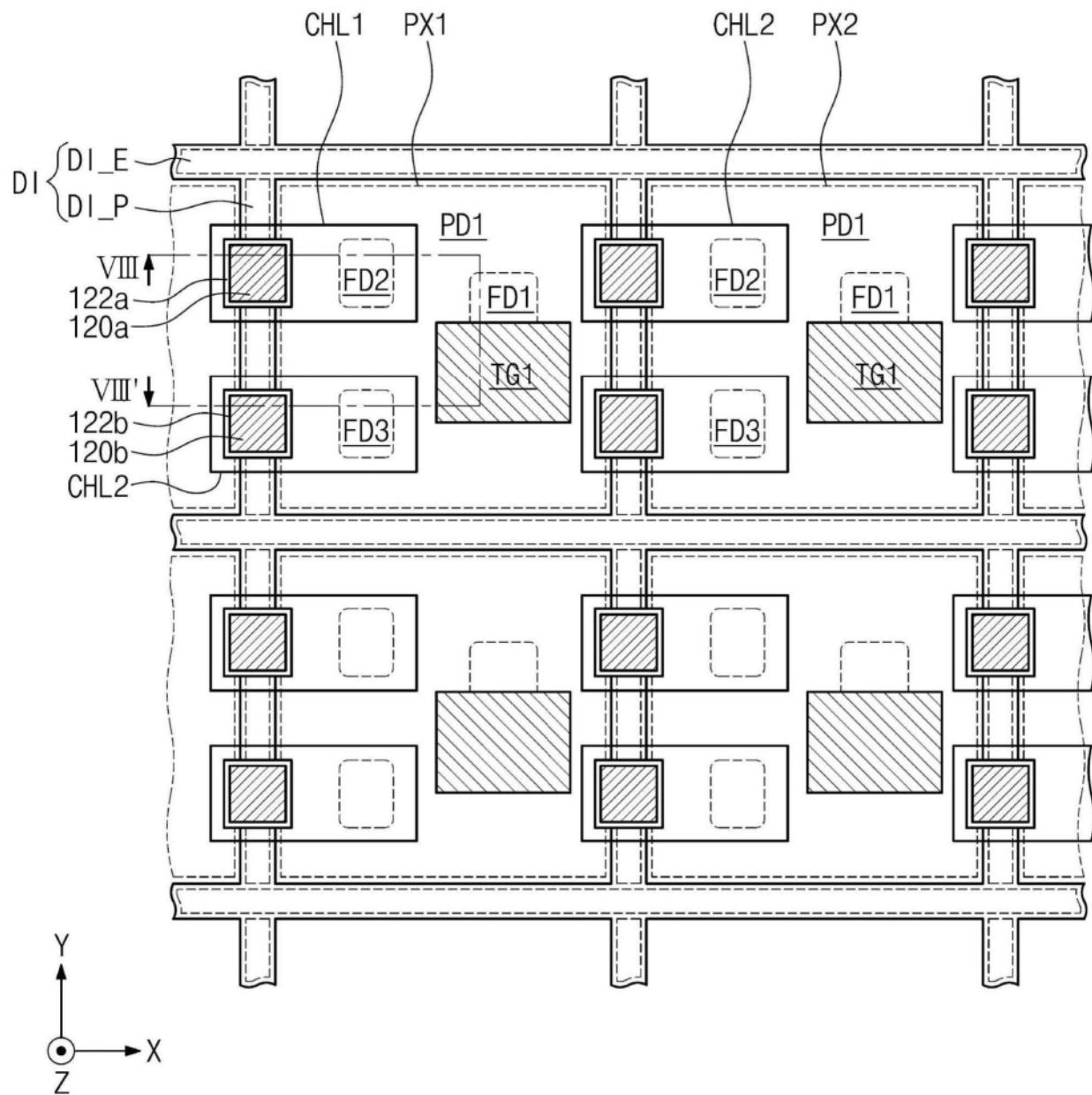


图17

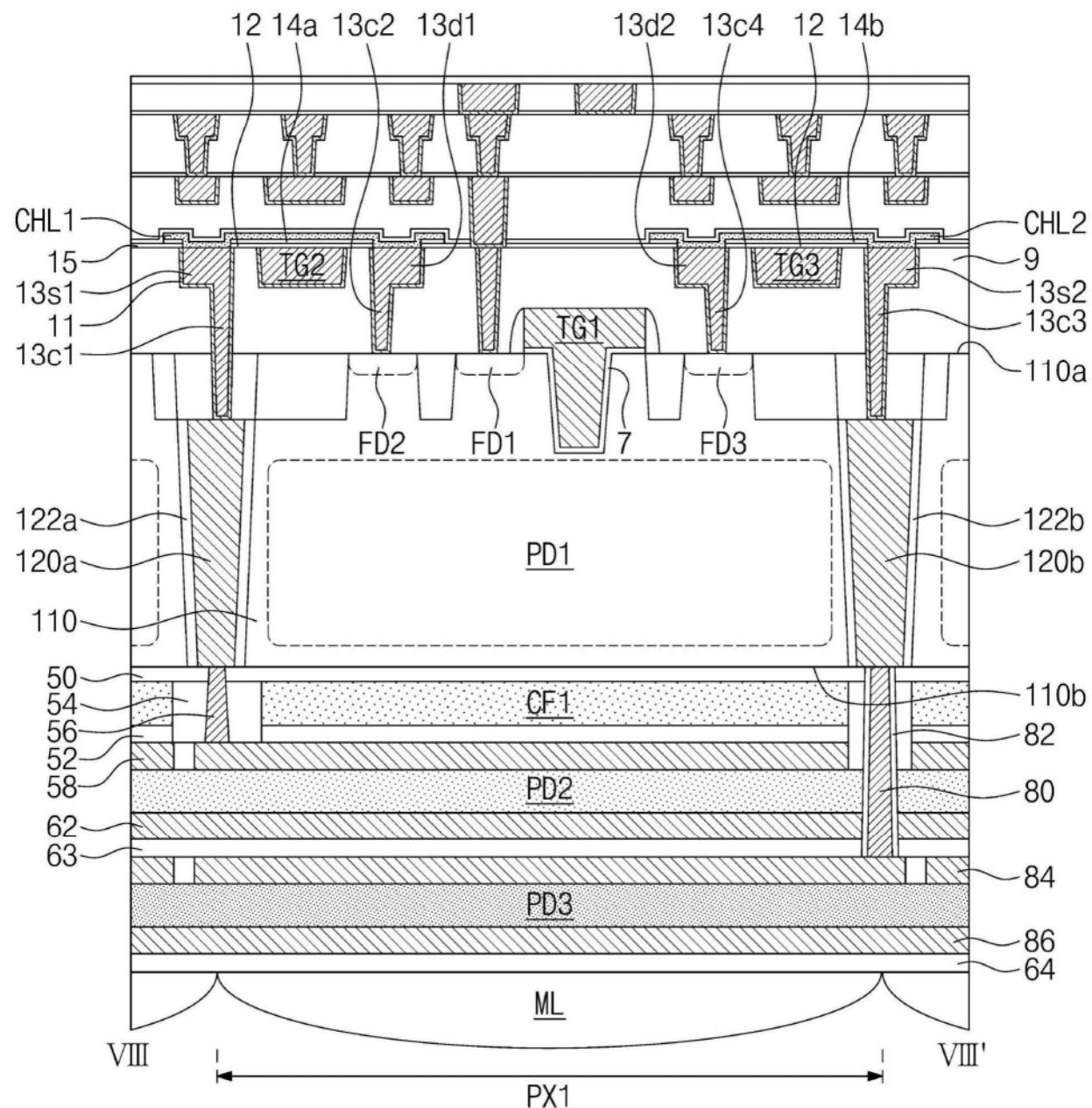


图18

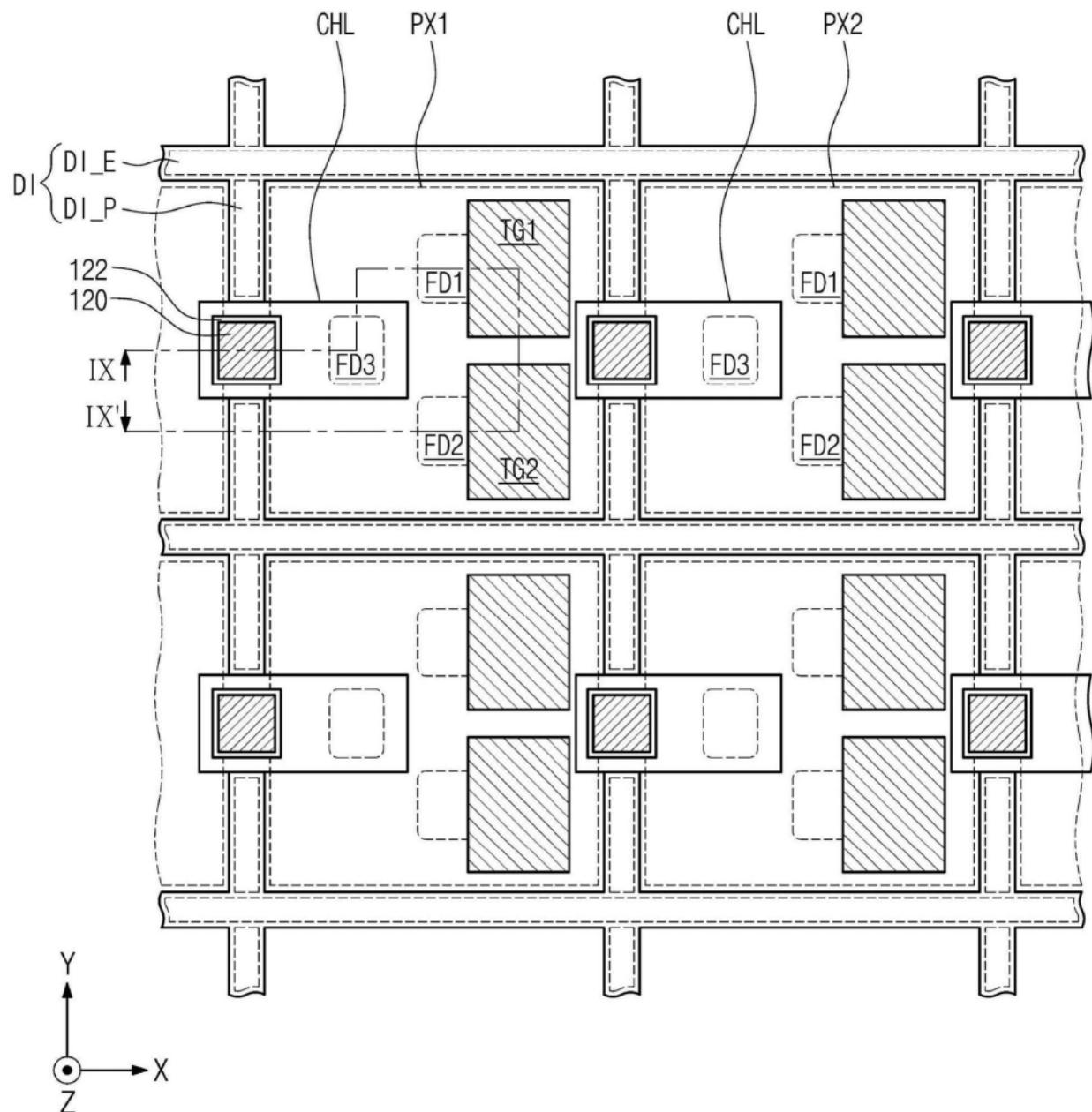


图19

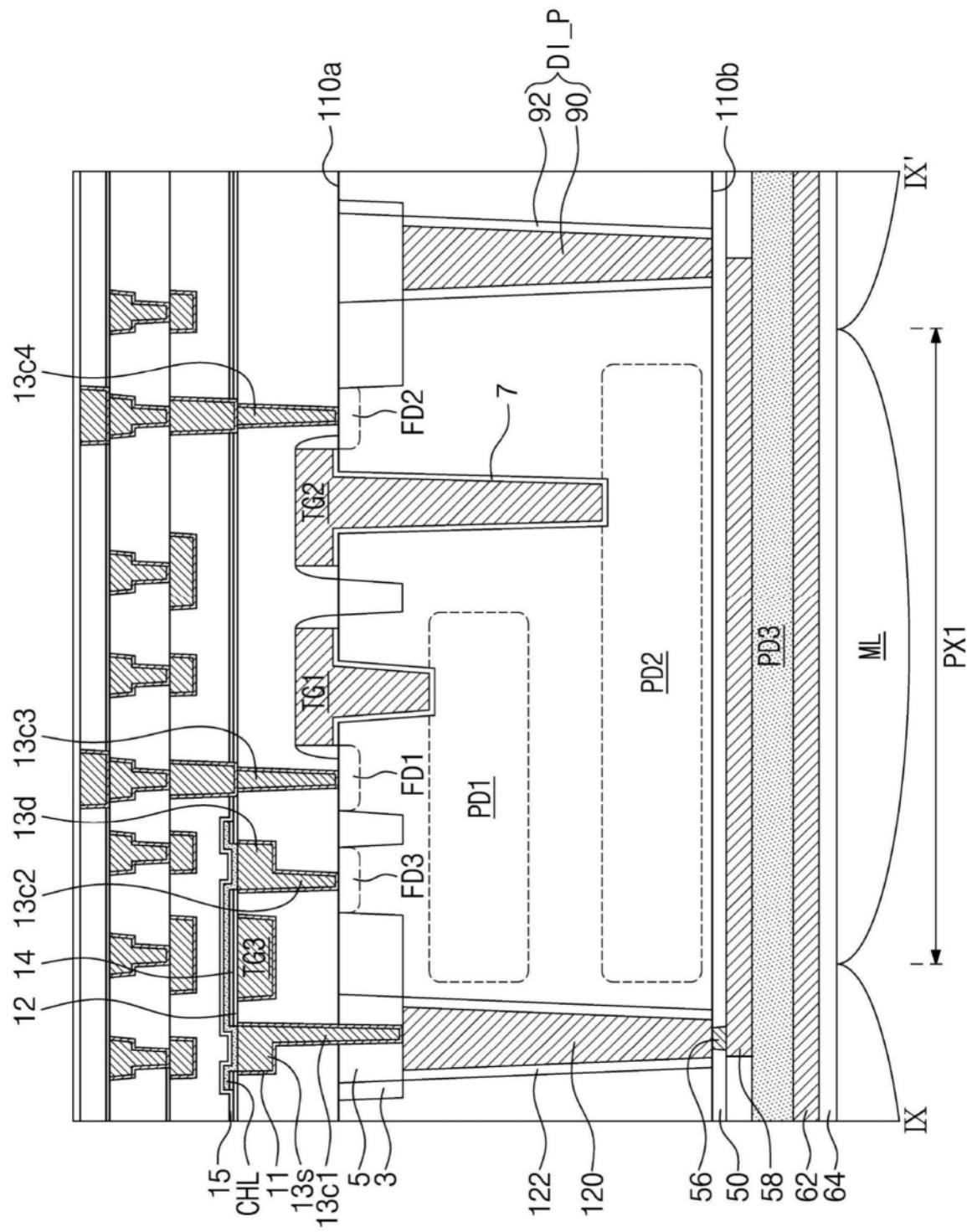


图20