

(43) 国際公開日
2006 年 8 月 17 日 (17.08.2006)

PCT

(10) 国際公開番号
WO 2006/085459 A1

- (51) 国際特許分類:
G11C 11/15 (2006.01) G11C 13/00 (2006.01)
- (21) 国際出願番号: PCT/JP2006/301651
- (22) 国際出願日: 2006 年 2 月 1 日 (01.02.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2005-032237 2005 年 2 月 8 日 (08.02.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 崎村 昇 (SAKIMURA, Noboru) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 本田 雄士 (HONDA, Takeshi) [JP/JP]; 〒1088001 東京

都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 杉林 直彦 (SUGIBAYASHI, Tadahiko) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).

- (74) 代理人: 工藤 実 (KUDOH, Minoru); 〒1400013 東京都品川区南大井六丁目 2 4 番 1 0 号 カドヤビル 6 階 Tokyo (JP).

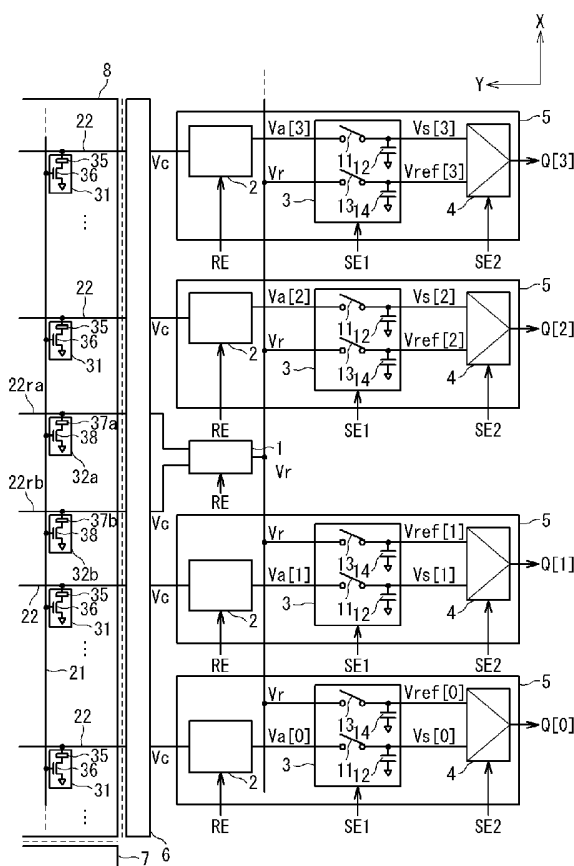
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) Title: SEMICONDUCTOR STORAGE DEVICE AND METHOD FOR READING SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置及び半導体記憶装置の読み出し方法



(57) Abstract: A semiconductor storage device comprises a memory array and a read circuit that reads the data of a selected cell. The memory array has a reference cell and a plurality of memory cells each of which utilizes a change in resistance value to store data. The read circuit includes a voltage comparing part for comparing a value corresponding to a sense current from a selected cell with a value corresponding to a reference current from the reference cell; a first switch circuit; and a second switch circuit. Both of the first and second switch circuits are disposed in a stage that follows a decoder and precedes the voltage comparing part. The second switch circuit controls an input that is applied to the voltage comparing part and that has the value corresponding to the sense current. On the other hand, the first switch circuit controls an input that is applied to the voltage comparing part (4) and that has the value corresponding to the reference current.

(57) 要約: 本発明に係る半導体記憶装置は、メモリアレイと、選択セルのデータを読み出す読み出し回路とを備える。メモリアレイは、抵抗値の変化でデータを記憶する複数のメモリセル及び参照セルを有する。読み出し回路は、選択セルからのセンス電流に対応する値と参照セルからの参照電流に対応する値とを比較する電圧比較部と、第 1 スイッチ回路と、第 2 スイッチ回路とを備える。第 1 及び第 2 スイッチ回路は共に、デコーダの後段で、電圧比較部の前段に設けられる。第 2 スイッチ回路は、上記センス電流に対応する値の電圧比較部への入力を制御する。一方、第 1 スイッチ回路は、上記参照電流に対応する値の電圧比較部 4 への入力を制御する。



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体記憶装置及び半導体記憶装置の読み出し方法

技術分野

- [0001] 本発明は、半導体記憶装置及び半導体記憶装置の読み出し方法に関する。特に、本発明は、記憶素子の抵抗値によりデータを記憶する半導体記憶装置及び半導体記憶装置の読み出し方法に関する。

背景技術

- [0002] 近年、不揮発性メモリの研究開発が盛んに行われている。特に、情報を記憶素子の抵抗値として記憶する抵抗変化メモリが注目を集めている。抵抗変化メモリとしては、例えば、磁界で書き込みを行う磁気ランダムアクセスメモリ(Magnetic Random Access Memory:MRAM)、熱で書き込みを行う相変化メモリ(Ovonyx Unified Memory:OUM)、電圧で書き込みを行う抵抗ランダムアクセスメモリ(Resistance RAM:RRAM)が挙げられる。
- [0003] 不揮発性の抵抗変化メモリの多くは、既存のストレージ或いは揮発性RAMの代替メモリとして期待されている。例えば、高速動作可能で書き換え回数が大きいMRAMは、DRAMやSRAM等の揮発性RAMの代替メモリとして期待されている。しかし、抵抗をセンスする特有の読み出し原理のため、既存デバイスとの入出力互換性を満足させるには回路的に解決すべき問題点がいくつか存在する。
- [0004] 例えば、当業者に知られているように、多くの既存RAMにはページモード、或いはバーストモードと呼ばれる高速の読み出し動作が用意されている。これら読み出し動作においては、複数のアドレスのメモリセルのデータが一度に読み出され、逐次その結果が高速に出力される。このモードを実現するためには、読み出し回路(センスアンプ)を大量に配置する必要がある。例えば、入出力ピンが16ビットで16ワードのバースト・リード動作を実現するには、最低256個の読み出し回路が必要である。しかし、MRAMにおいては“0”と“1”の信号量が小さく読み出し回路の面積が大きくなるため、読み出し回路を大量に配置することは容易ではない。
- [0005] MRAMの読み出し回路に関する技術が、例えば、先行技術文献(J. DeBrosse, et

al., "A High-Speed 128-kb MRAM Core for Future Universal Memory Applications", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.4, NO.4, APRIL 2004, p678-683)に開示されている。図1は、その従来技術に係る読み出し回路を含むMRAMの構成を示している。MRAMは、メモリアレイ108、ロウデコーダ107、カラムデコーダ106、及び読み出し回路105a、105bを備えている。メモリアレイ108は、複数のリードワード線121、複数のビット線122、複数の参照ビット線122r、複数のメモリセル131、及び複数の参照セル132a、132bを備える。

[0006] 複数のリードワード線121は、X方向へ延伸している。複数のビット線122は、Y方向へ延伸している。複数の参照ビット線122rは、Y方向へ延伸している。複数のリードワード線121と複数のビット線122との交差点のそれぞれに、複数のメモリセル131が設けられている。複数のリードワード線121と複数の参照ビット線122rとの交差点のそれぞれに、複数の参照セル132b、132aが設けられている。ロウデコーダ107は、読み出し動作時に複数のリードワード線121のうちから選択リードワード線121を選択する。カラムデコーダ106は、読み出し動作時に複数のビット線122、122rから選択ビット線122及び参照ビット線122rを選択する。これにより、読み出し動作時に、選択リードワード線121と選択ビット線122との交点に対応するメモリセル131が選択セル131として選択される。また、選択リードワード線121と参照ビット線122rとの交点に対応する参照セル132b、132aが選択参照セル132b、132aとして選択される。選択ビット線122と参照ビット線122rは、カラムデコーダ106を介して読み出し回路105b、105aに接続される。それにより、選択セル131及び参照セル132b、132aのデータが読み出し回路105b、105aに読み出される。

[0007] このMRAMでは、データ“0”に対応する抵抗値 R_{min} を有する参照セル132bとデータ“1”に対応する抵抗値 R_{max} を有する参照セル132aのそれぞれに対して、2つの読み出し回路105b、105aが設けられている。読み出し回路105b、105aは、それぞれ電流－電圧変換回路102b、102aと、センスアンプ104b、104aとから構成されている。電流－電圧変換回路102b(102a)は、メモリセル131に流れる電流に比例するセンス電圧 V_s と、参照セル132b(132a)に流れる電流に比例する参照電圧 V_{ref} とを出力する。センスアンプ104b(104a)は、上記センス電圧 V_s と参照電圧 V_{ref} と

の比較を行う。両者の読み出し回路105b、105aにおいて、参照セル側の電流－電圧変換回路102b、102aの入力と出力は互いに短絡されている。これにより、参照電圧Vrefを、データ“0”に応じたセンス電圧Vs(0)とデータ“1”に応じたセンス電圧Vs(1)の中間電圧に設定することが可能となる。

[0008] 上記構成によれば、読み出し回路105b、105aごとに参照セル132b、132aが必要になる。そのため、読み出し回路105b、105aが大量に配置されると、ユーザが自由に読み書きできるメモリセル131の占有率が下がってしまう。この問題を避けるには、参照セル132b、132aを複数の読み出し回路で利用できる回路技術が必須である。この場合、各々の読み出し回路105b、105a内にあるセンスアンプ104b、104aの増幅作用によって、各々の参照電圧Vrefが干渉され、ぶれてしまう。MRAMにおいては“0”と“1”の信号量が小さいため、上記干渉によるぶれは無視できない。上記干渉は、MRAMにおける読み出しの信頼性を大きく損ねてしまう。この問題は、高インピーダンス入力のセンスアンプを使用することである程度回避できるが、センスアンプの回路方式が制限されてしまう。また、大量のセンスアンプが同時に動作すると、電源電圧等のノイズに影響されて読み出しの信頼性が劣化してしまう。以上に説明されたように、MRAMにおいて、読み出し回路を大量に配置することは容易ではない。読み出しの信頼性を損ねることなく、大量の読み出し回路を同時に動作させることができる技術が望まれる。

[0009] また、センス動作の際、メモリセル131と参照セル132b、132aとは、センスアンプ104b、104aを介して電氣的に接続されてしまう。そのため、センスアンプ104b、104aの増幅作用などにより、メモリセル131と参照セル132b、132aに不適切な電圧が印加されることも考えられる。センス動作の際、メモリセル131と参照セル132b、132aに不適切な電圧が印加されることを防止する技術が望まれる。

[0010] 以上の説明において、MRAMが例として示されているが、同様の読み出し原理に基づく他の抵抗変化メモリにも同様の技術が望まれている。尚、不揮発性メモリに関する従来技術として以下のものが知られている。

[0011] 特開2004－39150号公報には、スニークパス電流の影響を排除して、MRAMのメモリセルに記憶されているデータ判別の信頼性を向上させるための技術が開示さ

れている。そのMRAMの読み出し回路は、オフセット除去回路とデータ判別回路とを含んでいる。オフセット除去回路は、選択ワード線と選択ビット線との間に電圧が印加されることによって選択ビット線に流れる検知電流と、選択ワード線とダミービット線との間に電圧が印加されることによってダミービット線に流れるオフセット成分電流との差に対応する電流差信号を生成する。データ判別回路は、その電流差信号に基づいて、選択ワード線と選択ビット線との間に介設された選択セルに記憶されている記憶データを判別する。

- [0012] 特開平7-192476号公報には、不揮発性強誘電体メモリが開示されている。その不揮発性強誘電体メモリにおいて、参照電位生成部は、論理1, 0の信号電位を基に参照電位を生成し、電位記憶部は、その参照電位を記憶する。読み出し動作において、電位供給部は、記憶された電位を基に、参照電位を一方のデータ線に発生させる。他方のデータ線に読み出された信号電位と参照電位との比較により、情報が検出される。
- [0013] 特開2003-151262号公報には、MRAMの読み出し方法が開示されている。その方法は、メモリセルに第1読み出し電流を流すステップと、そのメモリセルに対して所定の値を有する書き込みデータを書き込むステップと、その書き込みデータが書き込まれたメモリセルに第2読み出し電流を流すステップと、第1及び第2読み出し電流の差を検出することによってメモリセルのデータを判断するステップとを有する。
- [0014] 特開平11-26727号公報には、不揮発性半導体メモリが開示されている。その不揮発性半導体メモリは、浮遊ゲートを有するMOSTランジスタからなるメモリセルと、センスアンプと、メモリセルと同一構造のリファレンスセルと、リファレンスセルに印加されるリファレンスセル制御電圧を発生する制御電圧発生回路と、リファレンスセルの出力から基準電圧を発生するリファレンス電圧発生回路とを備えている。リファレンスセルの浮遊ゲート及び制御ゲートは短絡されている。
- [0015] 特表2002-533863号公報には、MRAMが開示されている。そのMRAMは、第1導電線と直列に接続された磁気メモリセルと、第2導電線と直列に接続されたリファレンス磁気メモリセルと、リファレンス磁気メモリセルと直列に接続された抵抗素子とを備えている。磁気メモリセルは、最小値と最大値との間で切り替わる磁気抵抗を有

する。リファレンスメモリセルは、所定の磁気抵抗を有する。リファレンス磁気メモリセルと抵抗素子による全抵抗は、上記最小値と最大値との間に設定されている。

発明の開示

- [0016] 本発明の目的は、半導体記憶装置において、読み出しの信頼性を損ねることなく、大量の読み出し回路を同時に動作させることができる技術を提供することにある。
- [0017] 本発明の他の目的は、半導体記憶装置において、参照セルを増加させることなく読み出し回路を大量に配置できる技術を提供することにある。
- [0018] 本発明の第1の観点において、半導体記憶装置は、抵抗値の変化を用いてデータを記憶する記憶素子を有する複数のメモリセル及び参照セルを有するメモリアレイと、複数のメモリセルから選択される選択セルのデータを読み出す読み出し回路とを備える。読み出し回路は、電圧比較部と、第1スイッチ回路と、第2スイッチ回路とを備える。電圧比較部は、選択セルに流れるセンス電流と参照セルに流れる参照電流とを比較する、又はそのセンス電流に対応する値とその参照電流に対応する値とを比較する。第1スイッチ回路及び第2スイッチ回路は、選択セルの選択に関わるデコーダの後段で、電圧比較部の前段に設けられる。第1スイッチ回路は、オン又はオフによりその参照電流又はその参照電流に対応する値の電圧比較部への入力を制御する。第2スイッチ回路は、オン又はオフによりそのセンス電流又はそのセンス電流に対応する値の電圧比較部への入力を制御する。
- [0019] このような構成によれば、第1スイッチ回路及び第2スイッチ回路により、センス電流及び参照電流の生成(発生)と、電圧比較部におけるセンス電流と参照電流との比較を、電氣的に分離して行うことが可能である。センス電流に対応する値とその参照電流に対応する値が用いられる場合も同様である。従って、センス動作中などで、電圧比較部を介して参照セルと選択セルとが電氣的に接続することが防止される。各メモリセルに不必要な電圧が印加されることが防止される。
- [0020] 上記の半導体記憶装置は、第1電流－電圧変換回路を更に備える。第1電流－電圧変換回路は、デコーダの後段に設けられ、参照セルに流れる参照電流に基づいて上記参照電圧を出力する。読み出し回路は、第2電流－電圧変換回路を更に備える。第2電流－電圧変換回路は、そのデコーダの後段に設けられ、選択セルに流れ

るセンス電流に基づいてセンス電圧を出力する。第1スイッチ回路は、第1電流－電圧変換回路と電圧比較部との間に設けられている。第2スイッチ回路は、第2電流－電圧変換回路と電圧比較部との間に設けられている。電圧比較部は、そのセンス電圧とその参照電圧とを比較する。このような構成によれば、電圧比較部への入力をセンス電圧及び参照電圧にすることにより、比較結果を示す信号の取り扱いを容易にすることができる。

[0021] 上記の半導体記憶装置において、上記読み出し回路の数は複数である。複数のメモリセルから選択される複数の選択セルの各々は、複数の読み出し回路いずれかに対応する。各読み出し回路ごとに、第1スイッチ回路及び第2スイッチ回路が設けられている。この場合、1つの参照電圧は複数の読み出し回路で共有されるが、センス電圧及び参照電圧の生成(発生)と、電圧比較部におけるセンス電圧と参照電圧との比較とを、電氣的に分離して行うことができる。その結果、電圧比較部の増幅作用により参照電圧が干渉され乱されることが防止される。従って、読み出しの信頼性を損ねることが防止される。また、参照セルの数を増加させることなく読み出し回路を大量に配置することが可能となる。

[0022] 上記の半導体記憶装置において、参照セルは、抵抗値が第1状態(“0”)である第1参照セルと、抵抗値が第2状態(“1”)である第2参照セルとを含む。第1電流－電圧変換回路は、第1参照セルと第2参照セルとが同時に選択されたとき、第1参照セルに流れる参照電流と第2参照セルに流れる参照電流の和の $1/2$ に対応する電圧を、上記参照電圧として出力する。二種類の参照セルを用いることによって、参照電圧の信頼性を向上させることができる。

[0023] 上記の半導体記憶装置において、複数の読み出し回路の各々は、電圧比較部の前段に設けられた増幅回路を更に備えてもよい。その増幅回路は、センス電圧と参照電圧との差が拡大するように、センス電圧と参照電圧を増幅する。センス電圧と参照電圧との差が増幅されるので、電圧比較部における比較の信頼性が向上する。

[0024] 上記の半導体記憶装置において、第1電流－電圧変換回路と参照セルが接続され、複数の読み出し回路の各々と複数の選択セルのうちの対応するものとが接続されたとき、各読み出し回路において、第1スイッチ回路と第2スイッチ回路はオンされ

る。その後、第1スイッチ回路と第2スイッチ回路とはオフされる。その後、電圧比較部が上記センス電圧と上記参照電圧との比較を行う。第1スイッチ回路及び第2スイッチ回路のオン／オフ動作により、センス電圧及び参照電圧の生成(発生)と、電圧比較部におけるセンス電圧と参照電圧との比較とを、電氣的に分離することができる。

[0025] 上記の半導体記憶装置において、第1スイッチ回路は、第1スイッチ素子と第1キャパシタとを含む。第1スイッチ素子は、入力側と出力側との間に設けられている。第1キャパシタは、一方の端子が接地され、他方の端子がその出力側に接続されている。また、第2スイッチ回路は、第2スイッチ素子と第2キャパシタとを含む。第2スイッチ素子は、入力側と出力側との間に設けられている。第2キャパシタは、一方の端子が接地され、他方の端子がその出力側に接続されている。第1スイッチ回路及び第2スイッチ回路におけるオン動作により、生成(発生)されたセンス電圧及び参照電圧が、第1キャパシタ及び第2キャパシタのそれぞれに一時的に格納(記憶)される。また、第1スイッチ回路及び第2スイッチ回路のオフ動作により、各電流－電圧変換回路が電氣的に切り離された後に、電圧比較部は、記憶されたセンス電圧と参照電圧とを比較する。これにより、参照電圧が干渉され乱されることを防止でき、読み出しの信頼性を維持することができる。

[0026] 上記の半導体記憶装置において、センス動作時、第1電流－電圧変換回路は、参照電圧を複数の読み出し回路へ一度に出力する。これにより、一つの参照セルを複数の読み出し回路が共用することができる。

[0027] 上記の半導体記憶装置において、第2スイッチ回路は、一方の端子が接地された第3キャパシタと、その入力側と第3キャパシタの他方の端子との間に設けられた第3スイッチ素子とを更に含む。一つの参照セルを複数の読み出し回路で共用する際に、第2スイッチ回路の時定数を第3キャパシタで調整することによって、セットリング時間を短縮することができる。

[0028] 上記の半導体記憶装置において、センス動作時に、第2スイッチ素子が接続状態である時に、第3スイッチ素子も接続状態である。第3キャパシタと第2キャパシタを同時に用いることにより、セットリング時間を短縮することができる。

[0029] 上記の半導体記憶装置において、センス動作時に第1電流－電圧変換回路から

参照電圧が入力される複数の読み出し回路の数は N (N は2以上の整数)であるとする。また、第1キャパシタ及び第2キャパシタの容量値が C であるとする。この場合、第3キャパシタの容量値は $C(N-1)$ に設定される。このように第3キャパシタの容量を設定することは、セットリング時間の短縮に有効である。

[0030] 上記の半導体記憶装置において、記憶素子は、自発磁化の向きにより抵抗値が変化する磁気抵抗素子である。また、記憶素子は、加熱により結晶状態が変化して抵抗値が変化する相変化素子であってもよい。

[0031] 本発明の第2の観点において、半導体記憶装置の読み出し方法が提供される。その半導体記憶装置は、抵抗値の変化を用いてデータを記憶する記憶素子を有する複数のメモリセル及び少なくとも一つの参照セルを有するメモリアレイと、複数のメモリセルから選択された複数の選択セルのそれぞれのデータを読み出す複数の読み出し回路と、少なくとも一つの参照セルに流れる参照電流に対応する参照電圧を出力する第1電流－電圧変換回路とを備える。複数の読み出し回路の各々は、第2電流－電圧変換回路と、電圧比較部と、第1スイッチ回路と、第2スイッチ回路とを備える。第2電流－電圧変換回路は、複数の選択セルの対応するものに流れるセンス電流に対応するセンス電圧を出力する。電圧比較部は、そのセンス電圧と参照電圧とを比較する。第1スイッチ回路は、第1電流－電圧変換回路と電圧比較部との間に設けられ、オン又はオフによりそれらの間の接続を制御する。第2スイッチ回路は、第2電流－電圧変換回路と電圧比較部との間に設けられ、オン又はオフによりそれらの間の接続を制御する。

[0032] 半導体記憶装置の読み出し方法は、(a)第2電流－電圧変換回路が、そのセンス電流をセンス電圧に変換し、そのセンス電圧を出力するステップと、(b)第1電流－電圧変換回路が、その参照電流を参照電圧に変換し、その参照電圧を複数の読み出し回路に出力するステップと、(c)第1スイッチ回路と第2スイッチ回路をオンするステップと、(d)第1スイッチ回路と第2スイッチ回路をオフするステップと、(e)電圧比較部が、そのセンス電圧とその参照電圧とを比較するステップとを有する。

[0033] 各読み出し回路ごとに、第1スイッチ回路及び第2スイッチ回路が設けられている。1つの参照電圧が複数の読み出し回路で共有されているが、センス電圧及び参照電

圧を出力するステップ(a、b、c)と、電圧比較部においてセンス電圧と参照電圧とを比較するステップ(e)とを、電氣的に分離して行うことができる。その結果、電圧比較部の増幅作用により参照電圧が干渉され乱されることが防止される。よって、読み出しの信頼性を損ねることが防止される。読み出しの信頼性を損ねることなく、大量の読み出し回路を同時に動作させることが可能となる。

- [0034] 参照セルは、抵抗値が第1状態(“0”)である第1参照セルと、抵抗値が第2状態(“1”)である第2参照セルとを含む。上記(b)ステップにおいて、第1参照セルと第2参照セルとが同時に選択されたとき、第1参照セルに流れる参照電流と第2参照セルに流れる参照電流の和の $1/2$ に対応する電圧が、参照電圧として出力される。
- [0035] 複数の読み出し回路の各々が、電圧比較部の前段に設けられた増幅回路を更に備えてもよい。この場合、本発明に係る読み出し方法は、(f)増幅回路が、センス電圧と参照電圧との差が拡大するように、センス電圧と参照電圧を増幅するステップを更に有する。
- [0036] 第1スイッチ回路は、入力側と出力側との間に設けられた第1スイッチ素子と、一方の端子が接地され、他方の端子がその出力側に接続された第1キャパシタとを含む。第2スイッチ回路は、入力側と出力側との間に設けられた第2スイッチ素子と、一方の端子が接地され、他方の端子がその出力側に接続された第2キャパシタとを含む。この場合、上記(c)ステップは、(c1)第2スイッチ素子をオンするステップと、(c2)センス電圧で第2キャパシタを充電するステップと、(c3)第1スイッチ素子をオンするステップと、(c4)参照電圧で第1キャパシタを充電するステップとを含む。また、上記(e)ステップは、(e1)電圧比較部が、第2キャパシタの電圧と第1キャパシタの電圧とを比較するステップとを含む。
- [0037] 上記(b)ステップは、(b2)第1電流－電圧変換回路が、上記参照電圧を複数の読み出し回路へ一度に出力するステップを含んでもよい。
- [0038] 上記第2スイッチ回路は、一方の端子が接地された第3キャパシタと、第2スイッチ回路の入力側と第3キャパシタの他方の端子との間に設けられた第3スイッチ素子とを更に備える。この場合、上記(c1)ステップは、(c11)第2スイッチ素子がオンのとき、第3スイッチ素子をオンにするステップを含む。

[0039] 上記の半導体記憶装置の読み出し方法において、記憶素子は、自発磁化の向きにより抵抗値が変化する磁気抵抗素子である。また、記憶素子は、加熱により結晶状態が変化して抵抗値が変化する相変化素子であってもよい。

[0040] 以上に説明されたように、本発明に係る半導体記憶装置及びその読み出し方法によれば、読み出しの信頼性を損ねることなく、大量の読み出し回路を同時に動作させることができる。また、参照セルを増加させることなく、読み出し回路を大量に配置することができる。

図面の簡単な説明

[0041] [図1]図1は、従来技術に係る読み出し回路を含むMRAMの構成を示す図である。

[図2]図2は、本発明の第1の実施の形態に係る半導体記憶装置の構成を示すブロック図である。

[図3]図3は、参照用電流－電圧変換回路の一例を示す回路図である。

[図4]図4は、本発明の第1の実施の形態に係る半導体記憶装置における読み出し回路の動作を示すタイミングチャートである。

[図5]図5は、本発明の第2の実施の形態に係る半導体記憶装置の構成を示すブロック図である。

[図6A]図6Aは、第1の実施の形態に係るスイッチ回路のデータ記憶部における電圧の時間変化を示すグラフである。

[図6B]図6Bは、第2の実施の形態に係るスイッチ回路のデータ記憶部における電圧の時間変化を示すグラフである。

[図7]図7は、本発明の第3の実施の形態に係る半導体記憶装置の構成を示すブロック図である。

発明を実施するための最良の形態

[0042] 以下、本発明の実施の形態に係る半導体記憶装置及び半導体記憶装置の読み出し方法を、図面を参照しながら説明する。以下の説明においては、MRAMが半導体記憶装置の例として用いられる。

[0043] (第1の実施の形態)

図2は、本発明の第1の実施の形態に係る半導体記憶装置(MRAM)の構成を示

すブロック図である。MRAMは、メモリアレイ8、ロウデコーダ7、カラムデコーダ6、参照用電流－電圧変換回路1及び読み出し回路5を備えている。

[0044] メモリアレイ8は、複数のリードワード線21、複数のビット線22、参照ビット線22r、複数のメモリセル31、及び複数の参照セル32を有している。

[0045] 複数のリードワード線21は、X方向へ延伸している。複数のビット線22は、Y方向へ延伸している。参照ビット線22rは、Y方向へ延伸している。複数のリードワード線21と複数のビット線22との交差点のそれぞれに、複数のメモリセル31が設けられている。また、複数のリードワード線21と参照ビット線22r(22ra、22rb)との交差点のそれぞれに、複数の参照セル32(32a、32b)が設けられている。

[0046] メモリセル31において、MTJ(Magnetic Tunneling Junction) 35とMOSTランジスタ36とが直列に接続されている。MTJ35は、自発磁化の向きにより抵抗値が変化する磁気抵抗素子である。MTJ35の一方の端子はビット線22に、他方の端子はMOSTランジスタ36にそれぞれ接続されている。MOSTランジスタ36のゲートはリードワード線21に接続されている。参照セル32において、MTJ37とMOSTランジスタ38とが直列に接続されている。MTJ37の一方の端子は参照ビット線22rに、他方の端子はMOSTランジスタ38にそれぞれ接続されている。MOSTランジスタ38のゲートはリードワード線21に接続されている。参照セル32aは、予めデータ“0”がプログラムされたMTJ37aを含んでいる。一方、参照セル32bは、予めデータ“1”がプログラムされたMTJ37bを含んでいる。参照セル32a、32bは、それぞれ参照ビット線22ra、22rbに接続されている。他は、メモリセル31と同様である。ここでは、参照セル32a、32bの二つが同時に用いられる。

[0047] ロウデコーダ7は、複数のリードワード線21から、入力されたロウアドレスに対応するリードワード線21を選択リードワード線21sとして選択する。その結果、選択リードワード線21sに沿って設けられたメモリセル31及び参照セル32のMOSTランジスタ36、38がONになる。また、ロウデコーダ7は、複数のライトワード線(図示されない)から、入力されたロウアドレスに対応するライトワード線を選択ライトワード線として選択する。

[0048] カラムデコーダ6は、複数のビット線22から、入力されたカラムアドレスの上位に対

応する複数のビット線22を複数の選択ビット線22sとして選択する。それと共に、カラムデコーダ6は、参照ビット線22r(22ra、22rb)を選択する。

[0049] ロウデコーダ7及びカラムデコーダ6による選択の結果、選択リードワード線21sと複数の選択ビット線22sとの交差点に設けられたメモリセルが、複数の選択セル31sとして選択される。また、選択リードワード線21sと参照ビット線22rとの交差点に設けられた参照セル32が選択参照セル32sとして選択される。そして、複数の選択ビット線22sは、カラムデコーダ6を介して、それぞれ異なる読み出し回路5の電流－電圧変換回路2(後述される)と接続される。その結果、複数の選択セル31sのデータが電流－電圧変換回路2に読み出される。また、参照ビット線22rは、カラムデコーダ6を介して、参照用電流－電圧変換回路1(後述される)と接続される。その結果、選択参照セル32sのデータが参照用電流－電圧変換回路1に読み出される。

[0050] 参照用電流－電圧変換回路1は、読み出し動作時に、リードイネーブル信号REによって活性化される。この参照用電流－電圧変換回路1は、選択参照セル32sの抵抗値に応じた電流値を電圧値に変換し、その電圧値を参照電圧Vrとして出力する回路である。参照用電流－電圧変換回路1から出力される参照電圧Vrは、全ての読み出し回路5のスイッチ回路3(後述される)に一度に入力される。

[0051] 図3は、参照用電流－電圧変換回路1の一例を示す回路図である。

参照ビット線22raは、NchトランジスタM3のソースに接続される。NchトランジスタM3のドレインは、PchトランジスタM5のドレイン及びゲートに接続されている。PchトランジスタM5のソースは電源に接続されている。参照ビット線22rbは、NchトランジスタM4のソースに接続されている。NchトランジスタM4のドレインは、PchトランジスタM6のドレインに接続されている。PchトランジスタM6のソースは電源に接続されている。PchトランジスタM6のゲートは、PchトランジスタM5のゲートに接続されている。NchトランジスタM3、M4のゲートには、任意のバイアス電圧Vbが印加される。その結果、それらのソース電圧、すなわち参照ビット線22ra、22rbの電圧は所定の電圧Vcにクランプされる。これにより、参照セル32a、32bのMTJ37a、37bに所定値以上の電圧が印加されてMTJ37a、37bが破壊されることが防止される。所定の電圧Vcは、データ“0”と“1”に対応するセンス電流の差が最大となるように、例えば、0.2

～0.4V程度に設定される。PchトランジスタM5、M6は付加抵抗として作用する。

[0052] この参照用電流－電圧変換回路1は、参照セル32aと参照セル32bのそれぞれからの参照電流の和の1/2に比例する参照電圧 V_r を出力する。つまり、予めデータ“0”がプログラムされた参照セル32aと、予めデータ“1”がプログラムされた参照セル32bのそれぞれに流れる参照電流の和の1/2に比例する参照電圧 V_r が出力される。ここで、メモリセル31がデータ“0”を記憶している時のセンス電圧を $V_a(0)$ 、データ“1”を記憶している時のセンス電圧を $V_a(1)$ とする。この場合、参照用電流－電圧変換回路1から出力される参照電圧 V_r は、次の関係式： $V_a(0) < V_r < V_a(1)$ を満たす。

[0053] 再度図2を参照して、読み出し回路5は、電流－電圧変換回路2、スイッチ回路3、及びセンスアンプ4を有している。

[0054] 電流－電圧変換回路2は、読み出し動作時に、リードイネーブル信号REによって活性化され、選択メモリセル31sと接続される。この電流－電圧変換回路2は、選択メモリセル31sの抵抗値に応じた電流値を電圧値に変換し、その電圧値をセンス電圧 V_a として出力する回路である。電流－電圧変換回路2から出力されるセンス電圧 V_a は、スイッチ回路3へ入力される。選択メモリセル31のMTJ35に所定値以上の電圧が印加されないように、電流－電圧変換回路2は、入力側の電圧が一定値(V_c)になるように制御を行っている。

[0055] スwitch回路3には、電流－電圧変換回路2から出力されるセンス電圧 V_a と参照用電流－電圧変換回路1から出力される参照電圧 V_r が入力される。スイッチ回路3は、それら二つの電圧値を一時保持する。そして、スイッチ回路3は、センスイネーブル信号SE1に応答して、電流－電圧変換回路2とセンスアンプ4の接続及び参照用電流－電圧変換回路1とセンスアンプ4の接続を遮断し、その後、上述の保持された二つの値をそれぞれセンスアンプ4へ出力する。このスイッチ回路3としては、CMOSスイッチ(トランスファゲート)とキャパシタとから構成されるスイッチトキャパシタ回路が例示される。

[0056] スwitch回路3は、スイッチ部11、13とデータ保持部12、14とを含む。スイッチ部11の入力側は電流－電圧変換回路2に、その出力側はデータ保持部12(又はセンス

アンプ4)に接続されている。スイッチ部11は、センスイネーブル信号SE1に基づいて、電流－電圧変換回路2とデータ保持部12(又はセンスアンプ4)との接続をON又はOFFする。データ保持部12は、スイッチ部11がONのとき、電流－電圧変換回路2から出力されるセンス電圧 V_a (又は、それに対応する値)を一時的に保持する。また、データ保持部12は、スイッチ部11がOFFのとき、保持したセンス電圧 V_a に対応するセンス電圧 V_s をセンスアンプ4へ出力する。

[0057] 同様に、スイッチ部13の入力側は参照用電流－電圧変換回路1に、その出力側はデータ保持部14(又はセンスアンプ4)に接続されている。スイッチ部13は、センスイネーブル信号SE1に基づいて、参照用電流－電圧変換回路1とデータ保持部14(又はセンスアンプ4)との接続をON又はOFFする。データ保持部14は、スイッチ部13がONのとき、参照用電流－電圧変換回路1から出力される参照電圧 V_r (又は、それに対応する値)を一時的に保持する。また、データ保持部14は、スイッチ部13がOFFのとき、保持した参照電圧 V_r に対応する参照電圧 V_{ref} をセンスアンプ4へ出力する。

[0058] スイッチ動作が可能であれば、スイッチ部11、13の構成に対して特に制限はない。スイッチ部11、13としては、MOSTランジスタや、CMOSスイッチ(トランスファゲート)が例示される。また、センス電圧 V_a や参照電圧 V_r 、又は、それに対応する電圧値を一時的に保持可能であれば、データ保持部12、14の構成に対して特に制限はない。データ保持部12、14として、キャパシタが例示される。

[0059] センスアンプ4は、スイッチ回路3から二つの電圧値(参照電圧 V_{ref} 、センス電圧 V_s)を受け取る。センスアンプ4は、センスイネーブル信号SE2に応答して、それら二つの電圧 V_{ref} 、センス電圧 V_s に基づいて読み出し動作(センス動作)を行う。そして、センスアンプ4は、そのセンス動作の結果として得られる出力データQを出力する。

[0060] 図2においては、読み出し動作時に四つの選択メモリセル31sと一対の選択参照セル32sが選択される例が示されている。この場合、四つの選択メモリセル31sのデータが、出力データ $Q[1] \sim Q[4]$ として、四つのセンスアンプ4から同時に出力される。

[0061] 次に、本実施の形態に係る半導体記憶装置における読み出し方法について説明する。図4は、本実施の形態に係る読み出し回路5の動作を示すタイミングチャートで

ある。図4において、(a)はアドレス信号、(b)はATD(address transition detection)信号、(c)はリードイネーブル信号RE、(d)はセンスイネーブル信号SE1、(e)はセンスイネーブル信号SE2、(f)はセンス電圧 V_a 、参照電圧 V_r 、センス電圧 V_s 、参照電圧 V_{ref} 、(g)は出力データQを示す。

[0062] まず、時刻 t_{01} において、コントローラ(図示されない)は、アドレス信号をロウデコーダ7及びカラムデコーダ6へ出力する。また、コントローラは、そのアドレス信号に応答して、ATD信号をロウデコーダ7及びカラムデコーダ6へ出力する。ロウデコーダ7は、ATD信号に応答して、アドレス信号に対応した選択リードワード線21sを選択する。また、カラムデコーダ6は、ATD信号に応答して、アドレス信号に対応した複数の選択ビット線22s及び参照ビット線22rを選択する。その結果、複数の選択セル31s及び参照セル32が選択される。

[0063] 次に、コントローラは、リードイネーブル信号REをハイレベルにする。そのリードイネーブル信号REに応答して、電流－電圧変換回路2及び参照用電流－電圧変換回路1が活性化される。複数の選択セル31sは複数の電流－電圧変換回路2にそれぞれ接続され、参照セル32は参照用電流－電圧変換回路1に接続される。電流－電圧変換回路2は、複数の選択セル31sのうちの対応するものに流れるセンス電流に比例するセンス電圧 V_a を出力する。参照用電流－電圧変換回路1は、データ“0”がプログラムされた参照セル32aと、データ“1”がプログラムされた参照セル32bの両方に流れる参照電流の和の $1/2$ に比例する参照電圧 V_r を出力する。

[0064] 次に、コントローラは、センスイネーブル信号SE1をハイレベルにする。そのセンスイネーブル信号SE1に応答して、スイッチ回路3のスイッチ部11、13はONされる。この時、センスイネーブル信号SE2はロウレベルであり、センスアンプ4は初期化された状態にある。電流－電圧変換回路2から出力されるセンス電圧 V_a は、データ保持部12に保持される(キャパシタに充電される)。同様に、参照用電流－電圧変換回路1から出力される参照電圧 V_r は、データ保持部14に保持される(キャパシタに充電される)。図4においては、センス電圧 V_a は参照電圧 V_r より大きく、両者の差は dV で示されている。

[0065] 次に、時刻 t_{02} において、コントローラは、センスイネーブル信号SE1をロウレベル

にする。そのセンスイネーブル信号SE1 (Low) に応答して、スイッチ部11、13はOFFされる。この時、センスアンプ4の入力端子の電圧は、センス電圧 V_a と等しい電圧 V_s と参照電圧 V_r に等しい電圧 V_{ref} に保持されている。

[0066] 続いて、コントローラは、センスイネーブル信号SE2をハイレベルにする。そのセンスイネーブル信号SE2に応答して、センスアンプ4は活性化され、電圧 V_s (センス電圧) と電圧 V_{ref} (参照電圧) との比較を行う。センスアンプ4に入力される電圧 V_s と V_{ref} の差は数10mV程度であるが、センスアンプ4において、その差が論理振幅 LA まで増幅される。その増幅された差が、センス結果となる。

[0067] その後、時刻 t_{03} において、コントローラは、センスイネーブル信号SE2をロウレベルにする。そのセンスイネーブル信号SE2 (Low) に応答して、スイッチ回路3のデータ保持部12、14がリセットされる。また、コントローラは、リードイネーブル信号REをロウレベルにする。そのリードイネーブル信号RE (Low) に応答して、電流－電圧変換回路2及び参照用電流－電圧変換回路1が非活性化される。

[0068] 以上に説明されたように、上記スイッチ回路3を利用することにより、電流－電圧変換回路2及び参照用電流－電圧変換回路1の出力とセンスアンプ4の入力とを切り離すことができる。その結果、センス動作時において、センス電圧 V_a 及び参照電圧 V_r が干渉を受けることが防止される。これにより、1つの参照電圧 V_r を複数の読み出し回路5 (センスアンプ4) への入力信号として使用することが可能となる。すなわち、読み出し回路5 (センスアンプ4) を大量に配置することができ、ページモード及びバーストモードへの対応が可能となる。また、データ保持部12、14としてキャパシタが用いられる場合、センスアンプ4へ入力される電圧 V_s 及び V_{ref} は、キャパシタの充電電荷で決定される。そのため、電源ノイズ耐性も向上する。更に、スイッチ回路3の導入により、センスアンプ4の回路構成の自由度を上げることもできる。

[0069] また、スイッチ回路3が設けられるため、センス電流及び参照電流の生成 (発生) と、センスアンプ4におけるセンス電圧 V_s と参照電圧 V_{ref} との比較を、電氣的に分離して行うことが可能となる。その結果、センス動作中などで、センスアンプ4を介して参照セル32と選択セル31sとが電氣的に接続することが防止される。これにより、各メモリセルに不必要な電圧が印加されることを防止でき、各メモリセルのMTJ35、37への

影響を防止することが可能となる。

[0070] (第2の実施の形態)

図5は、本発明の第2の実施の形態に係る半導体記憶装置(MRAM)の構成を示すブロック図である。本実施の形態は、次の点において第1の実施の形態と異なる。すなわち、図2に示された読み出し回路5の代わりに読み出し回路5aが設けられ、その読み出し回路5aは、スイッチ回路3の代わりにスイッチ回路3aを備えている。本実施の形態に係るスイッチ回路3aは、上述のスイッチ部11、12、データ保持部13、14に加えて、スイッチ部15と容量調整部16を更に備えている。スイッチ15は、スイッチ部11に並列に接続されており、容量調整部16は、スイッチ部15に続けて直列に接続されている。

[0071] スwitch部15と容量調整部16から構成される回路(以下、ダミー回路と参照される)は、電流－電圧変換回路2の後段に設けられている。そのダミー回路は、参照用電流－電圧変換回路1と電流－電圧変換回路2の負荷をほぼ等しくするために用いられる。例えば、参照用電流－電圧変換回路1の出力がN個のスイッチ回路3aへ接続される場合、その出力はN個のデータ保持部(キャパシタ)14に接続される。キャパシタ12の容量値とキャパシタ14の容量値が同じである場合、容量調整部16の容量値は、キャパシタ12の容量値のおよそ(N－1)倍に設定される。その場合、センス電圧 V_a と参照電圧 V_r のセットリング時間がほぼ等しくなる。

[0072] 図6A及び図6Bは、スイッチ回路のデータ記憶部における電圧の時間変化を示すグラフである。図6Aは、第1の実施の形態におけるデータ記憶部のキャパシタ(図2参照)に関するグラフであり、図6Bは、第2の実施の形態におけるデータ記憶部のキャパシタ(図5参照)に関するグラフである。縦軸はデータ記憶部のキャパシタの電圧、横軸は時間を示している。

[0073] 時刻 t_1 において、センス電圧 V_a 及び参照電圧 V_r がスイッチ回路に入力される。第1の実施の形態によれば、スイッチ回路3はダミー回路を有していない。その場合、図6Aに示されるように、参照電圧 V_r のセットリング時間(正しくセンスできるまでにかかる時間)が比較的長くなる。よって、参照電圧 V_r が十分セットされてから、スイッチ部11、13をOFFし、センスアンプ4を動作させる必要がある。図6Aでは、時刻 t_2 まで待

つ必要がある。一方、本実施の形態によれば、スイッチ回路3aはダミー回路を有している。従って、図6Bに示されるように、参照電圧 V_r が十分セットされていなくても、センス電圧 V_a と参照電圧 V_r の大小関係が保たれる。そのため、センス電圧 V_a や参照電圧 V_r のセットリング時間よりも早く、スイッチ部11、13をOFFしセンスアンプ4を動作させても、正しくセンス動作を行うことが可能である。図6Bでは、時刻 t_2 よりも早い時刻 t_3 からセンス動作を開始することができる。

[0074] 本実施の形態に係る半導体記憶装置の読み出し方法は、第1の実施の形態に係る方法と同様であり、その詳しい説明は省略される(図4参照)。但し、スイッチ部11、13をOFFしてセンスアンプ4を動作させるタイミングを、第1の実施の形態よりも早くすることが可能となる。

[0075] 本実施の形態によれば、第1の実施の形態と同様の効果を得ることができる。加えて、スイッチ部11、13をOFF状態にして、センスアンプ4を動作させるタイミングを速くすることができる。従って、センス動作にかかる時間を短縮することが可能となる。

[0076] (第3の実施の形態)

図7は、本発明の第3の実施の形態に係る半導体記憶装置(MRAM)の構成を示すブロック図である。本実施の形態は、次の点において第1の実施の形態と異なる。すなわち、図2に示された読み出し回路5の代わりに読み出し回路5bが設けられている。読み出し回路5bは、図2に示された読み出し回路5の構成に加えて、差動出力の増幅回路18を備えている。その増幅回路18は、電流－電圧変換回路2とスイッチ回路3との間に設けられており、電流－電圧変換回路2から出力されるセンス電圧 V_a と参照用電流－電圧変換回路1から出力される参照電圧 V_r との電圧差を増幅する。

[0077] データ“0”とデータ“1”の信号差が小さいMRAMにおいては、センス電圧 V_a と参照電圧 V_r との電圧差はせいぜい数10mVである。差動出力の増幅回路18の出力電圧 V_a' 及び出力電圧 V_r' の電圧差は、センス電圧 V_a と参照電圧 V_r との電圧差の任意の定数倍に等しい。従って、数10mVの電圧差を数100mVまで拡大することができ、後段のセンスアンプ4の回路マージンを大きく確保することが可能となる。また、増幅回路18を設けることにより、電流－電圧変換回路2や参照用電流－電圧変換回

路1のゲインを下げることができる。それにより、読み出し回路5bの入力レンジ、すなわち、センス可能なMTJ35、37の抵抗値の範囲を拡大することが可能である。

[0078] 本実施の形態に係る半導体記憶装置の読み出し方法は、第1の実施の形態に係る方法と同様であり、その詳しい説明は省略される(図4参照)。但し、センス電圧 V_a と参照電圧 V_r との電圧差が増幅回路18で増幅され、増幅回路18の出力電圧 V_a' 及び出力電圧 V_r' がスイッチ回路3(センスアンプ4)に入力される。

[0079] 本実施の形態によれば、第1の実施の形態と同様の効果を得ることができる。加えて、後段のセンスアンプ4の回路マージンを大きく確保することができ、センス可能なMTJ35、37の抵抗値の範囲を拡大することが可能となる。

[0080] 先述したように、増幅回路18の差動出力をスイッチ回路3へ入力することにより、センスアンプ4の動作時におけるセンス電圧 V_a 、 V_a' 、参照電圧 V_r 、 V_r' は干渉を受けることはない。そのため、一つの参照電圧 V_r が複数のセンスアンプ4(読み出し回路5)の入力信号として使用されても、読み出しの信頼性を損ねることはない。

[0081] 第2の実施の形態と第3の実施の形態を組み合わせることも可能である。これにより、第2の実施の形態による効果と第3の実施の形態による効果の両方が得られる。

[0082] なお、本発明は、上述の実施の形態に限られない。本発明の要旨を逸脱しない範囲内で、設計の変更等がなされても良い。例えば、本発明はMRAMに限定されず、OUMやRRAM等のような抵抗変化を利用したメモリのいずれにも適用可能である。

[0083] また、上述の実施の形態では参照電圧 V_r が4つの読み出し回路で共有される場合が説明されたが、一つの参照電圧 V_r を共有する読み出し回路の個数に制限はない。また、電流－電圧変換回路として、従来知られた種々の回路を用いることができる。また、MRAMのセルは、図示された1T1R1MTJセルに制限されず、例えば選択トランジスタを含まないクロスポイントセルであっても良い。

請求の範囲

- [1] 抵抗値の変化を用いてデータを記憶する記憶素子を有する複数のメモリセル及び参照セルを備えるメモリアレイと、
- 前記複数のメモリセルから選択された選択セルのデータを読み出す読み出し回路と
- を具備し、
- 前記読み出し回路は、
- 前記選択セルに流れるセンス電流と前記参照セルに流れる参照電流とを比較する、又は前記センス電流に対応する値と前記参照電流に対応する値とを比較する電圧比較部と、
- 前記選択セルの選択に関わるデコーダの後段で、前記電圧比較部の前段に設けられた第1スイッチ回路及び第2スイッチ回路と
- を備え、
- 前記第1スイッチ回路は、オン又はオフにより前記参照電流又は前記参照電流に対応する値の前記電圧比較部への入力を制御し、
- 前記第2スイッチ回路は、オン又はオフにより前記センス電流又は前記センス電流に対応する値の前記電圧比較部への入力を制御する
- 半導体記憶装置。
- [2] 請求の範囲1に記載の半導体記憶装置において、
- 前記デコーダの後段に設けられ、前記参照セルに流れる前記参照電流に基づいて参照電圧を出力する第1電流－電圧変換回路を更に具備し、
- 前記読み出し回路は、
- 前記デコーダの後段に設けられ、前記選択セルに流れる前記センス電流に基づいてセンス電圧を出力する第2電流－電圧変換回路を更に備え、
- 前記第1スイッチ回路は、前記第1電流－電圧変換回路と前記電圧比較部との間に設けられ、
- 前記第2スイッチ回路は、前記第2電流－電圧変換回路と前記電圧比較部との間に設けられ、

前記電圧比較部は、前記センス電圧と前記参照電圧とを比較する半導体記憶装置。

- [3] 請求の範囲2に記載の半導体記憶装置において、
前記読み出し回路の数は複数であり、
前記複数のメモリセルから選択される前記選択セルの数は複数であり、
前記複数の選択セルの各々は、前記複数の読み出し回路のいずれかに対応する半導体記憶装置。
- [4] 請求の範囲3に記載の半導体記憶装置において、
前記参照セルは、
抵抗値が第1状態である第1参照セルと、
抵抗値が第2状態である第2参照セルと
を含み、
前記第1電流－電圧変換回路は、前記第1参照セルと前記第2参照セルとが同時に選択されたとき、前記第1参照セルに流れる参照電流と前記第2参照セルに流れる参照電流の和の $1/2$ に対応する電圧を、前記参照電圧として出力する半導体記憶装置。
- [5] 請求の範囲3に記載の半導体記憶装置において、
前記複数の読み出し回路の各々は、前記電圧比較部の前段に設けられた増幅回路を更に備え、
前記増幅回路は、前記センス電圧と前記参照電圧との差が拡大するように、前記センス電圧と前記参照電圧を増幅する半導体記憶装置。
- [6] 請求の範囲3に記載の半導体記憶装置において、
前記第1電流－電圧変換回路と前記参照セルとが接続され、前記複数の読み出し回路の各々と前記複数の選択セルのうち対応するものとが接続されたとき、
前記各々の読み出し回路において、前記第2スイッチ回路と前記第1スイッチ回路とはオンされ、その後、前記第2スイッチ回路と前記第1スイッチ回路とはオフされ、その後、前記電圧比較部が前記センス電圧と前記参照電圧との比較を行う

半導体記憶装置。

- [7] 請求の範囲3に記載の半導体記憶装置において、
前記第1スイッチ回路は、
入力側と出力側との間に設けられた第1スイッチ素子と、
一方の端子が接地され、他方の端子が前記第1スイッチ素子の前記出力側に接続された第1キャパシタと
を含み、
前記第2スイッチ回路は、
入力側と出力側との間に設けられた第2スイッチ素子と、
一方の端子が接地され、他方の端子が前記第2スイッチ素子の前記出力側に接続された第2キャパシタと
を含む
半導体記憶装置。
- [8] 請求の範囲3乃至7のいずれかに一項に記載の半導体記憶装置において、
センス動作時に、前記第1電流－電圧変換回路は、前記参照電圧を前記複数の読み出し回路へ一度に出力する
半導体記憶装置。
- [9] 請求の範囲7に記載の半導体記憶装置において、
前記第2スイッチ回路は、
一方の端子が接地された第3キャパシタと、
前記第2スイッチ回路の前記入力側と前記第3キャパシタの他方の端子との間に設けられた第3スイッチ素子と
を更に含む
半導体記憶装置。
- [10] 請求の範囲9に記載の半導体記憶装置において、
センス動作時に、前記第2スイッチ素子が接続状態である時に、前記第3スイッチ素子も接続状態である
半導体記憶装置。

- [11] 請求の範囲9に記載の半導体記憶装置において、
センス動作時に前記第1電流－電圧変換回路から前記参照電圧が入力される前記複数の読み出し回路の数は N (N は2以上の整数)であり、
前記第1キャパシタ及び前記第2キャパシタの容量値は C であり、
前記第3キャパシタの容量値が $C(N-1)$ である
半導体記憶装置。
- [12] 請求の範囲1乃至11のいずれか一項に記載の半導体記憶装置において、
前記記憶素子は、自発磁化の向きにより抵抗値が変化する磁気抵抗素子である
半導体記憶装置。
- [13] 請求の範囲1乃至11のいずれか一項に記載の半導体記憶装置において、
前記記憶素子は、加熱により結晶状態が変化して抵抗値が変化する相変化素子である
半導体記憶装置。
- [14] 半導体記憶装置の読み出し方法であって、
前記半導体記憶装置は、
抵抗値の変化を用いてデータを記憶する記憶素子を有する複数のメモリセル及び少なくとも一つの参照セルを備えるメモリアレイと、
前記複数のメモリセルから選択される複数の選択セルのそれぞれのデータを読み出す複数の読み出し回路と、
前記少なくとも一つの参照セルに流れる参照電流に対応する参照電圧を出力する第1電流－電圧変換回路と
を具備し、
前記複数の読み出し回路の各々は、
前記複数の選択セルの対応するものに流れるセンス電流に対応するセンス電圧を出力する第2電流－電圧変換回路と、
前記センス電圧と前記参照電圧とを比較する電圧比較部と、
前記第1電流－電圧変換回路と前記電圧比較部との間に設けられ、オン又はオフによりそれらの間の接続を制御する第1スイッチ回路と、

前記第2電流－電圧変換回路と前記電圧比較部との間に設けられ、オン又はオフによりそれらの間の接続を制御する第2スイッチ回路と

を備え、

前記読み出し方法は、

(a) 前記第2電流－電圧変換回路が、前記センス電流を前記センス電圧に変換し、前記センス電圧を出力するステップと、

(b) 第1電流－電圧変換回路が、前記参照電流を前記参照電圧に変換し、前記参照電圧を前記複数の読み出し回路に出力するステップと、

(c) 前記第2スイッチ回路と前記第1スイッチ回路をオンするステップと、

(d) 前記第2スイッチ回路と前記第1スイッチ回路をオフするステップと、

(e) 前記電圧比較部が、前記センス電圧と前記参照電圧とを比較するステップとを有する

半導体記憶装置の読み出し方法。

[15] 請求の範囲14に記載の半導体記憶装置の読み出し方法において、

前記参照セルは、

抵抗値が第1状態である第1参照セルと、

抵抗値が第2状態である第2参照セルと

を備え、

前記(b)ステップにおいて、

前記第1参照セルと前記第2参照セルとが同時に選択されたとき、前記第1参照セルに流れる参照電流と前記第2参照セルに流れる参照電流の和の $1/2$ に対応する電圧が、前記参照電圧として出力される

半導体記憶装置の読み出し方法。

[16] 請求の範囲14に記載の半導体記憶装置の読み出し方法において、

前記複数の読み出し回路の各々は、前記電圧比較部の前段に設けられた増幅回路を更に備え、

前記読み出し方法は、

(f) 前記増幅回路が、前記センス電圧と前記参照電圧との差が拡大するように、前

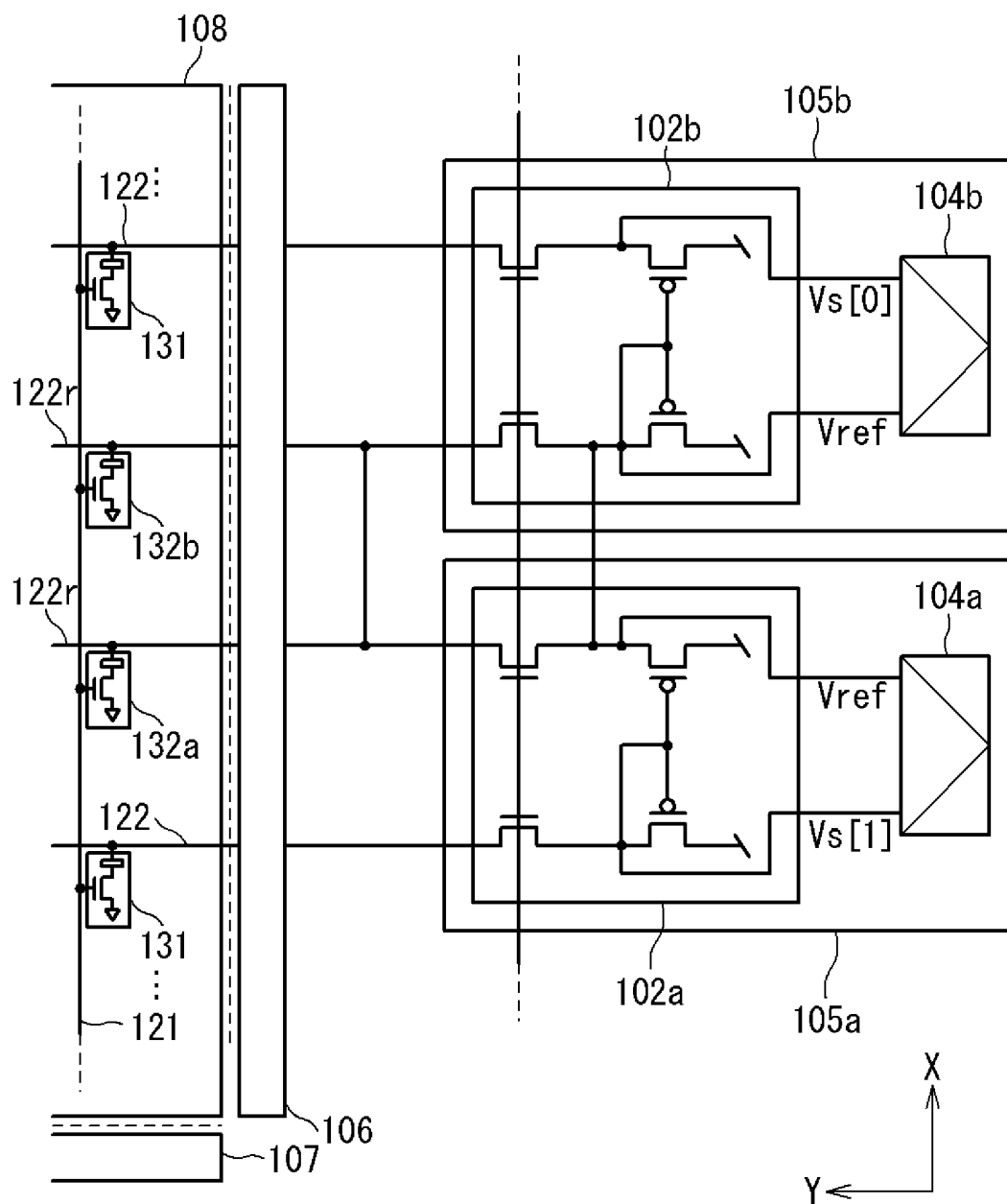
記センス電圧と前記参照電圧を増幅するステップを更に有する
半導体記憶装置の読み出し方法。

- [17] 請求の範囲14に記載の半導体記憶装置の読み出し方法において、
前記第1スイッチ回路は、
入力側と出力側との間に設けられた第1スイッチ素子と、
一方の端子が接地され、他方の端子が前記第1スイッチ回路の前記出力側に接続
された第1キャパシタと
を含み、
前記第2スイッチ回路は、
入力側と出力側との間に設けられた第2スイッチ素子と、
一方の端子が接地され、他方の端子が前記第2スイッチ回路の前記出力側に接続
された第2キャパシタと
を含み、
前記(c)ステップは、
(c1)前記第2スイッチ素子をオンするステップと、
(c2)前記センス電圧で前記第2キャパシタを充電するステップと、
(c3)前記第1スイッチ素子をオンするステップと、
(c4)前記参照電圧で前記第1キャパシタを充電するステップと
を含み、
前記(e)ステップは、
(e1)前記電圧比較部が、前記第2キャパシタの電圧と前記第1キャパシタの電圧と
を比較するステップを含む
半導体記憶装置の読み出し方法。
- [18] 請求の範囲14乃至17のいずれかに一項に記載の半導体記憶装置の読み出し方
法において、
前記(b)ステップは、
(b2)前記第1電流－電圧変換回路が、前記参照電圧を前記複数の読み出し回路
へ一度に出力するステップを含む

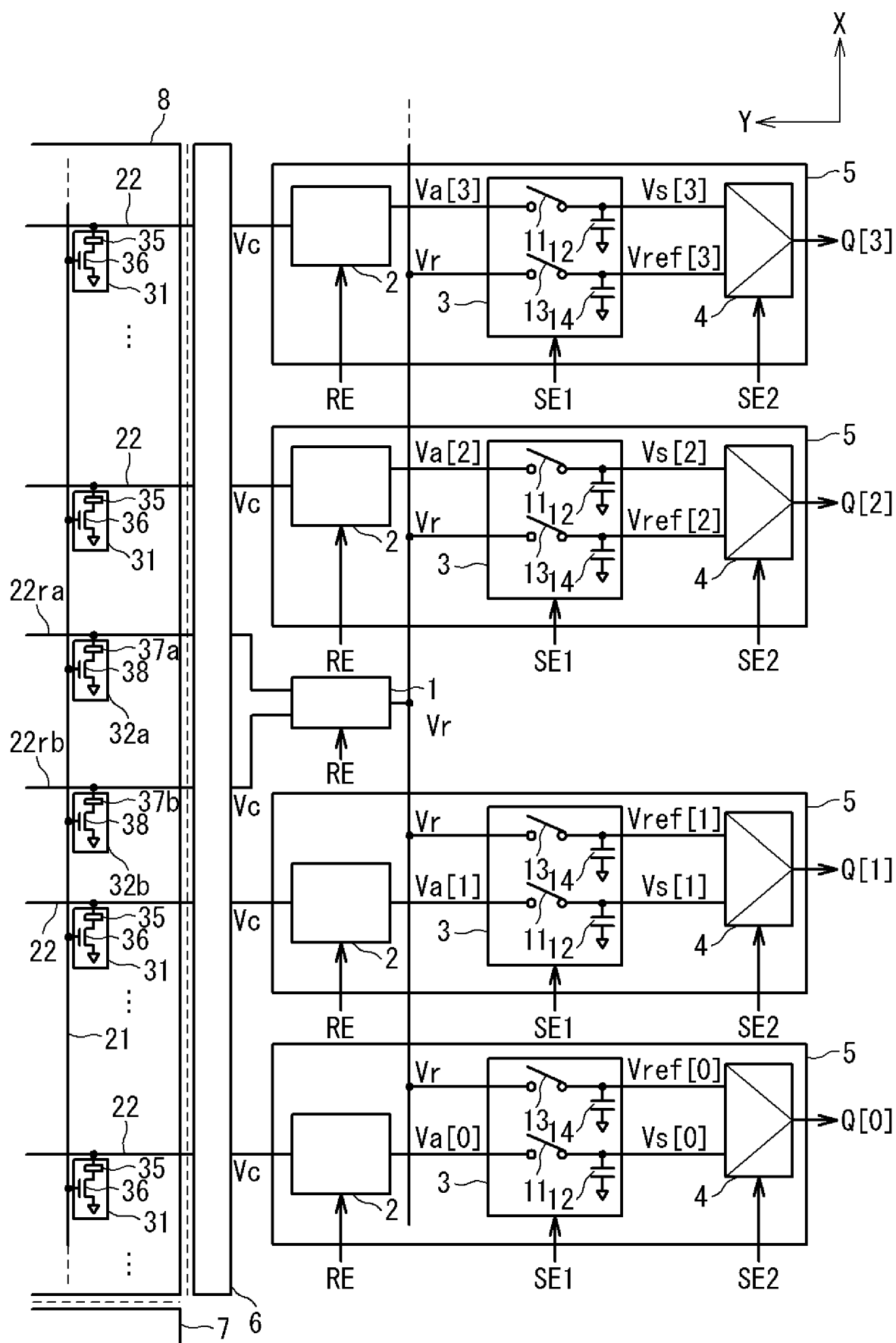
半導体記憶装置の読み出し方法。

- [19] 請求の範囲17に記載の半導体記憶装置の読み出し方法において、
前記第2スイッチ回路は、
一方の端子が接地された第3キャパシタと、
前記第2スイッチ回路の前記入力側と前記第3キャパシタの他方の端子との間に設けられた第3スイッチ素子と
を更に含み、
前記(c1)ステップは、
(c11)前記第2スイッチ素子がオンのとき、前記第3スイッチ素子をオンするステップを含む
半導体記憶装置の読み出し方法。
- [20] 請求の範囲14乃至19のいずれか一項に記載の半導体記憶装置の読み出し方法において、
前記記憶素子は、自発磁化の向きにより抵抗値が変化する磁気抵抗素子である
半導体記憶装置の読み出し方法。
- [21] 請求の範囲14乃至19のいずれか一項に記載の半導体記憶装置の読み出し方法において、
前記記憶素子は、加熱により結晶状態が変化して抵抗値が変化する相変化素子である
半導体記憶装置の読み出し方法。

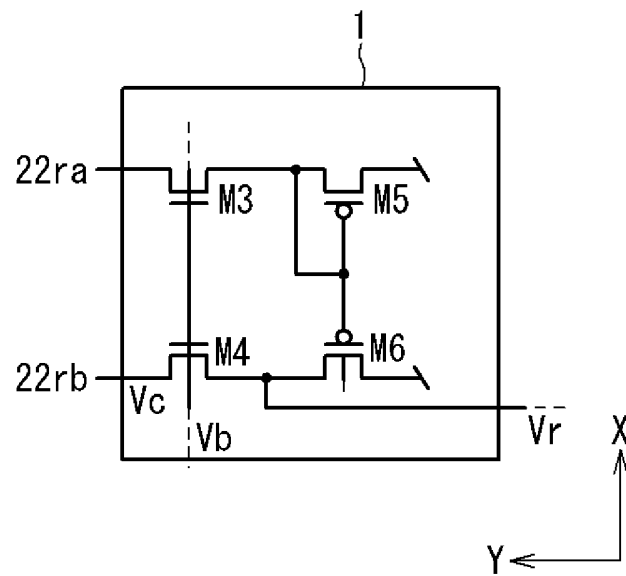
[図1]



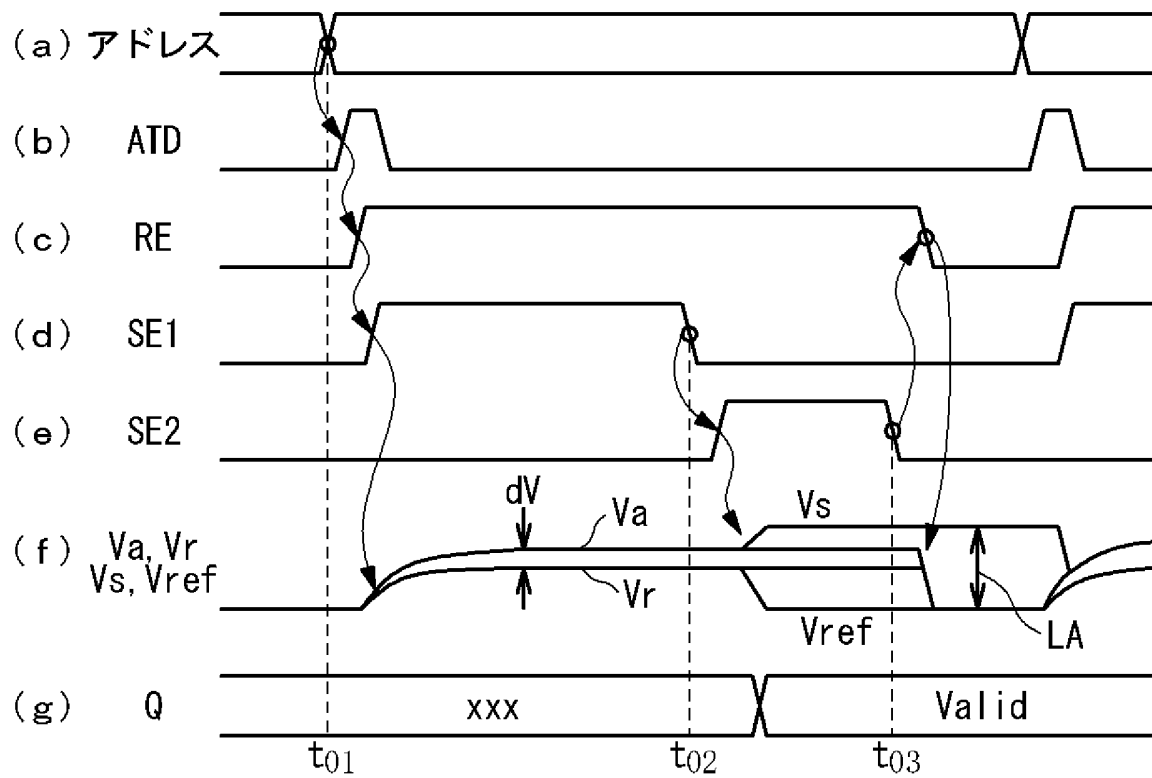
[図2]



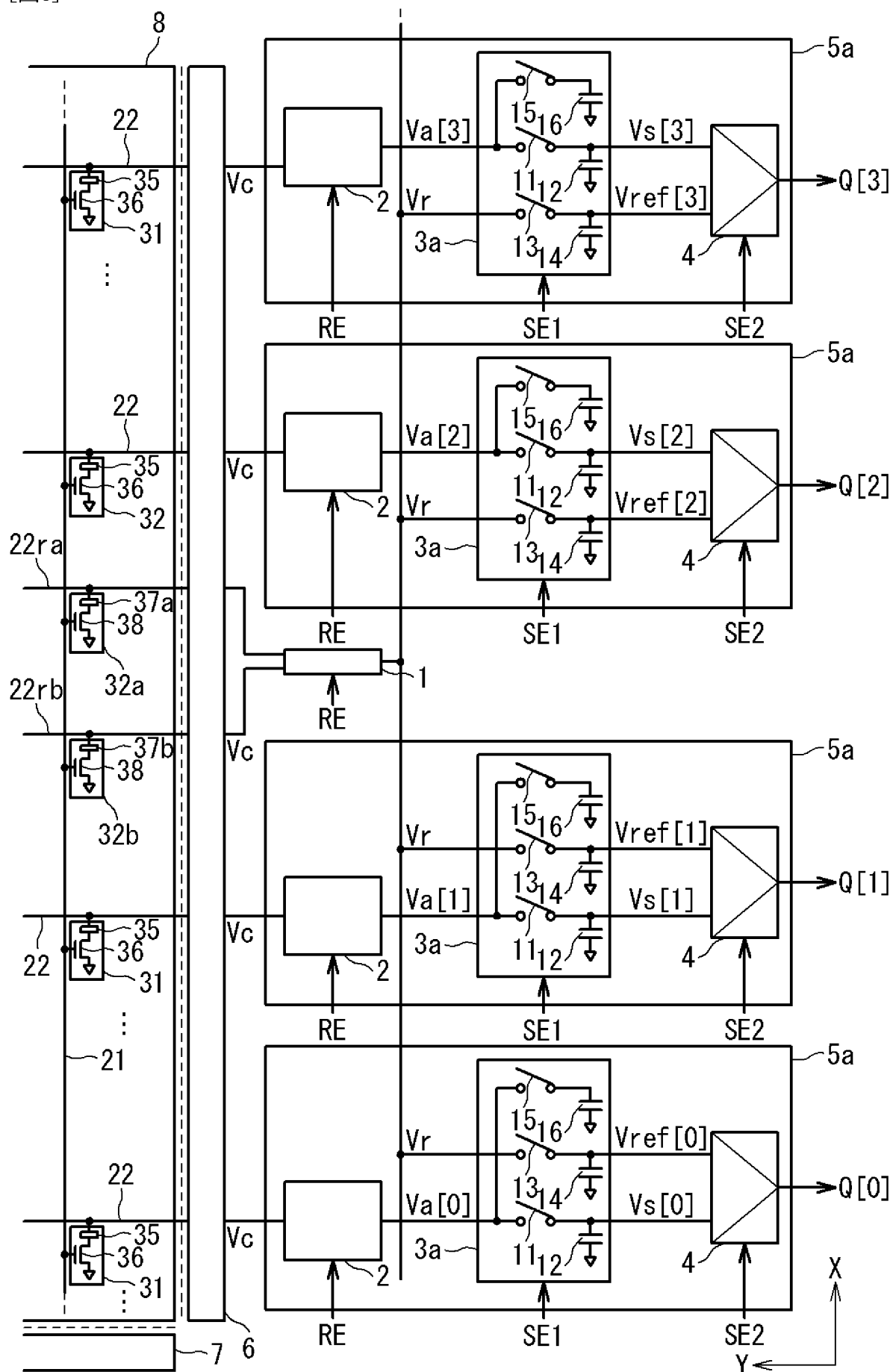
[図3]



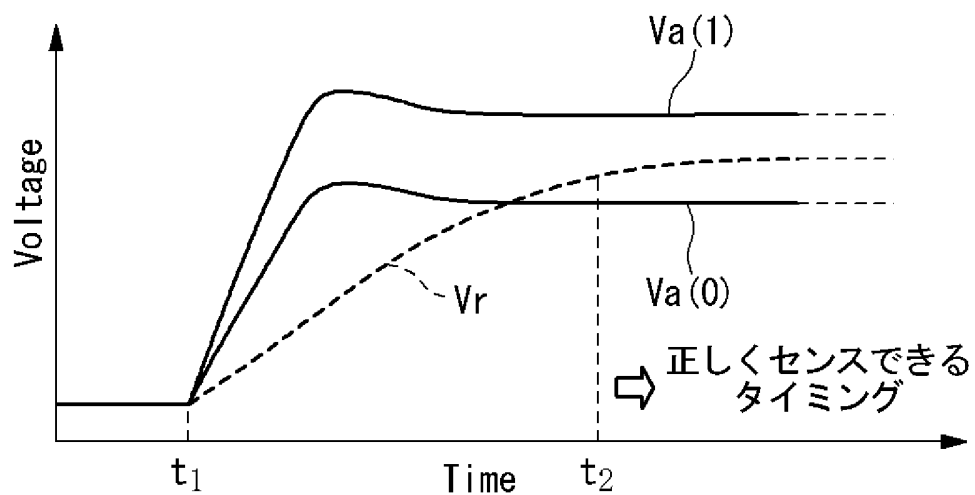
[図4]



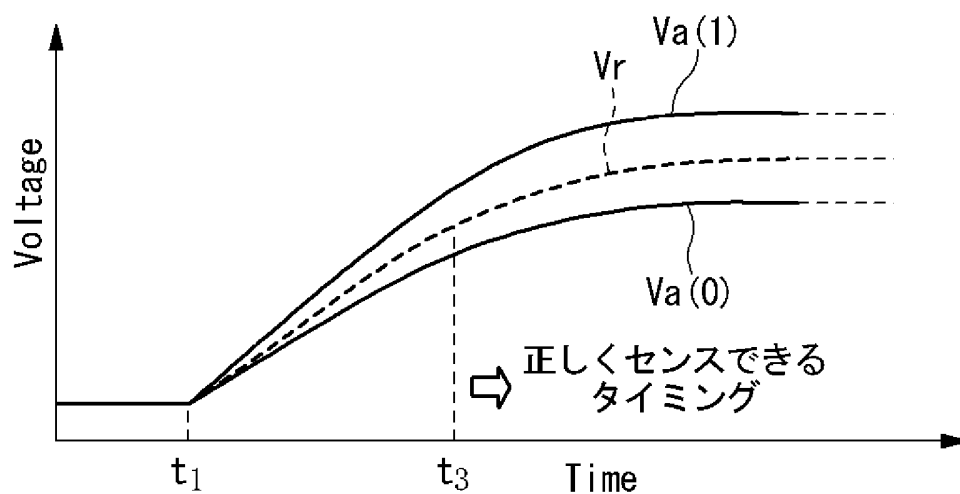
[図5]



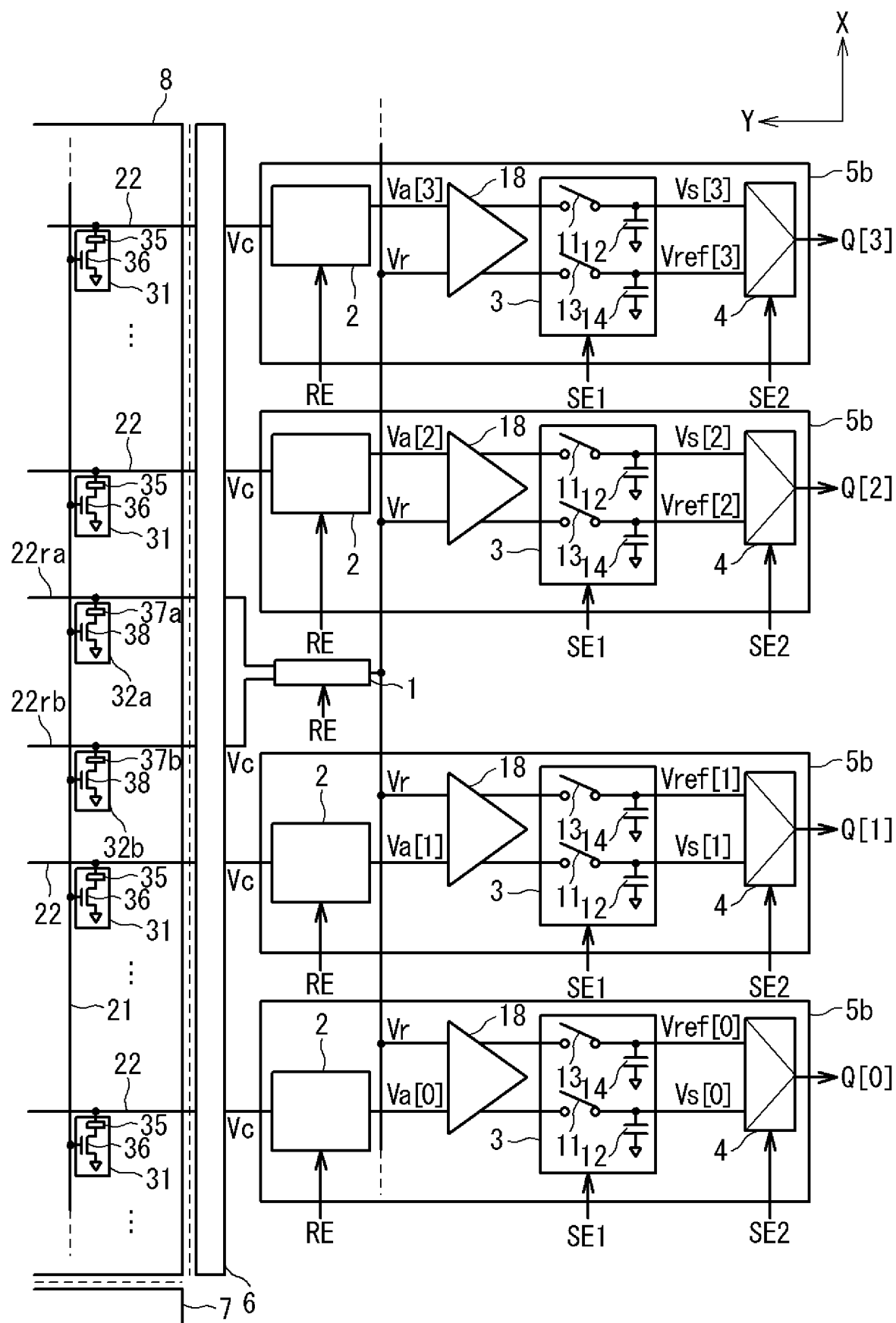
[図6A]



[図6B]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/301651

A. CLASSIFICATION OF SUBJECT MATTER

G11C11/15(2006.01), **G11C13/00**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/15(2006.01), **G11C13/00**(2006.01), **G11C16/02**(2006.01), **G11C16/04**(2006.01), **G11C16/06**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-197853 A (Toshiba Corp.), 12 July, 2002 (12.07.02), Par. Nos. [0269] to [0346]; Figs. 15 to 18	1-4, 6, 7, 12-15, 17, 20, 21
Y	& US 2002/0080644 A1 & EP 1225591 A3	5, 8, 16, 18
A	& CN 1362709 A	9-11, 19
Y	JP 2002-008386 A (Toshiba Corp.), 11 January, 2002 (11.01.02), Par. No. [0060]; Fig. 41 (Family: none)	5, 16
Y	JP 2005-501370 A (Motorola, Inc.), 13 January, 2005 (13.01.05), Par. No. [0018]; Fig. 4 & US 6445612 B1 & WO 2003/019507 A1	8, 18

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
12 April, 2006 (12.04.06)

Date of mailing of the international search report
18 April, 2006 (18.04.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G11C11/15(2006. 01), G11C13/00(2006. 01)

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G11C11/15(2006. 01), G11C13/00(2006. 01), G11C16/02(2006. 01), G11C16/04(2006. 01), G11C16/06(2006. 01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2－1 9 9 6年
日本国公開実用新案公報	1 9 7 1－2 0 0 6年
日本国実用新案登録公報	1 9 9 6－2 0 0 6年
日本国登録実用新案公報	1 9 9 4－2 0 0 6年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-197853 A（株式会社東芝）2002.07.12, 段落【0 2 6 9】 －【0 3 4 6】、第1 5図－第1 8図 & US 2002/0080644 A1 & EP 1225591 A3 & CN 1362709 A	1－4, 6, 7, 1 2－1 5, 1 7、2 0, 2 1
Y		5, 8, 1 6, 1 8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 0 4 . 2 0 0 6

国際調査報告の発送日

1 8 . 0 4 . 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号1 0 0－8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

5 N

3 1 3 5

滝谷 亮一

電話番号 0 3－3 5 8 1－1 1 0 1 内線 3 5 8 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A		9 - 11 , 19
Y	JP 2002-008386 A (株式会社東芝) 2002.01.11, 段落【0060】、 第41図 (ファミリーなし)	5, 16
Y	JP 2005-501370 A (モトローラ・インコーポレイテッド) 2005.01.13, 段落【0018】、第4図 & US 6445612 B1 & WO 2003/019507 A1	8, 18