

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-5338

(P2009-5338A)

(43) 公開日 平成21年1月8日(2009.1.8)

(51) Int.Cl.		F I		テーマコード (参考)		
H03M	1/14	(2006.01)	H03M	1/14	B	5 J 0 2 2
H03M	1/56	(2006.01)	H03M	1/56		

審査請求 未請求 請求項の数 3 O L (全 13 頁)

(21) 出願番号	特願2008-102188 (P2008-102188)	(71) 出願人	000002369
(22) 出願日	平成20年4月10日 (2008.4.10)		セイコーエプソン株式会社
(31) 優先権主張番号	特願2007-136331 (P2007-136331)		東京都新宿区西新宿2丁目4番1号
(32) 優先日	平成19年5月23日 (2007.5.23)	(74) 代理人	100095728
(33) 優先権主張国	日本国 (JP)		弁理士 上柳 雅普
		(74) 代理人	100107261
			弁理士 須澤 修
		(74) 代理人	100127661
			弁理士 宮坂 一彦
		(72) 発明者	佐野 賢史
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	5J022 AA09 AB02 BA04 BA06 CA07 CB02 CE05 CE08 CF01 CF02 CF08 CF10 CG04

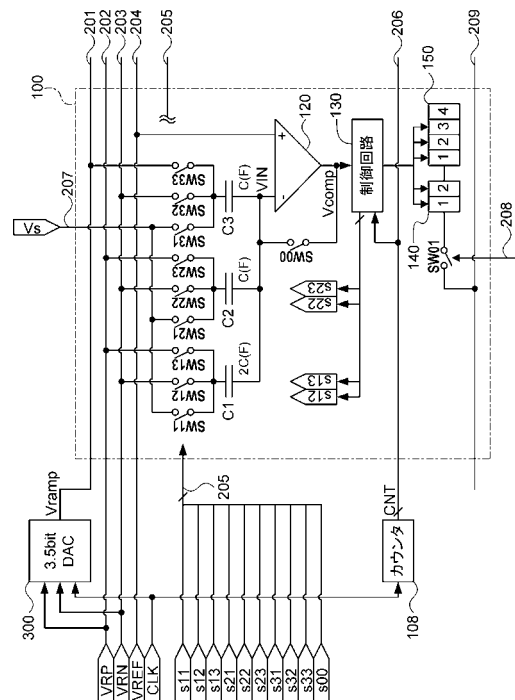
(54) 【発明の名称】 アナログーデジタル変換器及びこれを用いたイメージセンサ

(57) 【要約】

【課題】低消費電力でレイアウト面積の小さいAD変換器。

【解決手段】アナログ信号の上限電圧と下限電圧と、クロック信号に基づき下限電圧 - ΔV から上限電圧 + ΔV の間を $n + k$ ビットで量子化した参照電圧と、クロック信号をカウントするカウント値と、第1の端子の電圧と第2の端子の電圧を比較した比較結果信号を出力する比較回路と、比較回路の動作電圧を決める基準電圧と、第2の端子と比較回路出力の間に接続された切替素子と、 $2^{i-1} \times C$ の容量に設定された m 個の容量素子と、アナログ信号または下限電圧または上限電圧を切り替える m 個の切替回路と、 C の容量の第2の容量素子と、アナログ信号又は下限電圧または参照電圧を切り替える第2の切替回路と、 $m + n + 1$ ビットのラッチ回路と、比較結果信号とカウント値と接続され、比較結果信号に基づき m 個の切替回路を制御し、 m ビットの比較結果信号と $n + 1$ ビットのカウント値をラッチ回路に書き込む。

【選択図】図2



【特許請求の範囲】

【請求項 1】

アナログ信号を送信するアナログ信号線と、
 前記アナログ信号の上限電圧を送信する上限電圧線と、
 前記アナログ信号の下限電圧を送信する下限電圧線と、
 $\Delta V = (\text{前記上限電圧} - \text{前記下限電圧}) \times k / 2$ (k は $0 < k < 1$ の実数) とすると、
 クロック信号に基づき前記下限電圧 - ΔV から前記上限電圧 + ΔV の間を $n + k$ ビット (n は 1 以上の自然数) で量子化した参照電圧を送信する参照電圧線と、
 第 1 の端子と第 2 の端子とを有し前記第 1 の端子に印加された電圧と前記第 2 の端子に
 印加された電圧とを比較した比較結果信号を比較結果出力端子から出力する比較回路と、 10
 前記第 1 の端子と接続され前記比較回路の動作電圧を決める基準電圧を送信する基準電
 圧線と、
 前記第 2 の端子と前記比較結果出力端子との間に接続され、前記アナログ信号線に前記
 アナログ信号が伝送される期間に導通状態となるスイッチング素子と、
 i 番目 ($1 \leq i \leq m$ 、 m は 1 以上の自然数) が $2^{m-i} \times C$ (C は正の実数) の容量に設
 定され、各々の一端が前記第 2 の端子に並列に接続された m 個の容量素子と、
 前記 m 個の容量素子の他端の各々に接続され、前記アナログ信号線または前記下限電圧
 線または前記上限電圧線のいずれかが接続されるように切替可能な m 個の切替回路と、
 容量値が C に設定され、一端が前記第 2 の端子に接続された第 2 の容量素子と、 20
 前記第 2 の容量素子の他端に接続され、前記アナログ信号線または前記下限電圧線また
 は前記参照電圧線のいずれかが接続されるように切替可能な第 2 の切替回路と、 20
 前記クロック信号の開始時点からのクロック数をカウントしたカウント値を送信するカ
 ウント線と、
 m ビットのラッチ回路と、
 $n + 1$ ビットのラッチ回路と、
 前記比較結果出力端子の出力線及び前記カウント線に接続され、前記比較結果信号に基
 づき前記 m 個の切替回路を制御し、前記 m 個の容量素子に前記上限電圧線を順次接続す
 ることにより出力される前記比較結果信号を前記 m ビットのラッチ回路に順次書き込み、前
 記第 2 の容量素子に前記参照電圧線を接続することにより出力される前記比較結果信号の
 電位が第 1 の電位から第 2 の電位に変化した時点の前記カウント値を前記 $n + 1$ ビットの 30
 ラッチ回路に書き込む制御回路と、
 を含む、
 ことを特徴とするアナログ - デジタル変換器。

【請求項 2】

請求項 1 に記載のアナログ - デジタル変換器において、
 前記制御回路は、
 i 番目の前記比較結果信号の電位が前記第 1 の電位から前記第 2 の電位に変化してから
 所定の時間経過後に i 番目の前記比較結果信号の電位が前記第 2 の電位から前記第 1 の電
 位に戻るよう i 番目の前記切替回路を制御する、
 ことを特徴とするアナログ - デジタル変換器。 40

【請求項 3】

複数の光電変換素子と、請求項 1 または 2 に記載のアナログ - デジタル変換器とを有し
 、前記アナログ信号の電圧は前記光電変換素子により光電変換されてなる電圧であることを
 を特徴とするイメージセンサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログ信号をデジタル信号に変換するアナログ - デジタル変換器及びこれ
 を用いたイメージセンサに関する。

【背景技術】

【0002】

CMOS型イメージセンサ（以下CMOSセンサ）はロジックプロセスを応用したイメージセンサであり、同一チップ上にイメージセンサに加え、周辺駆動回路、アナログ-デジタル（AD）変換器、信号処理回路などを搭載することができる特徴がある。特にAD変換器を搭載したCMOSセンサは、カメラ設計において高SN比が要求されるアナログ回路設計が必要無くなるという点で注目されている。

【0003】

AD変換器として、積分型AD変換器と逐次比較型AD変換器がある。積分型AD変換器は、AD間のバラツキが少なく、良好な直線性が確保できるが、変換速度が遅い問題点がある。また、逐次比較型AD変換器は、消費電力、変換速度で有利ではあるが、階調（bit数）が増えると、容量素子の面積が膨大になる問題がある。

10

【0004】

この問題を解決するために、例えば特許文献1には、上位ビットと下位ビットを分けてそれぞれを積分型AD回路で量子化する2重の積分型AD回路による方法が記載されている。

【0005】

【特許文献1】特許第3507800号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

20

しかしながら、特許文献1では、高精度でAD間バラツキは少ないが、積分型AD回路を2回直列に用いるため、AD変換のスピードを十分に速くできないという問題がある。

【0007】

この問題を解決するために、図5及び図6に示すように、アナログ信号VsをAD変換するために、上位mビット（mは1以上の自然数、図5ではm=2）を逐次比較型、下位nビット（nは1以上の自然数、図5ではn=3）を積分型で変換する方法がある。

【0008】

しかしながら、下位ビットの積分型AD変換において、DA変換回路（3ビットDAC）107にオフセットがあった場合や、比較回路（コンパレータ）120に遅延があった場合などに、図7に示すように、参照電圧Vrampの波形が理想波形に対し上下にずれることにより、上位ビットと下位ビットの境界が正しくAD変換できない場合がある。

30

【0009】

本発明は、このような事情に鑑みてなされたものであり、低消費電力で動作し、高精度でAD間バラツキが少なく、レイアウト面積の小さいアナログ-デジタル変換器及びこれを用いたイメージセンサを提供することを目的とするものである。

【課題を解決するための手段】

【0010】

上記課題を解決するために、本発明のアナログ-デジタル変換器では、アナログ信号を伝送するアナログ信号線と、前記アナログ信号の上限電圧を伝送する上限電圧線と、前記アナログ信号の下限電圧を伝送する下限電圧線と、 $\Delta V = (\text{前記上限電圧} - \text{前記下限電圧}) \times k / 2$ （kは $0 < k < 1$ の実数）とすると、クロック信号に基づき前記下限電圧 - ΔV から前記上限電圧 + ΔV の間をn+kビット（nは1以上の自然数）で量子化した参照電圧を伝送する参照電圧線と、第1の端子と第2の端子とを有し前記第1の端子に印加された電圧と前記第2の端子に印加された電圧とを比較した比較結果信号を比較結果出力端子から出力する比較回路と、前記第1の端子と接続され前記比較回路の動作電圧を決める基準電圧を伝送する基準電圧線と、前記第2の端子と前記比較結果出力端子との間に接続され、前記アナログ信号線に前記アナログ信号が伝送される期間に導通状態となるスイッチング素子と、i番目（ $1 \leq i \leq m$ 、mは1以上の自然数）が $2^{m-i} \times C$ （Cは正の実数）の容量に設定され、各々の一端が前記第2の端子に並列に接続されたm個の容量素子と

40

50

、前記 m 個の容量素子の他端の各々に接続され、前記アナログ信号線または前記下限電圧線または前記上限電圧線のいずれかが接続されるように切替可能な m 個の切替回路と、容量値が C に設定され、一端が前記第 2 の端子に接続された第 2 の容量素子と、前記第 2 の容量素子の他端に接続され、前記アナログ信号線または前記下限電圧線または前記参照電圧線のいずれかが接続されるように切替可能な第 2 の切替回路と、前記クロック信号の開始時点からのクロック数をカウントしたカウント値を伝送するカウント線と、 m ビットのラッチ回路と、 $n + 1$ ビットのラッチ回路と、前記比較結果出力端子の出力線及び前記カウント線に接続され、前記比較結果信号に基づき前記 m 個の切替回路を制御し、前記 m 個の容量素子に前記上限電圧線を順次接続することにより出力される前記比較結果信号を前記 m ビットのラッチ回路に順次書き込み、前記第 2 の容量素子に前記参照電圧線を接続することにより出力される前記比較結果信号の電位が第 1 の電位から第 2 の電位に変化した時点の前記カウント値を前記 $n + 1$ ビットのラッチ回路に書き込む制御回路と、を含むことを要旨とする。

10

20

30

40

50

【0011】

この構成によれば、上位の m ビットを逐次比較型で A/D 変換し、下位の n ビットを積分型で A/D 変換できるので、低消費電力で動作し、高精度で A/D 間バラツキが少なく、逐次比較型 A/D 変換器だけで構成したよりも容量素子を少なくできレイアウト面積を小さくすることができる。また、下位の n ビットを積分型で A/D 変換するために、 n ビットに対し、 k ビットのマージンを持たせて量子化した参照電圧を使うので、参照電圧を発生させる D/A 変換回路にオフセットなどが発生しても良好な A/D 変換特性が得られる。

【0012】

また、本発明のアナログ - デジタル変換器では、前記制御回路は、 i 番目の前記比較結果信号の電位が前記第 1 の電位から前記第 2 の電位に変化してから所定の時間経過後に i 番目の前記比較結果信号の電位が前記第 2 の電位から前記第 1 の電位に戻るよう i 番目の前記切替回路を制御する。

【0013】

この構成によれば、上位の m ビットを逐次比較型で A/D 変換し、下位の n ビットを積分型で A/D 変換できるので、低消費電力で動作し、高精度で A/D 間バラツキが少なく、逐次比較型 A/D 変換器だけで構成したよりも容量素子を少なくできレイアウト面積を小さくすることができる。

【0014】

また、本発明のイメージセンサでは、複数の光電変換素子と、上記に記載のアナログ - デジタル変換器とを有し、前記アナログ信号の電圧は前記光電変換素子により光電変換されてなる電圧である。

【0015】

この構成によれば、上位の m ビットを逐次比較型で A/D 変換し、下位の n ビットを積分型で A/D 変換できるので、低消費電力で動作し、高精度で A/D 間バラツキが少なく、逐次比較型 A/D 変換器だけで構成したよりも容量素子を少なくできレイアウト面積を小さくすることができる。

【発明を実施するための最良の形態】

【0016】

以下、本発明を具体化した実施形態について図面に従って説明する。

【0017】

< イメージセンサの構成 >

まず、イメージセンサの構成について、図 1 を参照して説明する。図 1 は、本発明のイメージセンサの構成を示す回路構成図である。なお、説明を簡略化するために、 3×3 画素のイメージセンサで説明する。また、アナログ信号を上位 $m = 2$ ビット、下位 $n = 3$ ビットのデジタルデータに変換する場合について説明する。また、積分型 A/D 変換では、クロック信号に基づき下限電圧から上限電圧の間を 3.5 ビット ($k = 0.5$) で量子化した参照電圧に基づき行う場合について説明する。

【 0 0 1 8 】

図 1 に示すように、イメージセンサ 1 は、3 行 3 列に配置された画素 1 0 1 と、3 本の垂直走査線 1 0 2 と、3 本の垂直信号線 1 0 3 と、垂直走査回路 1 0 4 と、3 個のバッファ 1 0 6 と、3 個のアナログ - デジタル変換器 (A D C) 1 0 0 と、3 . 5 ビットデジタル - アナログ変換器 (D A C) 3 0 0 と、カウンタ 1 0 8 と、水平走査回路 1 0 5 と、3 本の列選択線 2 0 8 と、データ出力線 2 0 9 と、補正回路 1 0 9 と、から構成されている。

【 0 0 1 9 】

バッファ 1 0 6 は、選択された行の画素 1 0 1 のアナログ信号 V_s を保持し、アナログ信号線 2 0 7 に伝送する。

10

【 0 0 2 0 】

3 . 5 ビット D A C 3 0 0 は、アナログ信号 V_s の上限電圧 V_{RP} と下限電圧 V_{RN} とクロック信号 CLK に基づき、上限電圧 $V_{RP} + \Delta V$ と下限電圧 $V_{RN} - \Delta V$ の間を 3 . 5 ビット (すなわち 1 2 クロック) で量子化した参照電圧 V_{ramp} を参照電圧線 2 0 1 に伝送する。上限電圧 V_{RP} は、上限電圧線 2 0 2 に伝送され、下限電圧 V_{RN} は、下限電圧線 2 0 3 に伝送される。基準電圧 V_{REF} は、基準電圧線 2 0 4 に伝送される。

【 0 0 2 1 】

カウンタ 1 0 8 は、クロック信号 CLK の開始からのクロック数をカウントした 4 ビットのカウンタ値 CNT を 4 本のカウンタ線 2 0 6 に伝送する。

【 0 0 2 2 】

図 2 で後述する切替回路を制御する制御信号 $s_{00} \sim s_{23}$ は、制御線 2 0 5 に伝送される。

20

【 0 0 2 3 】

3 個の A D C 1 0 0 は、アナログ信号線 2 0 7 に各々接続されている。また、3 個の A D C には、参照電圧線 2 0 1 と上限電圧線 2 0 2 と下限電圧線 2 0 3 と基準電圧線 2 0 4 と制御線 2 0 5 とカウンタ線 2 0 6 とが共通に配線されている。A D C 1 0 0 は、アナログ信号 V_s を上位 2 ビット、下位 3 . 5 ビットのデジタル信号に変換し、水平走査回路 1 0 5 からの列選択線 2 0 8 に応じてデータ出力線 2 0 9 に伝送する。

【 0 0 2 4 】

補正回路 1 0 9 は、データ出力線 2 0 9 から伝送されたデジタル信号を補正して出力する。

30

【 0 0 2 5 】

< 3 . 5 ビット D A C の構成 >

次に、3 . 5 ビットデジタル - アナログ変換器の構成について図 4 を参照して説明する。図 4 は、3 . 5 ビットデジタル - アナログ変換器の構成を示す回路構成図である。

【 0 0 2 6 】

図 4 に示すように、3 . 5 ビット D A C 3 0 0 は、P c h トランジスタ P_{TR} と、1 2 個の抵抗 $R_{00} \sim R_{11}$ と、N c h トランジスタ N_{TR} と、2 個のオペアンプ C_{MPP} , C_{MPN} と、1 2 個のスイッチング素子 $T_{00} \sim T_{11}$ と、デコーダ 1 7 0 と、バッファ 1 7 1 と、から構成されている。3 . 5 ビット D A C 3 0 0 は、 $\Delta V = (V_{RP} - V_{RN}) \times 0.5 / 2 = (V_{RP} - V_{RN}) / 4$ なので、 $V_{RN} - \Delta V$ から $V_{RP} + \Delta V$ の間を 3 . 5 ビットで量子化した参照電圧 V_{ramp} を出力する。

40

【 0 0 2 7 】

N c h トランジスタ N_{TR} と抵抗 $R_{00} \sim R_{11}$ と P c h トランジスタ P_{TR} とは、接地電位と電源電位の間に直列に接続されている。オペアンプ C_{MPP} は、正極 (+) 端子が抵抗 R_{09} と抵抗 R_{10} の接続点と接続され、負極 (-) 端子が上限電圧 V_{RP} に接続され、出力端子が P c h トランジスタ P_{TR} のゲート端子と接続されている。オペアンプ C_{MPN} は、正極 (+) 端子が抵抗 R_{01} と抵抗 R_{02} の接続点と接続され、負極 (-) 端子が下限電圧 V_{RN} に接続され、出力端子が N c h トランジスタ N_{TR} のゲート端子と接続されている。

50

【 0 0 2 8 】

スイッチング素子 T 0 0 は、抵抗 R 0 0 と抵抗 R 0 1 の接続点とバッファ 1 7 1 の入力端子の間に接続されている。スイッチング素子 T 0 1 は、抵抗 R 0 1 と抵抗 R 0 2 の接続点とバッファ 1 7 1 の入力端子の間に接続されている。スイッチング素子 T 0 2 は、抵抗 R 0 2 と抵抗 R 0 3 の接続点とバッファ 1 7 1 の入力端子の間に接続されている。スイッチング素子 T 0 3 は、抵抗 R 0 3 と抵抗 R 0 4 の接続点とバッファ 1 7 1 の入力端子の間に接続されている。スイッチング素子 T 0 4 は、抵抗 R 0 4 と抵抗 R 0 5 の接続点とバッファ 1 7 1 の入力端子の間に接続されている。スイッチング素子 T 0 5 は、抵抗 R 0 5 と抵抗 R 0 6 の接続点とバッファ 1 7 1 の入力端子の間に接続されている。スイッチング素子 T 0 6 は、抵抗 R 0 6 と抵抗 R 0 7 の接続点とバッファ 1 7 1 の入力端子の間に接続されている。スイッチング素子 T 0 7 は、抵抗 R 0 7 と抵抗 R 0 8 の接続点とバッファ 1 7 1 の入力端子の間に接続されている。スイッチング素子 T 0 8 は、抵抗 R 0 8 と抵抗 R 0 9 の接続点とバッファ 1 7 1 の入力端子の間に接続されている。スイッチング素子 T 0 9 は、抵抗 R 0 9 と抵抗 R 1 0 の接続点とバッファ 1 7 1 の入力端子の間に接続されている。スイッチング素子 T 1 0 は、抵抗 R 1 0 と抵抗 R 1 1 の接続点とバッファ 1 7 1 の入力端子の間に接続されている。スイッチング素子 T 1 1 は、抵抗 R 1 1 と P c h トランジスタ P T R のドレイン端子の接続点とバッファ 1 7 1 の入力端子の間に接続されている。

10

【 0 0 2 9 】

デコーダ 1 7 0 は、クロック信号 C L K に基づき、スイッチング素子 T 0 0 ~ T 1 1 を順次導通状態にする。バッファ 1 7 1 は、1 2 段の参照電圧 V r a m p を出力する。

20

【 0 0 3 0 】

< A D C の構成 >

次に、アナログ - デジタル変換器の構成について図 2 を参照して説明する。図 2 は、アナログ - デジタル変換器の構成を示す回路構成図である。

【 0 0 3 1 】

図 2 に示すように、A D C 1 0 0 は、比較回路であるコンパレータ 1 2 0 と、制御回路 1 3 0 と、スイッチング素子であるスイッチ S W 0 0 と、1 番目の容量素子であるコンデンサ C 1 と、2 番目の容量素子であるコンデンサ C 2 と、第 2 の容量素子であるコンデンサ C 3 と、1 番目の切替回路を構成するスイッチ S W 1 1 , S W 1 2 , S W 1 3 と、2 番目の切替回路を構成するスイッチ S W 2 1 , S W 2 2 , S W 2 3 と、第 2 の切替回路を構成するスイッチ S W 3 1 , S W 3 2 , S W 3 3 と、2 ビットのラッチ回路 1 4 0 と、4 ビットのラッチ回路 1 5 0 と、スイッチ S W 0 1 と、から構成されている。

30

【 0 0 3 2 】

コンパレータ 1 2 0 は、第 1 の端子である正極 (+) 端子と、第 2 の端子である負極 (-) 端子と、比較結果出力端子を有し、正極端子の電圧 > 負極端子の電圧の場合、比較結果出力端子から出力される比較結果信号 V c o m p は、正の最大電圧となり、正極端子の電圧 < 負極端子の電圧の場合、比較結果信号 V c o m p は、負の最大電圧となる。正極端子は、基準電圧線 2 0 4 に接続され、基準電圧 V R E F が印加される。

【 0 0 3 3 】

スイッチ S W 0 0 は、コンパレータ 1 2 0 の負極端子と比較結果出力端子の間に接続されている。スイッチ S W 0 0 は、制御信号 s 0 0 が H レベルの時に導通状態、L レベルの時に非導通状態となる。

40

【 0 0 3 4 】

コンデンサ C 1 は、 $2^{2-1} \times C$ (C は、任意の容量) = $2 C$ (F) の容量に設定され、コンデンサ C 2 は、 $2^{2-2} \times C = C$ (F) の容量に設定され、コンデンサ C 3 は、C (F) の容量に設定されている。コンデンサ C 1 ~ C 3 の一端は、コンパレータ 1 2 0 の負極端子に並列に接続されている。

【 0 0 3 5 】

スイッチ S W 1 1 は、コンデンサ C 1 の他端とアナログ信号線 2 0 7 の間に接続されている。スイッチ S W 1 2 は、コンデンサ C 1 の他端と下限電圧線 2 0 3 の間に接続されて

50

いる。スイッチ S W 1 3 は、コンデンサ C 1 の他端と上限電圧線 2 0 2 の間に接続されている。スイッチ S W 1 1 は、制御信号 s 1 1 が H レベルの時に導通状態、L レベルの時に非導通状態となる。スイッチ S W 1 2 は、制御信号 s 1 2 が H レベルの時に導通状態、L レベルの時に非導通状態となる。スイッチ S W 1 3 は、制御信号 s 1 3 が H レベルの時に導通状態、L レベルの時に非導通状態となる。

【 0 0 3 6 】

スイッチ S W 2 1 は、コンデンサ C 2 の他端とアナログ信号線 2 0 7 の間に接続されている。スイッチ S W 2 2 は、コンデンサ C 2 の他端と下限電圧線 2 0 3 の間に接続されている。スイッチ S W 2 3 は、コンデンサ C 2 の他端と上限電圧線 2 0 2 の間に接続されている。スイッチ S W 2 1 は、制御信号 s 2 1 が H レベルの時に導通状態、L レベルの時に非導通状態となる。スイッチ S W 2 2 は、制御信号 s 2 2 が H レベルの時に導通状態、L レベルの時に非導通状態となる。スイッチ S W 2 3 は、制御信号 s 2 3 が H レベルの時に導通状態、L レベルの時に非導通状態となる。

10

【 0 0 3 7 】

スイッチ S W 3 1 は、コンデンサ C 3 の他端とアナログ信号線 2 0 7 の間に接続されている。スイッチ S W 3 2 は、コンデンサ C 3 の他端と下限電圧線 2 0 3 の間に接続されている。スイッチ S W 3 3 は、コンデンサ C 3 の他端と参照電圧線 2 0 1 の間に接続されている。スイッチ S W 3 1 は、制御信号 s 3 1 が H レベルの時に導通状態、L レベルの時に非導通状態となる。スイッチ S W 3 2 は、制御信号 s 3 2 が H レベルの時に導通状態、L レベルの時に非導通状態となる。スイッチ S W 3 3 は、制御信号 s 3 3 が H レベルの時に導通状態、L レベルの時に非導通状態となる。

20

【 0 0 3 8 】

制御回路 1 3 0 は、コンパレータ 1 2 0 の比較結果出力端子と 3 本のカウント線 2 0 6 と接続されている。

【 0 0 3 9 】

制御回路 1 3 0 は、上位 1 ビット目の A D 変換の期間、比較結果信号 V c o m p をラッチ回路 1 4 0 の 1 ビット目に伝送すると共に、比較結果信号 V c o m p が正の最大電圧から負の最大電圧に遷移した場合、制御信号 s 1 2 を H レベルに、制御信号 s 1 3 を L レベルに、それぞれ切り替える。

【 0 0 4 0 】

また、制御回路 1 3 0 は、上位 2 ビット目の A D 変換の期間、比較結果信号 V c o m p をラッチ回路 1 4 0 の 2 ビット目に伝送すると共に、比較結果信号 V c o m p が正の最大電圧から負の最大電圧に遷移した場合、制御信号 s 2 2 を H レベルに、制御信号 s 2 3 を L レベルに、それぞれ切り替える。

30

【 0 0 4 1 】

さらに、制御回路 1 3 0 は、下位 3 . 5 ビットの A D 変換の期間、比較結果信号 V c o m p が正の最大電圧から負の最大電圧に遷移した時点の 4 ビットのカウント値 C N T をラッチ回路 1 5 0 に伝送する。

【 0 0 4 2 】

スイッチ S W 0 1 は、ラッチ回路 1 4 0 及びラッチ回路 1 5 0 とデータ出力線 2 0 9 の間に接続され、列選択線 2 0 8 が H レベルの時に導通状態となり、ラッチ回路 1 4 0 及びラッチ回路 1 5 0 に保持したデジタルデータをデータ出力線 2 0 9 に順次出力する。

40

【 0 0 4 3 】

< A D C の動作 >

次に、アナログ - デジタル変換器の動作について図 3 を参照して説明する。図 3 は、アナログ - デジタル変換器の動作を示すタイミング図である。

【 0 0 4 4 】

まず、時点 t 0 から時点 t 2 の期間、制御信号 s 0 0 を H レベルにし、スイッチ S W 0 0 を導通状態にすることにより、コンパレータ 1 2 0 の比較結果出力端子と負極端子が短絡し、負極端子の電圧 V I N (すなわちコンデンサ C 1 ~ C 3 の一端) が基準電圧 V R E

50

Fになる。この状態で、制御信号 s_{11} , s_{21} , s_{31} をHレベルにすると、スイッチ SW_{11} , SW_{21} , SW_{31} が導通状態となり、アナログ信号 V_s がコンデンサ $C_1 \sim C_3$ の他端に伝送される。コンデンサ C_1 には $Q_1 = 2C(V_s - V_{REF})$ の電荷が蓄積され、コンデンサ C_2 には $Q_2 = C(V_s - V_{REF})$ の電荷が蓄積され、コンデンサ C_3 には $Q_3 = C(V_s - V_{REF})$ の電荷が蓄積される。つまり、コンデンサ $C_1 \sim C_3$ には、合計 $Q = Q_1 + Q_2 + Q_3 = 4C(V_s - V_{REF})$ の電荷が蓄積される。

【0045】

時点 t_1 において、制御信号 s_{11} , s_{21} , s_{31} をLレベルに切り替えることにより、スイッチ SW_{11} , SW_{21} , SW_{31} が非導通状態となり、コンデンサ $C_1 \sim C_3$ の電荷が保持され、時点 t_2 で制御信号 s_{00} をLレベルに切り替えると、スイッチ SW_{00} が非導通状態となり、電流経路が遮断され、コンデンサ $C_1 \sim C_3$ の電荷が保存される。

10

【0046】

時点 t_3 において、制御信号 s_{12} , s_{22} , s_{32} をHレベルに切り替えると、スイッチ SW_{12} , SW_{22} , SW_{32} が導通状態となり、コンデンサ $C_1 \sim C_3$ の他端に下限電圧 V_{RN} が印加される。電荷保存の法則により、コンデンサ $C_1 \sim C_3$ の電荷 $Q = 4C(V_s - V_{REF}) = 4C(V_{RN} - V_{IN})$ となり、負極端子の電圧 $V_{IN} = V_{REF} + V_{RN} - V_s$ となる。下限電圧 $V_{RN} <$ アナログ信号 V_s の関係が成り立つので、コンパレータ120の正極端子の電圧 $V_{REF} >$ 負極端子の電圧 V_{IN} となり、比較結果信号 V_{comp} は、正の最大電圧となる。

20

【0047】

時点 t_4 において、制御信号 s_{12} をLレベルに、制御信号 s_{13} をHレベルに、それぞれ切り替えると、スイッチ SW_{12} が非導通状態、スイッチ SW_{13} が導通状態となるので、コンデンサ C_1 の他端に上限電圧 V_{RP} が印加される。コンデンサ $C_1 \sim C_3$ の電荷 $Q = 4C(V_s - V_{REF}) = 2C(V_{RP} - V_{IN}) + 2C(V_{RN} - V_{IN})$ となり、負極端子の電圧 $V_{IN} = V_{REF} + ((V_{RP} + V_{RN}) / 2) - V_s$ となる。すなわち、アナログ信号 V_s が $(V_{RP} + V_{RN}) / 2$ より大きいかなかをコンパレータ120で逐次比較することであり、アナログ信号 V_s の上位1ビット目を求めることになる。

【0048】

アナログ信号 $V_s > (V_{RP} + V_{RN}) / 2$ の場合、比較結果信号 V_{comp} は、正の最大電圧となり、制御回路130は、ラッチ回路140の1ビット目にHレベルを書き込む。

30

【0049】

一方、アナログ信号 $V_s < (V_{RP} + V_{RN}) / 2$ の場合、比較結果信号 V_{comp} は、負の最大電圧となり、制御回路130は、ラッチ回路140の1ビット目にLレベルを書き込むと同時に、時点 t_5 において図3の点線で示すように制御信号 s_{12} をHレベル、制御信号 s_{13} をLレベル、にそれぞれ切替え、比較結果信号 V_{comp} を正の最大電圧に戻す。

【0050】

次に、時点 t_6 において、制御信号 s_{22} をLレベルに、制御信号 s_{23} をHレベルに、それぞれ切り替えると、スイッチ SW_{22} が非導通状態、スイッチ SW_{23} が導通状態となるので、コンデンサ C_2 の他端に上限電圧 V_{RP} が印加される。

40

【0051】

< 1ビット目がHレベルだった場合 >

ラッチ回路140の1ビット目がHレベルだった場合、コンデンサ $C_1 \sim C_3$ の電荷 $Q = 4C(V_s - V_{REF}) = 3C(V_{RP} - V_{IN}) + C(V_{RN} - V_{IN})$ となり、負極端子の電圧 $V_{IN} = V_{REF} + (V_{RP} \times 3 / 4 + V_{RN} / 4) - V_s$ となる。すなわち、アナログ信号 V_s が $(V_{RP} \times 3 / 4 + V_{RN} / 4)$ より大きいかなかをコンパレータ120で逐次比較することであり、アナログ信号 V_s の上位2ビット目を求めることになる。

50

【 0 0 5 2 】

アナログ信号 $V_s > (V_{RP} \times 3 / 4 + V_{RN} / 4)$ の場合、比較結果信号 V_{comp} は、正の最大電圧となり、制御回路 130 は、ラッチ回路 140 の 2 ビット目に H レベルを書き込む。

【 0 0 5 3 】

一方、アナログ信号 $V_s < (V_{RP} \times 3 / 4 + V_{RN} / 4)$ の場合、比較結果信号 V_{comp} は、負の最大電圧となり、制御回路 130 は、ラッチ回路 140 の 2 ビット目に L レベルを書き込むと同時に、時点 t_7 において図 3 の点線で示すように制御信号 s_{22} を H レベル、制御信号 s_{23} を L レベル、にそれぞれ切替え、比較結果信号 V_{comp} を正の最大電圧に戻す。

10

【 0 0 5 4 】

< 1 ビット目が L レベルだった場合 >

ラッチ回路 140 の 1 ビット目が L レベルだった場合、コンデンサ $C_1 \sim C_3$ の電荷 $Q = 4C(V_s - V_{REF}) = 3C(V_{RN} - V_{IN}) + C(V_{RP} - V_{IN})$ となり、負極端子の電圧 $V_{IN} = V_{REF} + (V_{RP} / 4 + V_{RN} \times 3 / 4) - V_s$ となる。すなわち、アナログ信号 V_s が $(V_{RP} / 4 + V_{RN} \times 3 / 4)$ より大きいかな否かをコンパレータ 120 で逐次比較することであり、アナログ信号 V_s の上位 2 ビット目を求めることになる。

【 0 0 5 5 】

アナログ信号 $V_s > (V_{RP} / 4 + V_{RN} \times 3 / 4)$ の場合、比較結果信号 V_{comp} は、正の最大電圧となり、制御回路 130 は、ラッチ回路 140 の 2 ビット目に H レベルを書き込む。

20

【 0 0 5 6 】

一方、アナログ信号 $V_s < (V_{RP} / 4 + V_{RN} \times 3 / 4)$ の場合、比較結果信号 V_{comp} は、負の最大電圧となり、制御回路 130 は、ラッチ回路 140 の 2 ビット目に L レベルを書き込むと同時に、時点 t_7 において制御信号 s_{22} を H レベル、制御信号 s_{23} を L レベル、にそれぞれ切替え、比較結果信号 V_{comp} を正の最大電圧に戻す。

【 0 0 5 7 】

時点 t_7 において、制御信号 s_{32} を L レベルに、制御信号 s_{33} を H レベルに、それぞれ切り替えると、スイッチ SW_{32} が非導通状態、スイッチ SW_{33} が導通状態となるので、コンデンサ C_3 の他端に参照電圧 V_{ramp} が印加される。さらに、時点 t_8 からクロック信号 CLK を開始させ、3.5 ビット DAC_{300} により参照電圧 V_{ramp} を発生させる。また、クロック信号 CLK の開始時点からカウンタ 108 が 0 からカウントを始める。

30

【 0 0 5 8 】

< 1 ビット目 = H、2 ビット目 = H の場合 >

ラッチ回路 140 の 1 ビット目が H レベルかつ 2 ビット目が H レベルだった場合、コンデンサ $C_1 \sim C_3$ の電荷 $Q = 4C(V_s - V_{REF}) = 3C(V_{RP} - V_{IN}) + C(V_{ramp} - V_{IN})$ となり、負極端子の電圧 $V_{IN} = V_{REF} + (V_{RP} \times 3 / 4 + V_{ramp} / 4) - V_s$ となる。すなわち、アナログ信号 $V_s > (V_{RP} \times 3 / 4 + V_{ramp} / 4)$ となった時点をコンパレータ 120 で比較検出することであり、アナログ信号 V_s の下位 3.5 ビットを求めることになる。

40

【 0 0 5 9 】

< 1 ビット目 = H、2 ビット目 = L の場合 >

ラッチ回路 140 の 1 ビット目が H レベルかつ 2 ビット目が L レベルだった場合、コンデンサ $C_1 \sim C_3$ の電荷 $Q = 4C(V_s - V_{REF}) = 2C(V_{RP} - V_{IN}) + C(V_{RN} - V_{IN}) + C(V_{ramp} - V_{IN})$ となり、負極端子の電圧 $V_{IN} = V_{REF} + (V_{RP} / 2 + V_{RN} / 4 + V_{ramp} / 4) - V_s$ となる。すなわち、アナログ信号 $V_s > (V_{RP} / 2 + V_{RN} / 4 + V_{ramp} / 4)$ となった時点をコンパレータ 120 で比較検出することであり、アナログ信号 V_s の下位 3.5 ビットを求めることになる。

50

【 0 0 6 0 】

< 1 ビット目 = L、2 ビット目 = H の場合 >

ラッチ回路 1 4 0 の 1 ビット目が L レベルかつ 2 ビット目が H レベルだった場合、コンデンサ $C_1 \sim C_3$ の電荷 $Q = 4C(V_s - V_{REF}) = 2C(V_{RN} - V_{IN}) + C(V_{RP} - V_{IN}) + C(V_{ramp} - V_{IN})$ となり、負極端子の電圧 $V_{IN} = V_{REF} + (V_{RN}/2 + V_{RP}/4 + V_{ramp}/4) - V_s$ となる。すなわち、アナログ信号 $V_s > (V_{RN}/2 + V_{RP}/4 + V_{ramp}/4)$ となった時点コンパレータ 1 2 0 で比較検出することであり、アナログ信号 V_s の下位 3 . 5 ビットを求めることになる。

【 0 0 6 1 】

< 1 ビット目 = L、2 ビット目 = L の場合 >

ラッチ回路 1 4 0 の 1 ビット目が L レベルかつ 2 ビット目が L レベルだった場合、コンデンサ $C_1 \sim C_3$ の電荷 $Q = 4C(V_s - V_{REF}) = 3C(V_{RN} - V_{IN}) + C(V_{ramp} - V_{IN})$ となり、負極端子の電圧 $V_{IN} = V_{REF} + (V_{RN} \times 3/4 + V_{ramp}/4) - V_s$ となる。すなわち、アナログ信号 $V_s > (V_{RN} \times 3/4 + V_{ramp}/4)$ となった時点コンパレータ 1 2 0 で比較検出することであり、アナログ信号 V_s の下位 3 . 5 ビットを求めることになる。

【 0 0 6 2 】

本実施形態では、時点 t_9 の 6 クロック目 (カウント値が 5) で比較結果信号 V_{comp} が正の最大電圧から負の最大電圧に推移した場合を説明する。制御回路 1 3 0 は、カウント値 $CNT = 5$ (2 進数で 0 1 0 1) をラッチ回路 1 5 0 に書き込む。

【 0 0 6 3 】

なお、補正回路 1 0 9 は、下位ビットが 4 ビットになった場合、下位ビットの最上位ビットの値を上位 2 ビットに加算するようにデータを補正する。

【 0 0 6 4 】

以上の説明のように、アナログ信号 V_s の上位 2 ビットを逐次比較型でデジタルデータに変換し、下位 3 . 5 ビットを積分型でデジタルデータに変換することができる。

【 0 0 6 5 】

以上に述べた前記実施形態によれば、以下の効果が得られる。

【 0 0 6 6 】

本実施形態では、上位の m ビットを逐次比較型で A/D 変換し、下位の n ビットを積分型で A/D 変換できるので、低消費電力で動作し、高精度で A/D 間バラツキが少なく、逐次比較型 A/D 変換器だけで構成したよりも容量素子を少なくできレイアウト面積を小さくすることができる。また、下位の n ビットを積分型で A/D 変換するために、 n ビットに対し、 $1/2^k$ ビットのマージンを持たせて量子化した参照電圧を使うので、参照電圧を発生させる D/A 変換回路にオフセットなどが発生しても良好な A/D 変換特性が得られる。

【 0 0 6 7 】

以上、本発明の実施形態を説明したが、本発明はこうした実施の形態に何ら限定されるものではなく、本発明の趣旨を逸脱しない範囲内において様々な形態で実施し得ることができる。以下、変形例を挙げて説明する。

【 0 0 6 8 】

(変形例 1) 本発明に係るイメージセンサの変形例 1 について説明する。前記実施形態では、アナログ信号 V_s を上位 2 ビット、下位 3 . 5 ビットのデジタルデータに変換する場合について説明したが、例えば、上位 3 ビット、下位 5 ビットのデジタルデータに変換する場合は、1 番目のコンデンサを $2^{3-1}C_pF = 4C_pF$ 、2 番目のコンデンサを $2^{3-2}C_pF = 2C_pF$ 、3 番目のコンデンサを $2^{3-3}C_pF = C_pF$ 、にそれぞれ設定し、3 . 5 ビット DAC 3 0 0 の替わりに 5 . 5 ビット DAC で構成し、3 ビットのラッチ回路と 6 ビットのラッチ回路で構成すればよい。

【 0 0 6 9 】

(変形例 2) 本発明に係るイメージセンサの変形例 2 について説明する。前記実施形態では、イメージセンサで説明したが、例えば、ラインセンサのようにカラム状に多数配置

10

20

30

40

50

するAD変換に適用してもよい。

【0070】

(変形例3) 本発明に係るイメージセンサの変形例3について説明する。前記実施形態では、3.5ビットDAC300による12段の参照電圧Vrampを使う場合を説明したが、例えば、10段の参照電圧Vrampで良好な積分型AD変換ができるならば、クロック信号を10個で止めるように制御してもよい。

【図面の簡単な説明】

【0071】

【図1】 本発明のイメージセンサの構成を示す回路構成図。

【図2】 本発明のアナログ-デジタル変換器の構成を示す回路構成図。

10

【図3】 本発明のアナログ-デジタル変換器の動作を示すタイミング図。

【図4】 本発明の3.5ビットデジタル-アナログ変換器の構成を示す回路構成図。

【図5】 従来のアナログ-デジタル変換器の構成を示す回路構成図。

【図6】 従来のアナログ-デジタル変換器の動作を示すタイミング図。

【図7】 従来の参照電圧と上位2ビットの関係を示すグラフ。

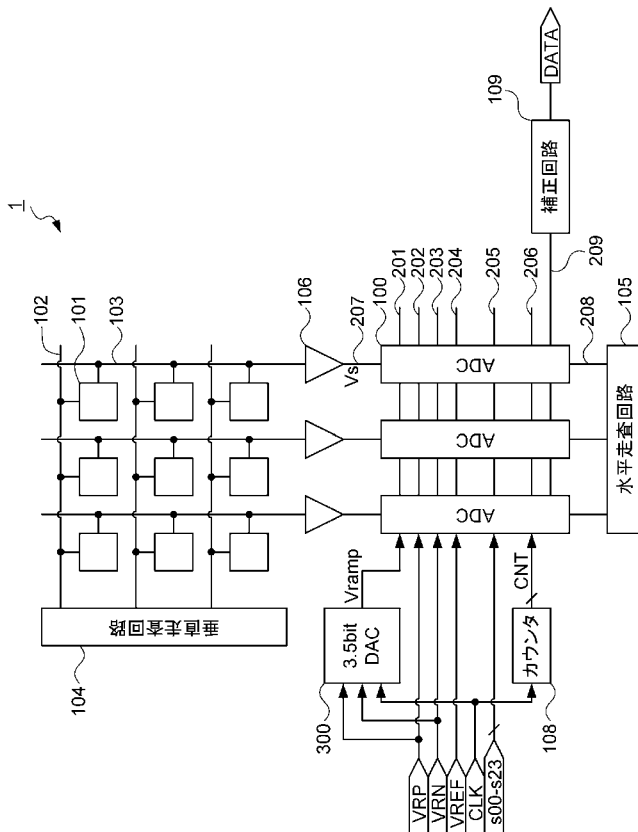
【符号の説明】

【0072】

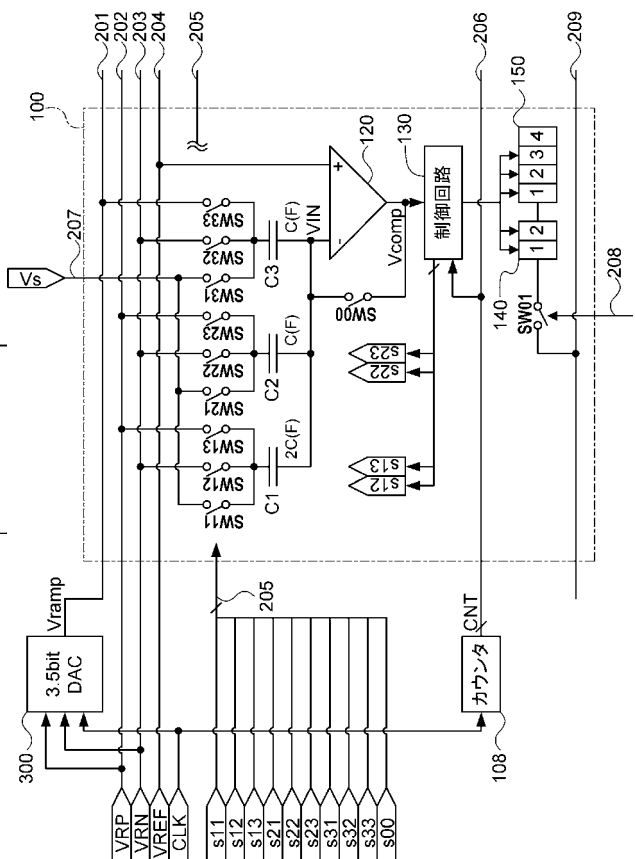
1...イメージセンサ、100...ADC、101...画素、102...垂直走査線、103...垂直信号線、104...垂直走査回路、105...水平走査回路、106...バッファ、300...3.5ビットDAC、108...カウンタ、109...補正回路、120...コンパレータ、130...制御回路、140...ラッチ回路、150...ラッチ回路、201...参照電圧線、202...上限電圧線、203...下限電圧線、204...基準電圧線、205...制御線、206...カウント線、207...アナログ信号線、208...列選択線、209...データ出力線。

20

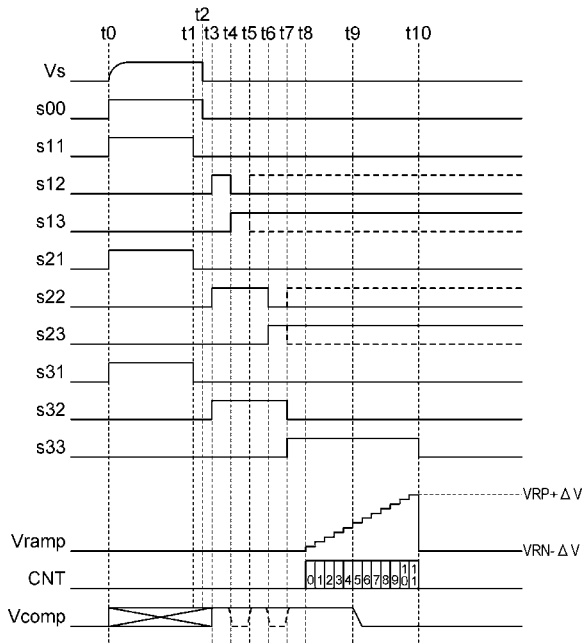
【図1】



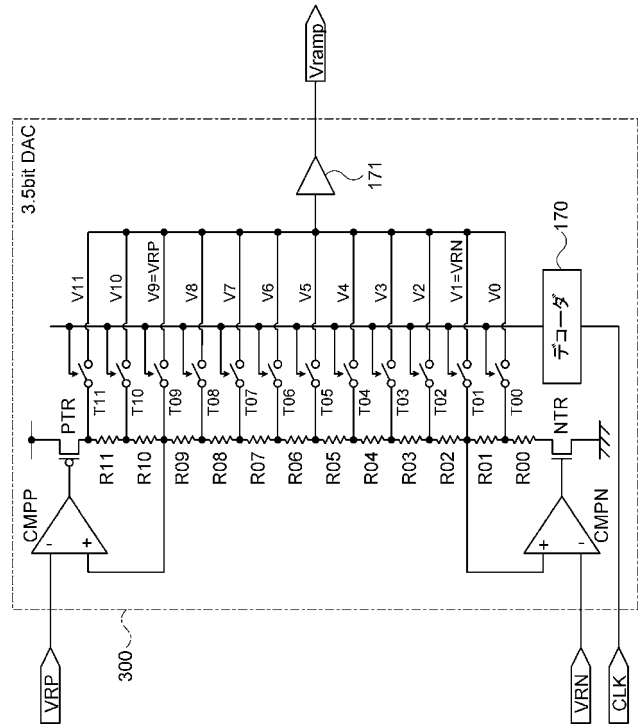
【図2】



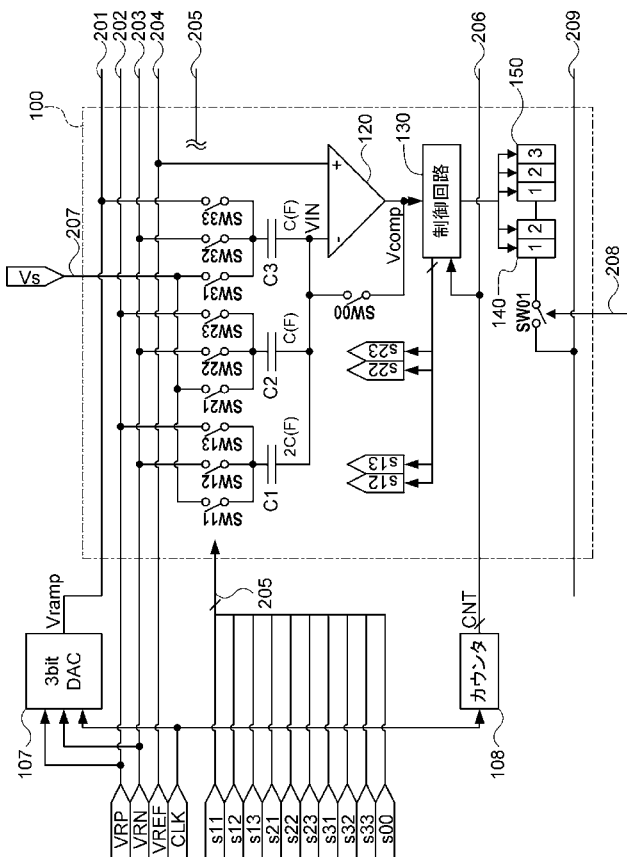
【図 3】



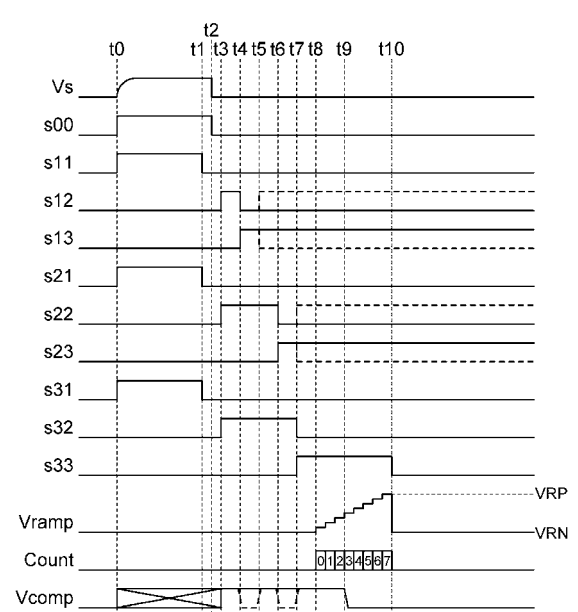
【図 4】



【図 5】



【図 6】



【 図 7 】

