

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年10月11日(11.10.2012)



(10) 国際公開番号
WO 2012/137860 A1

- (51) 国際特許分類:
H03K 17/12 (2006.01) H03K 17/687 (2006.01)
H02M 1/08 (2006.01)
- (21) 国際出願番号: PCT/JP2012/059319
- (22) 国際出願日: 2012年4月5日(05.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-086116 2011年4月8日(08.04.2011) JP
特願 2012-076613 2012年3月29日(29.03.2012) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 小宮 健治 (KOMIYA, Kenji). 若生 周治 (WAKAIKI, Shuji). 片岡 耕太郎 (KATAOKA, Kohtaroh). 野村 勝 (NOMURA, Masaru). 太田 佳似 (OHTA, Yoshiji). 岩田 浩 (IWATA, Hiroshi).
- (74) 代理人: 特許業務法人深見特許事務所 (Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中

之島二丁目2番7号 中之島セントラルタワー
Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

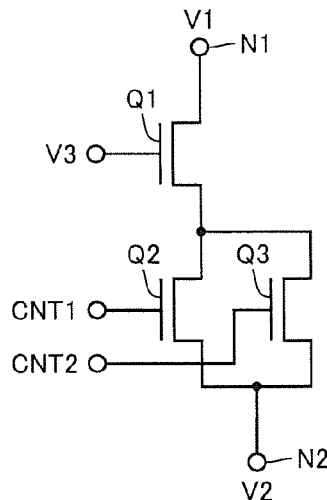
添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲 (条約第 19 条(1))

(54) Title: SEMICONDUCTOR DEVICE, AND INVERTER, CONVERTER AND POWER CONVERTER USING SAME

(54) 発明の名称: 半導体装置と、それを用いたインバータ、コンバータおよび電力変換装置

[図1]



(57) Abstract: This semiconductor device comprises the following: a high-voltage, high-Gm first transistor (Q1) and a low-voltage, low-Gm second transistor (Q2) that are connected in series between first and second nodes (N1, N2); and a low-voltage, high-Gm third transistor (Q3) that is connected in parallel to the second transistor (Q2). When the second transistor (Q2) is switched ON the first transistor (Q1) turns ON, and when the third transistor (Q3) is switched ON the space between the first and second nodes (N1, N2) becomes conductive. Hence, because causing the low-voltage second transistor (Q2) to switch ON causes the high-voltage first transistor (Q1) to switch ON, variation in turn-on time is reduced.

(57) 要約: この半導体装置は、第1および第2のノード (N1, N2) 間に直列接続された高耐圧、高Gmの第1のトランジスタ (Q1) および低耐圧、低Gmの第2のトランジスタ (Q2) と、第2のトランジスタ (Q2) に並列接続された低耐圧、高Gmの第3のトランジスタ

(Q3) とを含む。第2のトランジスタ (Q2) をオンさせると第1のトランジスタ (Q1) がオンし、さらに第3のトランジスタ (Q3) をオンさせると第1および第2のノード (N1, N2) 間が導通状態になる。したがって、低耐圧の第2のトランジスタ (Q2) をオンさせて高耐圧の第1のトランジスタ (Q1) をオンさせるので、ターンオン時間のばらつきが小さくなる。

WO 2012/137860 A1

明 細 書

発明の名称：

半導体装置と、それを用いたインバータ、コンバータおよび電力変換装置

技術分野

[0001] この発明は半導体装置と、それを用いた昇圧チョッパおよび電力変換装置に関し、特に、高耐圧トランジスタを備えた半導体装置と、それを用いたインバータ、コンバータ、および電力変換装置に関する。

背景技術

[0002] 従来より、電力変換装置では、高耐圧トランジスタが使用されている。また、電力変換装置の定格電流を増やすため、並列接続された複数の高耐圧トランジスタを使用する方法もある。この方法では、複数の高耐圧トランジスタのうちのしきい値電圧が低い高耐圧トランジスタに電流が集中するのを防止するために、各高耐圧トランジスタの電流を検出し、複数の高耐圧トランジスタの電流の差が所定値よりも大きくなった場合は、ゲート抵抗を通常よりも小さくして複数の高耐圧トランジスタのターンオンを早める（たとえば、特開2002-95240号公報（特許文献1）参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2002-95240号公報

発明の概要

発明が解決しようとする課題

[0004] しかし、従来の電力変換装置では、高耐圧トランジスタのしきい値電圧のばらつきに起因してターンオン時間がばらつき、電力変換装置の性能もばらつくと言う問題があった。

[0005] また、特許文献1の方法では、高耐圧トランジスタと同数の電流センサを設け、各ゲート抵抗を可変抵抗素子で構成し、電流センサの検出結果に基づいてゲート抵抗を制御する制御部が必要となり、装置構成が複雑になり、コス

ト高になると言う問題がある。

[0006] それゆえに、この発明の主たる目的は、ターンオン時間のばらつきが小さな半導体装置と、それを用いたインバータ、コンバータおよび電力変換装置を提供することである。

課題を解決するための手段

[0007] この発明に係る半導体装置は、第1の電極が第1のノードに接続された第1のトランジスタと、第1の電極が第1のトランジスタの第2の電極に接続され、第2の電極が第2のノードに接続された第2のトランジスタと、第2のトランジスタに並列接続された第3のトランジスタとを備えたものである。第1のトランジスタの第1および第2の電極間の耐圧は、第2および第3のトランジスタの各々の第1および第2の電極間の耐圧よりも高い。第2のトランジスタの増幅率は、第3のトランジスタの増幅率よりも小さい。

[0008] 好ましくは、複数組の第1～第3のトランジスタを備える。複数の第1のトランジスタの制御電極は互いに接続され、複数の第2のトランジスタの制御電極は互いに接続され、複数の第3のトランジスタの制御電極は互いに接続される。複数の第1のトランジスタの第1の電極はともに第1のノードに接続され、複数の第2のトランジスタの第1の電極はそれぞれ複数の第1のトランジスタの第2の電極に接続され、複数の第2のトランジスタの第2の電極はともに第2のノードに接続され、複数の第3のトランジスタはそれぞれ複数の第2のトランジスタに並列接続されている。

[0009] また好ましくは、さらに、各第1のトランジスタに対応して設けられた第1の抵抗素子と、各第2のトランジスタに対応して設けられた第2の抵抗素子と、各第3のトランジスタに対応して設けられた第3の抵抗素子とを備える。各第1のトランジスタの制御電極は対応の第1の抵抗素子を介して第1の制御ノードに接続され、各第2のトランジスタの制御電極は対応の第2の抵抗素子を介して第2の制御ノードに接続され、各第3のトランジスタの制御電極は対応の第3の抵抗素子を介して第3の制御ノードに接続されている。

。

- [0010] また好ましくは、第2のトランジスタの増幅率は、第1のトランジスタの増幅率よりも小さい。
- [0011] また好ましくは、第1および第2のノード間を導通させる場合は、第2のトランジスタをオンさせて第1のトランジスタをオンさせた後に第3のトランジスタをオンさせる。
- [0012] また好ましくは、第1および第2のノード間を非導通にする場合は、第3のトランジスタをオフさせた後に第2のトランジスタをオフさせて第1のトランジスタをオフさせる。
- [0013] また好ましくは、第1のノードは第1の電圧を受け、第2のノードは第2の電圧を受ける。第2のトランジスタをオン／オフ制御するための第1の制御信号が第2のトランジスタの制御電極に与えられ、第3のトランジスタをオン／オフ制御するための第2の制御信号が第3のトランジスタの制御電極に与えられる。
- [0014] また好ましくは、第1のノードは第1の電圧を受け、第2のノードは第2の電圧を受ける。第2のトランジスタのしきい値電圧は第3のトランジスタのしきい値電圧よりも低く、第2および第3のトランジスタをオン／オフ制御するための制御信号が第2および第3のトランジスタの制御電極に与えられる。
- [0015] また好ましくは、第2および第3のトランジスタの各々はノーマリーオフ型トランジスタである。
- [0016] また好ましくは、第1のトランジスタはノーマリーオフ型トランジスタであり、第1のトランジスタの制御電極は、第1のトランジスタのしきい値電圧よりも高い第3の電圧を受ける。
- [0017] また好ましくは、さらに、第1のトランジスタの制御電極と第2のノードとの間に接続されたコンデンサと、カソードが第1のトランジスタの制御電極に接続され、アノードが第3の電圧を受けるダイオードとを備える。
- [0018] また好ましくは、第1のトランジスタはノーマリーオン型トランジスタであり、第1のトランジスタの制御電極は第2のノードに接続されている。

[0019] また、この発明に係るコンバータは、上記半導体装置を備えたものである。

また、この発明に係るインバータは、上記半導体装置を備えたものである。

[0020] また、この発明に係る電力変換回路は、上記半導体装置を備えたものである。

発明の効果

[0021] この発明に係る半導体装置では、第1および第2のノード間に直列接続された第1および第2のトランジスタと、第2のトランジスタに並列接続された第3のトランジスタとを備え、第1のトランジスタの第1および第2の電極間の耐圧は、第2および第3のトランジスタの各々の第1および第2の電極間の耐圧よりも高く、第2のトランジスタの増幅率は第1および第3のトランジスタの各々の増幅率よりも小さい。したがって、増幅率の小さな第2のトランジスタによって高耐圧の第1のトランジスタのスイッチングを行なうことにより、第1のトランジスタのしきい値電圧のばらつきが第1のトランジスタの第1および第2の電極電流のばらつきに与える影響を小さくすることができる。このため、複数の半導体装置を並列接続した場合でも、電流センサなどを設けることなく、1つの半導体装置に電流が集中するのを防止することができ、装置構成の簡単化と、低コスト化を図ることができる。

図面の簡単な説明

[0022] [図1]この発明の実施の形態1による半導体装置の構成を示す回路図である。

[図2]図1に示した半導体装置を用いた昇圧チョッパの構成を示す回路図である。

[図3]図2に示した制御信号の波形を示すタイムチャートである。

[図4]実施の形態1の比較例を示す回路図である。

[図5]本願発明の効果を説明するためのタイムチャートである。

[図6]実施の形態1の変更例を示す回路ブロック図である。

[図7]実施の形態1の他の変更例を示す回路ブロック図である。

[図8]実施の形態1のさらに他の変更例を示す回路図である。

[図9]この発明の実施の形態2による半導体装置の構成を示す回路図である。

[図10]図9に示した半導体装置を用いた昇圧チョッパの構成を示す回路図である。

[図11]この発明の実施の形態3による半導体装置の構成を示す回路図である。

[図12]図11に示した半導体装置を用いた昇圧チョッパの構成を示す回路図である。

[図13]図12に示した2つの高耐圧トランジスタに流れる電流の波形を示すタイムチャートである。

[図14]実施の形態3の比較例を示す回路図である。

[図15]図14に示した2つの高耐圧トランジスタに流れる電流の波形を示すタイムチャートである。

[図16]この発明の実施の形態4による半導体装置の構成を示す回路図である。

[図17]図16に示した半導体装置を用いた昇圧チョッパの構成を示す回路図である。

[図18]この発明の実施の形態5による降圧チョッパの構成を示す回路ブロック図である。

[図19]実施の形態5の変更例を示す回路ブロック図である。

発明を実施するための形態

[0023] [実施の形態1]

本実施の形態1の半導体装置は、ドレインが第1のノードに接続された第1のトランジスタと、ドレインが第1のトランジスタのソースに接続され、ソースが第2のノードに接続された第2のトランジスタと、第2のトランジスタに並列接続された第3のトランジスタとを備え、第1のトランジスタのソースおよびドレイン間の耐圧は第2および第3のトランジスタの各々のソースおよびドレイン間の耐圧よりも高く、第2のトランジスタの相互コンダ

クタンスは第3のトランジスタの相互コンダクタンスよりも小さいものである。以下、本実施の形態1の半導体装置を図面を用いて詳細に説明する。

[0024] 本実施の形態1の半導体装置は、図1に示すように、ノードN1、N2間に直列接続されたNチャネルMOSトランジスタQ1、Q2と、NチャネルMOSトランジスタQ2に並列接続されたNチャネルMOSトランジスタQ3とを備える。

[0025] トランジスタQ1は高耐圧トランジスタであり、トランジスタQ2、Q3の各々は低耐圧トランジスタである。市販のトランジスタQ1のしきい値電圧 V_{TH1} は、3V~5Vの範囲でばらついている。また、市販のトランジスタQ2、Q3のしきい値電圧 V_{TH2} 、 V_{TH3} の各々は、1V~2Vの範囲でばらついている。トランジスタQ2の相互コンダクタンス G_{m2} は、トランジスタQ1、Q3の相互コンダクタンス G_{m1} 、 G_{m3} の各々よりも小さい。たとえば、 $G_{m2} = 6\text{ S}$ （ジーメンズ）、 $G_{m1} = 35\text{ S}$ 、 $G_{m3} = 30\text{ S}$ である。

[0026] ノードN1には直流電圧 V_1 が与えられ、ノードN2には直流電圧 V_1 よりも低い直流電圧 V_2 が与えられ、トランジスタQ1のゲートには直流電圧 V_3 が与えられる。 $V_3 - V_2$ は、トランジスタQ1のしきい値電圧 V_{TH1} よりも十分に大きな電圧に設定されている。トランジスタQ2、Q3のゲートには、それぞれ制御信号CNT1、CNT2が与えられる。

[0027] 初期状態では、制御信号CNT1、CNT2がともに「L」レベルにされているものとする。この場合は、トランジスタQ1~Q3はともにオフし、ノードN1、N2間は非導通状態になっている。

[0028] ノードN1、N2間を導通状態にさせる場合は、まず制御信号CNT1を「L」レベルから「H」レベルに立ち上げる。これにより、トランジスタQ2がオンしてトランジスタQ1のソース電圧が低下し、トランジスタQ1のゲートーソース間電圧がトランジスタQ1のしきい値電圧 V_{TH1} を超えると、トランジスタQ1がオンし、ノードN1、N2間が導通状態になる。次いで制御信号CNT2が「L」レベルから「H」レベルに立ち上げられる。

これにより、トランジスタQ3がオンし、ノードN1、N2間の抵抗値が小さくなって導通損失が小さくなる。

[0029] また、ノードN1、N2間を導通状態から非導通状態にさせる場合は、まず制御信号CNT2を「H」レベルから「L」レベルに立ち下げ、トランジスタQ3をオフさせる。次いで制御信号CNT2を「H」レベルから「L」レベルに立ち下げる。これにより、トランジスタQ2がオフしてトランジスタQ1のソース電圧が上昇し、トランジスタQ1のゲート-ソース間電圧がトランジスタQ1のしきい値電圧 V_{TH1} よりも小さくなると、トランジスタQ1がオフする。

[0030] この実施の形態1では、相互コンダクタンス G_{m2} の小さなトランジスタQ2によって高耐圧のトランジスタQ1のスイッチングを行なうことにより、トランジスタQ1のしきい値電圧 V_{TH1} のばらつきがトランジスタQ1のドレイン電流のばらつきに与える影響を小さくすることができ、ターンオン時間のばらつきを小さく抑制することができる。

[0031] 図2は、図1に示した半導体装置を用いた昇圧チョッパの構成を示す回路図である。図2において、昇圧チョッパは、直流電源1の出力電圧を昇圧して負荷回路6に与える回路であって、NチャネルMOSトランジスタQ1～Q3、制御信号源S1、S2、ゲート抵抗R1～R3、直流電源2、ダイオード4、およびコンデンサ5を備える。

[0032] NチャネルMOSトランジスタQ1、Q2はノードN1、N2間に直列接続され、NチャネルMOSトランジスタQ3はNチャネルMOSトランジスタQ2に並列接続される。ノードN2は、接地電圧GNDのラインに接続される。リアクトル3は、直流電源1の正極とノードN1の間に接続される。ダイオード4のアノードはノードN1に接続され、そのカソードはコンデンサ5を介して接地電圧GNDのラインに接続される。負荷回路6は、コンデンサ5に並列接続される。

[0033] ゲート抵抗R1は、直流電源2の正極とトランジスタQ1のゲートとの間に接続される。ゲート抵抗R2は、制御信号源S1の出力ノードとトランジ

スタQ2のゲートとの間に接続される。ゲート抵抗R3は、制御信号源S2の出力ノードとトランジスタQ3のゲートとの間に接続される。直流電源1, 2の負極は接地され、信号源S1, S2の接地ノードは接地される。

[0034] リアクトル3のリアクタンスは、たとえば5 mHである。ダイオード4としては、SiCショットキーバリアダイオードを使用した。コンデンサ5の容量値は、たとえば200 μ Fである。負荷回路6としては、抵抗値が7.8 Ω の抵抗素子を使用した。制御信号源S1, S2は、それぞれ制御信号CNT1, CNT2を出力する。制御信号CNT1, CNT2の各々は、10 KHzの矩形波信号である。

[0035] トランジスタQ1~Q3をオンさせる場合は、図3に示すように、制御信号CNT1を「L」レベルから「H」レベルに立ち上げた後に、制御信号CNT2を「L」レベルから「H」レベルに立ち上げる。逆に、トランジスタQ1~Q3をオフさせる場合は、制御信号CNT2を「H」レベルから「L」レベルに立ち下げた後に、制御信号CNT1を「H」レベルから「L」レベルに立ち下げる。

[0036] 図2に戻って、トランジスタQ1~Q3をオンさせると、直流電源1からリアクトル3およびトランジスタQ1~Q3を介して接地電圧GNDのラインに直流電流が流れ、リアクトル3に電磁エネルギーが蓄えられる。トランジスタQ1~Q3をオフさせると、リアクトル3に蓄えられた電磁エネルギーがダイオード4を介してコンデンサ5に放出される。コンデンサ5の端子間電圧、すなわち昇圧チョップパの出力電圧は、直流電源1の出力電圧にリアクトル3の端子間電圧を加算した電圧となる。

[0037] 図4は、本実施の形態1の比較例となる従来の昇圧チョップパの構成を示す回路図であって、図2と対比される図である。図4を参照して、この昇圧チョップパでは、ノードN1, N2間にNチャネルMOSトランジスタQ10が接続される。トランジスタQ10のゲートは、ゲート抵抗R10を介して制御信号源S10の出力ノードに接続される。制御信号源S10は、10 KHzの矩形波信号である制御信号S10を出力する。制御信号源S10の接地

ノードは接地される。トランジスタQ10としては、トランジスタQ1と同じ高耐圧で高Gmのトランジスタを使用した。

[0038] 制御信号S10が「L」レベルから「H」レベルに立ち上げられると、トランジスタQ10がオンし、リアクトル3に電磁エネルギーが蓄えられる。制御信号S10が「H」レベルから「L」レベルに立ち下げられると、トランジスタQ10がオフし、リアクトル3の電磁エネルギーがコンデンサ5に放出される。

[0039] 図5は、図2に示した本願の昇圧チョッパにおいて制御信号CNT1, CNT2の立ち上がりエッジに応答してトランジスタQ1に流れる電流I1の波形と、図4に示した従来昇圧チョッパにおいて制御信号CNT10の立ち上がりエッジに応答してトランジスタQ10に流れる電流I10の波形とを示すタイムチャートである。

[0040] ここでは、時間 $t = 0$ (ns)のタイミングで、トランジスタQ2, Q10のゲート電圧を「L」レベルから「H」レベルに立ち上げた。また、本願の昇圧チョッパと従来昇圧チョッパでスイッチング中の電流変化(di/dt)が同じになるようにゲート抵抗R1, R2, R3, R10の各々の抵抗値を設定した。スイッチング中の電流変化(di/dt)はスイッチングノイズの許容量によって設定されるパラメータであり、スイッチング中の電流変化(di/dt)が増大するとスイッチングノイズも増大する。本願の昇圧チョッパと従来昇圧チョッパでスイッチングノイズの許容量は同じであるので、スイッチング中の電流変化(di/dt)も同じになるように回路パラメータを設定した。

[0041] 一般に、同じ製品であっても、トランジスタQのしきい値電圧 V_{TH} は所定範囲内ではばらついている。市販の高耐圧トランジスタQ1, Q10では、しきい値電圧 V_{TH} は3V~5Vの範囲ではばらつく。また、市販の低耐圧トランジスタQ2, Q3では、しきい値電圧 V_{TH} は1V~2Vの範囲ではばらつく。制御信号CNTが「L」レベルから「H」レベルに立ち上げられるとき、制御信号CNTのレベルがトランジスタQのしきい値電圧 V_{TH} を超え

るとトランジスタQがオンする。したがって、トランジスタQのゲートに同じ制御信号CNTを与えても、しきい値電圧 V_{TH} が低いトランジスタQはしきい値電圧 V_{TH} が高いトランジスタQよりも速くターンオンする。

[0042] 従来の昇圧チョッパでは、低 V_{TH} ($V_{TH10} = 3V$) の高耐圧トランジスタQ10を使用した場合の電流I10の立ち上がりは、高 V_{TH} ($V_{TH10} = 5V$) の高耐圧トランジスタQ10を使用した場合の電流I10の立ち上がりよりも90ns速くなった。したがって、電流I10の立ち上がり時間は90nsの範囲でばらつく。

[0043] これに対して本願の昇圧チョッパでは、低 V_{TH} ($V_{TH1} = 3V$) の高耐圧トランジスタQ1、低 V_{TH} ($V_{TH2} = 1V$) の低耐圧トランジスタQ2、および低 V_{TH} ($V_{TH3} = 1.2V$) の低耐圧トランジスタQ3を使用した場合の電流I1の立ち上がりは、高 V_{TH} ($V_{TH1} = 5V$) の高耐圧トランジスタQ1、高 V_{TH} ($V_{TH2} = 2V$) の低耐圧トランジスタQ2、および高 V_{TH} ($V_{TH3} = 2V$) の低耐圧トランジスタQ3を使用した場合の電流I1の立ち上がりよりも22ns速くなった。したがって、電流I1の立ち上がり時間は22nsの範囲でばらつく。

[0044] よって、本願発明の半導体装置を使用することにより、昇圧チョッパの電流の立ち上がり時間のばらつきを、従来の90nsから22nsに抑制することができた。これは、相互コンダクタンス G_{m2} の小さなトランジスタQ2によって高耐圧のトランジスタQ1のスイッチングを行なうことにより、トランジスタQ1のしきい値電圧 V_{TH1} のばらつきがトランジスタQ1のドレイン電流のばらつきに与える影響を小さくすることができるからである。

[0045] 一般に、トランジスタQのドレイン電流 I_d は、ゲート電圧を V_g とし、ドレイン電圧を V_d とすると、数式 $I_d = G_m \times (V_g - V_{TH}) \times V_d$ で表わされる。したがって、ドレイン電圧 V_d を一定にして、相互コンダクタンス G_m の小さなトランジスタQに所定値の電流 I_d を流すためには、その所定値の電流 I_d を相互コンダクタンス G_m の大きなトランジスタQに流す

場合よりも、 $(V_g - V_{TH})$ の値を大きくする必要がある。よって、相互コンダクタンス G_m が小さなトランジスタ Q では、しきい値電圧 V_{TH} のばらつきに比べてゲート電圧 V_g が大きくなり、しきい値電圧 V_{TH} のばらつきがドレイン電流 I_d に与える影響を小さくすることができる。

[0046] また、本願の昇圧チョッパでは、低 V_{TH} のトランジスタ Q_2 のゲート電圧が「H」レベルに立ち上げられてから約 50 ns 後に電流 I_1 が立ち上がっている。これに対して従来の昇圧チョッパでは、低 V_{TH} のトランジスタ Q_{10} のゲート電圧が「H」レベルに立ち上げられてから約 140 ns 後に電流 I_{10} が立ち上がっている。したがって、本願の半導体装置を搭載した昇圧チョッパは、トランジスタ Q_2 のゲート電圧が「H」レベルに立ち上げられてから電流が立ち上がるまでの時間が短いので、従来の昇圧チョッパよりも高周波で動作することができる。

[0047] 以下、実施の形態 1 の種々の変更例について説明する。図 6 は、実施の形態 1 の変更例となるインバータの構成を示す回路ブロック図である。図 6 において、このインバータは、直流電源電圧 V_{CC} のラインと接地電圧 GND のラインとの間に直列接続されたスイッチ SW_1 , SW_2 と、スイッチ SW_1 , SW_2 間に設けられた出力端子 T_1 と、直流電源電圧 V_{CC} のラインと接地電圧 GND のラインとの間に直列接続されたスイッチ SW_3 , SW_4 と、スイッチ SW_3 , SW_4 間に設けられた出力端子 T_2 とを備える。また、各スイッチ SW には、ダイオード（図示せず）が逆並列に接続される。各スイッチ SW は、図 1 で示した半導体装置で構成される。出力端子 T_1 , T_2 間には、負荷回路 10 が接続される。

[0048] スイッチ SW_1 , SW_4 がオンされると、直流電源電圧 V_{CC} のラインからスイッチ SW_1 、負荷回路 10、スイッチ SW_4 を介して接地電圧 GND のラインに電流が流れる。スイッチ SW_3 , SW_2 がオンされると、直流電源電圧 V_{CC} のラインからスイッチ SW_3 、負荷回路 10、スイッチ SW_2 を介して接地電圧 GND のラインに電流が流れる。したがって、スイッチ SW_1 , SW_4 とスイッチ SW_2 , SW_3 とを所望の周期で交互にオンさせる

ことにより、直流電力を交流電力に変換して負荷回路10に供給することができる。この変更例では、スイッチSWのターンオン時間のばらつきを小さく抑制することができる。なお、この変更例では、本実施の形態1の半導体装置が単相インバータに適用された場合について説明したが、本実施の形態1の半導体装置は複数相のインバータ（たとえば、三相インバータ）にも適用可能であることは言うまでもない。

[0049] 図7は、実施の形態1の他の変更例となるコンバータの構成を示す回路ブロック図である。図7において、このコンバータは、ノードN10と接地電圧GNDのラインとの間に直列接続されたスイッチSW11、SW12と、スイッチSW1、SW2間に設けられた入力端子T11と、ノードN10と接地電圧GNDのラインとの間に直列接続されたスイッチSW13、SW14と、スイッチSW13、SW14間に設けられた入力端子T12と、出力端子T13と、ノードN10と出力端子T13の間に順方向に接続されたダイオード11と、出力端子T13と接地電圧GNDのラインとの間に接続された平滑コンデンサ12とを備える。各スイッチSWは、図1で示した半導体装置で構成される。入力端子T11、T12間には、交流電源13が接続される。出力端子T13と接地電圧GNDのラインの間には、負荷回路14が接続される。

[0050] 入力端子T11、T12間には、交流電源13から交流電圧が供給される。入力端子T11の電圧が入力端子T12の電圧よりも高い期間はスイッチSW11、SW14がオンされ、入力端子T12の電圧が入力端子T11の電圧よりも高い期間はスイッチSW12、SW13がオンされる。

[0051] スイッチSW11、SW14がオンされると、交流電源13からスイッチSW11、ダイオード11を介して平滑コンデンサ12に電流が流れ、平滑コンデンサ12が充電される。また、スイッチSW12、SW13がオンされると、交流電源13からスイッチSW13およびダイオード11を介して平滑コンデンサ12に電流が流れ、平滑コンデンサ12が充電される。したがって、スイッチSW11、SW14とスイッチSW12、SW13とを交

流電圧に同期してオンさせることにより、交流電力を直流電力に変換して負荷回路 14 に供給することができる。この変更例では、スイッチ SW のターンオン時間のばらつきを小さく抑制することができる。

[0052] 図 8 は、実施の形態 1 のさらに他の変更例を示す回路図であって、図 1 と対比される図である。図 8 において、この半導体装置が図 1 の半導体装置と異なる点は、制御信号 CNT 1 が N チャネル MOS トランジスタ Q 2, Q 3 のゲートに与えられ、トランジスタ Q 3 のしきい値電圧 V TH 3 がトランジスタ Q 2 のしきい値電圧 V TH 2 よりも高い点である。このため、制御信号 CNT が「L」レベルから「H」レベルに立ち上げられると、トランジスタ Q 2 がターンオンした後にトランジスタ Q 3 がターンオンする。また、制御信号 CNT が「H」レベルから「L」レベルに立ち上げられると、トランジスタ Q 3 がターンオフした後にトランジスタ Q 2 がターンオフする。この変更例では、実施の形態 1 と同じ効果が得られる他、制御信号 CNT の数が少なくて済む。

[0053] また、N チャネル MOS トランジスタ Q 1 ~ Q 3 の各々をバイポーラトランジスタまたは IGBT で置換してもよい。たとえば、N チャネル MOS トランジスタ Q 1 ~ Q 3 の代わりにそれぞれ第 1 ~ 第 3 の NPN バイポーラトランジスタを用いてもよい。この場合、第 1 の NPN バイポーラトランジスタのコレクタはノード N 1 に接続され、第 2 の NPN バイポーラトランジスタのコレクタは第 1 の NPN バイポーラトランジスタのエミッタに接続され、第 3 の NPN バイポーラトランジスタは第 2 の NPN バイポーラトランジスタに並列接続される。第 1 の NPN バイポーラトランジスタのベースは直流電圧 V 3 を受け、第 2 および第 3 の NPN バイポーラトランジスタのベースはそれぞれ制御信号 CNT 1, CNT 2 を受ける。第 1 の NPN バイポーラトランジスタのコレクタおよびエミッタ間の耐圧は、第 2 および第 3 の NPN バイポーラトランジスタの各々のコレクタおよびエミッタ間の耐圧よりも高い。第 2 の NPN バイポーラトランジスタの増幅率は、第 1 および第 3 の NPN バイポーラトランジスタの各々の増幅率よりも小さい。この場合も

、実施の形態1と同じ効果が得られる。

[0054] さらに、第1のNPNバイポーラトランジスタの代わりにIGBT(Insulated Gate Bipolar Transistor:絶縁ゲートバイポーラトランジスタ)を用いてもよい。この場合、IGBTのコレクタはノードN1に接続され、IGBTのエミッタは第2および第3のNPNバイポーラトランジスタのコレクタに接続され、IGBTのゲートは直流電圧V3を受ける。IGBTのコレクタおよびエミッタ間の耐圧は、第2および第3のNPNバイポーラトランジスタの各々のコレクタおよびエミッタ間の耐圧よりも高い。第2のNPNバイポーラトランジスタの増幅率は、第3のNPNバイポーラトランジスタの各々の増幅率よりも小さい。この場合も、実施の形態1と同じ効果が得られる。

[0055] [実施の形態2]

図9は、この発明の実施の形態2による半導体装置の構成を示す回路図であって、図1と対比される図である。図9において、この半導体装置が図1の半導体装置と異なる点は、NチャネルMOSトランジスタQ1がノーマリーオン型トランジスタQ4で置換されている点である。ノーマリーオン型トランジスタQ4としては、たとえばヘテロ接合電界効果GaNトランジスタが使用される。

[0056] NチャネルMOSトランジスタQ1は、正のしきい値電圧 V_{TH1} を有し、ゲートソース間電圧が0Vであるときはオフするので、ノーマリーオフ型トランジスタと呼ばれる。これに対してノーマリーオン型トランジスタQ4は、負のしきい値電圧 V_{TH4} を有し、ゲートソース間電圧が0Vであるときはオンするトランジスタである。トランジスタQ4は、高耐圧で高 G_m のトランジスタである。

[0057] 市販のトランジスタQ4のしきい値電圧 V_{TH4} は、 $-3V \sim -5V$ の範囲内ではらついている。また、市販のトランジスタQ2、Q3のしきい値電圧 V_{TH2} 、 V_{TH3} の各々は、 $2V \sim 3V$ の範囲内ではらついている。トランジスタQ2の相互コンダクタンス G_{m2} は、トランジスタQ3、Q4の

相互コンダクタンス G_{m3} 、 G_{m4} よりも小さい。たとえば、 $G_{m2} = 6\text{ S}$ (ジーメンズ)、 $G_{m3} = 30\text{ S}$ 、 $G_{m4} = 20\text{ S}$ である。

[0058] 制御信号CNT1、CNT2が「L」レベルである場合は、トランジスタQ2、Q3がオフしている。このとき、ノーマリーオン型トランジスタQ4のソース（ノードN3）の電圧は、トランジスタQ4の漏れ電流により、ノードN2の電圧にしきい値電圧 V_{TH4} の絶対値を加算した電圧よりも高くなっている。このため、トランジスタQ4はオフしている。

[0059] 次に制御信号CNT1が「L」レベルから「H」レベルに立ち上げられると、トランジスタQ2がオンし、ノードN3の電圧が低下する。ノードN3とN2の電圧差がトランジスタQ4のしきい値電圧 V_{TH4} の絶対値よりも小さくなると、トランジスタQ4がオンし、ノードN1、N2間が導通状態になる。次いで制御信号CNT2が「L」レベルから「H」レベルに立ち上げられると、トランジスタQ3がオンし、ノードN1、N2間の抵抗値が下がる。

[0060] ノードN1、N2間を非導通状態にさせる場合は、まず制御信号CNT2を「H」レベルから「L」レベルに立ち下げてトランジスタQ3をオフされる。次に制御信号CNT2を「H」レベルから「L」レベルに立ち下げてトランジスタQ2をオフさせる。トランジスタQ2、Q3がオフすると、トランジスタQ4の漏れ電流によってノードN3の電圧が上昇する。ノードN3とN2の電圧差がトランジスタQ4のしきい値電圧 V_{TH4} の絶対値よりも大きくなると、トランジスタQ4がオフし、ノードN1、N2間が非導通状態になる。

[0061] この実施の形態2では、相互コンダクタンス G_{m2} の小さなトランジスタQ2によって高耐圧のトランジスタQ4のスイッチングを行なうことにより、トランジスタQ4のしきい値電圧 V_{TH4} のばらつきがトランジスタQ4のドレイン電流のばらつきに与える影響を小さくすることができ、ターンオン時間のばらつきを小さく抑制することができる。

[0062] また、しきい値電圧 V_{TH2} のばらつきが小さな低耐圧のトランジスタQ

2をオンさせることによって、しきい値電圧 V_{TH4} のばらつきが大きな高耐圧のトランジスタ $Q4$ をオンさせるので、ターンオン時間のばらつきを小さく抑制することができる。

[0063] なお、この実施の形態2でも、図8に示したように、トランジスタ $Q3$ のしきい値電圧 V_{TH3} をトランジスタ $Q2$ のしきい値電圧 V_{TH2} よりも高くし、トランジスタ $Q2$ 、 $Q3$ のゲートに制御信号 $CNT1$ を与えてもよい。

[0064] 図10は、図9に示した半導体装置を用いた昇圧チョッパの構成を示す回路図であって、図2と対比される図である。ノーマリーオン型トランジスタ $Q4$ はノード $N1$ とトランジスタ $Q2$ のドレインとの間に接続され、そのゲートはゲート抵抗 $R1$ を介して接地電圧 GND のラインに接続される。なお、ゲート抵抗 $R1$ を除去し、トランジスタ $Q4$ のゲートを直接接地してもよい。

[0065] トランジスタ $Q2\sim Q4$ をオンさせると、直流電源1からリアクトル3およびトランジスタ $Q2\sim Q4$ を介して接地電圧 GND のラインに直流電流が流れ、リアクトル3に電磁エネルギーが蓄えられる。トランジスタ $Q2\sim Q4$ をオフさせると、リアクトル3に蓄えられた電磁エネルギーがダイオード4を介してコンデンサ5に放出される。コンデンサ5の端子間電圧、すなわち昇圧チョッパの出力電圧は、直流電源1の出力電圧にリアクトル3の端子間電圧を加算した電圧となる。

[0066] この昇圧チョッパでは、相互コンダクタンス G_m2 の小さなトランジスタ $Q2$ によって高耐圧のトランジスタ $Q4$ のスイッチングを行なうことにより、トランジスタ $Q4$ のしきい値電圧 V_{TH4} のばらつきがトランジスタ $Q4$ のドレイン電流のばらつきに与える影響を小さくすることができ、昇圧チョッパの電流の立ち上がり時間のばらつきを小さく抑制することができる。

[0067] また、しきい値電圧 V_{TH2} のばらつきが小さなトランジスタ $Q2$ をオン／オフ制御することによって、しきい値電圧 V_{TH4} の絶対値が大きなトランジスタ $Q4$ をオン／オフ制御するので、実施の形態1と同様に、昇圧チョ

ッパの電流の立ち上がり時間のばらつきを小さく抑制することができる。

[0068] なお、ノーマリーオン型トランジスタQ4をIGBTで置換してもよい。この場合も、実施の形態2と同じ効果が得られる。

[0069] [実施の形態3]

本実施の形態3の半導体装置は、複数組の第1～第3のトランジスタを備え、複数の第1のトランジスタのゲートは互いに接続され、複数の第2のトランジスタのゲートは互いに接続され、複数の第3のトランジスタのゲートは互いに接続され、複数の第1のトランジスタのソースはともに第1のノードに接続され、複数の第2のトランジスタのソースはそれぞれ複数の第1のトランジスタのドレインに接続され、複数の第2のトランジスタのソースはともに第2のノードに接続され、複数の第3のトランジスタはそれぞれ複数の第2のトランジスタに並列接続されるものである。以下、本実施の形態3の半導体装置について図面を用いて詳細に説明する。

[0070] 図11は、本実施の形態3の半導体装置の構成を示す回路図であって、図9と対比される図である。図11において、この半導体装置は、図9の半導体装置を複数個並列接続したものである。すなわち、複数のトランジスタQ4のドレインはともにノードN1に接続され、それらのゲートはともにノードN2に接続される。複数のトランジスタQ2のソースはともにノードN2に接続され、それらのゲートはともに制御信号CNT1を受ける。複数のトランジスタQ3のソースはともにノードN2に接続され、それらのゲートはともに制御信号CNT2を受ける。

[0071] 制御信号CNT1が「L」レベルから「H」レベルに立ち上げられると、全てのトランジスタQ2がオンし、全てのトランジスタQ4がオンする。このとき、低耐圧で低GmのトランジスタQ2をオンさせて高耐圧で高GmのトランジスタQ4をオンさせるので、全てのトランジスタQ4をオンさせることができる。なお、トランジスタQ2として高Gmのトランジスタを使用すると、電流が1つのトランジスタQ4に集中し、他のトランジスタQ4に電流が流れない場合がある。

- [0072] トランジスタQ2の電流駆動能力はトランジスタQ4の電流駆動能力よりも小さいので、このままではトランジスタQ4の能力を十分に発揮させることができない。そこで、次に制御信号CNT2を「L」レベルから「H」レベルに立ち上げ、低耐圧で高GmのトランジスタQ3をオンさせる。これにより、ノードN1、N2間が導通状態となる。
- [0073] ノードN1、N2間を非導通状態にする場合は、まず制御信号CNT2を「H」レベルから「L」レベルに立ち下げ、全てのトランジスタQ3をオフさせる。次いで制御信号CNT2を「H」レベルから「L」レベルに立ち下げて、全てのトランジスタQ2、Q4をオフさせる。
- [0074] この実施の形態3では、低耐圧で低GmのトランジスタQ2をオンさせて高耐圧で高GmのトランジスタQ4をオンさせた後に、低耐圧で高GmのトランジスタQ3をオンさせるので、全てのトランジスタQ4に電流を分散させることができ、1つのトランジスタQ4に電流が集中するのを防止することができる。しかも、上記特許文献1のように電流センサなどを設ける必要がないので、装置構成の単純化と、低コスト化を図ることができる。
- [0075] 図12は、図11に示した半導体装置を用いた昇圧チョッパの構成を示す回路図であって、図10と対比される図である。図12では、図9に示した半導体装置が3個並列接続されている。3個のノーモリーオン型トランジスタQ4のゲートの各々は、ゲート抵抗R1を介してノードN2に接続されている。3個のトランジスタQ2のゲートの各々は、ゲート抵抗R2を介して制御信号源S1の出力ノードに接続されている。3個のトランジスタQ3のゲートの各々は、ゲート抵抗R3を介して制御信号源S2の出力ノードに接続されている。
- [0076] トランジスタQ2、Q3、Q4の相互コンダクタンスGmは、それぞれ6S、30S、20Sである。3個のトランジスタQ4のしきい値電圧V_{TH4}は、それぞれ-4.2V、-4.0V、-4.0Vである。3個のトランジスタQ2のしきい値電圧V_{TH2}は、それぞれ2.2V、2.4V、2.4Vである。3個のトランジスタQ3のしきい値電圧V_{TH3}は、それぞれ

2.4 V, 2.6 V, 2.6 Vである。ゲート抵抗R1の抵抗値は10Ωであり、ゲート抵抗R2, R3の抵抗値はともに100Ωである。

[0077] トランジスタQ2~Q4をオンさせると、直流電源1からリアクトル3およびトランジスタQ2~Q4を介して接地電圧GNDのラインに直流電流が流れ、リアクトル3に電磁エネルギーが蓄えられる。トランジスタQ2~Q4をオフさせると、リアクトル3に蓄えられた電磁エネルギーがダイオード4を介してコンデンサ5に放出される。コンデンサ5の端子間電圧、すなわち昇圧チョッパの出力電圧は、直流電源1の出力電圧にリアクトル3の端子間電圧を加算した電圧となる。

[0078] 図13(a)は、トランジスタQ2~Q4のターンオン時におけるノードN1, N2間の電圧Vdsと、図12中の左側のトランジスタQ4に流れる電流IAと、図12中の中央のトランジスタQ4に流れる電流IBとの波形を示すタイムチャートである。図13(a)において、ある時刻にトランジスタQ1, Q2, Q4がターンオンすると、ノードN1, N2間の電圧Vdsが急に低下し、電流IA, IBがともに増大する。

[0079] また図13(b)は、トランジスタQ2~Q4のターンオフ時におけるノードN1, N2間の電圧Vdsと、図12中の左側のトランジスタQ4に流れる電流IAと、図12中の中央のトランジスタQ4に流れる電流IBとの波形を示すタイムチャートである。図13(b)において、ある時刻にトランジスタQ1, Q2, Q4がターンオフすると、ノードN1, N2間の電圧Vdsが急に上昇し、電流IA, IBがともに減少する。図13(a)(b)から分かるように、ターンオン時およびターンオフ時ともに、2つのトランジスタQ4には略同じタイミングで略同じ値の電流が流れた。

[0080] 図14は、本実施の形態3の比較例となる従来の昇圧チョッパの構成を示す回路図であって、図12と対比される図である。図14を参照して、この昇圧チョッパでは、ノードN1, N2間に3個のノーマリーオン型トランジスタQ4が並列接続される。3個のトランジスタQ4のゲートの各々は、ゲート抵抗R1を介して制御信号源S11の出力ノードに接続される。制御信

号源S 1 1は、1 0 K H zの矩形波信号である制御信号C N T 1 1を出力する。制御信号源S 1 1の接地ノードは接地される。

[0081] 3個のトランジスタQ 4の相互コンダクタンス G_m は、ともに2 0 Sである。3個のトランジスタQ 4のしきい値電圧 V_{TH4} は、それぞれ-4. 2 V, -4. 0 V, -4. 0 Vである。3個のゲート抵抗R 1の抵抗値は、ともに1 0 0 Ω である。また、3個のトランジスタQ 4のゲートの寄生インダクタンスは同じであり、それらのドレインの寄生インダクタンスは同じであり、それらのソースの寄生インダクタンスは同じである。

[0082] 制御信号S 1 1が「L」レベル（たとえば、-6 V）から「H」レベル（たとえば、-2 V）に立ち上げられると、トランジスタQ 4がオンし、リアクトル3に電磁エネルギーが蓄えられる。制御信号S 1 1が「H」レベルから「L」レベルに立ち下げられると、トランジスタQ 4がオフし、リアクトル3の電磁エネルギーがコンデンサ5に放出される。

[0083] 図1 5（a）は、トランジスタQ 4のターンオン時におけるノードN 1, N 2間の電圧 V_{ds} と、図1 4中の左側のトランジスタQ 4に流れる電流 I_A と、図1 4中の中央のトランジスタQ 4に流れる電流 I_B との波形を示すタイムチャートである。図1 5（a）において、ある時刻に制御信号C N T 1 1が「L」レベルから「H」レベルに立ち上げられると、しきい値電圧が低い左側のトランジスタQ 4が中央のトランジスタQ 4よりも先にオンし、左側のトランジスタQ 4の電流 I_A が急に増大し、電圧 V_{ds} が急に低下する。次に、しきい値電圧が高い中央のトランジスタQ 4がオンし、中央のトランジスタQ 4の電流 I_B が増大すると、左側のトランジスタQ 4の電流 I_A が減少する。

[0084] また図1 5（b）は、トランジスタQ 4のターンオフ時におけるノードN 1, N 2間の電圧 V_{ds} と、図1 4中の左側のトランジスタQ 4に流れる電流 I_A と、図1 4中の中央のトランジスタQ 4に流れる電流 I_B との波形を示すタイムチャートである。図1 5（b）において、ある時刻に制御信号C N T 1 1が「H」レベルから「L」レベルに立ち下げられると、しきい値電

圧が高い中央のトランジスタQ4が左側のトランジスタQ4よりも先にオフし、電流I_Bが減少するとともに電流I_Aが急に増大する。次に、しきい値電圧が低い左側のトランジスタQ4がオフして電流I_Aが減少する。

[0085] このように、従来の昇圧チョッパでは、並列接続された複数のトランジスタQ4のうちのしきい値電圧が低い1つのトランジスタQ4に電流が集中してしまう。トランジスタQ4のしきい値電圧を予め測定し、しきい値電圧が同じ複数のトランジスタQ4を用いて昇圧チョッパを構成する方法も考えられるが、コスト高になる。また、特許文献1の方法では、上述の通り、装置構成が複雑になり、コスト高になる。

[0086] これに対して本願発明の昇圧チョッパでは、低コストの簡単な構成で複数のトランジスタQ4に電流を均等に流すことができ、電流の集中によってトランジスタQ4が破損するのを防止することができる。

[0087] [実施の形態4]

図16は、この発明の実施の形態4による半導体装置の構成を示す回路図であって、図1と対比される図である。図16において、この半導体装置は、図1の半導体装置を複数個並列接続したものである。すなわち、複数のトランジスタQ1のドレインはともにノードN1に接続され、それらのゲートはともに直流電圧V3を受ける。複数のトランジスタQ2のソースはともにノードN2に接続され、それらのゲートはともに制御信号CNT1を受ける。複数のトランジスタQ3のソースはともにノードN2に接続され、それらのゲートはともに制御信号CNT2を受ける。

[0088] 制御信号CNT1が「L」レベルから「H」レベルに立ち上げられると、全てのトランジスタQ2がオンし、全てのトランジスタQ1がオンする。このとき、低耐圧で低G_mのトランジスタQ2をオンさせて高耐圧で高G_mのトランジスタQ1をオンさせるので、全てのトランジスタQ1をオンさせることができる。なお、トランジスタQ2として高G_mのトランジスタを使用すると、電流が1つのトランジスタQ1に集中し、他のトランジスタQ1に電流が流れない場合がある。

- [0089] トランジスタQ2の電流駆動能力はトランジスタQ1の電流駆動能力よりも小さいので、このままではトランジスタQ1の能力を十分に発揮させることができない。そこで、次に制御信号CNT2を「L」レベルから「H」レベルに立ち上げ、低耐圧で高GmのトランジスタQ3をオンさせる。これにより、ノードN1、N2間が導通状態となる。
- [0090] ノードN1、N2間を非導通状態にする場合は、まず制御信号CNT2を「H」レベルから「L」レベルに立ち下げ、全てのトランジスタQ3をオフさせる。次いで制御信号CNT2を「H」レベルから「L」レベルに立ち下げて、全てのトランジスタQ1、Q2をオフさせる。
- [0091] この実施の形態4では、低耐圧で低GmのトランジスタQ2をオンさせて高耐圧で高GmのトランジスタQ1をオンさせた後に、低耐圧で高GmのトランジスタQ3をオンさせるので、全てのトランジスタQ1に電流を分散させることができ、1つのトランジスタQ1に電流が集中するのを防止することができる。しかも、上記特許文献1のように電流センサなどを設ける必要がないので、装置構成の単純化と、低コスト化を図ることができる。
- [0092] 図17は、図16に示した半導体装置を用いた昇圧チョッパの構成を示す回路図であって、図2と対比される図である。図17では、図1に示した半導体装置が3個並列接続されている。3個のトランジスタQ1のゲートの各々は、ゲート抵抗R1を介して直流電源2の正極に接続され、直流電圧V3を受ける。3個のトランジスタQ2のゲートの各々は、制御信号源S1の出力ノードに接続されている。3個のトランジスタQ3のゲートの各々は、制御信号源S2の出力ノードに接続されている。
- [0093] トランジスタQ1、Q2、Q3の相互コンダクタンスGmは、それぞれ35S、6S、30Sである。3個のトランジスタQ1のしきい値電圧VTH1は、それぞれ4.2V、4.0V、4.0Vである。3個のトランジスタQ2のしきい値電圧VTH2は、それぞれ1.2V、1.4V、1.4Vである。3個のトランジスタQ3のしきい値電圧VTH3は、それぞれ1.4V、1.6V、1.6Vである。ゲート抵抗R1の抵抗値は10Ωであり、

ゲート抵抗 R_2 、 R_3 の抵抗値はともに 100Ω である。

[0094] トランジスタ $Q_1 \sim Q_3$ をオンさせると、直流電源1からリアクトル3およびトランジスタ $Q_1 \sim Q_3$ を介して接地電圧GNDのラインに直流電流が流れ、リアクトル3に電磁エネルギーが蓄えられる。トランジスタ $Q_1 \sim Q_3$ をオフさせると、リアクトル3に蓄えられた電磁エネルギーがダイオード4を介してコンデンサ5に放出される。コンデンサ5の端子間電圧、すなわち昇圧チョッパの出力電圧は、直流電源1の出力電圧にリアクトル3の端子間電圧を加算した電圧となる。この昇圧チョッパでも、実施の形態3の昇圧チョッパと同様に、3個のトランジスタ Q_1 に均等に電流が流れた。

[0095] [実施の形態5]

図18は、この発明の実施の形態5による降圧チョッパの構成を示す回路図であって、図12と対比される図である。図18において、この降圧チョッパでは、図12で示した昇圧チョッパと同様に、図9で示した半導体装置が複数個（図18では3個）並列接続されている。また、この降圧チョッパは、3個のゲート抵抗 R_1 、直流電源1、リアクトル3、ダイオード4、コンデンサ5、制御信号源 S_1 、 S_2 、およびゲートドライバ15を備える。

[0096] 3個のノーマリーオン型トランジスタ Q_4 のドレインは、ともにノードN1に接続される。各トランジスタ Q_4 のゲートは、ゲート抵抗 R_1 を介してノードN2に接続される。3個のNチャネルMOSトランジスタ Q_2 のドレインはそれぞれ3個のトランジスタ Q_4 のソースに接続され、それらのソースはともにノードN2に接続され、それらのゲートはともに制御信号CNT1Aを受ける。3個のトランジスタ Q_3 のドレインはそれぞれ3個のトランジスタ Q_4 のソースに接続され、それらのソースはともにノードN2に接続され、それらのゲートはともに制御信号CNT2Aを受ける。

[0097] ノードN1は、直流電源1の正極に接続されて直流電圧 V_1 （たとえば、 $300V$ ）を受ける。直流電源1の負極は、接地電圧GNDを受ける。制御信号源 S_1 、 S_2 は、それぞれ制御信号CNT1、CNT2を生成する。ゲートドライバ15は、ノードN2の電圧 V_2 と制御信号CNT1、CNT2

に基づいて制御信号CNT 1 A, CNT 2 Aを生成する。制御信号CNT 1 A, CNT 2 Aの「L」レベルの電圧は、ノードN 2の電圧V 2と同じである。制御信号CNT 1 A, CNT 2 Aの「H」レベルの電圧は、それぞれ制御信号CNT 1, CNT 2の電圧(12V)にノードN 2の電圧V 2を加算した電圧と同じである。

[0098] ダイオード4のアノードは接地電圧GNDのラインに接続され、そのカソードはノードN 2に接続される。リアクトル3の一方端子はノードN 2に接続される。コンデンサ5は、リアクトル3の他方端子と接地電圧GNDのラインとの間に接続される。負荷回路6は、コンデンサ5に並列接続される。

[0099] 制御信号CNT 1 Aが「L」レベルから「H」レベルに立ち上げられると、全てのトランジスタQ 2がオンし、全てのトランジスタQ 4がオンする。このとき、低耐圧で低GmのトランジスタQ 2をオンさせて高耐圧で高GmのトランジスタQ 4をオンさせるので、全てのトランジスタQ 4をオンさせることができる。なお、トランジスタQ 2として高Gmのトランジスタを使用すると、電流が1つのトランジスタQ 4に集中し、他のトランジスタQ 4に電流が流れない場合がある。

[0100] トランジスタQ 2の電流駆動能力はトランジスタQ 4の電流駆動能力よりも小さいので、このままではトランジスタQ 4の能力を十分に発揮させることができない。そこで、次に制御信号CNT 2 Aを「L」レベルから「H」レベルに立ち上げ、低耐圧で高GmのトランジスタQ 3をオンさせる。これにより、ノードN 1, N 2間が導通状態となる。

[0101] ノードN 1, N 2間を非導通状態にする場合は、まず制御信号CNT 2 Aを「H」レベルから「L」レベルに立ち下げ、全てのトランジスタQ 3をオフさせる。次いで制御信号CNT 2 Aを「H」レベルから「L」レベルに立ち下げて、全てのトランジスタQ 2, Q 4をオフさせる。

[0102] 上述のようにしてトランジスタQ 2~Q 4をオンさせると、直流電源1の正極からトランジスタQ 4, Q 2, Q 3, リアクトル3, およびコンデンサ5を介して直流電源1の負極に至る経路に直流電流が流れ、コンデンサ5が

充電されるとともに、リアクトル3に電磁エネルギーが蓄えられる。トランジスタQ2～Q4をオフさせると、リアクトル3に蓄えられた電磁エネルギーによって、リアクトル3、コンデンサ5、およびダイオード4の経路で直流電流が流れる。コンデンサ5の端子間電圧、すなわち降圧チョッパの出力電圧は、負荷回路6に印加される。

[0103] トランジスタQ2～Q4は、所定の周期でオン／オフされる。1周期内におけるトランジスタQ2～Q4のオン時間とオフ時間の比を大きくするとコンデンサ5の端子間電圧が大きくなる。逆に、1周期内におけるトランジスタQ2～Q4のオン時間とオフ時間の比を小さくするとコンデンサ5の端子間電圧が小さくなる。したがって、1周期内におけるトランジスタQ2～Q4のオン時間とオフ時間の比を調整することにより、コンデンサ5の端子間電圧を直流電圧V3と接地電圧GNDの間の所望の電圧に調整することができる。この降圧チョッパでも、3個のトランジスタQ4に均等に電流が流れた。

[0104] なお、図18で示した3組のトランジスタQ2～Q4を含む半導体装置で上側アームおよび下側アームの各々を構成して、インバータを構成することも可能である。

[0105] 図19は、実施の形態5の変更例となる降圧チョッパを示す回路ブロック図であって、図18と対比される図である。図19を参照して、この降圧チョッパが図18の降圧チョッパと異なる点は、各ノーモリーオン型トランジスタQ4がNチャネルMOSトランジスタQ1で置換され、直流電源2、ダイオード16、および3個のコンデンサC1が追加されている点である。

[0106] 直流電源2の負極は、接地電圧GNDを受ける。ダイオード16のアノードは、直流電源2の正極に接続されて直流電圧V3（たとえば、12V）を受ける。直流電圧V3は、トランジスタQ1のしきい値電圧よりも十分に高い電圧である。各コンデンサC1は、ダイオード16のカソードとノードN2との間に接続される。各ゲート抵抗R1は、対応のトランジスタQ1のゲートとダイオード16のカソードとの間に接続される。これにより、トラン

ジスタQ1のゲートには、ノードN2よりも直流電圧V2だけ高い電圧が印加されるので、制御信号CNT1Aが「H」レベルにされてトランジスタQ2がオンされたときにトランジスタQ1を確実にオンさせることができる。他の構成および動作は、図18の降圧回路と同じであるので、その説明は繰り返さない。この降圧チョッパでも、3個のトランジスタQ1に均等に電流が流れた。

[0107] なお、図19で示した3組のトランジスタQ1～Q3を含む半導体装置で上側アームおよび下側アームの各々を構成して、インバータを構成することも可能である。

[0108] また、上記実施の形態1～5と種々の変更例を適宜組み合わせても良いことは言うまでもない。

[0109] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明でなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0110] Q1～Q3, Q10 NチャネルMOSトランジスタ、1, 2 直流電源、3 リアクトル、4, 11, 16 ダイオード、5, 12, C1 コンデンサ、6, 10, 14 負荷回路、13 交流電源、15 ゲートドライバ、S1, S2, S10 制御信号源、R1～R3 ゲート抵抗、SW1～SW4, SW11～SW14 スイッチ、Q4 ノーマリーオン型トランジスタ。

請求の範囲

[請求項1]

第1の電極が第1のノード(N1)に接続された第1のトランジスタ(Q1またはQ4)と、

第1の電極が前記第1のトランジスタ(Q1またはQ4)の第2の電極に接続され、第2の電極が第2のノード(N2)に接続された第2のトランジスタ(Q2)と、

前記第2のトランジスタ(Q2)に並列接続された第3のトランジスタ(Q3)とを備え、

前記第1のトランジスタ(Q1またはQ4)の第1および第2の電極間の耐圧は前記第2および第3のトランジスタ(Q2, Q3)の各々の第1および第2の電極間の耐圧よりも高く、

前記第2のトランジスタ(Q2)の増幅率は前記第3のトランジスタ(Q3)の増幅率よりも小さい、半導体装置。

[請求項2]

複数組の前記第1～第3のトランジスタ(Q1またはQ4, Q2, Q3)を備え、

複数の前記第1のトランジスタ(Q1またはQ4)の制御電極は互いに接続され、

複数の前記第2のトランジスタ(Q2)の制御電極は互いに接続され、

複数の前記第3のトランジスタ(Q3)の制御電極は互いに接続され、

複数の前記第1のトランジスタ(Q1またはQ4)の第1の電極はともに前記第1のノード(N1)に接続され、

複数の前記第2のトランジスタ(Q2)の第1の電極はそれぞれ複数の前記第1のトランジスタ(Q1またはQ4)の第2の電極に接続され、

複数の前記第2のトランジスタ(Q2)の第2の電極はともに前記第2のノード(N2)に接続され、

複数の前記第3のトランジスタ(Q3)はそれぞれ複数の前記第2のトランジスタ(Q2)に並列接続されている、請求項1に記載の半導体装置。

[請求項3] さらに、各前記第1のトランジスタ(Q1またはQ4)に対応して設けられた第1の抵抗素子(R1)と、

各前記第2のトランジスタ(Q2)に対応して設けられた第2の抵抗素子(R2)と、

各前記第3のトランジスタ(Q3)に対応して設けられた第3の抵抗素子(R3)とを備え、

各前記第1のトランジスタ(Q1またはQ4)の制御電極は対応の第1の抵抗素子(R1)を介して第1の制御ノードに接続され、

各前記第2のトランジスタ(Q2)の制御電極は対応の第2の抵抗素子(R2)を介して第2の制御ノードに接続され、

各前記第3のトランジスタ(Q3)の制御電極は対応の第3の抵抗素子(R3)を介して第3の制御ノードに接続されている、請求項2に記載の半導体装置。

[請求項4] 前記第2のトランジスタ(Q2)の増幅率は前記第1のトランジスタ(Q1またはQ4)の増幅率よりも小さい、請求項1に記載の半導体装置。

[請求項5] 前記第1および第2のノード(N1, N2)間を導通させる場合は、前記第2のトランジスタ(Q2)をオンさせて前記第1のトランジスタ(Q1またはQ4)をオンさせた後に前記第3のトランジスタ(Q3)をオンさせる、請求項1に記載の半導体装置。

[請求項6] 前記第1および第2のノード(N1, N2)間を非導通にする場合は、前記第3のトランジスタ(Q3)をオフさせた後に前記第2のトランジスタ(Q2)をオフさせて前記第1のトランジスタ(Q1またはQ4)をオフさせる、請求項5に記載の半導体装置。

[請求項7] 前記第1のノード(N1)は第1の電圧を受け、

前記第2のノード(N2)は第2の電圧を受け、

前記第2のトランジスタ(Q2)をオン/オフ制御するための第1の制御信号が前記第2のトランジスタ(Q2)の制御電極に与えられ、

前記第3のトランジスタ(Q3)をオン/オフ制御するための第2の制御信号が前記第3のトランジスタ(Q3)の制御電極に与えられる、請求項1に記載の半導体装置。

[請求項8] 前記第2および第3のトランジスタ(Q2, Q3)の各々はノーマリーオフ型トランジスタである、請求項7に記載の半導体装置。

[請求項9] 前記第1のトランジスタ(Q1)はノーマリーオフ型トランジスタであり、

前記第1のトランジスタ(Q1)の制御電極は、前記第1のトランジスタ(Q1)のしきい値電圧よりも高い第3の電圧を受ける、請求項7に記載の半導体装置。

[請求項10] さらに、前記第1のトランジスタ(Q1)の制御電極と前記第2のノード(N2)との間に接続されたコンデンサ(C1)と、

カソードが前記第1のトランジスタ(Q1)の制御電極に接続され、アノードが前記第3の電圧を受けるダイオード(16)とを備える、請求項9に記載の半導体装置。

[請求項11] 前記第1のトランジスタ(Q4)はノーマリーオン型トランジスタであり、

前記第1のトランジスタ(Q4)の制御電極は前記第2のノード(N2)に接続されている、請求項7に記載の半導体装置。

[請求項12] 前記第1のノード(N1)は第1の電圧を受け、

前記第2のノード(N2)は第2の電圧を受け、

前記第2のトランジスタ(Q2)のしきい値電圧は前記第3のトランジスタ(Q3)のしきい値電圧よりも低く、

前記第2および第3のトランジスタ(Q2, Q3)をオン/オフ制

御するための制御信号が前記第2および第3のトランジスタ（Q2，Q3）の制御電極に与えられる、請求項1に記載の半導体装置。

[請求項13] 前記第2および第3のトランジスタ（Q2，Q3）の各々はノーマリーオフ型トランジスタである、請求項12に記載の半導体装置。

[請求項14] 前記第1のトランジスタ（Q1）はノーマリーオフ型トランジスタであり、

前記第1のトランジスタ（Q1）の制御電極は、前記第1のトランジスタ（Q1）のしきい値電圧よりも高い第3の電圧を受ける、請求項12に記載の半導体装置。

[請求項15] さらに、前記第1のトランジスタ（Q1）の制御電極と前記第2のノード（N2）との間に接続されたコンデンサと、

カソードが前記第1のトランジスタ（Q1）の制御電極に接続され、アノードが前記第3の電圧を受けるダイオードとを備える、請求項14に記載の半導体装置。

[請求項16] 前記第1のトランジスタ（Q4）はノーマリーオン型トランジスタであり、

前記第1のトランジスタ（Q4）の制御電極は前記第2のノード（N2）に接続されている、請求項12に記載の半導体装置。

[請求項17] 請求項1に記載の半導体装置を備える、コンバータ。

[請求項18] 請求項1に記載の半導体装置を備える、インバータ。

[請求項19] 請求項1に記載の半導体装置を備える、電力変換装置。

補正された請求の範囲
[2012年8月10日 (10.08.2012) 国際事務局受理]

- [請求項1] (補正後) 第1の電極が第1のノード (N1) に接続された第1のトランジスタ (Q1 または Q4) と、
- 第1の電極が前記第1のトランジスタ (Q1 または Q4) の第2の電極に接続され、第2の電極が第2のノード (N2) に接続された第2のトランジスタ (Q2) と、
- 第1の電極が前記第1のトランジスタ (Q1 または Q4) の第2の電極に接続され、第2の電極が前記第2のノード (N2) に接続された第3のトランジスタ (Q3) とを備え、
- 前記第1のトランジスタ (Q1 または Q4) の第1および第2の電極間の耐圧は前記第2および第3のトランジスタ (Q2, Q3) の各々の第1および第2の電極間の耐圧よりも高く、
- 前記第2のトランジスタ (Q2) の増幅率は前記第3のトランジスタ (Q3) の増幅率よりも小さい、半導体装置。
- [請求項2] (補正後) 複数組の前記第1～第3のトランジスタ (Q1 または Q4, Q2, Q3) を備え、
- 複数の前記第1のトランジスタ (Q1 または Q4) の制御電極は互いに接続され、
- 複数の前記第2のトランジスタ (Q2) の制御電極は互いに接続され、
- 複数の前記第3のトランジスタ (Q3) の制御電極は互いに接続され、
- 複数の前記第1のトランジスタ (Q1 または Q4) の第1の電極はともに前記第1のノード (N1) に接続され、
- 複数の前記第2のトランジスタ (Q2) の第1の電極はそれぞれ複数の前記第1のトランジスタ (Q1 または Q4) の第2の電極に接続され、
- 複数の前記第2のトランジスタ (Q2) の第2の電極はともに前記

第2のノード(N2)に接続され、

複数の前記第3のトランジスタ(Q3)の第1の電極はそれぞれ複数の前記第1のトランジスタ(Q1またはQ4)の第2の電極に接続され、

複数の前記第3のトランジスタ(Q3)の第2の電極はともに前記第2のノード(N2)に接続されている、請求項1に記載の半導体装置。

[請求項3]

さらに、各前記第1のトランジスタ(Q1またはQ4)に対応して設けられた第1の抵抗素子(R1)と、

各前記第2のトランジスタ(Q2)に対応して設けられた第2の抵抗素子(R2)と、

各前記第3のトランジスタ(Q3)に対応して設けられた第3の抵抗素子(R3)とを備え、

各前記第1のトランジスタ(Q1またはQ4)の制御電極は対応の第1の抵抗素子(R1)を介して第1の制御ノードに接続され、

各前記第2のトランジスタ(Q2)の制御電極は対応の第2の抵抗素子(R2)を介して第2の制御ノードに接続され、

各前記第3のトランジスタ(Q3)の制御電極は対応の第3の抵抗素子(R3)を介して第3の制御ノードに接続されている、請求項2に記載の半導体装置。

[請求項4]

前記第2のトランジスタ(Q2)の増幅率は前記第1のトランジスタ(Q1またはQ4)の増幅率よりも小さい、請求項1に記載の半導体装置。

[請求項5]

前記第1および第2のノード(N1, N2)間を導通させる場合は、前記第2のトランジスタ(Q2)をオンさせて前記第1のトランジスタ(Q1またはQ4)をオンさせた後に前記第3のトランジスタ(Q3)をオンさせる、請求項1に記載の半導体装置。

[請求項6]

前記第1および第2のノード(N1, N2)間を非導通にする場合

は、前記第3のトランジスタ(Q3)をオフさせた後に前記第2のトランジスタ(Q2)をオフさせて前記第1のトランジスタ(Q1またはQ4)をオフさせる、請求項5に記載の半導体装置。

[請求項7] 前記第1のノード(N1)は第1の電圧を受け、
前記第2のノード(N2)は第2の電圧を受け、
前記第2のトランジスタ(Q2)をオン/オフ制御するための第1の制御信号が前記第2のトランジスタ(Q2)の制御電極に与えられ、

前記第3のトランジスタ(Q3)をオン/オフ制御するための第2の制御信号が前記第3のトランジスタ(Q3)の制御電極に与えられる、請求項1に記載の半導体装置。

[請求項8] 前記第2および第3のトランジスタ(Q2, Q3)の各々はノーマリーオフ型トランジスタである、請求項7に記載の半導体装置。

[請求項9] 前記第1のトランジスタ(Q1)はノーマリーオフ型トランジスタであり、

前記第1のトランジスタ(Q1)の制御電極は、前記第1のトランジスタ(Q1)のしきい値電圧よりも高い第3の電圧を受ける、請求項7に記載の半導体装置。

[請求項10] さらに、前記第1のトランジスタ(Q1)の制御電極と前記第2のノード(N2)との間に接続されたコンデンサ(C1)と、

カソードが前記第1のトランジスタ(Q1)の制御電極に接続され、アノードが前記第3の電圧を受けるダイオード(16)とを備える、請求項9に記載の半導体装置。

[請求項11] 前記第1のトランジスタ(Q4)はノーマリーオン型トランジスタであり、

前記第1のトランジスタ(Q4)の制御電極は前記第2のノード(N2)に接続されている、請求項7に記載の半導体装置。

[請求項12] 前記第1のノード(N1)は第1の電圧を受け、

前記第2のノード(N2)は第2の電圧を受け、

前記第2のトランジスタ(Q2)のしきい値電圧は前記第3のトランジスタ(Q3)のしきい値電圧よりも低く、

前記第2および第3のトランジスタ(Q2, Q3)をオン/オフ制御するための制御信号が前記第2および第3のトランジスタ(Q2, Q3)の制御電極に与えられる、請求項1に記載の半導体装置。

[請求項13] 前記第2および第3のトランジスタ(Q2, Q3)の各々はノーマリーオフ型トランジスタである、請求項12に記載の半導体装置。

[請求項14] 前記第1のトランジスタ(Q1)はノーマリーオフ型トランジスタであり、

前記第1のトランジスタ(Q1)の制御電極は、前記第1のトランジスタ(Q1)のしきい値電圧よりも高い第3の電圧を受ける、請求項12に記載の半導体装置。

[請求項15] さらに、前記第1のトランジスタ(Q1)の制御電極と前記第2のノード(N2)との間に接続されたコンデンサと、

カソードが前記第1のトランジスタ(Q1)の制御電極に接続され、アノードが前記第3の電圧を受けるダイオードとを備える、請求項14に記載の半導体装置。

[請求項16] 前記第1のトランジスタ(Q4)はノーマリーオン型トランジスタであり、

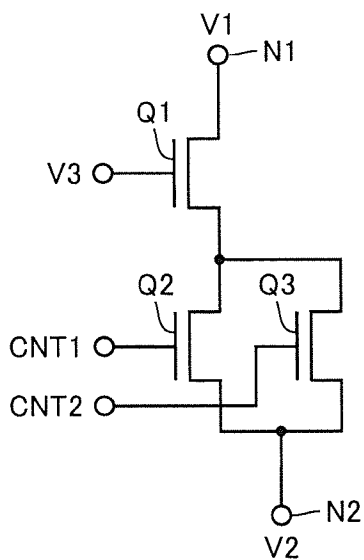
前記第1のトランジスタ(Q4)の制御電極は前記第2のノード(N2)に接続されている、請求項12に記載の半導体装置。

[請求項17] 請求項1に記載の半導体装置を備える、コンバータ。

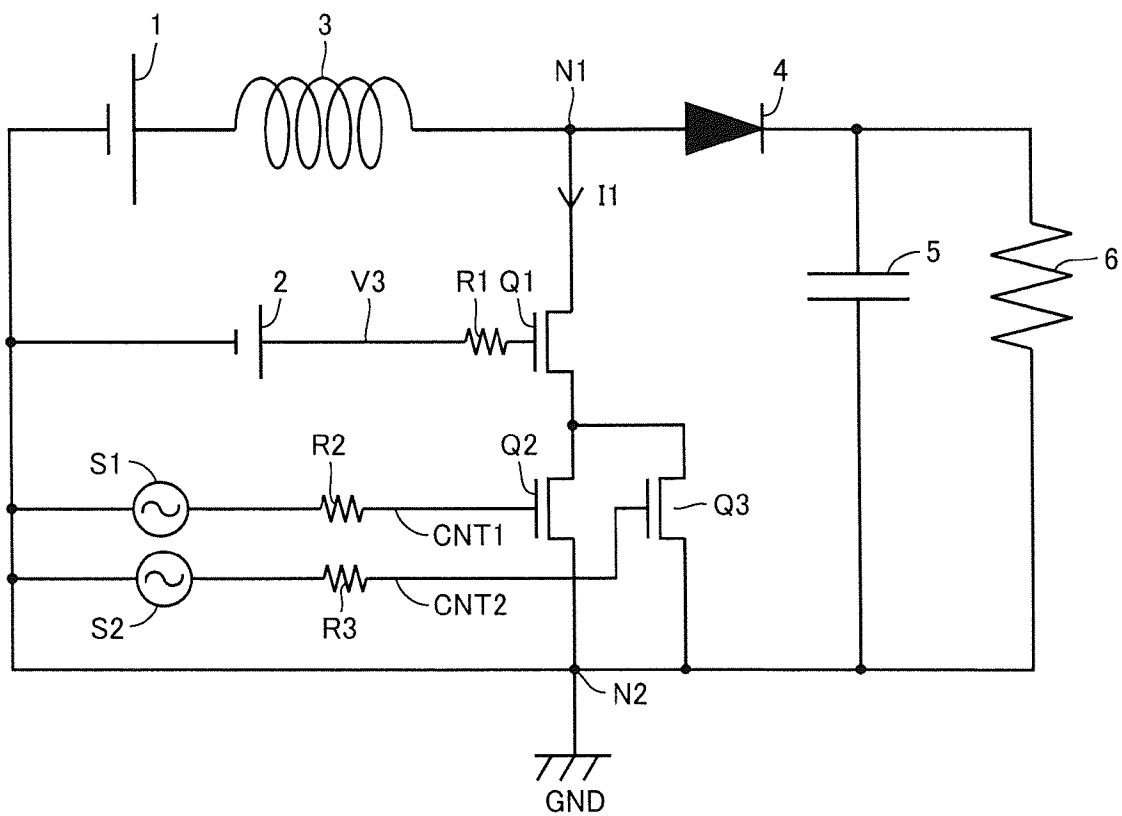
[請求項18] 請求項1に記載の半導体装置を備える、インバータ。

[請求項19] 請求項1に記載の半導体装置を備える、電力変換装置。

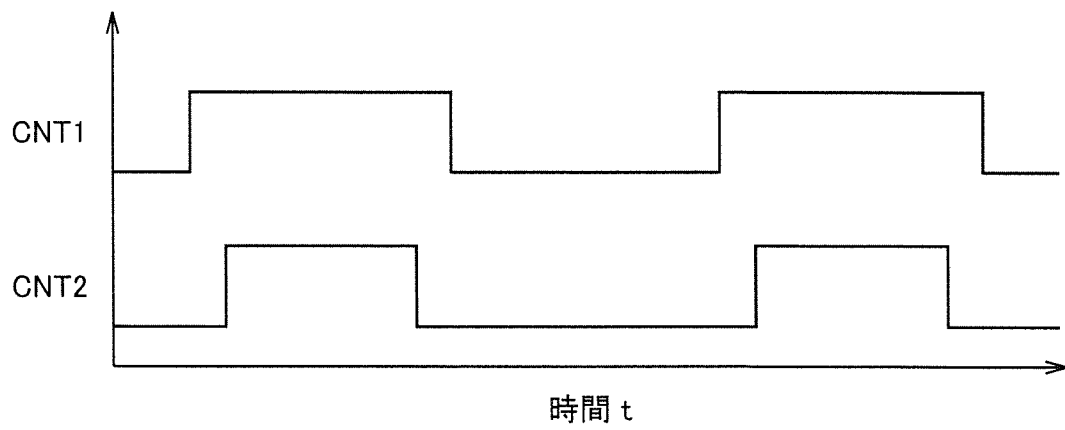
[図1]



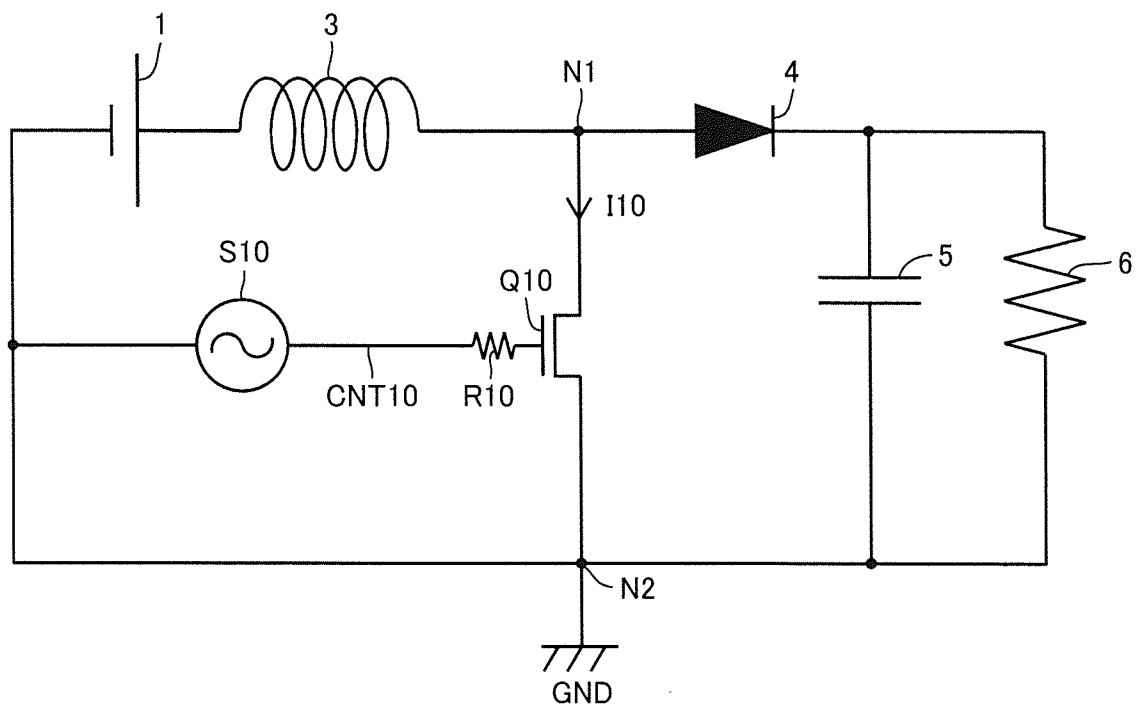
[図2]



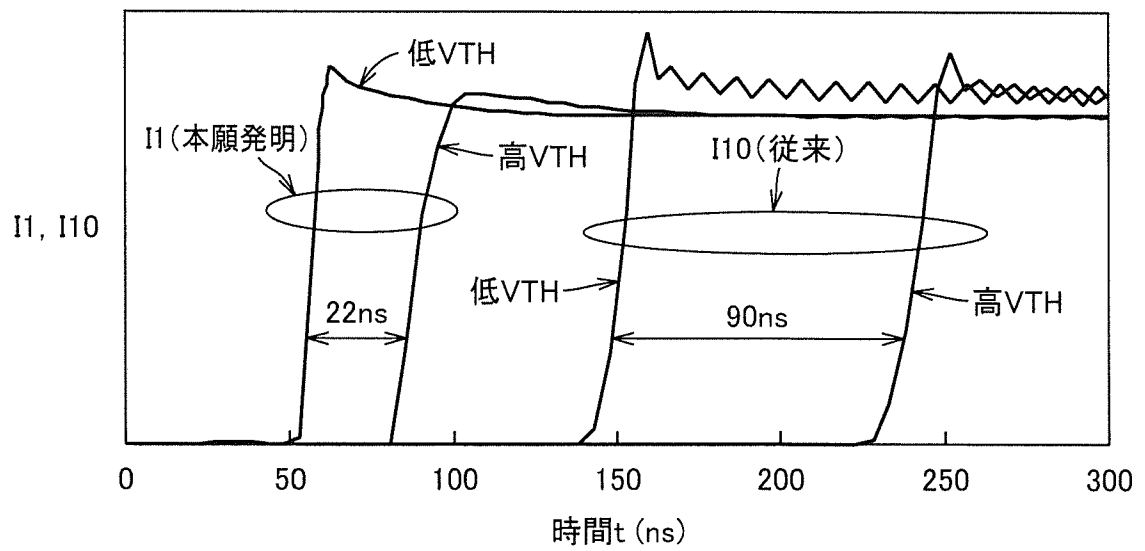
[図3]



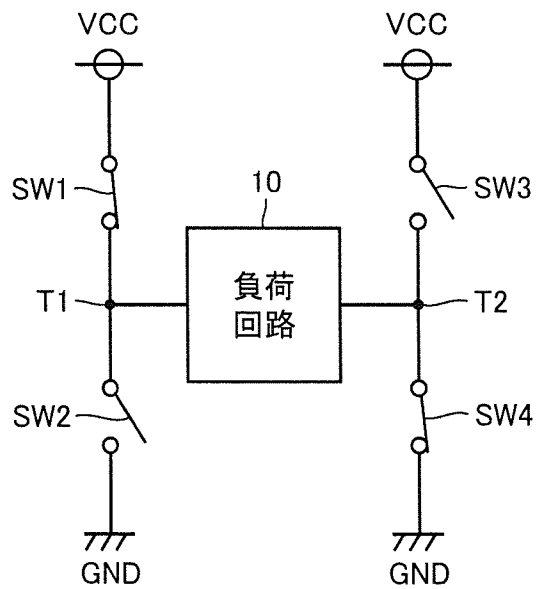
[図4]



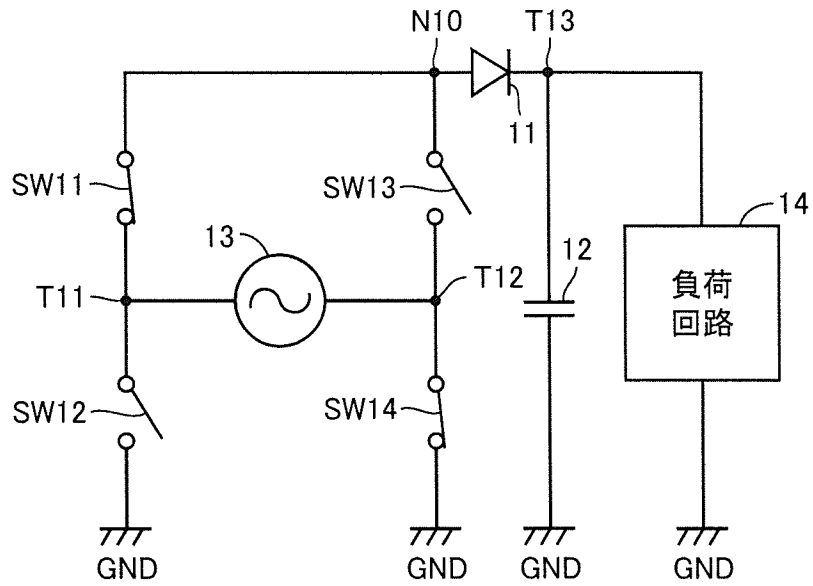
[図5]



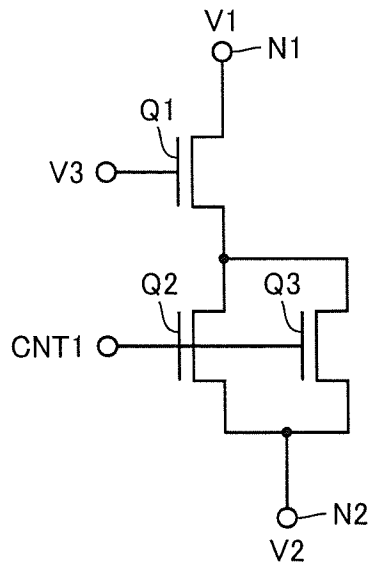
[図6]



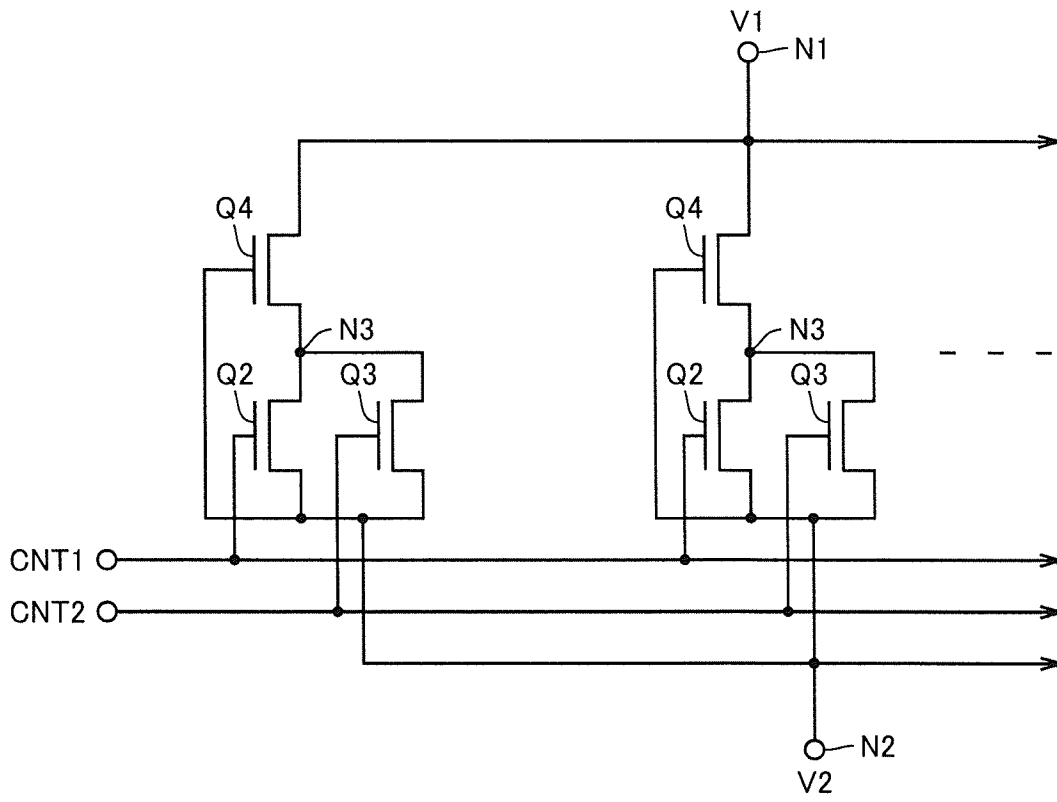
[図7]



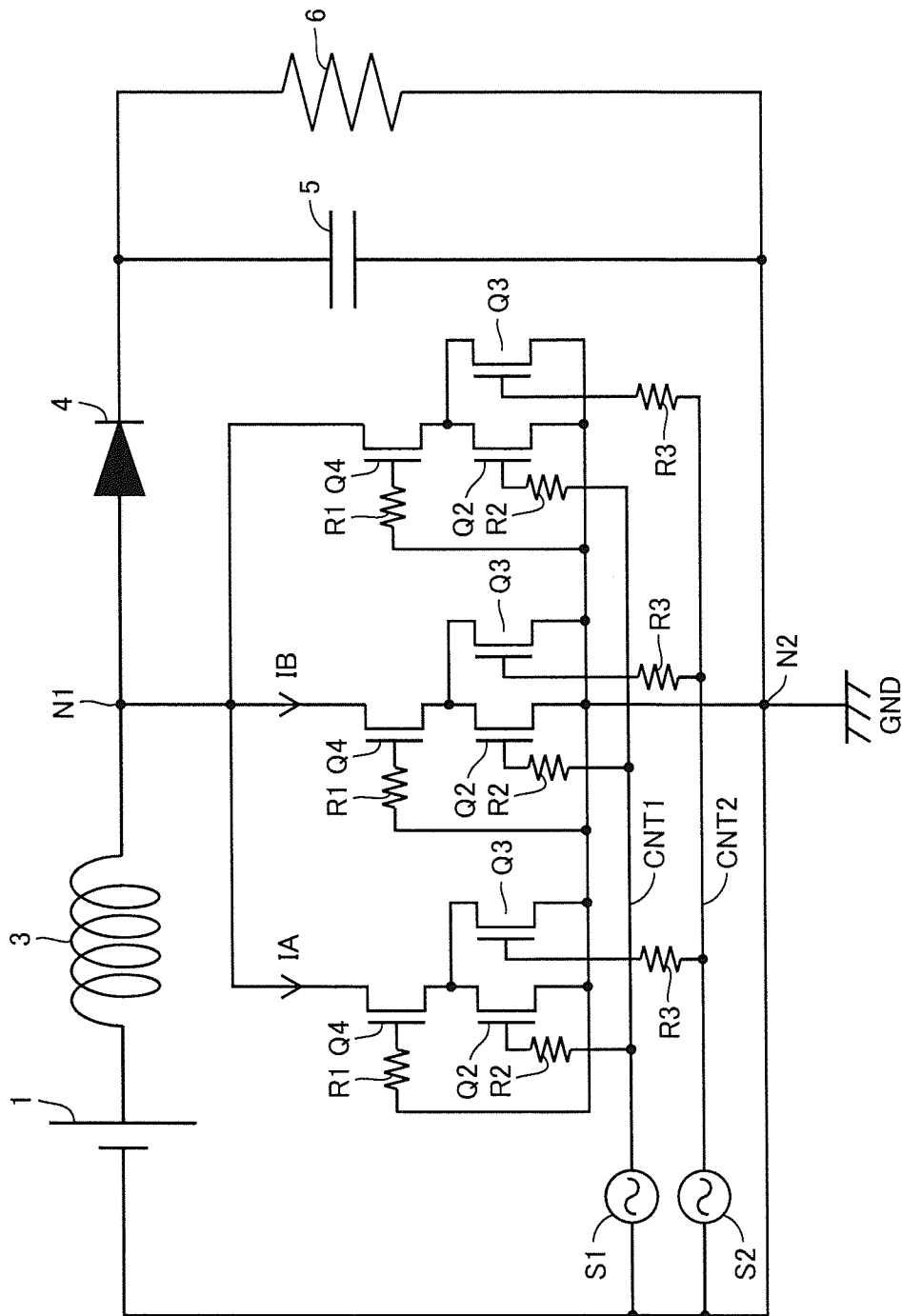
[図8]



[図11]

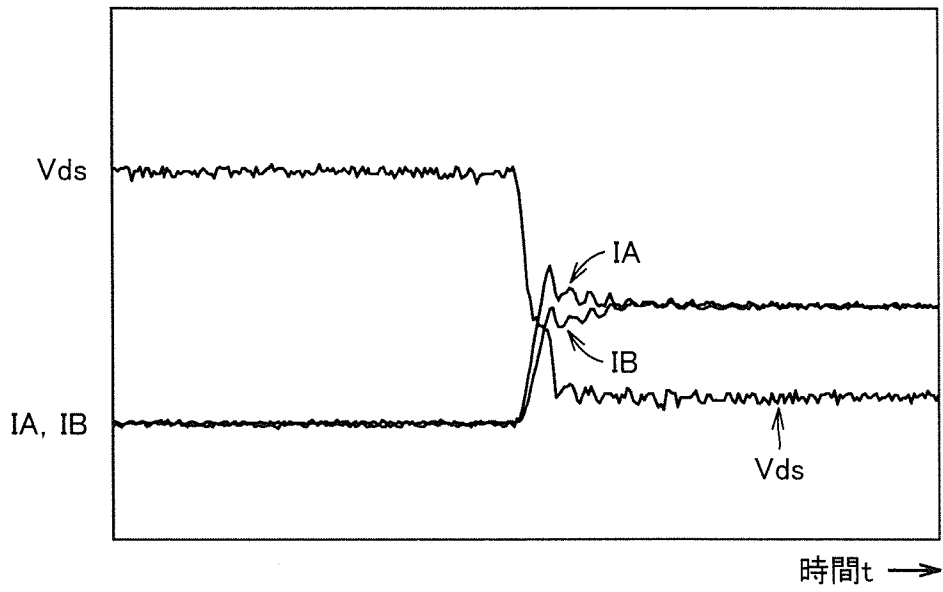


[圖12]

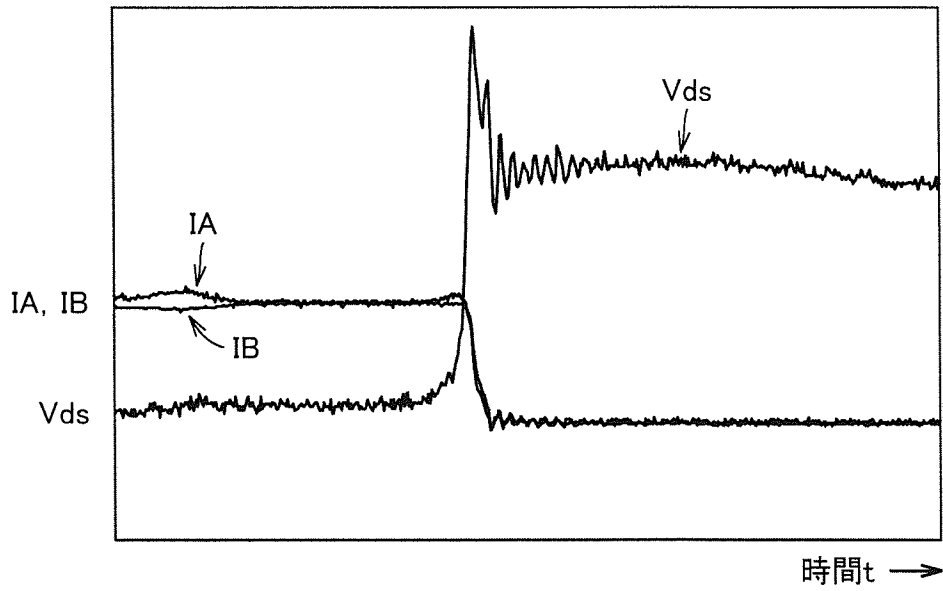


[図13]

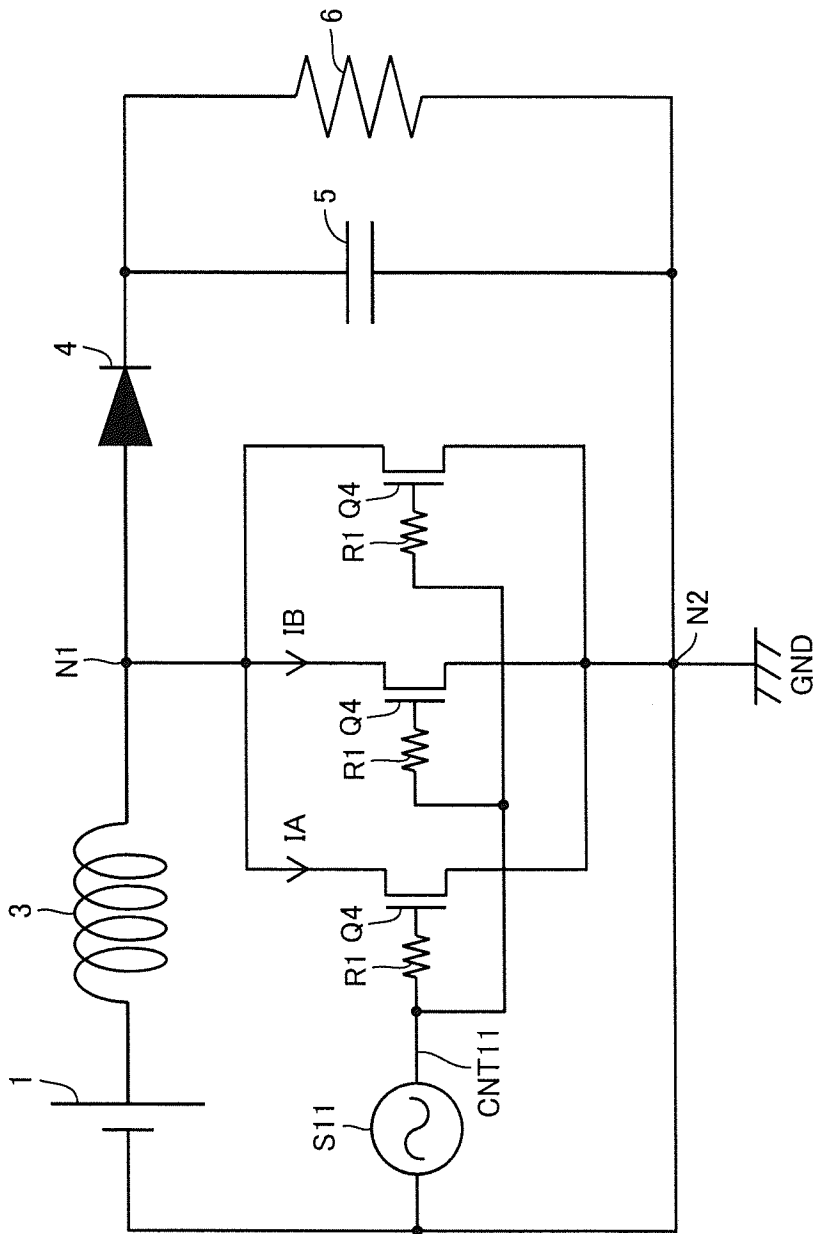
(a) ターンオン時



(b) ターンオフ時

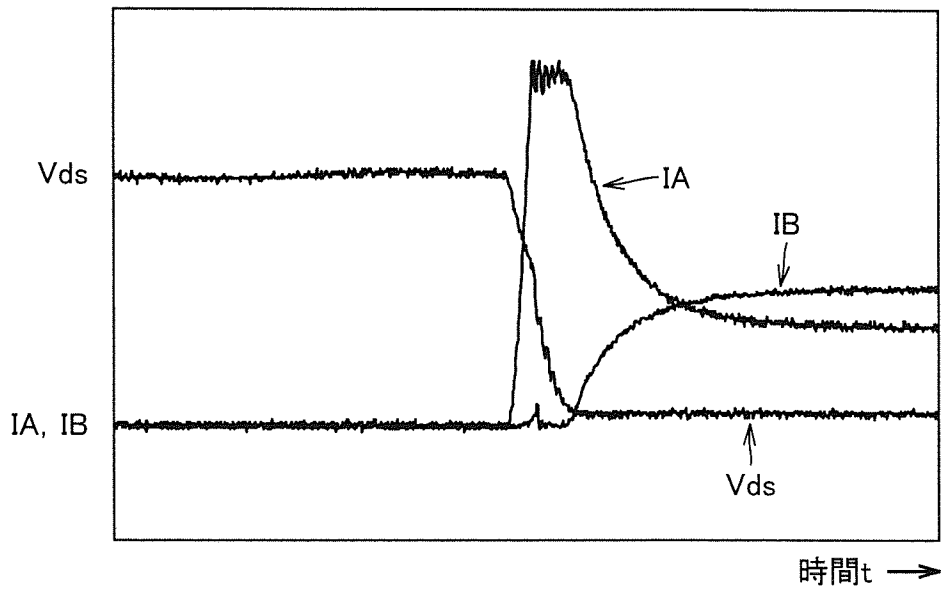


[圖14]

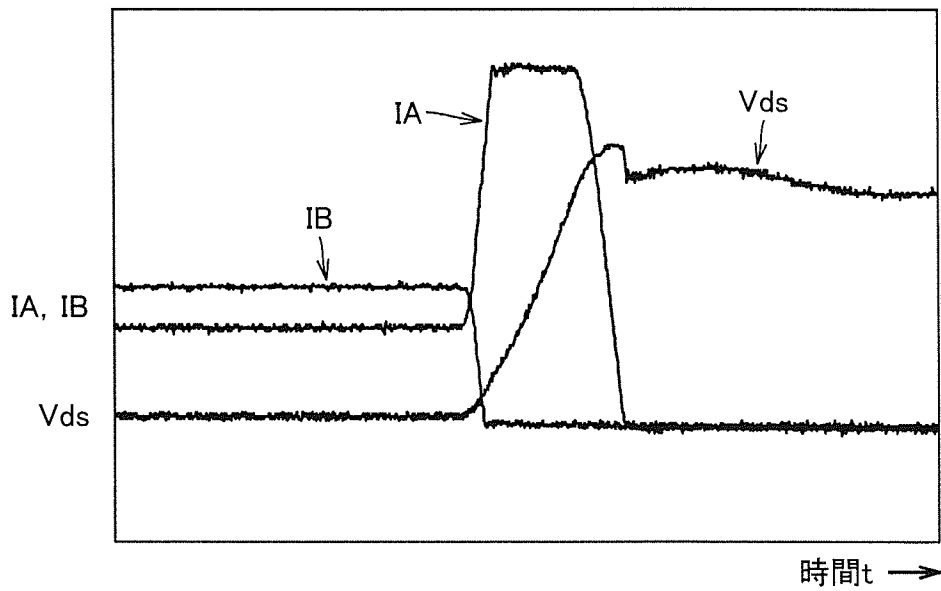


[図15]

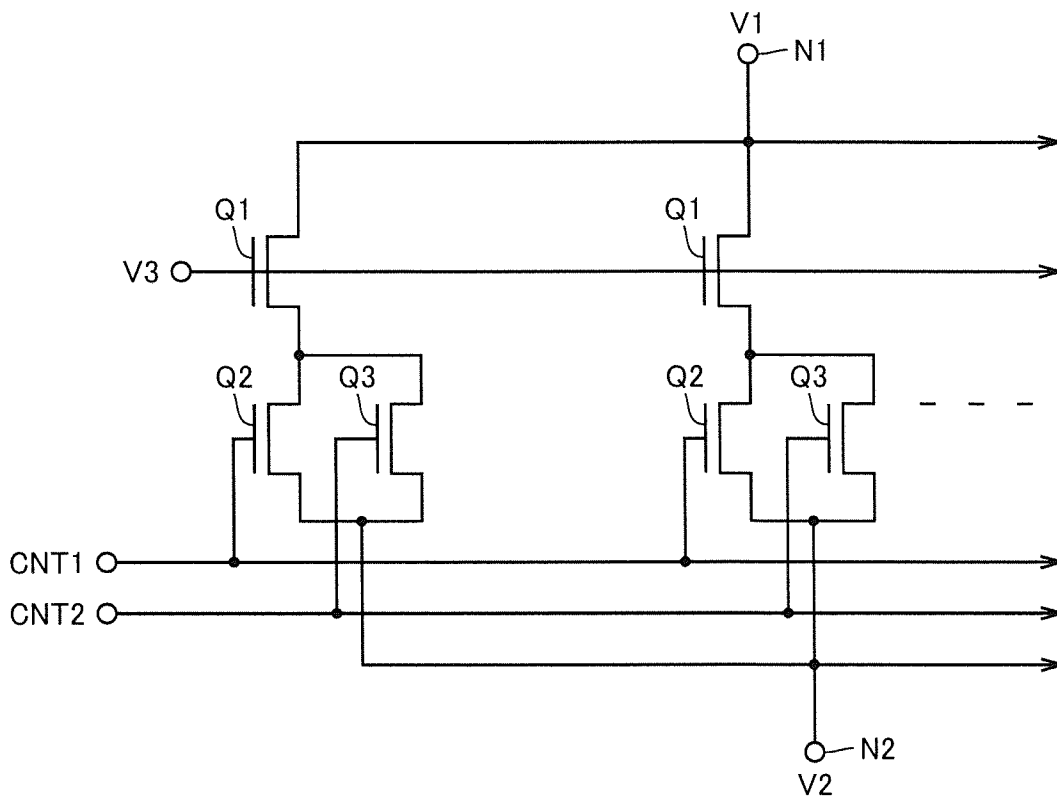
(a) ターンオン時



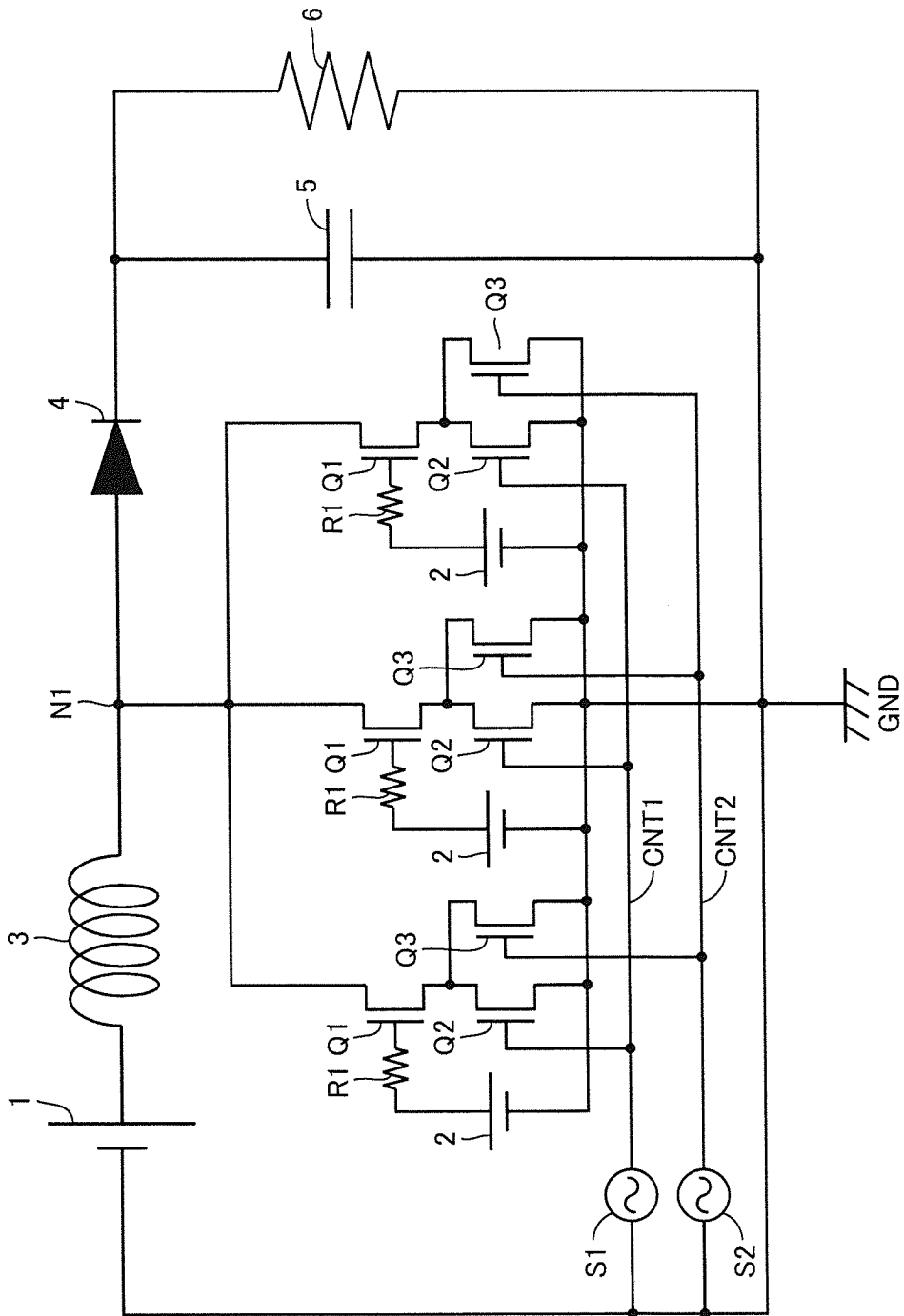
(b) ターンオン時



[図16]



[圖17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/059319

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/12(2006.01) i, H02M1/08(2006.01) i, H03K17/687(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/00-17/70, H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 7-106573 A (Texas Instruments Inc.), 21 April 1995 (21.04.1995), paragraph [0013]; fig. 3 & US 5406096 A	1, 4, 17-19 2
X Y	JP 5-75110 A (Fuji Electric Co., Ltd.), 26 March 1993 (26.03.1993), paragraphs [0002] to [0003]; fig. 2 & US 5357125 A & GB 2259608 A & DE 4230319 A1	1, 4, 17-19 2
Y	JP 5-48434 U (Meidensha Corp.), 25 June 1993 (25.06.1993), entire text; all drawings (Family: none)	2

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
08 June, 2012 (08.06.12)

Date of mailing of the international search report
19 June, 2012 (19.06.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/059319

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	WO 2011/096232 A1 (Panasonic Corp.), 11 August 2011 (11.08.2011), entire text; all drawings (Family: none)	1-19

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H03K17/12(2006.01)i, H02M1/08(2006.01)i, H03K17/687(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H03K17/00-17/70, H02M1/08

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2012年
 日本国実用新案登録公報 1996-2012年
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 7-106573 A (テキサス インストルメンツ インコーポレイテッド) 1995.04.21, 【0013】, 図3 & US 5406096 A	1, 4, 17-19 2
X Y	JP 5-75110 A (富士電機株式会社) 1993.03.26, 【0002】~【0003】, 図2 & US 5357125 A GB 2259608 A & DE 4230319 A1	1, 4, 17-19 2
Y	JP 5-48434 U (株式会社明電舎) 1993.06.25, 全文, 全図 (ファミリーなし)	2

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 08.06.2012	国際調査報告の発送日 19.06.2012
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 栗栖 正和 電話番号 03-3581-1101 内線 3596

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P, A	WO 2011/096232 A1 (パナソニック株式会社) 2011.08.11, 全文, 全図 (ファミリーなし)	1-19