

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 9 月 16 日 (16.09.2021)



(10) 国际公布号
WO 2021/180124 A1

(51) 国际专利分类号:
H01L 23/535 (2006.01) **H01L 23/60** (2006.01)
H01L 27/02 (2006.01) **H01L 21/768** (2006.01)
H01L 23/48 (2006.01)

(21) 国际申请号: PCT/CN2021/079976

(22) 国际申请日: 2021 年 3 月 10 日 (10.03.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010174301.1 2020 年 3 月 13 日 (13.03.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国

安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 王蒙蒙(WANG, Mengmeng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。 李佳龙(LI, Jialong); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 上海盈盛知识产权代理事务所(普通合伙) (SHANGHAI WINSUN INTELLECTUAL PROPERTY AGENCY); 中国上海市静安区俞泾港路11号金座11层1102室, Shanghai 200070 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) Title: SEMICONDUCTOR STRUCTURE AND METHOD FOR FORMING SAME, AND FUSE ARRAY

(54) 发明名称: 半导体结构及其形成方法、熔丝阵列

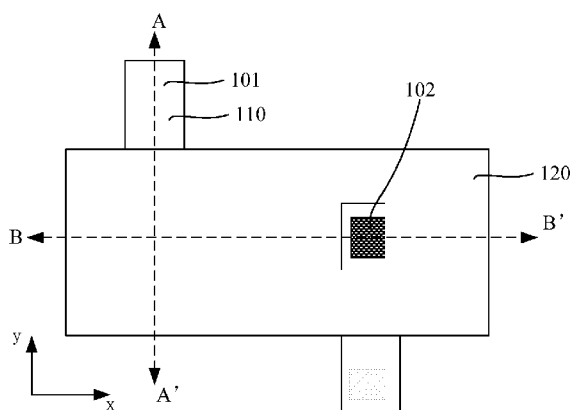


图 1A

(57) Abstract: The present application relates to a semiconductor structure and a method for forming same, and a fuse array. The semiconductor structure comprises: at least two first through holes, which are located above a substrate; a first conductive layer, which is located above the first through holes and electrically connected to the first through holes; at least two second through holes, which are located above the first conductive layer; and a second conductive layer, which is located above the second through holes and electrically connected to the first conductive layer by means of the second through holes, wherein projections of the first through holes and the second conductive layer on the substrate do not overlap. The semiconductor structure requires a low amount of fusing energy.

(57) 摘要: 本申请涉及一种半导体结构及其形成方法, 一种熔丝阵列, 所述半导体结构包括至少两个第一通孔, 位于衬底上方; 第一导电层, 位于所述第一通孔上方, 与所述第一通孔电连接; 至少两个第二通孔, 位于所述第一导电层上方; 第二导电层, 位于所述第二通孔上方, 通过所述第二通孔与所述第一导电层电连接; 其中, 所述第一通孔与所述第二导电层在所述衬底上的投影均不重叠。所述半导体结构所需的熔断能量较低。



CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 关于发明人身份 (细则4.17(i))
- 关于申请人有权申请并被授予专利 (细则4.17(ii))
- 关于申请人有权要求在先申请的优先权 (细则4.17(iii))

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

半导体结构及其形成方法、熔丝阵列

相关申请引用说明

本申请要求于 2020 年 03 月 13 日递交的中国专利申请号 202010174301.1，申请名为“半导体结构及其形成方法、熔丝阵列”的优先权，其全部内容以引用的形式附录于此。

技术领域

本申请涉及半导体技术领域，尤其涉及一种半导体结构及其形成方法、一种熔丝阵列。

背景技术

随着半导体工艺水平的改进以及集成电路复杂度的提高，芯片内器件数量不断增加，而单个元器件如晶体管或存储单元的失效，往往会导致整个集成电路的功能失效。

例如，采用半导体工艺制造的 DRAM 芯片会不可避免的产生缺陷存储的单元，而 DRAM 芯片上通常会形成有冗余存储单元，利用冗余存储单元去永久替换缺陷存储单元，即可修复 DRAM 芯片。常见的方法是在集成电路中形成一些可以熔断的连接线，也就是熔丝(fuse)结构，在芯片生产完成时，若其中有部分存储单元或电路出现功能问题，就可以通过选择性地熔断(或破坏)与缺陷电路相关的熔丝结构，同时激活冗余的存储单元以形成新的电路来替换，实现修复的目的。

激光熔丝是一种常用的熔丝结构，通过激光束熔断熔丝，使得电路结构发生变化。现有技术中的激光熔丝结构，在后续的熔丝熔断工艺中需要较大的能量，造成工艺参数难以控制以及能量过大会损伤熔丝结构周围的器件。

如何降低熔丝熔断能量，是目前亟待解决的问题。

发明内容

本申请所要解决的技术问题是，提供一种半导体结构及其形成方法、一种

熔丝阵列，降低熔断时所需的激光能量。

为了解决上述问题，本申请提供了一种半导体结构，包括：至少两个第一通孔，位于衬底上方；第一导电层，位于所述第一通孔上方，与所述第一通孔电连接；至少两个第二通孔，位于所述第一导电层上方；第二导电层，位于所述第二通孔上方，通过所述第二通孔与所述第一导电层电连接；其中，所述第一通孔与所述第二导电层在所述衬底上的投影均不重叠。

可选的，还包括：保护层，覆盖所述第二导电层；熔丝开窗区，位于所述保护层上方，所述第二通孔、所述第二导电层均位于所述熔丝开窗区内。可选的，所述熔丝开窗区为一凹槽，所述凹槽的底部为所述保护层的一部分。

可选的，所述第二导电层沿着 x 方向布置，所述第一导电层沿着 y 方向布置，所述 x 方向和所述 y 方向垂直。

可选的，所述第一通孔包括接触孔、金属层与金属层之间通孔中的一种。

可选的，所述第二导电层包括第 N 层金属层、第 N-1 层金属层、第 N-2 层金属层、第二层金属层中的一种，所述 N 为大于等于 5 的正整数。

可选的，所述第一导电层与所述第二导电层具有不同的导电率。

可选的，所述第一导电层包括多晶硅、钨金属、铝金属、铜金属中的一种或多种，所述第二导电层包括钨金属、铝金属、铜金属中的一种或多种。

本申请的技术方案还提供一种熔丝阵列，包括上述任一项所述半导体结构，多个所述半导体结构以 M 行、N 列的阵列布置，所述 M 和 N 均为正偶数。

本申请的技术方案还提供一种半导体结构的形成方法，包括：在衬底上方形成至少两个第一通孔；在所述第一通孔上方形成第一导电层，所述第一导电层与所述第一通孔电连接；在所述第一导电层上方形成至少两个第二通孔；在所述第二通孔上方形成第二导电层，通过所述第二通孔与所述第一导电层电连接；其中，所述第一通孔与所述第二导电层在所述衬底上的投影均不重叠。

可选的，还包括：在所述第二导电层上方形成一保护层；在所述保护层上方形成一凹槽，作为熔丝开窗区，所述第二通孔、所述第二导电层均位于所述熔丝开窗区内。

本申请的半导体结构中，第一通孔与第二半导体层在衬底上的投影无重叠，在对第二半导体层进行熔断时，只需要对第二半导体层及其下方的第二通

孔进行熔断即可，可以降低熔断能量，熔断过程更易控制。

附图说明

为了更清楚地说明本申请实施例的技术方案，下面将对本申请实施例中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1A 至图 1C 为本申请一实施例的半导体结构的结构示意图；

图 2A 至图 2C 为本申请一实施例的半导体结构的结构示意图；

图 3A 至图 6B 为本申请一实施例的半导体结构的形成过程的结构示意图；

图 7 为本申请一实施例的熔丝阵列的结构示意图；

图 8 为本申请一实施例的熔丝阵列上方形成有熔丝开窗区的俯视示意图。

具体实施方式

如背景技术中所述，目前的熔丝熔断工艺中需要较大的能量。在对熔丝进行激光熔断过程中，如果仅仅是将熔丝熔断，熔断过程中产生的金属飞溅或设高温导致的金属扩散迁移，依然有可能使得熔丝连接的两个导电通路之间发生短路。尤其是，现在的集成电路工艺中，越来越多的采用多孔介电材料，作为各金属层间的介质层材料。为了能够使得所述激光熔丝连接的两个导电通路之间彻底断开，通常需要将整个导电通路进行垂直熔断，将熔丝及其下方的导电通路上的金属均进行激光熔断，从而使得金属在高温下彻底被汽化排出。

为了解决上述问题，发明人提出一种新的半导体结构及其形成方法，以及一种形成的熔丝阵列。

为了使本申请的目的、技术手段及其效果更加清楚明确，以下将结合附图对本申请作进一步地阐述。应当理解，此处所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例，并不用于限定本申请。基于本申请中的实施例，本领域技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

请参考图 1A 至图 1C，为本申请一实施例的半导体结构的结构示意图。图

1B 为沿图 1A 中 A-A'线的剖面示意图,图 1C 为沿图 1A 中 B-B'线的剖面示意图。

所述半导体结构包括:至少两个第一通孔 101,位于衬底上方;第一导电层 110,位于所述第一通孔 101 上方,与所述第一通孔 101 电连接;至少两个第二通孔 102,位于所述第一导电层 110 上方;第二导电层 120,位于所述第二通孔 102 上方,通过所述第二通孔 102 与所述第一导电层 110 电连接;其中,所述第一通孔 101 与所述第二导电层 120 在所述衬底上的投影均不重叠。

所述第一通孔 101、第二通孔 102、第一导电层 110 以及第二导电层 120 均形成于介质层(图中未示出)。

该实施例中,以两个第一通孔 101 作为示例。所述第一导电层 110 为倒装状金属块,该实施例中,以两个第一导电层 110 作为示例。所述第一导电层 110 与其下方的第一通孔 101 及其上方的第二通孔 102 构成导电通路。该实施例中,两个所述第一通孔 101、两个所述第一导电层 110 构成两条导电通路。所述第二导电层 120 通过所述第二通孔 102 连接至所述两条导电通路,使得两条所述导电通路之间形成电连接。

该实施例中,所述第二导电层 120 为第二层金属层,所述第一导电层 110 为第一层金属层。相应的,所述第一通孔 101 为连接至衬底或晶体管的接触孔,所述第二通孔 102 为金属层与金属层之间的连接通孔。

在其他实施例中,所述第二导电层 120 还可以为第 N 层金属层、第 N-1 层金属层、第 N-2 层金属层中的一种,所述 N 为大于等于 5 的正整数;所述第一导电层 110 为所述第二导电层 120 内下一层的金属层。所述第一导电层 110 下方还形成有其他层的金属层。所述第二通孔 102 为金属层与金属层之间的连接通孔,所述第一通孔 101 也为金属层与金属层之间的连接通孔。

所述第一导电层 110 的材料包括多晶硅、钨金属、铝金属、铜金属中的一种或多种;所述第二导电层 120 的材料包括钨金属、铝金属、铜金属中的一种或多种。所述第一导电层 110 与所述第二导电层 120 的材料可以相同,也可以不同,本领域技术人员,可以根据所述第一导电层 110 和所述第二导电层 120 的实际位置选择合适的导电材料。由于所述第二导电层 120 位于上方,长度较大,需要选择具有更小电阻率的材料,以减少电阻。在一个实施例中,所述第

一导电层 110 的材料为铝, 所述第二导电层 120 的材料为铜。在其他实施例中, 所述第一导电层 110 和所述第二导电层 120 的材料均为铜。

可以根据所述第一通孔 101 和所述第二通孔 102 的位置选择合适的通孔材料。在一个实施例中, 所述第一通孔 101 为连接至晶体管的接触通孔, 材料为钨, 所述第二通孔 102 为金属层间连接通孔, 材料为铜。在另一实施例中, 所述第一通孔 101 和所述第二通孔 102 的材料相同, 均为铜或其他金属。

由于所述第一通孔 101 和所述第二导电层 120 在衬底上的投影不重叠, 所述第一通孔 101 的投影位于所述第二导电层 120 的外侧。所以在对第二导电层 120 进行熔断的过程中, 第二导电层 120 及其正下方的第二通孔 102 以及部分第一导电层 110 被熔断后, 熔断的金属材料与所述第一通孔 101 之间的距离较大, 不易与所述第一通孔 101 之间造成短路。从而, 在对所述第二导电层 120 进行熔断时, 只需要对所述第二导电层 120 及其投影面内的第二通孔 102 进行熔断。进一步可以对第二通孔 102 下方的部分第一导电层 110 进行熔断, 即仅需要对图 1B 中虚线框内的导电结构进行熔断, 以确保导电通路之间能够被彻底断开。无需对下方的整条导电通路上的导电材料全部进行熔断, 从而避免了在熔断时使用过大的激光能量, 进而避免了对熔丝结构周围的器件造成损伤。可以根据版图空间等合理设计所述第一通孔 101 与所述第二导电层 120 之间的水平距离。所述水平距离可以为 0.5 微米~10 微米, 但考虑到不同制造厂商和不同制程的差异, 上述水平距离的具体值不应理解为一种对本申请的半导体结构的限制, 本领域技术人员在此基础上可以进行合理的调整。

进一步的, 当所述第一导电层为第二层或更上层的金属层时, 所述第一通孔 101 下方连接的导电通路上的导电层及各层间通孔在衬底上的投影也不重叠, 使得导电通孔始终位于其上方连接的导电层的投影外侧, 进而避免对第二导电层进行熔断过程中, 与第一通孔下方的导电层或连接通孔之间造成短路。

该实施例中, 所述第二导电层 120 沿着 x 方向布置, 所述第一导电层 110 沿着 y 方向布置, 即所述第二导电层 120 的长度方向沿 x 方向, 所述第一导电层 110 的长度方向沿 y 方向。所述 x 方向和所述 y 方向垂直, 以尽量提高所述第一通孔 101 与所述第二导电层 120 之间的距离最大。该实施例中, 两个所述第一通孔 110 在衬底上的投影分别位于所述第二导电层 120 在衬底上投影的两

侧，提高两个所述第一通孔 110 分别所在的两个导电通路之间的距离，避免在对第二导电层 120 进行熔断的过程中，所述两个导电通路之间由于熔断金属的飞溅或扩散等造成短路问题。

请参考图 2A 至图 2C，为本申请另一实施例的半导体结构的结构示意图。图 2B 为沿图 2A 中 A-A'线的剖面示意图，图 2C 为沿图 2A 中 B-B'线的剖面示意图。

该实施例中，所述第二导电层 220 与每个第一导电层 210 之间通过多个第二通孔 202 连接，相应的所述第一导电层 210 与所述第二导电层 220 之间的重叠面积也更大，有利于在对第二导电层 220 进行熔断时，同时对其投影下方的第一导电层 210 也进行熔断，以减少激光熔断时，激光光束的对准难度。

在本申请的其他实施例中，所述半导体结构还包括保护层和所述熔丝开窗区，所述保护层覆盖所述导电层，所述熔丝开窗区，位于所述保护层上方，所述第二通孔、所述第二导电层均位于所述熔丝开窗区内。当不需要对所述第二导电层进行熔断时，所述保护层能够保护所述第二导电层，当需要对所述第二导电层进行熔断时，直接通过所述熔丝开窗区对所述第二导电层及其下方的第二通孔以及部分第一导电层进行熔断。

进一步的，所述熔丝开窗区为一凹槽，所述凹槽的底部为所述保护层的一部分。

本申请的技术方案，还提供一种上述半导体结构的形成方法。

请参考图 3A 至图 6B 为本申请一实施例的半导体结构的形成方法。

请参考图 3A 至图 3B，提供衬底（图中未示出），在所述衬底上方形成有第一介质层 310，在所述第一介质层 310 内形成至少两个第一通孔 301。图 3B 为沿图 3A 中 C-C'线的剖面示意图。

形成所述第一通孔 301 的方法包括：刻蚀所述第一介质层 310 至下层导体，形成通孔，在所述通孔内填充导电材料，并进行平坦化，形成所述第一通孔 301。该实施例中，以形成两个所述第一通孔 301 作为示例。

请参考图 4A 至图 4C，在所述第一介质层 310 上形成第二介质层 320，以及位于所述第二介质层 320 内的第一导电层 321，所述第一导电层 321 连接至

所述第一通孔 301。图 4B 为沿图 4A 中 C-C'线的剖面示意图，图 4C 为沿图 4A 中 D-D'线的剖面示意图。

所述第一导电层 321 形成方法，包括刻蚀所述第二介质层 320 形成凹槽后，在所述凹槽内填充导电材料，形成所述第一导电层 321。在其他实施例中，也可以通过形成覆盖所述第一介质层 310 的导电材料层后，对所述导电材料层进行图形化而形成所述第一导电层 321，然后再在所述第一导电层 321 上形成介质材料，并进行平坦化处理，形成表面与所述第一导电层 321 表面齐平第二介质层 320。所述第一导电层 321 的横截面可以为矩形、圆形、多边形等平面图形。

请参考图 5A 至图 5C，在所述第二介质层 320 表面形成阻挡层 3301 以及覆盖所述阻挡层 3301 的第三介质层 330；在所述第三介质层 330 内形成第二通孔 302 以及位于所述第二通孔 302 的第二导电层 322。图 5B 为沿图 5A 中 C-C'线的剖面示意图，图 5C 为沿图 5A 中 D-D'线的剖面示意图。

所述第二通孔 302 底部贯穿所述阻挡层 3301，位于所述第一导电层 321 表面，连接所述第一导电层 321 和所述第二导电层 322，所述第二导电层 322 通过所述第二通孔 302 连接两个第一导电层 321，使得两个所述第一导电层 321 所在的两个导电通路之间连接。通过激光熔断所述第二导电层 322 即可断开所述两个导电通路。

所述第二导电层 322 和所述第二通孔 302 可以通过双大马士革工艺形成，具体的，在所述第三介质层 330 内形成通孔及位于所述通孔上方的凹槽，然后填充在所述通孔和凹槽内填充导电材料并进行平坦化，在通孔内形成所述第二通孔 302，在所述凹槽内形成第二导电层 322。

在其他实施例中，还可以分别形成所述第二通孔 302 和所述第二导电层 322。

在所述第二导电层 322、第二通孔 302 与所述第三介质层 330 之间还可以形成有金属阻挡层，以避免金属材料内原子的扩散。所述金属阻挡层的材料可以为 TiN、TaN 等中的一种。

在一些实施例中，所述阻挡层 3301 的材料可以为 SiN、SiON 或 SiCN 等，

用于阻挡所述第一导电层 321 内的金属原子向所述第三介质层 330 内扩散。所述第一介质层 310、第二介质层 320 以及第三介质层 330 的材料可以为氧化硅、氮氧化硅、碳氧化硅等集成电路支撑中常用的层间介质层材料，或者还可以为无定型碳、多孔氧化硅等等低 K 介电材料。

请参考图 6A 至图 6B，依次形成覆盖所述第三介质层 330 的阻挡层 3401 以及位于所述阻挡层 3401 表面的第四介质层 340；刻蚀所述第四介质层 340，形成位于所述第二导电层 322 和所述第二通孔 302 上方的熔丝开窗区 341。

所述熔丝开窗区 341 位于所述半导体结构上方，通常所述熔丝开窗区 341 的尺寸会大于所述半导体结构的尺寸，使得所述半导体结构位于所述熔丝开窗区 341 所在区域内。所述熔丝开窗区 341 底部与所述第二导电层 322 表面之间具有部分厚度的介质材料，作为覆盖所述第二导电层 322 的保护层。当不需要对所述第二导电层 322 进行熔断时，所述保护层能够保护所述第二导电层 322，当需要对所述第二导电层 322 进行熔断时，直接通过所述熔丝开窗区 341 对所述第二导电层 322 和所述第二通孔 302 进行熔断。

所述第二导电层 322 表面的保护层的厚度较小，以进一步减小激光熔断时的能量。在一些实施例中，还可以在所述第二导电层 322 所在的金属层或更上层的金属层内形成对准标记，所述对准标记位于所述熔丝开窗区 341 之外，所有熔丝结构相对于所述对准标记均具有固定的坐标，便于通过所述对准标记对所述熔丝结构进行激光对准。

所述该实施例中，所述保护层包括阻挡层 3401 和位于所述阻挡层 3401 上的刻蚀所述第四介质层 340 后剩余的部分厚度的介质层。

在其他实施例中，在形成熔丝开窗区 341 的过程中，可以以所述阻挡层 3401 作为刻蚀停止层，使得所述第二导电层 322 上仅覆盖有阻挡层 3401 作为保护层。以所述阻挡层 3401 作为刻蚀停止层时，刻蚀所述第四介质层 340 的停止时机比较容易控制，保护层的厚度仅由所述阻挡层 3401 的厚度决定。可以选择两种不同的材料作为阻挡层 3401 和第四介质层 340，使得刻蚀所述第四介质层 340 的过程中，对第四介质层 340 和阻挡层 3401 具有较高的刻蚀选择比。所述阻挡层 3401 还用于阻挡所述第二导电层 322 的材料向所述第四介质层 340 内扩散。在一些实施例中，所述阻挡层 3401 的材料可以为氮化硅、碳氮化硅

等，所述第四介质层 340 的材料可以为氧化硅、氮氧化硅、碳氧化硅等集成电路支撑中常用的层间介质层材料，或者还可以为无定型碳、多孔氧化硅等等低 K 介电材料。

上述实施例中，所述第一介质层 310、第二介质层 320、第三介质层 330、第四介质层 340 以及阻挡层 3301、3401 均作为衬底上方的层间介质层或层间介质层内的一部分，用于隔离各金属层及层间互连结构。

本申请的实施例还提供一种熔丝阵列，包括上述实施例中所形成的半导体结构。具体的，多个所述半导体结构以 M 行、N 列的阵列布置。在一些实施例中，所述 M 和 N 均为正偶数。所述熔丝阵列构成可编程阵列，通过对所述熔丝阵列内的各半导体结构的熔断选择，对电路进行熔断控制。

请参考图 7，为本申请一实施例的熔丝阵列的结构示意图。

该实施例中，所述熔丝阵列包括 8 个上述半导体结构 701，以 2 行、4 列的阵列布置。

为了减少熔丝阵列的面积，不同行的半导体之间相互错开，以减少相邻行之间的间距。

所述半导体结构的第一通孔连接至下方的电路 702，所述电路 702 可以连接至其他半导体器件。通过选择性对其中的部分半导体结构进行熔断操作，可以改变电路 702 的连接关系，从而实现对芯片的修复等操作，例如，将冗余存储单元替代出现问题的存储单元，实现对存储芯片的修复。

请参考图 8，为本申请一实施例的熔丝阵列上方形成有熔丝开窗区的俯视示意图。

所述熔丝阵列上方形成有介质层 800，所述介质层 800 内形成有熔丝开窗区 801，所述熔丝开窗区 801 位于所述熔丝阵列的上方，暴露所述熔丝阵列内的所有熔丝结构，即所述半导体结构 701。所述熔丝开窗区 801 底部与所述半导体结构 701 之间可以具有部分厚度的介质层 800 作为保护层。

以上所述仅是本申请的实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本申请原理的前提下，还可以做出若干改进和润饰，这些改进

和润饰也应视为本申请的保护范围。

1. 一种半导体结构，其中，包括：
 - 至少两个第一通孔，位于衬底上方；
 - 第一导电层，位于所述第一通孔上方，与所述第一通孔电连接；
 - 至少两个第二通孔，位于所述第一导电层上方；
 - 第二导电层，位于所述第二通孔上方，通过所述第二通孔与所述第一导电层电连接；
 - 其中，所述第一通孔与所述第二导电层在所述衬底上的投影均不重叠。
2. 根据权利要求 1 所述的半导体结构，其中，还包括：
 - 保护层，覆盖所述第二导电层；
 - 熔丝开窗区，位于所述保护层上方，所述第二通孔、所述第二导电层均位于所述熔丝开窗区内。
3. 根据权利要求 2 所述的半导体结构，其中，所述熔丝开窗区为一凹槽，所述凹槽的底部为所述保护层的一部分。
4. 根据权利要求 3 所述的半导体结构，其中，所述第二导电层沿着 x 方向布置，所述第一导电层沿着 y 方向布置，所述 x 方向和所述 y 方向垂直。
5. 根据权利要求 1 所述的半导体结构，其中，所述第一通孔包括接触孔、金属层与金属层之间通孔中的一种。
6. 根据权利要求 1 所述的半导体结构，其中，所述第二导电层包括第 N 层金属层、第 N-1 层金属层、第 N-2 层金属层、第二层金属层中的一种，所述 N 为大于等于 5 的正整数。
7. 根据权利要求 1 所述的半导体结构，其中，所述第一导电层与所述第二导电层具有不同的导电率。
8. 根据权利要求 7 所述的半导体结构，其中，所述第一导电层包括多晶硅、钨金属、铝金属、铜金属中的一种或多种，所述第二导电层包括钨金属、铝金属、铜金属中的一种或多种。
9. 一种熔丝阵列，其中，包括权利要求 1 所述半导体结构，多个所述半导体结构以 M 行、N 列的阵列布置，所述 M 和 N 均为正偶数。
10. 一种半导体结构的形成方法，其中，

在衬底上方形成至少两个第一通孔；

在所述第一通孔上方形成第一导电层，所述第一导电层与所述第一通孔电连接；

在所述第一导电层上方形成至少两个第二通孔；

在所述第二通孔上方形成第二导电层，通过所述第二通孔与所述第一导电层电连接；

其中，所述第一通孔与所述第二导电层在所述衬底上的投影均不重叠。

11. 根据权利要求 10 所述的半导体结构的形成方法，其中，还包括：

在所述第二导电层上方形成一保护层；

在所述保护层上方形成一凹槽，作为熔丝开窗区，所述第二通孔、所述第二导电层均位于所述熔丝开窗区内。

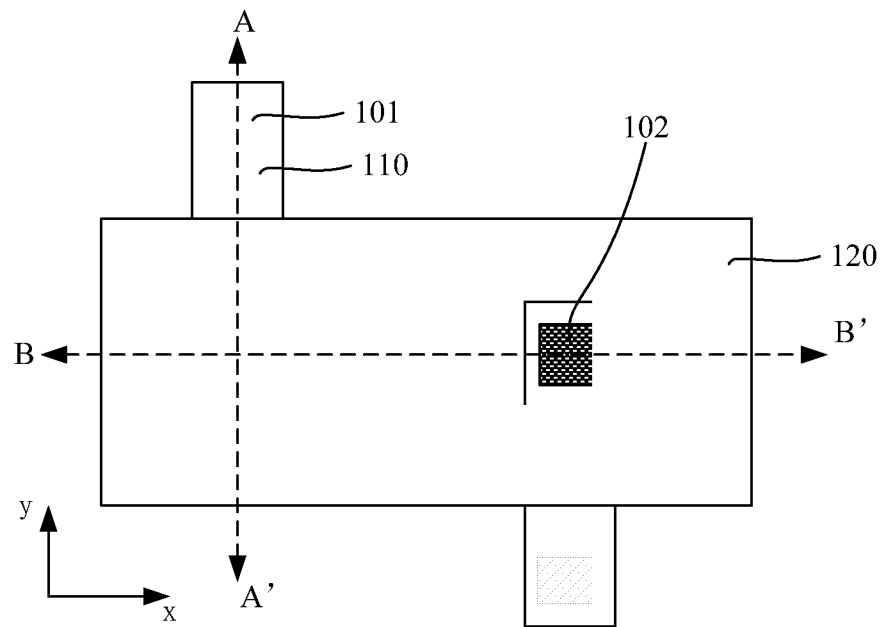


图 1A

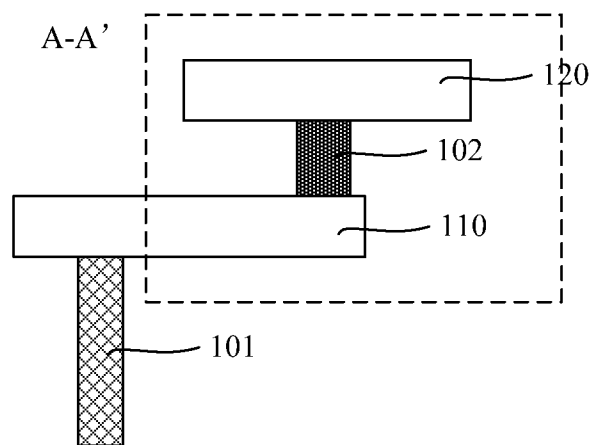


图 1B

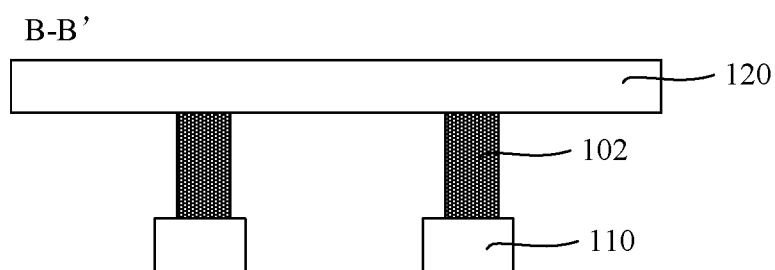


图 1C

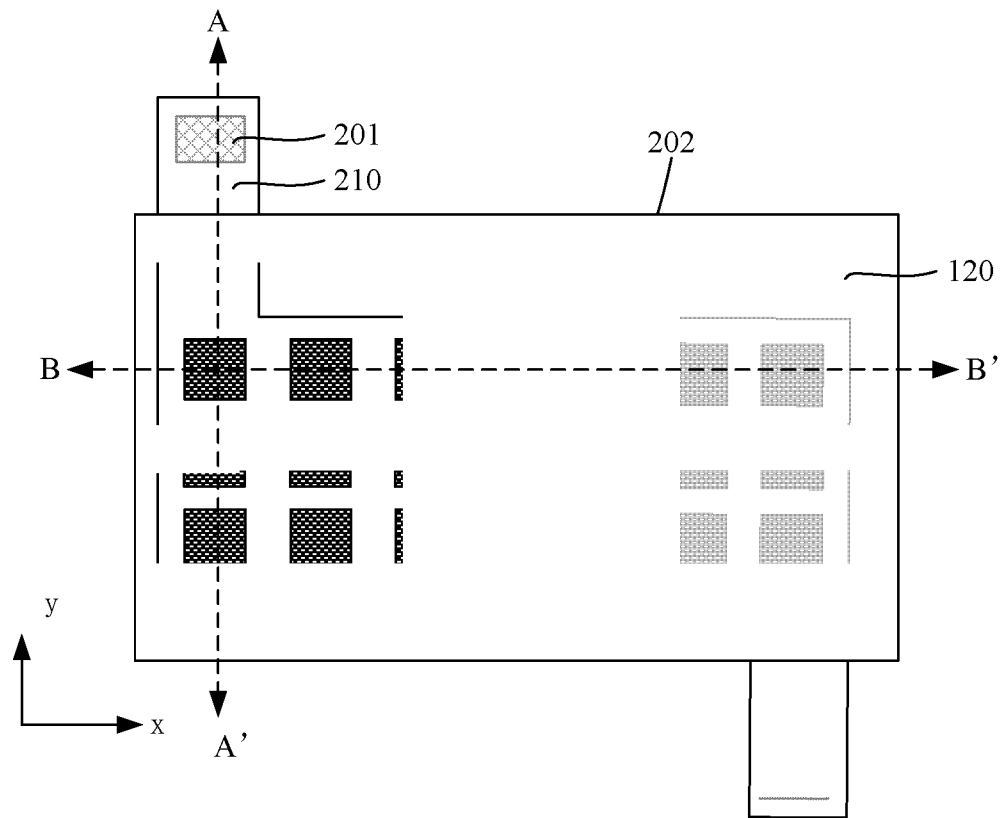


图 2A

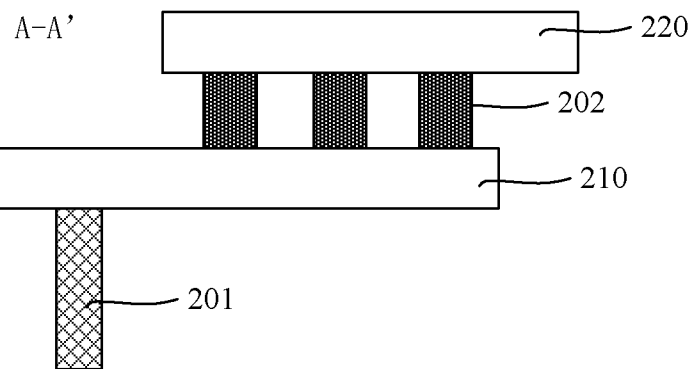


图 2B

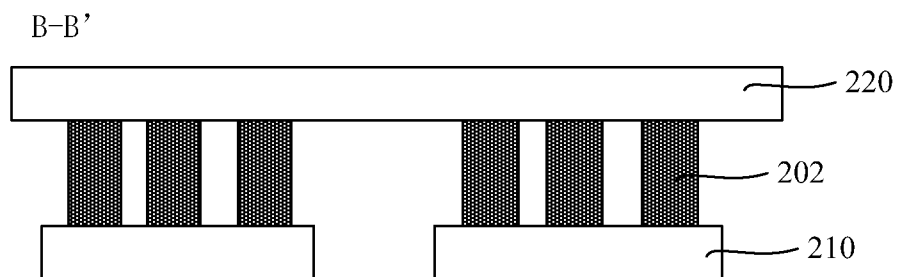


图 2C

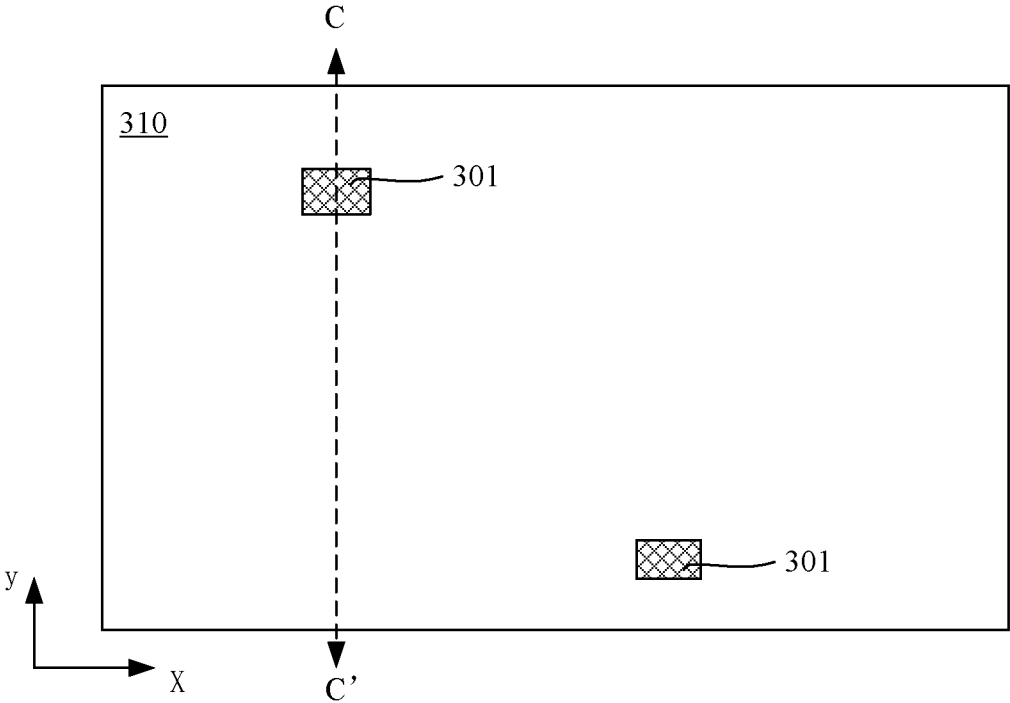


图 3A

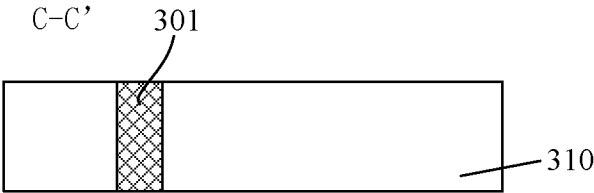


图 3B

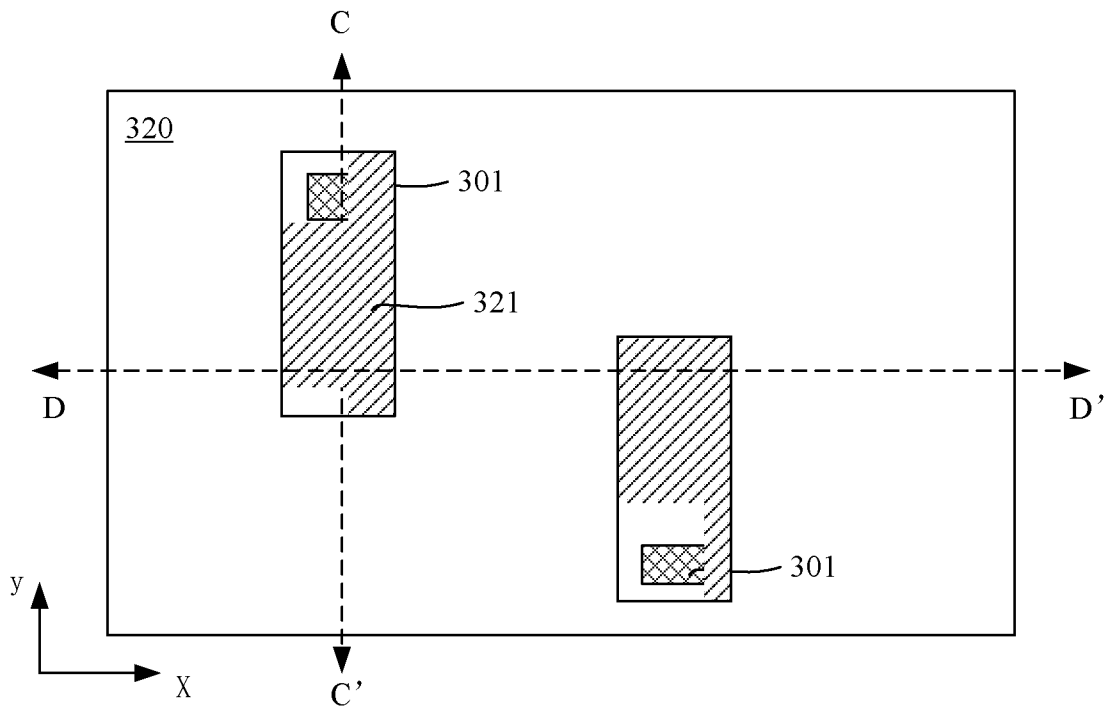


图 4A

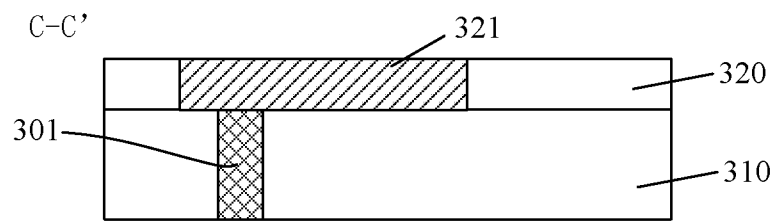


图 4B

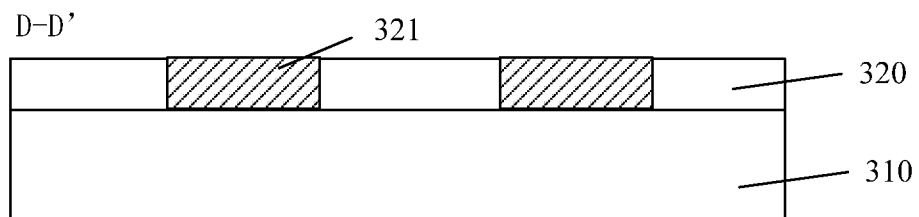


图 4C

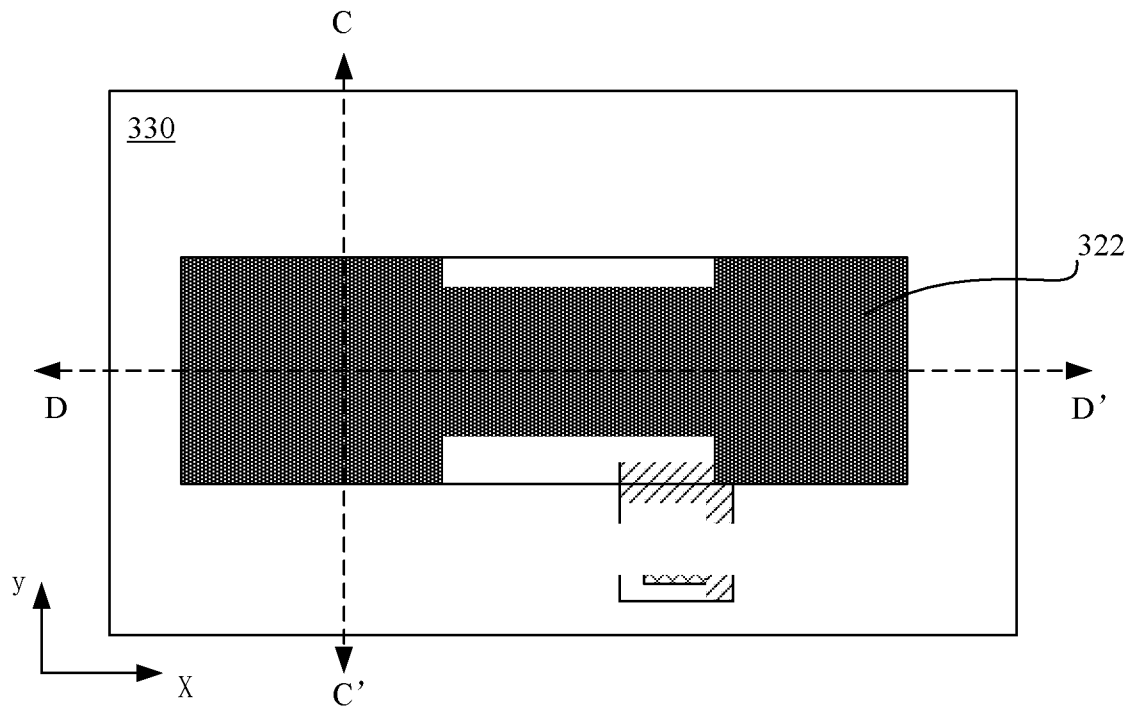


图 5A

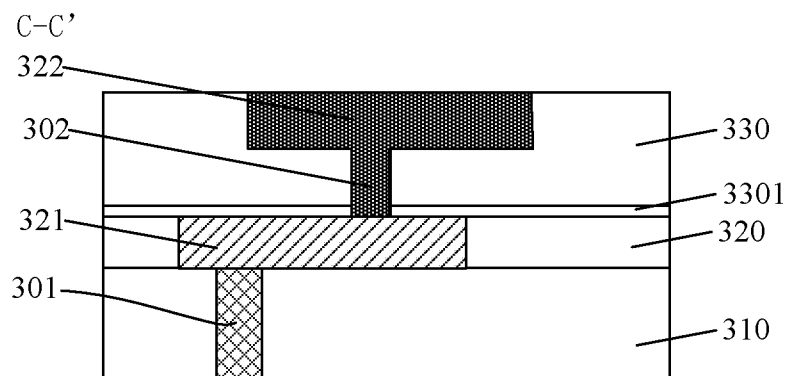


图 5B

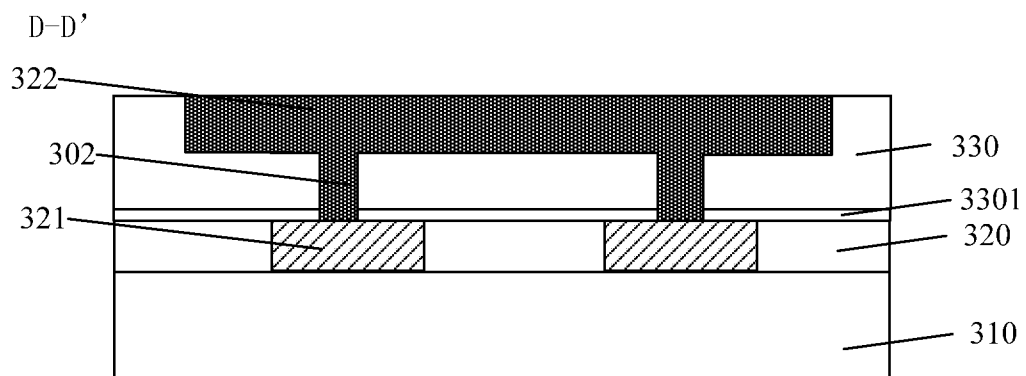


图 5C

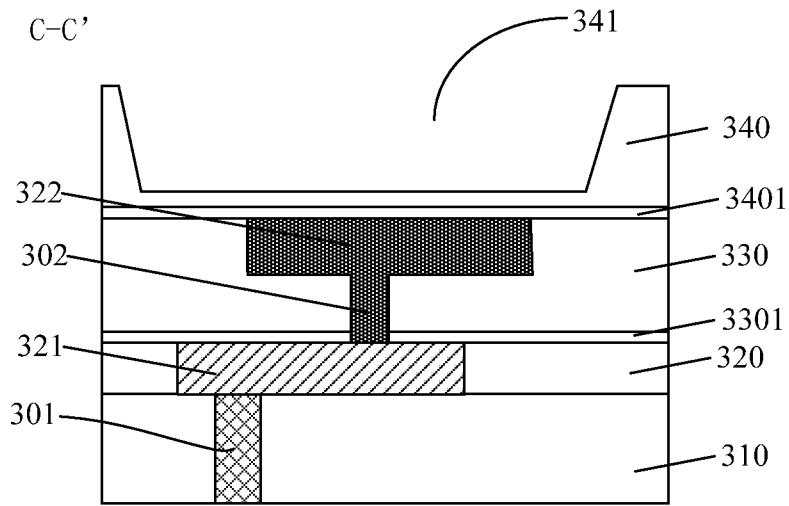


图 6A

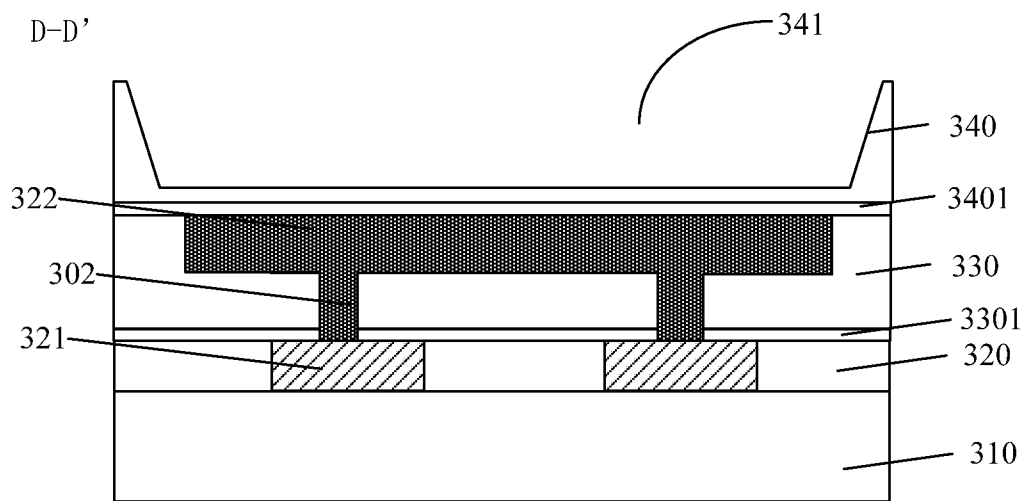


图 6B

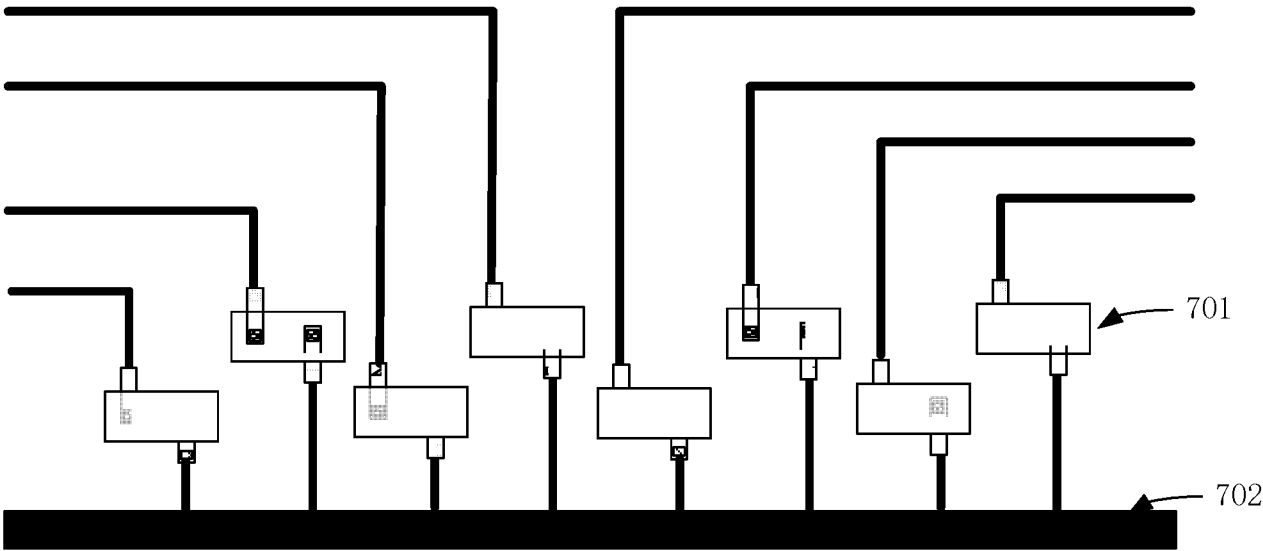


图 7

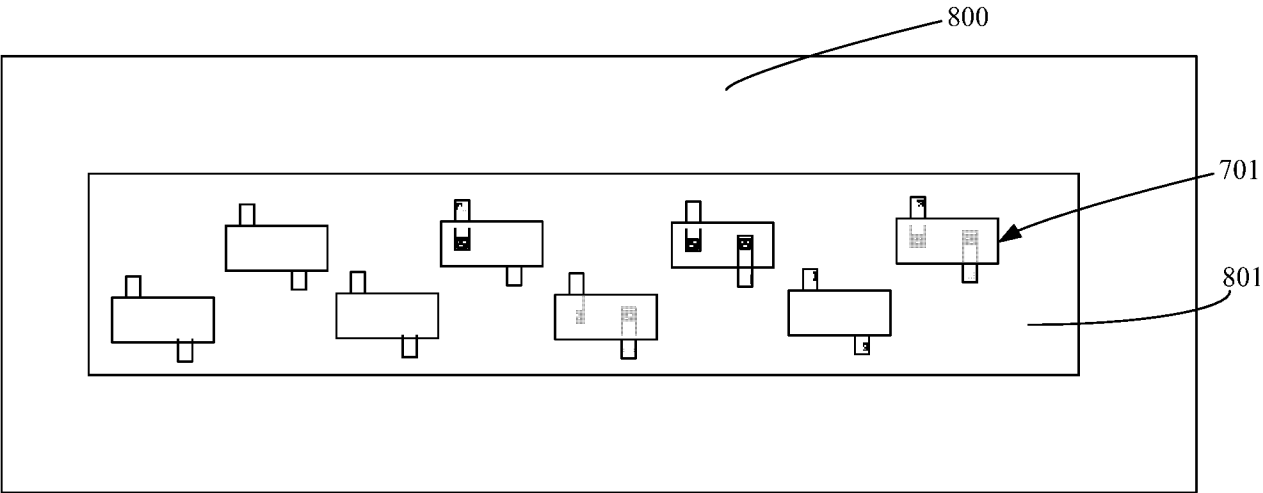


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/079976

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/535(2006.01)i; H01L 27/02(2006.01)i; H01L 23/48(2006.01)i; H01L 23/60(2006.01)i; H01L 21/768(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; DWPI; SIPOABS; CNTXT; USTXT; WOTXT; EPTXT; CNKI: 长鑫存储, 熔丝, 保险丝, 熔断, 激光, 第二, 贯穿孔, 通孔, 导孔, 金属柱, 导电柱, 金属层, 导电层, 短路, fuse, laser, damage, short circuit, second, conduct+, metal, pillar, via?, hole

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006267136 A1 (IBM) 30 November 2006 (2006-11-30) description, paragraphs [0020]-[0026], figures 2A-3C	1-11
X	KR 20090088678 A (HYNIX SEMICONDUCTOR INC.) 20 August 2009 (2009-08-20) description, paragraphs <22>-<40>, figures 4a-4c	1-11
X	KR 20110065753 A (HYNIX SEMICONDUCTOR INC.) 16 June 2011 (2011-06-16) description, paragraphs [0034]-[0051], figures 3-4b	1-11
A	KR 20100023267 A (SAMSUNG ELECTRONICS CO., LTD.) 04 March 2010 (2010-03-04) entire document	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 April 2021

Date of mailing of the international search report

04 June 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/079976

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2006267136	A1	30 November 2006	None	
KR	20090088678	A	20 August 2009	None	
KR	20110065753	A	16 June 2011	None	
KR	20100023267	A	04 March 2010	None	

国际检索报告

国际申请号

PCT/CN2021/079976

A. 主题的分类 H01L 23/535(2006.01)i; H01L 27/02(2006.01)i; H01L 23/48(2006.01)i; H01L 23/60(2006.01)i; H01L 21/768(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																	
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;DWPI;SIPOABS;CNTXT;USTXT;WOTXT;EPTXT;CNKI: 长鑫存储, 熔丝, 保险丝, 熔断, 激光, 第二, 贯穿孔, 通孔, 导孔, 金属柱, 导电柱, 金属层, 导电层, 短路, fuse, laser, damage, short circuit, second, conduct+, metal, pillar, via?, hole																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 2006267136 A1 (IBM) 2006年 11月 30日 (2006 - 11 - 30) 说明书第[0020]-[0026]段, 附图2A-3C</td> <td>1-11</td> </tr> <tr> <td>X</td> <td>KR 20090088678 A (HYNIX SEMICONDUCTOR INC) 2009年 8月 20日 (2009 - 08 - 20) 说明书第<22>-<40>段, 附图4a-4c</td> <td>1-11</td> </tr> <tr> <td>X</td> <td>KR 20110065753 A (HYNIX SEMICONDUCTOR INC) 2011年 6月 16日 (2011 - 06 - 16) 说明书第[0034]-[0051]段, 附图3-4b</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>KR 20100023267 A (SAMSUNG ELECTRONICS CO LTD) 2010年 3月 4日 (2010 - 03 - 04) 全文</td> <td>1-11</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	US 2006267136 A1 (IBM) 2006年 11月 30日 (2006 - 11 - 30) 说明书第[0020]-[0026]段, 附图2A-3C	1-11	X	KR 20090088678 A (HYNIX SEMICONDUCTOR INC) 2009年 8月 20日 (2009 - 08 - 20) 说明书第<22>-<40>段, 附图4a-4c	1-11	X	KR 20110065753 A (HYNIX SEMICONDUCTOR INC) 2011年 6月 16日 (2011 - 06 - 16) 说明书第[0034]-[0051]段, 附图3-4b	1-11	A	KR 20100023267 A (SAMSUNG ELECTRONICS CO LTD) 2010年 3月 4日 (2010 - 03 - 04) 全文	1-11
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	US 2006267136 A1 (IBM) 2006年 11月 30日 (2006 - 11 - 30) 说明书第[0020]-[0026]段, 附图2A-3C	1-11															
X	KR 20090088678 A (HYNIX SEMICONDUCTOR INC) 2009年 8月 20日 (2009 - 08 - 20) 说明书第<22>-<40>段, 附图4a-4c	1-11															
X	KR 20110065753 A (HYNIX SEMICONDUCTOR INC) 2011年 6月 16日 (2011 - 06 - 16) 说明书第[0034]-[0051]段, 附图3-4b	1-11															
A	KR 20100023267 A (SAMSUNG ELECTRONICS CO LTD) 2010年 3月 4日 (2010 - 03 - 04) 全文	1-11															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2021年 4月 27日		国际检索报告邮寄日期 2021年 6月 4日															
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 赵辉 电话号码 (86-512) 88995673															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/079976

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
US	2006267136	A1	2006年 11月 30日	无	
KR	20090088678	A	2009年 8月 20日	无	
KR	20110065753	A	2011年 6月 16日	无	
KR	20100023267	A	2010年 3月 4日	无	