

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7633025号
(P7633025)

(45)発行日 令和7年2月19日(2025.2.19)

(24)登録日 令和7年2月10日(2025.2.10)

(51)国際特許分類	F I			
G 0 9 F 9/30 (2006.01)	G 0 9 F	9/30	3 3 8	
G 0 9 F 9/00 (2006.01)	G 0 9 F	9/00	3 3 8	
H 1 0 D 86/60 (2025.01)	G 0 9 F	9/30	3 6 5	
H 1 0 D 30/67 (2025.01)	H 0 1 L	29/78	6 1 2 B	
H 1 0 D 86/40 (2025.01)	H 0 1 L	29/78	6 1 8 B	
請求項の数 68 (全58頁) 最終頁に続く				

(21)出願番号	特願2020-571364(P2020-571364)	(73)特許権者	510280589
(86)(22)出願日	令和2年10月29日(2020.10.29)		京東方科技集團股 ぶん 有限公司
(65)公表番号	特表2022-554043(P2022-554043 A)		BOE TECHNOLOGY GROU P CO., LTD.
(43)公表日	令和4年12月28日(2022.12.28)		中華人民共和國 1 0 0 0 1 5 北京市朝陽 區酒仙橋路 1 0 號
(86)国際出願番号	PCT/CN2020/124967		No. 10 Jiuxianqiao R d., Chaoyang Distri ct, Beijing 100015, CHINA
(87)国際公開番号	WO2021/083298	(74)代理人	100108453
(87)国際公開日	令和3年5月6日(2021.5.6)		弁理士 村山 靖彦
審査請求日	令和5年10月30日(2023.10.30)	(74)代理人	100110364
(31)優先権主張番号	201911038883.4		弁理士 実広 信哉
(32)優先日	令和1年10月29日(2019.10.29)	(72)発明者	董 甜
(33)優先権主張国・地域又は機関	中国(CN)		
(31)優先権主張番号	201911082352.5		
(32)優先日	令和1年11月7日(2019.11.7)		
	最終頁に続く		最終頁に続く

(54)【発明の名称】 表示基板及びその製造方法、表示装置

(57)【特許請求の範囲】

【請求項 1】

表示基板であって、

表示基板に平行する平面において、前記表示基板はベースに設置される複数本のグリッド線、複数本のデータ線、複数本の電源コード及び複数のサブ画素を備え、少なくとも一つのサブ画素は発光デバイスと、前記発光デバイスを駆動して発光させるように構成される駆動回路とを備え、前記駆動回路は複数のトランジスタ及び記憶コンデンサを備え、表示基板に垂直である平面において、前記表示基板はベースと、前記ベースに設置される複数の機能層とを備え、前記複数の機能層は順に設置される半導体層、第1導電層、第2導電層、第3導電層及び第4導電層を含み、前記複数の機能層の間に第1絶縁層、第2絶縁層、第3絶縁層及び第4絶縁層がそれぞれ設置され、グリッド線延在方向において、前記電源コードが少なくとも一つの機能層を介して互いに接続され、

前記データ線延在方向において、前記電源コードは順に接続されるサブ電源コードを複数備え、少なくとも一つのサブ電源コードが一つのサブ画素に設置され、

前記サブ電源コードは第1電源部、第2電源部及び第3電源部を備え、前記第2電源部は前記第1電源部及び第3電源部に接続されるように構成され、前記第1電源部及び第3電源部は前記データ線に平行に設置され、前記第2電源部と前記第1電源部とがなす夾角は90度を超えて180度未満であり、前記第2電源部と前記第3電源部とがなす夾角は90度を超えて180度未満である、表示基板。

【請求項 2】

少なくとも1つのサブ電源コードが1つのサブ画素に設置される、請求項1に記載の表示基板。

【請求項3】

第1電源部が同じ列の前の行のサブ画素における第3電源部に接続され、前記第3電源部が同じ列の次の行のサブ画素における第1電源部に接続される、請求項1又は2に記載の表示基板。

【請求項4】

第1電源部がデータ線延在方向に沿って延在する長さは前記第1電源部の平均幅より大きく、第2電源部が傾斜方向に沿って延在する長さは前記第2電源部の平均幅より大きく、第3電源部がデータ線延在方向に沿って延在する長さは前記第3電源部の平均幅より大きく、前記傾斜方向は前記第2電源部と前記第1電源部とが前記夾角をなす方向である、請求項1から3のいずれか1項に記載の表示基板。

10

【請求項5】

第3電源部の平均幅が第1電源部の平均幅より小さい、請求項1から4のいずれか1項に記載の表示基板。

【請求項6】

第1電源部の第3電源部寄りのグリッド線延在方向における片側のエッジと前記第3電源部の前記第1電源部寄りのグリッド線延在方向における片側のエッジとの平均距離は前記第3電源部の平均幅に相当する、請求項1から5のいずれか1項に記載の表示基板。

【請求項7】

前記表示基板は更に第1接続部を備え、少なくとも1つのサブ画素における記憶コンデンサの第2電極とグリッド線延在方向における隣接するサブ画素における記憶コンデンサの第2電極とが前記第1接続部により互いに接続され、少なくとも1つのサブ画素において、第2電源部のベース上での直交投影と前記記憶コンデンサの第2電極のベース上での直交投影とが重複領域を有し、又は、前記第2電源部のベース上での直交投影と前記第1接続部のベース上での直交投影とが重複領域を有する、請求項1から6のいずれか1項に記載の表示基板。

20

【請求項8】

第2電源部のベース上での直交投影と前記記憶コンデンサの第1電極のベース上での直交投影とが重複領域を有する、請求項1から7のいずれか1項に記載の表示基板。

30

【請求項9】

第2電源部のベース上での直交投影と前記グリッド線のベース上での直交投影とが重複領域を有する、請求項1から8のいずれか1項に記載の表示基板。

【請求項10】

前記複数のトランジスタは第2トランジスタを含み、第1電源部のベース上での直交投影と前記第2トランジスタのベース上での直交投影とが重複領域を有する、請求項1から9のいずれか1項に記載の表示基板。

【請求項11】

前記表示基板は前記第4導電層上に設置される第5絶縁層と、前記第5絶縁層上に設置される第5導電層とを更に備え、前記第5絶縁層上に第5貫通孔が設置され、前記第5貫通孔は前記第5導電層を前記第4導電層に接続させるように構成され、前記第5貫通孔のベース上での直交投影とサブ電源コードのベース上での直交投影とが重複領域を有しない、請求項1から10のいずれか1項に記載の表示基板。

40

【請求項12】

少なくとも1つのサブ画素において、第5貫通孔のベース上での直交投影とサブ電源コードにおける第1電源部の前記データ線延在方向におけるダミー延長線のベース上での直交投影とが重複領域を有する、請求項11に記載の表示基板。

【請求項13】

前記第1絶縁層、第2絶縁層及び第3絶縁層上に第8貫通孔が設置され、前記第8貫通孔は前記データ線によりデータ信号が前記半導体層に書き込まれるように構成され、前記

50

第 8 貫通孔のベース上での直交投影とサブ電源コードにおける第 1 電源部及び第 2 電源部のベース上での直交投影とが重複領域を有しない、請求項 1 から 1.2 のいずれか 1 項に記載の表示基板。

【請求項 1 4】

少なくとも 1 つのサブ画素において、第 8 貫通孔のベース上での直交投影とサブ電源コードにおける第 3 電源部の前記データ線延在方向におけるダミー延長線のベース上での直交投影とが重複領域を有する、請求項 1.3 に記載の表示基板。

【請求項 1 5】

前記電源コードは前記第 3 導電層又は前記第 4 導電層に設置され、前記電源コードと前記データ線とが同一層に設置される、請求項 1 から 1.4 のいずれか 1 項に記載の表示基板。

【請求項 1 6】

前記電源コードが前記第 3 導電層に設置され、前記データ線が前記第 4 導電層に設置され、又は、前記データ線が前記第 3 導電層に設置され、前記電源コードが前記第 4 導電層に設置される、請求項 1 から 1.5 のいずれか 1 項に記載の表示基板。

【請求項 1 7】

前記表示基板は更に第 1 接続部を備え、少なくとも 1 つのサブ画素における記憶コンデンサの第 2 電極とグリッド線延在方向における隣接するサブ画素における記憶コンデンサの第 2 電極とが前記第 1 接続部により互いに接続される、請求項 1 から 1.6 のいずれか 1 項に記載の表示基板。

【請求項 1 8】

2 × 4 個のサブ画素を含む領域が少なくとも 1 つあり、1 行の第 1 サブ画素における記憶コンデンサの第 2 電極と第 2 サブ画素における記憶コンデンサの第 2 電極とが前記第 1 接続部により互いに接続され、第 2 サブ画素における記憶コンデンサの第 2 電極が第 3 サブ画素における記憶コンデンサの第 2 電極に直接接続され、第 3 サブ画素における記憶コンデンサの第 2 電極と第 4 サブ画素における記憶コンデンサの第 2 電極とが前記第 1 接続部により互いに接続され、他の 1 行の第 1 サブ画素における記憶コンデンサの第 2 電極が第 2 サブ画素における記憶コンデンサの第 2 電極に直接接続され、第 2 サブ画素における記憶コンデンサの第 2 電極と第 3 サブ画素における記憶コンデンサの第 2 電極とが前記第 1 接続部により互いに接続され、第 3 サブ画素における記憶コンデンサの第 2 電極が第 4 サブ画素における記憶コンデンサの第 2 電極に直接接続される、請求項 1.7 に記載の表示基板。

【請求項 1 9】

第 1 サブ画素における半導体層と第 2 サブ画素における半導体層とが間隔を置いて設置され、第 2 サブ画素における半導体層と第 3 サブ画素における半導体層とが間隔を置いて設置され、第 3 サブ画素における半導体層と第 4 サブ画素における半導体層とが間隔を置いて設置される、請求項 1.8 に記載の表示基板。

【請求項 2 0】

前記第 3 導電層は第 5 トランジスタの第 1 極を備え、第 1 サブ画素における第 5 トランジスタの第 1 極と第 2 サブ画素における第 5 トランジスタの第 1 極とが間隔を置いて設置され、第 2 サブ画素における第 5 トランジスタの第 1 極と第 3 サブ画素における第 5 トランジスタの第 1 極とが間隔を置いて設置され、第 3 サブ画素における第 5 トランジスタの第 1 極と第 4 サブ画素における第 5 トランジスタの第 1 極とが間隔を置いて設置される、請求項 1.8 に記載の表示基板。

【請求項 2 1】

2 × 4 個のサブ画素を含む領域が少なくとも 1 つあり、1 行の第 1 サブ画素における記憶コンデンサの第 2 電極と第 2 サブ画素における記憶コンデンサの第 2 電極とが前記第 1 接続部により互いに接続され、第 2 サブ画素における記憶コンデンサの第 2 電極と第 3 サブ画素における記憶コンデンサの第 2 電極とが切断されるように設置され、第 3 サブ画素における記憶コンデンサの第 2 電極と第 4 サブ画素における記憶コンデンサの第 2 電極とが前記第 1 接続部により互いに接続され、他の 1 行の第 1 サブ画素における記憶コンデン

10

20

30

40

50

サの第2電極と第2サブ画素における記憶コンデンサの第2電極とが切断されるように設置され、第2サブ画素における記憶コンデンサの第2電極と第3サブ画素における記憶コンデンサの第2電極とが前記第1接続部により互いに接続され、第3サブ画素における記憶コンデンサの第2電極と第4サブ画素における記憶コンデンサの第2電極とが切断されるように設置される、請求項17に記載の表示基板。

【請求項22】

前記第3導電層は第5トランジスタの第1極及び第2接続部を備え、1行の第1サブ画素における第5トランジスタの第1極と第2サブ画素における第5トランジスタの第1極とが切断されるように設置され、第2サブ画素における第5トランジスタの第1極と第3サブ画素における第5トランジスタの第1極とが前記第2接続部により互いに接続され、第3サブ画素における第5トランジスタの第1極と第4サブ画素における第5トランジスタの第1極とが切断されるように設置され、他の1行の第1サブ画素における第5トランジスタの第1極と第2サブ画素における第5トランジスタの第1極とが前記第2接続部により互いに接続され、第2サブ画素における第5トランジスタの第1極と第3サブ画素における第5トランジスタの第1極とが切断されるように設置され、第3サブ画素における第5トランジスタの第1極と第4サブ画素における第5トランジスタの第1極とが前記第2接続部により互いに接続される、請求項21に記載の表示基板。

10

【請求項23】

グリッド線延在方向において、前記電源コードが前記記憶コンデンサの第2電極及び第5トランジスタの第1極により互いに接続される、請求項20又は22に記載の表示基板。

20

【請求項24】

前記第4絶縁層上には前記第5トランジスタの第1極を露出させる第1貫通孔が設置され、前記第3絶縁層上には前記記憶コンデンサの第2電極を露出させる第2貫通孔が設置され、前記電源コードが前記第1貫通孔により前記第5トランジスタの第1極に接続され、前記第5トランジスタの第1極が前記第2貫通孔により前記記憶コンデンサの第2電極に接続される、請求項23に記載の表示基板。

【請求項25】

少なくとも1つのサブ画素において、前記第1貫通孔の数が1つであり、前記第2貫通孔の数が複数であり、複数の第2貫通孔が前記データ線延在方向に沿って設置され、前記電源コードのベース上での直交投影は前記第1貫通孔のベース上での直交投影を含み、前記第5トランジスタの第1極のベース上での直交投影は前記第2貫通孔のベース上での直交投影を含む、請求項24に記載の表示基板。

30

【請求項26】

前記半導体層は第3接続部を含み、1行の第1サブ画素における半導体層と第2サブ画素における半導体層とが切断されるように設置され、第2サブ画素における半導体層と第3サブ画素における半導体層とが前記第3接続部により互いに接続され、第3サブ画素における半導体層と第4サブ画素における半導体層とが切断されるように設置され、他の1行の第1サブ画素における半導体層と第2サブ画素における半導体層とが前記第3接続部により互いに接続され、第2サブ画素における半導体層と第3サブ画素における半導体層とが切断されるように設置され、第3サブ画素における半導体層と第4サブ画素における半導体層とが前記第3接続部により互いに接続される、請求項21に記載の表示基板。

40

【請求項27】

グリッド線延在方向において、前記電源コードが前記半導体層の第3接続部及び記憶コンデンサの第2電極により互いに接続される、請求項26に記載の表示基板。

【請求項28】

前記第3絶縁層上には前記記憶コンデンサの第2電極を露出させる第1貫通孔が設置され、前記第1絶縁層、第2絶縁層及び第3絶縁層上には前記半導体層の第3接続部を露出させる第2貫通孔が設置され、前記電源コードが前記第1貫通孔により前記記憶コンデンサの第2電極に接続され、前記電源コードが前記第2貫通孔により前記半導体層の第3接続部に接続される、請求項27に記載の表示基板。

50

【請求項 29】

少なくとも1つのサブ画素において、前記第1貫通孔の数が1つであり、前記第2貫通孔の数が複数であり、複数の第2貫通孔が前記データ線延在方向に沿って設置され、前記電源コードのベース上での直交投影は前記第1貫通孔及び第2貫通孔のベース上での直交投影を含む、請求項28に記載の表示基板。

【請求項 30】

前記複数のトランジスタは第1トランジスタ、第2トランジスタ、第3トランジスタ、第4トランジスタ、第5トランジスタ、第6トランジスタ及び第7トランジスタを含み、少なくとも1つのサブ画素において、前記半導体層は、少なくとも、第1トランジスタの位置する第1アクティブエリア、第2トランジスタの位置する第2アクティブエリア、第3トランジスタの位置する第3アクティブエリア、第4トランジスタの位置する第4アクティブエリア、第5トランジスタの位置する第5アクティブエリア、第6トランジスタの位置する第6アクティブエリア、及び第7トランジスタの位置する第7アクティブエリアを備え、前記第1アクティブエリア、第2アクティブエリア、第3アクティブエリア、第4アクティブエリア、第5アクティブエリア、第6アクティブエリア及び第7アクティブエリアが一体構造である、請求項1から29のいずれか1項に記載の表示基板。

10

【請求項 31】

前記第2アクティブエリアと第1アクティブエリアとのグリッド線延在方向における距離が前記第2アクティブエリアと第7アクティブエリアとのグリッド線延在方向における距離より小さい、請求項30に記載の表示基板。

20

【請求項 32】

前記第7アクティブエリア及び第1アクティブエリアはデータ信号を書き込むデータ線から電源コードまでの方向に沿って順に設置される、請求項30に記載の表示基板。

【請求項 33】

少なくとも1つのサブ画素はデータ線延在方向に沿って順に設置される第1領域、第2領域及び第3領域を備え、前記第1アクティブエリア及び第7アクティブエリアが前記第1領域の第2領域を離れる側に設置され、前記第2アクティブエリア及び第4アクティブエリアが前記第1領域の第2領域寄り側に設置され、前記第3アクティブエリアが前記第2領域内に設置され、前記第5アクティブエリア及び第6アクティブエリアが前記第3領域内に設置される、請求項30に記載の表示基板。

30

【請求項 34】

前記第1トランジスタの第1極が初期信号線に接続され、第1トランジスタT1の第2極が前記記憶コンデンサの第1電極に接続され、前記第2トランジスタの第1極が記憶コンデンサの第1電極に接続され、前記第2トランジスタの第2極が第6トランジスタの第2極に接続され、前記第3トランジスタの第1極が第4トランジスタの第2極に接続され、前記第3トランジスタの第2極が第6トランジスタの第2極に接続され、前記第4トランジスタの第1極がデータ線に接続され、前記第5トランジスタの第1極が電源コードに接続され、前記第5トランジスタの第2極が第3トランジスタの第1極に接続され、前記第6トランジスタの第2極が発光デバイスの陽極に接続され、前記第7トランジスタの第1極が初期信号線に接続され、前記第7トランジスタの第2極が発光デバイスの陽極に接続され、前記第1アクティブエリアがそれぞれ第2アクティブエリア及び第7アクティブエリアに接続され、前記第2アクティブエリアがそれぞれ第3アクティブエリア及び第6アクティブエリアに接続され、前記第4アクティブエリアがそれぞれ第3アクティブエリア及び第5アクティブエリアに接続される、請求項30に記載の表示基板。

40

【請求項 35】

グリッド線延在方向において、隣接するサブ画素の半導体層同士が対称関係を持つ、請求項30に記載の表示基板。

【請求項 36】

2×2個のサブ画素を含む領域が少なくとも1つあり、1行の第1サブ画素における半導体層の形状が他の1行の第2サブ画素における半導体層の形状と同じであり、1行の第

50

2 サブ画素における半導体層の形状が他の 1 行の第 1 サブ画素における半導体層の形状と同じである、請求項 3.0 に記載の表示基板。

【請求項 3.7】

前記半導体層は第 3 接続部を備え、少なくとも 1 つのサブ画素における半導体層が前記第 3 接続部によりグリッド線延在方向における隣接するサブ画素における半導体層に接続される、請求項 3.0 に記載の表示基板。

【請求項 3.8】

前記第 3 接続部が第 5 トランジスタのアクティブエリアに接続される、請求項 3.7 に記載の表示基板。

【請求項 3.9】

前記第 3 接続部のベース上での直交投影と前記電源コードのベース上での直交投影とが重複領域を有する、請求項 3.7 に記載の表示基板。

【請求項 4.0】

前記第 1 絶縁層、第 2 絶縁層及び第 3 絶縁層上には前記第 3 接続部を露出させる第 1.2 貫通孔が設置され、前記電源コードが前記第 1.2 貫通孔により前記第 3 接続部に接続される、請求項 3.7 に記載の表示基板。

【請求項 4.1】

2 × 4 個のサブ画素を含む領域が少なくとも 1 つあり、1 行の第 1 サブ画素における半導体層と第 2 サブ画素における半導体層とが切断されるように設置され、第 2 サブ画素における半導体層と第 3 サブ画素における半導体層とが前記第 3 接続部により互いに接続され、第 3 サブ画素における半導体層と第 4 サブ画素における半導体層とが切断されるように設置され、他の 1 行の第 1 サブ画素における半導体層と第 2 サブ画素における半導体層とが前記第 3 接続部により互いに接続され、第 2 サブ画素における半導体層と第 3 サブ画素における半導体層とが切断されるように設置され、第 3 サブ画素における半導体層と第 4 サブ画素における半導体層とが前記第 3 接続部により互いに接続される、請求項 3.7 に記載の表示基板。

【請求項 4.2】

前記データ線延在方向において、前記データ線は順に接続されるサブデータ線を複数備え、サブ画素が少なくとも 1 つあり、前記サブ画素とグリッド線延在方向における隣接するサブ画素との間に 2 本のサブデータ線が設置される、請求項 1 から 4.1 のいずれか 1 項に記載の表示基板。

【請求項 4.3】

前記 2 本のサブデータ線が互いに平行する、請求項 4.2 に記載の表示基板。

【請求項 4.4】

少なくとも 1 つのサブ画素において、前記第 1 絶縁層、第 2 絶縁層及び第 3 絶縁層上には半導体層を露出させる第 8 貫通孔が設置され、前記第 4 絶縁層上には第 4 トランジスタの第 1 極を露出させる第 3 貫通孔が設置され、前記データ線が前記第 3 貫通孔により第 4 トランジスタの第 1 極に接続され、前記第 4 トランジスタの第 1 極が前記第 8 貫通孔により半導体層に接続される、請求項 4.2 に記載の表示基板。

【請求項 4.5】

グリッド線延在方向において、隣接するサブ画素の第 8 貫通孔同士が対称関係を持つ、請求項 4.4 に記載の表示基板。

【請求項 4.6】

前記データ線が第 3 導体層に設置され、前記電源コードが前記第 3 導体層に設置される、請求項 4.2 に記載の表示基板。

【請求項 4.7】

前記データ線が第 4 導体層に設置され、前記電源コードが第 3 導体層又は第 4 導体層に設置される、請求項 4.2 に記載の表示基板。

【請求項 4.8】

少なくとも 1 列のサブ画素において、前記データ線は第 1 サブデータ線及び第 2 サブデ

10

20

30

40

50

ータ線を備え、前記第 1 サブデータ線及び第 2 サブデータ線がそれぞれ該列のサブ画素の両側に位置する、請求項 4.2 に記載の表示基板。

【請求項 4.9】

前記電源コードが前記第 1 サブデータ線と第 2 サブデータ線との間に位置する、請求項 4.8 に記載の表示基板。

【請求項 5.0】

グリッド線延在方向において、隣接するサブ画素の画素構造同士が対称関係を持つ、請求項 1 から 4.9 のいずれか 1 項に記載の表示基板。

【請求項 5.1】

2 × 2 個のサブ画素を含む領域が少なくとも 1 つあり、1 行の第 1 サブ画素の画素構造が他の 1 行の第 2 サブ画素の画素構造と同じであり、1 行の第 2 サブ画素の画素構造が他の 1 行の第 1 サブ画素の画素構造と同じである、請求項 5.0 に記載の表示基板。

10

【請求項 5.2】

前記表示基板は更にリセット信号線、発光制御線及び初期信号線を備え、前記半導体層は少なくとも複数のトランジスタのアクティブエリアを備え、第 1 導体層は少なくともグリッド線、発光制御線、リセット信号線、記憶コンデンサの第 1 電極及び複数のトランジスタのゲート電極を備え、第 2 導体層は少なくとも初期信号線及び記憶コンデンサの第 2 電極を備え、第 3 導体層は少なくとも複数のトランジスタのソース・ドレイン電極を備え、第 4 導体層は少なくともデータ線及び電源コードを備える、請求項 1 から 5.1 のいずれか 1 項に記載の表示基板。

20

【請求項 5.3】

少なくとも 1 つのサブ画素はデータ線延在方向に沿って順に設置される第 1 領域、第 2 領域及び第 3 領域を備え、前記グリッド線、初期信号線及びリセット信号線が前記第 1 領域に位置し、前記記憶コンデンサの第 1 電極及び第 2 電極が前記第 2 領域に位置し、前記発光制御線が前記第 3 領域に位置する、請求項 5.2 に記載の表示基板。

【請求項 5.4】

前記第 2 導体層は更にシールド電極を備え、少なくとも 1 つのサブ画素において、前記シールド電極のベース上での直交投影と前記電源コードのベース上での直交投影とが重複領域を有する、請求項 5.2 に記載の表示基板。

【請求項 5.5】

前記電源コードが貫通孔により前記シールド電極に接続される、請求項 5.4 に記載の表示基板。

30

【請求項 5.6】

データ線延在方向において、前記シールド電極がグリッド線とリセット信号線との間に設置される、請求項 5.4 に記載の表示基板。

【請求項 5.7】

前記シールド電極はグリッド線延在方向に沿って延在する第 1 部と、データ線延在方向に沿って延在する第 2 部とを備え、前記第 1 部の第 2 部寄りの一端が前記第 2 部の第 1 部寄りの一端に接続される、請求項 5.4 に記載の表示基板。

【請求項 5.8】

前記第 1 導体層はデータ線延在方向に沿って延在するゲートブロックを更に備え、前記ゲートブロックが前記グリッド線に接続され、データ線延在方向において、前記ゲートブロックと前記シールド電極の第 2 部とが正対領域を有する、請求項 5.7 に記載の表示基板。

40

【請求項 5.9】

前記複数のトランジスタのソース・ドレイン電極は第 2 トランジスタの第 1 極を含み、前記第 2 絶縁層及び第 3 絶縁層上には前記記憶コンデンサの第 1 電極を露出させる第 7 貫通孔が設置され、前記第 1 絶縁層、第 2 絶縁層及び第 3 絶縁層上には第 2 トランジスタのアクティブエリアを露出させる第 9 貫通孔が設置され、前記第 2 トランジスタの第 1 極の一端が第 7 貫通孔により前記記憶コンデンサの第 1 電極に接続され、他端が第 9 貫通孔により第 2 トランジスタのアクティブエリアに接続される、請求項 5.2 に記載の表示基板。

50

【請求項 6 0】

前記第 2 トランジスタの第 1 極のベース上での直交投影と前記グリッド線のベース上での直交投影とが重複領域を有し、前記第 2 トランジスタの第 1 極のベース上での直交投影と前記発光制御線、リセット信号線及び初期信号線のベース上での直交投影とが重複領域を有しない、請求項 5 9 に記載の表示基板。

【請求項 6 1】

前記複数のトランジスタのソース・ドレイン電極は第 1 トランジスタの第 1 極を含み、前記第 3 絶縁層上には初期信号線を露出させる第 6 貫通孔が設置され、前記第 1 絶縁層、第 2 絶縁層及び第 3 絶縁層上には第 1 トランジスタのアクティブエリアを露出させる第 1 0 貫通孔が設置され、前記第 1 トランジスタの第 1 極は一端が第 6 貫通孔により前記初期信号線に接続され、他端が第 1 0 貫通孔により第 1 トランジスタのアクティブエリアに接続される、請求項 5 2 に記載の表示基板。

10

【請求項 6 2】

前記第 1 トランジスタの第 1 極のベース上での直交投影と前記リセット信号線のベース上での直交投影とが重複領域を有し、前記第 1 トランジスタの第 1 極のベース上での直交投影と前記グリッド線及び発光制御線のベース上での直交投影とが重複領域を有しない、請求項 6 1 に記載の表示基板。

【請求項 6 3】

前記表示基板は前記第 4 導電層上に設置される第 5 絶縁層と、前記第 5 絶縁層上に設置される第 5 導電層とを更に備え、前記第 4 導電層は更に接続電極を備え、前記複数のトランジスタのソース・ドレイン電極は第 6 トランジスタの第 2 極を含み、前記第 4 絶縁層には第 6 トランジスタの第 2 極を露出させる第 4 貫通孔が設置され、前記第 5 絶縁層上には接続電極を露出させる第 5 貫通孔が設置され、前記接続電極が第 4 貫通孔により第 6 トランジスタの第 2 極に接続され、前記第 5 導電層が第 5 貫通孔により前記接続電極に接続される、請求項 5 2 に記載の表示基板。

20

【請求項 6 4】

前記接続電極のベース上での直交投影と第 2 トランジスタの第 1 極のベース上での直交投影とが重複領域を有する、請求項 6 3 に記載の表示基板。

【請求項 6 5】

少なくとも 1 つのサブ画素は、少なくとも、第 5 トランジスタの第 1 極を前記電源コードに接続させるように構成され、第 5 トランジスタの第 1 極を露出させる第 1 貫通孔と、第 2 電極を第 5 トランジスタの第 1 極に接続させるように構成され、記憶コンデンサの第 2 電極を露出させる第 2 貫通孔と、第 4 トランジスタの第 1 極を前記データ線に接続させるように構成され、第 4 トランジスタの第 1 極を露出させる第 3 貫通孔と、第 6 トランジスタの第 2 極を接続電極に接続させるように構成され、第 6 トランジスタの第 2 極を露出させる第 4 貫通孔と、接続電極を第 5 導電層の陽極に接続させるように構成され、接続電極を露出させる第 5 貫通孔と、初期信号線を第 1 トランジスタの第 1 極に接続させるように構成され、初期信号線を露出させる第 6 貫通孔と、第 1 電極を第 2 トランジスタの第 1 極に接続させるように構成され、記憶コンデンサの第 1 電極を露出させる第 7 貫通孔と、第 4 トランジスタのアクティブエリアを第 4 トランジスタの第 1 極に接続させるように構成され、第 4 トランジスタのアクティブエリアを露出させる第 8 貫通孔と、第 2 トランジスタのアクティブエリアを第 2 トランジスタの第 1 極に接続させるように構成され、第 2 トランジスタのアクティブエリアを露出させる第 9 貫通孔と、第 1 トランジスタのアクティブエリアを第 1 トランジスタの第 1 極に接続させるように構成され、第 1 トランジスタのアクティブエリアを露出させる第 1 0 貫通孔と、を備える、請求項 5 2 に記載の表示基板。

30

40

【請求項 6 6】

少なくとも 1 つのサブ画素は、少なくとも、第 2 電極を電源コードに接続させるように構成され、記憶コンデンサの第 2 電極を露出させる第 1 1 貫通孔と、第 3 接続部を電源コードに接続させるように構成され、第 3 接続部を露出させる第 1 2 貫通孔と、を備える、

50

請求項 5 2 に記載の表示基板。

【請求項 6 7】

請求項 1 から 6 6 のいずれか 1 項に記載の表示基板を備える表示装置。

【請求項 6 8】

表示基板の製造方法であって、

請求項 1 から 6 7 のいずれか 1 項に記載の表示基板を製造するように構成され、表示基板に平行する平面において、前記表示基板はベースに設置されるグリッド線、データ線、電源コード及び複数のサブ画素を備え、少なくとも 1 つのサブ画素は発光デバイスと、前記発光デバイスを駆動して発光させるように構成される駆動回路とを備え、前記駆動回路は複数のトランジスタ及び記憶コンデンサを備え、前記製造方法は、

10

ベースを提供することと、

前記ベースに複数の機能層を形成し、前記複数の機能層が順に設置される半導体層、第 1 導電層、第 2 導電層、第 3 導電層及び第 4 導電層を含み、前記複数の機能層の間に第 1 絶縁層、第 2 絶縁層、第 3 絶縁層及び第 4 絶縁層がそれぞれ設置され、グリッド線延在方向において、前記電源コードが少なくとも 1 つの機能層を介して互いに接続されることと、を含む、表示基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の相互参照)

20

本開示は 2019 年 1 月 7 日に提出した中国特許出願第 201911082352.5 号、発明の名称「表示基板及びその製造方法、表示装置」の優先権、及び 2019 年 10 月 29 日に提出した中国特許出願第 201911038883.4 号、発明の名称「表示基板及びその製造方法、表示装置」の優先権を主張し、その内容が援用により本開示に取り込まれると理解されるべきである。

【0002】

本明細書は表示技術分野に関し、具体的に表示基板及びその製造方法、表示装置に関する。

【背景技術】

【0003】

30

有機発光ダイオード (OLED、Organic Light-Emitting Device) 表示基板は従来の液晶表示 (LCD、Liquid Crystal Display) と異なる表示基板であり、自発的に発光でき、温度特性が高く、消費電力が少なく、応答が速く、湾曲可能で、極めて軽薄で、コストが低いという利点を有する。従って、既に新世代表示装置の重要な発展方向の 1 つになって、注目を集めている。

【0004】

OLED 表示基板の高周波数駆動を実現するために、関連技術において二重データ線を有する OLED 表示基板が提供され、つまり同一列の画素が 2 本のデータ線に接続される。ところが、関連技術における OLED 表示基板は高周波数駆動を実現できるものの、分解能が一般的により低いため、市場における表示デバイスの高分解能への要件を満たすことが不可能である。

40

【発明の概要】

【課題を解決するための手段】

【0005】

以下は本明細書における詳しく説明される主題の概説である。本概説は特許請求の範囲を制限するためのものではない。

【0006】

表示基板であって、表示基板に平行する平面において、前記表示基板はベースに設置される複数本のグリッド線、複数本のデータ線、複数本の電源コード及び複数のサブ画素を備え、少なくとも 1 つのサブ画素は発光デバイスと、前記発光デバイスを駆動して発光さ

50

せるように構成される駆動回路とを備え、前記駆動回路は複数のトランジスタ及び記憶コンデンサを備え、表示基板に垂直である平面において、前記表示基板はベースと、前記ベースに設置される複数の機能層とを備え、前記複数の機能層は順に設置される半導体層、第1導電層、第2導電層、第3導電層及び第4導電層を備え、前記複数の機能層の間に第1絶縁層、第2絶縁層、第3絶縁層及び第4絶縁層がそれぞれ設置され、グリッド線延在方向において、前記電源コードが少なくとも1つの機能層を介して互いに接続される。

【0007】

例示的な実施形態では、前記データ線延在方向において、前記電源コードは順に接続されるサブ電源コードを複数備え、少なくとも1つのサブ電源コードが1つのサブ画素に設置され、少なくとも1つのサブ画素のサブ電源コードは順に接続される複数の電源部を備え、少なくとも1つの電源部と前記電源部に接続される電源部とが90度を超えて180度未満の夾角をなす。

10

【0008】

例示的な実施形態では、前記少なくとも1つの電源部及び前記電源部に接続される電源部のうち、1つの電源部が前記データ線に平行に設置される。

【0009】

例示的な実施形態では、前記サブ電源コードは第1電源部、第2電源部及び第3電源部を備え、前記第2電源部は前記第1電源部及び第3電源部に接続されるように構成され、前記第1電源部及び第3電源部が前記データ線に平行に設置され、前記第2電源部と前記第1電源部とがなす夾角は90度を超えて180度未満であり、前記第2電源部と前記第3電源部とがなす夾角は90度を超えて180度未満である。

20

【0010】

例示的な実施形態では、前記第1電源部が同じ列の前の行のサブ画素における第3電源部に接続され、前記第3電源部が同じ列の次の行のサブ画素における第1電源部に接続される。

【0011】

例示的な実施形態では、前記第1電源部がデータ線延在方向に沿って延在する長さは前記第1電源部の平均幅より大きく、前記第2電源部が傾斜方向に沿って延在する長さは前記第2電源部の平均幅より大きく、前記第3電源部がデータ線延在方向に沿って延在する長さは前記第3電源部の平均幅より大きく、前記傾斜方向は前記第2電源部と前記第1電源部とが前記夾角をなす方向である。

30

【0012】

例示的な実施形態では、前記第3電源部の平均幅が前記第1電源部の平均幅より小さい。

【0013】

例示的な実施形態では、前記第1電源部の前記第3電源部寄りのグリッド線延在方向における片側のエッジと前記第3電源部の前記第1電源部寄りのグリッド線延在方向における片側のエッジとの距離は前記第3電源部の平均幅に相当する。

【0014】

例示的な実施形態では、前記表示基板は更に第1接続部を備え、少なくとも1つのサブ画素における記憶コンデンサの第2電極とグリッド線延在方向における隣接するサブ画素における記憶コンデンサの第2電極とが前記第1接続部により互いに接続され、少なくとも1つのサブ画素において、前記第2電源部のベース上での直交投影と前記記憶コンデンサの第2電極のベース上での直交投影とが重複領域を有し、又は、前記第2電源部のベース上での直交投影と前記第1接続部のベース上での直交投影とが重複領域を有する。

40

【0015】

例示的な実施形態では、前記第2電源部のベース上での直交投影と前記記憶コンデンサの第1電極のベース上での直交投影とが重複領域を有する。

【0016】

例示的な実施形態では、前記第2電源部のベース上での直交投影と前記グリッド線のベース上での直交投影とが重複領域を有する。

50

【 0 0 1 7 】

例示的な実施形態では、前記複数のトランジスタは第2トランジスタを含み、前記第1電源部のベース上での直交投影と前記第2トランジスタのベース上での直交投影とが重複領域を有する。

【 0 0 1 8 】

例示的な実施形態では、前記表示基板は前記第4導電層上に設置される第5絶縁層と、前記第5絶縁層上に設置される第5導電層とを更に備え、前記第5絶縁層上に第5貫通孔が設置され、前記第5貫通孔は前記第5導電層を前記第4導電層に接続させるように構成され、前記第5貫通孔のベース上での直交投影と前記サブ電源コードのベース上での直交投影とが重複領域を有しない。

10

【 0 0 1 9 】

例示的な実施形態では、少なくとも1つのサブ画素において、前記第5貫通孔のベース上での直交投影と前記サブ電源コードにおける第1電源部の前記データ線延在方向におけるダミー延長線のベース上での直交投影とが重複領域を有する。

【 0 0 2 0 】

例示的な実施形態では、前記第1絶縁層、第2絶縁層及び第3絶縁層上に第8貫通孔が設置され、前記第8貫通孔は前記データ線によりデータ信号が前記半導体層に書き込まれるように構成され、前記第8貫通孔のベース上での直交投影と前記サブ電源コードにおける第1電源部及び第2電源部のベース上での直交投影とが重複領域を有しない。

20

【 0 0 2 1 】

例示的な実施形態では、少なくとも1つのサブ画素において、前記第8貫通孔のベース上での直交投影と前記サブ電源コードにおける第3電源部の前記データ線延在方向におけるダミー延長線のベース上での直交投影とが重複領域を有する。

【 0 0 2 2 】

例示的な実施形態では、前記電源コードは前記第3導電層又は前記第4導電層に設置され、前記電源コードと前記データ線とが同一層に設置される。

【 0 0 2 3 】

例示的な実施形態では、前記電源コードが前記第3導電層に設置され、前記データ線が前記第4導電層に設置され、又は、前記データ線が前記第3導電層に設置され、前記電源コードが前記第4導電層に設置される。

30

【 0 0 2 4 】

例示的な実施形態では、前記表示基板は更に第1接続部を備え、少なくとも1つのサブ画素における記憶コンデンサの第2電極とグリッド線延在方向における隣接するサブ画素における記憶コンデンサの第2電極とが前記第1接続部により互いに接続される。

【 0 0 2 5 】

例示的な実施形態では、 2×4 個のサブ画素を含む領域が少なくとも1つあり、1行の第1サブ画素における記憶コンデンサの第2電極と第2サブ画素における記憶コンデンサの第2電極とが前記第1接続部により互いに接続され、第2サブ画素における記憶コンデンサの第2電極が第3サブ画素における記憶コンデンサの第2電極に直接接続され、第3サブ画素における記憶コンデンサの第2電極と第4サブ画素における記憶コンデンサの第2電極とが前記第1接続部により互いに接続され、他の1行の第1サブ画素における記憶コンデンサの第2電極が第2サブ画素における記憶コンデンサの第2電極に直接接続され、第2サブ画素における記憶コンデンサの第2電極と第3サブ画素における記憶コンデンサの第2電極とが前記第1接続部により互いに接続され、第3サブ画素における記憶コンデンサの第2電極が第4サブ画素における記憶コンデンサの第2電極に直接接続される。

40

【 0 0 2 6 】

例示的な実施形態では、第1サブ画素における半導体層と第2サブ画素における半導体層とが間隔を置いて設置され、第2サブ画素における半導体層と第3サブ画素における半導体層とが間隔を置いて設置され、第3サブ画素における半導体層と第4サブ画素における半導体層とが間隔を置いて設置される。

50

【 0 0 2 7 】

例示的な実施形態では、前記第3導電層は第5トランジスタの第1極を備え、第1サブ画素における第5トランジスタの第1極と第2サブ画素における第5トランジスタの第1極とが間隔を置いて設置され、第2サブ画素における第5トランジスタの第1極と第3サブ画素における第5トランジスタの第1極とが間隔を置いて設置され、第3サブ画素における第5トランジスタの第1極と第4サブ画素における第5トランジスタの第1極とが間隔を置いて設置される。

【 0 0 2 8 】

例示的な実施形態では、 2×4 個のサブ画素を含む領域が少なくとも1つあり、1行の第1サブ画素における記憶コンデンサの第2電極と第2サブ画素における記憶コンデンサの第2電極とが前記第1接続部により互いに接続され、第2サブ画素における記憶コンデンサの第2電極と第3サブ画素における記憶コンデンサの第2電極とが切断されるように設置され、第3サブ画素における記憶コンデンサの第2電極と第4サブ画素における記憶コンデンサの第2電極とが前記第1接続部により互いに接続され、他の1行の第1サブ画素における記憶コンデンサの第2電極と第2サブ画素における記憶コンデンサの第2電極とが切断されるように設置され、第2サブ画素における記憶コンデンサの第2電極と第3サブ画素における記憶コンデンサの第2電極とが前記第1接続部により互いに接続され、第3サブ画素における記憶コンデンサの第2電極と第4サブ画素における記憶コンデンサの第2電極とが切断されるように設置される。

【 0 0 2 9 】

例示的な実施形態では、前記第3導電層は第5トランジスタの第1極及び第2接続部を備え、1行の第1サブ画素における第5トランジスタの第1極と第2サブ画素における第5トランジスタの第1極とが切断されるように設置され、第2サブ画素における第5トランジスタの第1極と第3サブ画素における第5トランジスタの第1極とが前記第2接続部により互いに接続され、第3サブ画素における第5トランジスタの第1極と第4サブ画素における第5トランジスタの第1極とが切断されるように設置され、他の1行の第1サブ画素における第5トランジスタの第1極と第2サブ画素における第5トランジスタの第1極とが前記第2接続部により互いに接続され、第2サブ画素における第5トランジスタの第1極と第3サブ画素における第5トランジスタの第1極とが切断されるように設置され、第3サブ画素における第5トランジスタの第1極と第4サブ画素における第5トランジスタの第1極とが前記第2接続部により互いに接続される。

【 0 0 3 0 】

例示的な実施形態では、グリッド線延在方向において、前記電源コードが前記記憶コンデンサの第2電極及び第5トランジスタの第1極により互いに接続される。

【 0 0 3 1 】

例示的な実施形態では、前記第4絶縁層上には前記第5トランジスタの第1極を露出させる第1貫通孔が設置され、前記第3絶縁層上には前記記憶コンデンサの第2電極を露出させる第2貫通孔が設置され、前記電源コードが前記第1貫通孔により前記第5トランジスタの第1極に接続され、前記第5トランジスタの第1極が前記第2貫通孔により前記記憶コンデンサの第2電極に接続される。

【 0 0 3 2 】

例示的な実施形態では、少なくとも1つのサブ画素において、前記第1貫通孔の数が1つであり、前記第2貫通孔の数が複数であり、複数の第2貫通孔が前記データ線延在方向に沿って設置され、前記電源コードのベース上での直交投影は前記第1貫通孔のベース上での直交投影を含み、前記第5トランジスタの第1極のベース上での直交投影は前記第2貫通孔のベース上での直交投影を含む。

【 0 0 3 3 】

例示的な実施形態では、前記半導体層は第3接続部を含み、1行の第1サブ画素における半導体層と第2サブ画素における半導体層とが切断されるように設置され、第2サブ画素における半導体層と第3サブ画素における半導体層とが前記第3接続部により互いに接

10

20

30

40

50

続され、第3サブ画素における半導体層と第4サブ画素における半導体層とが切断されるように設置され、他の1行の第1サブ画素における半導体層と第2サブ画素における半導体層とが前記第3接続部により互いに接続され、第2サブ画素における半導体層と第3サブ画素における半導体層とが切断されるように設置され、第3サブ画素における半導体層と第4サブ画素における半導体層とが前記第3接続部により互いに接続される。

【0034】

例示的な実施形態では、グリッド線延在方向において、前記電源コードが前記半導体層の第3接続部及び記憶コンデンサの第2電極により互いに接続される。

【0035】

例示的な実施形態では、前記第3絶縁層上には前記記憶コンデンサの第2電極を露出させる第1貫通孔が設置され、前記第1絶縁層、第2絶縁層及び第3絶縁層上には前記半導体層の第3接続部を露出させる第2貫通孔が設置され、前記電源コードが前記第1貫通孔により前記記憶コンデンサの第2電極に接続され、前記電源コードが前記第2貫通孔により前記半導体層の第3接続部に接続される。

10

【0036】

例示的な実施形態では、少なくとも1つのサブ画素において、前記第1貫通孔の数が1つであり、前記第2貫通孔の数が複数であり、複数の第2貫通孔が前記データ線延在方向に沿って設置され、前記電源コードのベース上での直交投影は前記第1貫通孔及び第2貫通孔のベース上での直交投影を含む。

【0037】

20

例示的な実施形態では、前記複数のトランジスタは第1トランジスタ、第2トランジスタ、第3トランジスタ、第4トランジスタ、第5トランジスタ、第6トランジスタ及び第7トランジスタを含み、少なくとも1つのサブ画素において、前記半導体層は、少なくとも、第1トランジスタの位置する第1アクティブエリア、第2トランジスタの位置する第2アクティブエリア、第3トランジスタの位置する第3アクティブエリア、第4トランジスタの位置する第4アクティブエリア、第5トランジスタの位置する第5アクティブエリア、第6トランジスタの位置する第6アクティブエリア、及び第7トランジスタの位置する第7アクティブエリアを備え、前記第1アクティブエリア、第2アクティブエリア、第3アクティブエリア、第4アクティブエリア、第5アクティブエリア、第6アクティブエリア及び第7アクティブエリアが一体構造である。

30

【0038】

例示的な実施形態では、前記第2アクティブエリアと第1アクティブエリアとのグリッド線延在方向における距離が前記第2アクティブエリアと第7アクティブエリアとのグリッド線延在方向における距離より小さい。

【0039】

例示的な実施形態では、前記第7アクティブエリア及び第1アクティブエリアは、データ信号を書き込むデータ線から電源コードまでの方向に沿って順に設置される。

【0040】

例示的な実施形態では、少なくとも1つのサブ画素はデータ線延在方向に沿って順に設置される第1領域、第2領域及び第3領域を備え、前記第1アクティブエリア及び第7アクティブエリアが前記第1領域の第2領域を離れる側に設置され、前記第2アクティブエリア及び第4アクティブエリアが前記第1領域の第2領域寄り側に設置され、前記第3アクティブエリアが前記第2領域内に設置され、前記第5アクティブエリア及び第6アクティブエリアが前記第3領域内に設置される。

40

【0041】

例示的な実施形態では、前記第1トランジスタの第1極が初期信号線に接続され、第1トランジスタT1の第2極が前記記憶コンデンサの第1電極に接続され、前記第2トランジスタの第1極が記憶コンデンサの第1電極に接続され、前記第2トランジスタの第2極が第6トランジスタの第2極に接続され、前記第3トランジスタの第1極が第4トランジスタの第2極に接続され、前記第3トランジスタの第2極が第6トランジスタの第2極に

50

接続され、前記第 4 トランジスタの第 1 極がデータ線に接続され、前記第 5 トランジスタの第 1 極が電源コードに接続され、前記第 5 トランジスタの第 2 極が第 3 トランジスタの第 1 極に接続され、前記第 6 トランジスタの第 2 極が発光デバイスの陽極に接続され、前記第 7 トランジスタの第 1 極が初期信号線に接続され、前記第 7 トランジスタの第 2 極が発光デバイスの陽極に接続され、前記第 1 アクティブエリアがそれぞれ第 2 アクティブエリア及び第 7 アクティブエリアに接続され、前記第 2 アクティブエリアがそれぞれ第 3 アクティブエリア及び第 6 アクティブエリアに接続され、前記第 4 アクティブエリアがそれぞれ第 3 アクティブエリア及び第 5 アクティブエリアに接続される。

【 0 0 4 2 】

例示的な実施形態では、グリッド線延在方向において、隣接するサブ画素の半導体層同士が対称関係を持つ。

10

【 0 0 4 3 】

例示的な実施形態では、 2×2 個のサブ画素を含む領域が少なくとも 1 つあり、1 行の第 1 サブ画素における半導体層の形状が他の 1 行の第 2 サブ画素における半導体層の形状と同じであり、1 行の第 2 サブ画素における半導体層の形状が他の 1 行の第 1 サブ画素における半導体層の形状と同じである。

【 0 0 4 4 】

例示的な実施形態では、前記半導体層は第 3 接続部を備え、少なくとも 1 つのサブ画素における半導体層が前記第 3 接続部によりグリッド線延在方向における隣接するサブ画素における半導体層に接続される。

20

【 0 0 4 5 】

例示的な実施形態では、前記第 3 接続部が第 5 トランジスタのアクティブエリアに接続される。

【 0 0 4 6 】

例示的な実施形態では、前記第 3 接続部のベース上での直交投影と前記電源コードのベース上での直交投影とが重複領域を有する。

【 0 0 4 7 】

例示的な実施形態では、前記第 1 絶縁層、第 2 絶縁層及び第 3 絶縁層上には前記第 3 接続部を露出させる第 1 2 貫通孔が設置され、前記電源コードが前記第 1 2 貫通孔により前記第 3 接続部に接続される。

30

【 0 0 4 8 】

例示的な実施形態では、 2×4 個のサブ画素を含む領域が少なくとも 1 つあり、1 行の第 1 サブ画素における半導体層と第 2 サブ画素における半導体層とが切断されるように設置され、第 2 サブ画素における半導体層と第 3 サブ画素における半導体層とが前記第 3 接続部により互いに接続され、第 3 サブ画素における半導体層と第 4 サブ画素における半導体層とが切断されるように設置され、他の 1 行の第 1 サブ画素における半導体層と第 2 サブ画素における半導体層とが前記第 3 接続部により互いに接続され、第 2 サブ画素における半導体層と第 3 サブ画素における半導体層とが切断されるように設置され、第 3 サブ画素における半導体層と第 4 サブ画素における半導体層とが前記第 3 接続部により互いに接続される。

40

【 0 0 4 9 】

例示的な実施形態では、画素列が少なくとも 1 つあり、前記データ線延在方向において、前記データ線は順に接続されるサブデータ線を複数備え、サブ画素が少なくとも 1 つあり、前記サブ画素とグリッド線延在方向における隣接するサブ画素との間に 2 本のサブデータ線が設置される。

【 0 0 5 0 】

例示的な実施形態では、前記 2 本のサブデータ線が互いに平行する。

【 0 0 5 1 】

例示的な実施形態では、少なくとも 1 つのサブ画素において、前記第 1 絶縁層、第 2 絶縁層及び第 3 絶縁層上には半導体層を露出させる第 8 貫通孔が設置され、前記第 4 絶縁層

50

上には第4トランジスタの第1極を露出させる第3貫通孔が設置され、前記データ線が前記第3貫通孔により第4トランジスタの第1極に接続され、前記第4トランジスタの第1極が前記第8貫通孔により半導体層に接続される。

【0052】

例示的な実施形態では、グリッド線延在方向において、隣接するサブ画素の第8貫通孔同士が対称関係を持つ。

【0053】

例示的な実施形態では、前記データ線が前記第3導体層に設置され、前記電源コードが前記第3導体層に設置される。

【0054】

例示的な実施形態では、前記データ線が前記第4導体層に設置され、前記電源コードが前記第3導体層又は第4導体層に設置される。

【0055】

例示的な実施形態では、少なくとも1列のサブ画素において、前記データ線は第1サブデータ線及び第2サブデータ線を備え、前記第1サブデータ線及び第2サブデータ線がそれぞれ該列のサブ画素の両側に位置する。

【0056】

例示的な実施形態では、前記電源コードが前記第1サブデータ線と第2サブデータ線との間に位置する。

【0057】

例示的な実施形態では、グリッド線延在方向において、隣接するサブ画素の画素構造同士が対称関係を持つ。

【0058】

例示的な実施形態では、 2×2 個のサブ画素を含む領域が少なくとも1つあり、1行の第1サブ画素の画素構造が他の1行の第2サブ画素の画素構造と同じであり、1行の第2サブ画素の画素構造が他の1行の第1サブ画素の画素構造と同じである。

【0059】

例示的な実施形態では、前記表示基板は更にリセット信号線、発光制御線及び初期信号線を備え、前記半導体層は少なくとも複数のトランジスタのアクティブエリアを備え、前記第1導体層は少なくともグリッド線、発光制御線、リセット信号線、記憶コンデンサの第1電極及び複数のトランジスタのゲート電極を備え、前記第2導体層は少なくとも初期信号線及び記憶コンデンサの第2電極を備え、前記第3導体層は少なくとも複数のトランジスタのソース・ドレイン電極を備え、前記第4導体層は少なくともデータ線及び電源コードを備える。

【0060】

例示的な実施形態では、少なくとも1つのサブ画素はデータ線延在方向に沿って順に設置される第1領域、第2領域及び第3領域を備え、前記グリッド線、初期信号線及びリセット信号線が前記第1領域に位置し、前記記憶コンデンサの第1電極及び第2電極が前記第2領域に位置し、前記発光制御線が前記第3領域に位置する。

【0061】

例示的な実施形態では、前記第2導体層は更にシールド電極を備え、少なくとも1つのサブ画素において、前記シールド電極のベース上での直交投影と前記電源コードのベース上での直交投影とが重複領域を有する。

【0062】

例示的な実施形態では、前記電源コードが貫通孔により前記シールド電極に接続される。

【0063】

例示的な実施形態では、データ線延在方向において、前記シールド電極がグリッド線とリセット信号線との間に設置される。

【0064】

例示的な実施形態では、前記シールド電極はグリッド線延在方向に沿って延在する第1

10

20

30

40

50

部と、データ線延在方向に沿って延在する第2部とを備え、前記第1部の第2部寄りの一端が前記第2部の第1部寄りの一端に接続される。

【0065】

例示的な実施形態では、前記第1導体層はデータ線延在方向に沿って延在するゲートブロックを更に備え、前記ゲートブロックが前記グリッド線に接続され、データ線延在方向において、前記ゲートブロックと前記シールド電極の第2部とが正対領域を有する。

【0066】

例示的な実施形態では、前記複数のトランジスタのソース・ドレイン電極は第2トランジスタの第1極を含み、前記第2絶縁層及び第3絶縁層上には前記記憶コンデンサの第1電極を露出させる第7貫通孔が設置され、前記第1絶縁層、第2絶縁層及び第3絶縁層上には第2トランジスタのアクティブエリアを露出させる第9貫通孔が設置され、前記第2トランジスタの第1極の一端が第7貫通孔により前記記憶コンデンサの第1電極に接続され、他端が第9貫通孔により第2トランジスタのアクティブエリアに接続される。

10

【0067】

例示的な実施形態では、前記第2トランジスタの第1極のベース上での直交投影と前記グリッド線のベース上での直交投影とが重複領域を有し、前記第2トランジスタの第1極のベース上での直交投影と前記発光制御線、リセット信号線及び初期信号線のベース上での直交投影とが重複領域を有しない。

【0068】

例示的な実施形態では、前記複数のトランジスタのソース・ドレイン電極は第1トランジスタの第1極を含み、前記第3絶縁層上には初期信号線を露出させる第6貫通孔が設置され、前記第1絶縁層、第2絶縁層及び第3絶縁層上には第1トランジスタのアクティブエリアを露出させる第10貫通孔が設置され、前記第1トランジスタの第1極の一端が第6貫通孔により前記初期信号線に接続され、他端が第10貫通孔により第1トランジスタのアクティブエリアに接続される。

20

【0069】

例示的な実施形態では、前記第1トランジスタの第1極のベース上での直交投影と前記リセット信号線のベース上での直交投影とが重複領域を有し、前記第1トランジスタの第1極のベース上での直交投影と前記グリッド線及び発光制御線のベース上での直交投影とが重複領域を有しない。

30

【0070】

例示的な実施形態では、前記表示基板は前記第4導電層上に設置される第5絶縁層と、前記第5絶縁層上に設置される第5導電層とを備え、前記第4導体層は更に接続電極を備え、前記複数のトランジスタのソース・ドレイン電極は第6トランジスタの第2極を含み、前記第4絶縁層には第6トランジスタの第2極を露出させる第4貫通孔が設置され、前記第5絶縁層上には接続電極を露出させる第5貫通孔が設置され、前記接続電極が第4貫通孔により第6トランジスタの第2極に接続され、前記第5導体層が第5貫通孔により前記接続電極に接続される。

【0071】

例示的な実施形態では、前記接続電極のベース上での直交投影と第2トランジスタの第1極のベース上での直交投影とが重複領域を有する。

40

【0072】

例示的な実施形態では、少なくとも1つのサブ画素は、少なくとも、第5トランジスタの第1極を前記電源コードに接続させるように構成され、第5トランジスタの第1極を露出させる第1貫通孔と、第2電極を第5トランジスタの第1極に接続させるように構成され、記憶コンデンサの第2電極を露出させる第2貫通孔と、第4トランジスタの第1極を前記データ線に接続させるように構成され、第4トランジスタの第1極を露出させる第3貫通孔と、第6トランジスタの第2極を接続電極に接続させるように構成され、第6トランジスタの第2極を露出させる第4貫通孔と、接続電極を第5導体層の陽極に接続させるように構成され、接続電極を露出させる第5貫通孔と、初期信号線を第1トランジスタの

50

第1極に接続させるように構成され、初期信号線を露出させる第6貫通孔と、第1電極を第2トランジスタの第1極に接続させるように構成され、記憶コンデンサの第1電極を露出させる第7貫通孔と、第4トランジスタのアクティブエリアを第4トランジスタの第1極に接続させるように構成され、第4トランジスタのアクティブエリアを露出させる第8貫通孔と、第2トランジスタのアクティブエリアを第2トランジスタの第1極に接続させるように構成され、第2トランジスタのアクティブエリアを露出させる第9貫通孔と、第1トランジスタのアクティブエリアを第1トランジスタの第1極に接続させるように構成され、第1トランジスタのアクティブエリアを露出させる第10貫通孔と、を備える。

【0073】

例示的な実施形態では、少なくとも1つのサブ画素は、少なくとも、第2電極を電源コードに接続させるように構成され、記憶コンデンサの第2電極を露出させる第11貫通孔と、第3接続部を電源コードに接続させるように構成され、第3接続部を露出させる第12貫通孔と、を備える。

【0074】

表示装置であって、上記表示基板を備える。

【0075】

表示基板の製造方法であって、上記表示基板を製造するように構成され、表示基板に平行する平面において、前記表示基板はベースに設置されるグリッド線、データ線、電源コード及び複数のサブ画素を備え、少なくとも1つのサブ画素は発光デバイスと、前記発光デバイスを駆動して発光させるように構成される駆動回路とを備え、前記駆動回路は複数のトランジスタ及び記憶コンデンサを備え、前記製造方法は、

ベースを提供することと、

前記ベースに複数の機能層を形成し、前記複数の機能層が順に設置される半導体層、第1導電層、第2導電層、第3導電層及び第4導電層を備え、前記複数の機能層の間に第1絶縁層、第2絶縁層、第3絶縁層及び第4絶縁層がそれぞれ設置され、グリッド線延在方向において、前記電源コードが少なくとも1つの機能層を介して互いに接続されることと、を含む。

【0076】

図面及び詳細な説明を読んで理解した後、他の態様が明らかになる。

【図面の簡単な説明】

【0077】

図面は本開示の技術案を理解するためのものであり、明細書の一部となり、本開示の実施例と共に本開示の技術案を解釈することに用いられるが、本開示の技術案を制限するためのものではない。

【0078】

【図1】図1は本開示に係る表示基板の構造模式図である。

【図2】図2は本開示に係る表示基板における1つのサブ画素の側面図である。

【図3】図3は本開示に係る表示基板における1つのサブ画素の平面図である。

【図4A】図4Aは本開示に係る駆動回路の等価回路図である。

【図4B】図4Bは本開示に係る駆動回路の動作シーケンス図である。

【図5】図5は本開示に係る表示基板における複数のサブ画素の平面図である。

【図6A】図6Aは第1実施形態に対応するサブ画素の平面図である。

【図6B】図6Bは第1実施形態に対応するサブ画素の他の平面図である。

【図7A】図7Aは第1実施形態に対応する第2金属層の平面図である。

【図7B】図7Bは第1実施形態に対応する第3金属層の平面図である。

【図8A】図8Aは第2実施形態に対応するサブ画素の平面図である。

【図8B】図8Bは第2実施形態に対応するサブ画素の他の平面図である。

【図9A】図9Aは第2実施形態に対応する第2金属層の平面図である。

【図9B】図9Bは第2実施形態に対応する第3金属層の平面図である。

【図10】図10は本開示に係る表示基板における複数のサブ画素の他の平面図である。

【図 1 1】図 1 1 は本開示に係る表示基板の製造方法のフローチャートである。

【図 1 2】図 1 2 は本開示に係る表示基板の製造模式図 1 である。

【図 1 3】図 1 3 は本開示に係る表示基板の製造模式図 2 である。

【図 1 4 A】図 1 4 A は本開示に係る表示基板の製造模式図 3 である。

【図 1 4 B】図 1 4 B は本開示に係る表示基板の他の製造模式図 3 である。

【図 1 5 A】図 1 5 A は本開示に係る表示基板の製造模式図 4 である。

【図 1 5 B】図 1 5 B は本開示に係る表示基板の他の製造模式図 4 である。

【図 1 6 A】図 1 6 A は本開示に係る表示基板の製造模式図 5 である。

【図 1 6 B】図 1 6 B は本開示に係る表示基板の他の製造模式図 5 である。

【図 1 7】図 1 7 は本開示に係る他の表示基板における複数のサブ画素の平面図である。 10

【図 1 8】図 1 8 は本開示に係る他の表示基板における複数のサブ画素の断面図である。

【図 1 9】図 1 9 は本開示に係る他の表示基板におけるサブ画素の部分平面図である。

【図 2 0】図 2 0 は本開示に係る他の表示基板におけるサブ画素の他の部分平面図である。

【図 2 1】図 2 1 は本開示に係る他の表示基板におけるサブ画素の別の部分平面図である。

【図 2 2】図 2 2 は本開示に係る他の表示基板の製造方法のフローチャートである。

【図 2 3】図 2 3 は本開示に係る他の表示基板のアクティブエリアの製造模式図である。

【図 2 4】図 2 4 は本開示に係る他の表示基板の第 1 絶縁層及び第 1 金属層の製造模式図である。

【図 2 5】図 2 5 は本開示に係る他の表示基板の第 2 絶縁層及び第 2 金属層の製造模式図である。 20

【図 2 6】図 2 6 は本開示に係る他の表示基板の第 3 絶縁層の製造模式図である。

【発明を実施するための形態】

【0079】

本開示は複数の実施例を説明したが、該説明は例示的なものであって、制限的なものではなく、そして当業者にとって明らかなのは、本開示に説明される実施例に含まれる範囲内には更に多くの実施例及び実現手段が含まれ得るということである。図面には多くの可能な特徴組み合わせを示し、そして具体的な実施形態において検討したが、開示された特徴を有する多くの他の組み合わせ方式も可能である。特に制限しない限り、いかなる実施例のいかなる特徴又は素子はいかなる他の実施例のいかなる他の特徴又は素子と組み合わせ使用されてもよいし、いかなる他の実施例のいかなる他の特徴又は素子を代替してもよい。 30

【0080】

本開示は当業者に知られている特徴及び素子との組み合わせを含みそして想定している。本開示に開示された実施例、特徴及び素子はいかなる通常の特徴又は素子と組み合わせ特許請求の範囲により限定された独特な発明手段を形成してもよい。いかなる実施例のいかなる特徴又は素子は他の発明手段からの特徴又は素子と組み合わせ特許請求の範囲により限定された独特な発明手段を形成してもよい。従って、理解されるように、本開示に明示及び/又は検討されたいかなる特徴は独立して実現されてもよいし、いかなる適切な組み合わせで実現されてもよい。従って、添付の特許請求の範囲及びその等価置換により限定される以外は、実施例は限定されない。なお、添付の特許請求の範囲内に種々の修正や変更を行うことができる。 40

【0081】

なお、代表的な実施例を説明するとき、明細書は方法及び/又は過程を特定のステップシーケンスとして示す可能性がある。ところが、該方法又は過程は本明細書に記載のステップの特定順序に依存することなく、前記特定順序のステップにも限らない。当業者であれば理解されるように、他のステップの順序も可能である。従って、明細書に説明されるステップの特定順序は特許請求の範囲を制限するものであると解釈されるべきではない。なお、該方法及び/又は過程に対する特許請求の範囲は説明される順序でそれらのステップを実行するとは限らず、当業者であれば容易に理解されるように、これらの順序は変化してもよいが、依然として本開示の趣旨及び範囲内に含まれる。 50

【 0 0 8 2 】

特に定義しない限り、本発明の実施例に使用される技術用語又は科学用語は当業者が理解する一般的な意味を有すべきである。本発明の実施例に使用される「第1」、「第2」及び類似の用語はいかなる順序、数又は重要性を示すことなく、異なる構成部分を区分するためのみのものである。「含む」及び類似の用語は列挙した素子又はオブジェクト及びその等価物を含むが、他の素子又はオブジェクトも排除しないことを意味する。「接続」及び類似の用語は物理又は機械的接続に限らず、直接又は間接にかかわらず電氣的接続を含んでもよい。「上」、「下」、「左」、「右」等は相対位置関係のみを示すことに用いられ、説明されるオブジェクトの絶対位置が変更した後、該相対位置関係も対応して変更する可能性がある。

10

【 0 0 8 3 】

本明細書の「約」とは、限界を厳しく制限することなく、プロセス及び測定誤差範囲内の数値を許容することを意味する。本明細書の「相当」とは、一方の寸法と他方の寸法との比が0.8~1.2である状態を意味する。

【 0 0 8 4 】

本開示のいくつかの実施例は表示基板を提供し、表示基板に平行する平面において、前記表示基板はベースに設置されるグリッド線、データ線、電源コード及び複数のサブ画素を備え、少なくとも1つのサブ画素は発光デバイスと、前記発光デバイスを駆動して発光させるように構成される駆動回路とを備え、前記駆動回路は複数のトランジスタ及び記憶コンデンサを備え、表示基板に垂直である面において、前記表示基板はベースと、前記ベースに設置される複数の機能層とを備え、前記複数の機能層は順に設置される半導体層、第1導電層、第2導電層、第3導電層及び第4導電層を備え、前記複数の機能層の間に第1絶縁層、第2絶縁層、第3絶縁層及び第4絶縁層がそれぞれ設置され、グリッド線延在方向において、前記電源コードが少なくとも1つの機能層を介して互いに接続される。例示的な実施例では、表示基板は前記第4導電層上に設置される第5絶縁層と、前記第5絶縁層上に設置される第5導電層とを更に備える。

20

【 0 0 8 5 】

図1は本開示に係る表示基板の構造模式図であり、図2は本開示に係る表示基板における1つのサブ画素の側面図であり、図3は本開示に係る表示基板における1つのサブ画素の平面図であり、図1~図3に示すように、表示基板に平行する平面において、本開示に係る表示基板にはグリッド線G、データ線D、電源コードVDD、リセット信号線Reset、発光制御線EM、初期信号線Vinit及び複数のサブ画素Pが設置され、各サブ画素は発光デバイスと、発光デバイスを駆動して発光させるように構成される駆動回路とを備え、駆動回路は複数のトランジスタ及び記憶コンデンサを備え、表示基板に垂直である面において、表示基板はベース10と、ベース10に設置される互いに絶縁された半導体層20、第1金属層30、第2金属層40、第3金属層50、第4金属層60及び第5金属層70とを備え、第1金属層30が第1導電層、第2金属層40が第2導電層、第3金属層50が第3導電層、第4金属層60が第4導電層、第5金属層70が第5導電層とされる。例示的な実施例では、表示基板は表示領域(AA)と、表示領域の周囲に位置するフレーム領域とを備え、表示領域は複数の表示サブ画素を備え、フレーム領域は複数のダミー(Dummy)サブ画素を備え、本明細書に記載のサブ画素は表示領域における表示サブ画素を指す。

30

40

【 0 0 8 6 】

例示的な実施例では、半導体層20は複数のトランジスタのアクティブエリアを備えてもよく、第1金属層30はグリッド線G、発光制御線EM、リセット信号線Reset、記憶コンデンサの第1電極C1及び複数のトランジスタのゲート電極を備えてもよく、第2金属層40は初期信号線Vinit及び記憶コンデンサの第2電極C2を備えてもよく、第3金属層50は複数のトランジスタの第1極及び第2極を備えてもよく、第4金属層60はデータ線D及び電源コードVDDを備えてもよく、第5金属層70は発光デバイスの陽極を備えてもよい。

50

【 0 0 8 7 】

例示的な実施例では、データ線の延在方向において、データ線は順に接続されるサブデータ線を複数備えてもよく、複数のサブデータ線が複数のサブ画素に対応する。サブ画素が少なくとも1つあり、サブ画素とグリッド線延在方向における隣接するサブ画素との間に2本のサブデータ線が設置される。例示的な実施例では、前記2本のサブデータ線が互いに平行する。

【 0 0 8 8 】

図1に示すように、例示的な実施例では、表示基板にはM行×N列のサブ画素、N列のデータ線D1～DN、N列の電源コードVDD1～VDDN、M行のグリッド線G1～GM、M-1行の発光制御線EM1～EMM-1、リセット信号線Reset及び初期信号線Vinitが設置されてもよく、表示基板はデータ線にデータ信号を提供するように構成されるデータドライバと、グリッド線に走査信号を提供するように構成される走査ドライバと、発光制御線に発光制御信号を提供するように構成される発光ドライバと、データドライバ、走査ドライバ及び発光ドライバに駆動信号を提供するように構成されるシーケンスコントローラとを更に備えてもよい。

10

【 0 0 8 9 】

いくつかの可能な実現方式では、図1に示すように、第i列のサブ画素における駆動回路が第i列のデータ線に接続され、各列のデータ線は第1サブデータ線DO及び第2サブデータ線DEを備え、第i列のデータ線の第1サブデータ線DOI及び前記第2サブデータ線DEiはそれぞれ第i列のサブ画素の両側に位置し、 $1 \leq i \leq N$ であり、Nがサブ画素の総列数である。

20

【 0 0 9 0 】

いくつかの可能な実現方式では、隣接する2列のサブ画素の間に2本のサブデータ線が設置され、つまり隣接する2列のサブ画素の間に本列のサブ画素の第1サブデータ線DO及び隣接列のサブ画素の第2サブデータ線DEが設置され、又は、隣接する2列のサブ画素の間に本列のサブ画素の第2サブデータ線DE及び隣接列のサブ画素の第1サブデータ線DOが設置される。

【 0 0 9 1 】

例えば、第i列のデータ線の第1サブデータ線DOIが第i列のサブ画素の第i+1列のサブ画素寄り側に位置し、第i+1列のデータ線の第1サブデータ線DOI+1が第i+1列のサブ画素の第i列のサブ画素寄り側に位置し、又は、第i列のデータ線の第2サブデータ線DEiが第i列のサブ画素の第i+1列のサブ画素寄り側に位置し、第i+1列のデータ線の第2サブデータ線DEi+1が第i+1列のサブ画素の第i列のサブ画素寄り側に位置する。

30

【 0 0 9 2 】

いくつかの可能な実現方式では、ベース10は剛性基板又は可撓性基板であってもよい。剛性基板はガラス、金属箔シートのうちの1つ又は複数であってもよいが、それらに限らず、可撓性基板はポリエチレンテレフタレート、エチレンテレフタレート、ポリエーテルエーテルケトン、ポリスチレン、ポリカーボネート、ポリアリレート、芳香族ポリエステル、ポリイミド、ポリ塩化ビニル、ポリエチレン、紡織繊維のうちの1つ又は複数であってもよいが、それらに限らない。

40

【 0 0 9 3 】

いくつかの可能な実現方式では、半導体層20の製造材料は多結晶シリコン又は金属酸化物であってもよく、本開示は制限しない。

【 0 0 9 4 】

いくつかの可能な実現方式では、第1金属層の製造材料は銀、アルミニウム又は銅等の金属材料であってもよく、本開示は制限しない。

【 0 0 9 5 】

いくつかの可能な実現方式では、第2金属層の製造材料は銀、アルミニウム又は銅等の金属材料であってもよく、本開示は制限しない。

50

【 0 0 9 6 】

いくつかの可能な実現方式では、第 3 金属層の製造材料は銀、アルミニウム又は銅等の金属材料であってもよく、本開示は制限しない。

【 0 0 9 7 】

いくつかの可能な実現方式では、第 4 金属層の製造材料は銀、アルミニウム又は銅等の金属材料であってもよく、本開示は制限しない。

【 0 0 9 8 】

いくつかの可能な実現方式では、第 5 金属層の製造材料は銀、アルミニウム又は銅等の金属材料であってもよく、本開示は制限しない。

【 0 0 9 9 】

図 4 A は本開示に係る駆動回路の等価回路図であり、図 4 B は本開示に係る駆動回路の動作シーケンス図であり、図 4 A 及び図 4 B に示すように、図 4 A は第 i 列のサブ画素及び第 $i + 1$ 列のサブ画素に備えられる駆動回路を例として説明するが、本開示に係る駆動回路は 7 T 1 C 構造であってもよく、駆動回路は第 1 トランジスタ T 1 ~ 第 7 トランジスタ T 7 及び記憶コンデンサ C を備えてもよく、記憶コンデンサ C は第 1 電極 C 1 及び第 2 電極 C 2 を備える。

【 0 1 0 0 】

例示的な実施形態では、具体的には、第 1 トランジスタ T 1 のゲート電極がリセット信号線 R e s e t に接続され、第 1 トランジスタ T 1 の第 1 極が初期信号線 V i n i t に接続され、第 1 トランジスタ T 1 の第 2 極が記憶コンデンサ C の第 1 電極 C 1 に接続され、第 2 トランジスタ T 2 のゲート電極がグリッド線 G に接続され、第 2 トランジスタ T 2 の第 1 極が記憶コンデンサ C の第 1 電極 C 1 に接続され、第 2 トランジスタ T 2 の第 2 極が第 6 トランジスタ T 6 の第 2 極に接続され、第 3 トランジスタ T 3 のゲート電極が記憶コンデンサ C の第 1 電極 C 1 に接続され、第 3 トランジスタ T 3 の第 1 極が第 4 トランジスタ T 4 の第 2 極に接続され、第 3 トランジスタ T 3 の第 2 極が第 6 トランジスタ T 6 の第 2 極に接続され、第 4 トランジスタ T 4 のゲート電極がグリッド線 G に接続され、第 4 トランジスタ T 4 の第 1 極がデータ線 D に接続され、第 5 トランジスタ T 5 のゲート電極が発光制御線 E M に接続され、第 5 トランジスタ T 5 の第 1 極が電源コード V D D に接続され、第 5 トランジスタ T 5 の第 2 極が第 3 トランジスタ T 3 の第 1 極に接続され、第 6 トランジスタ T 6 のゲート電極が発光制御線 E M に接続され、第 6 トランジスタ T 6 の第 2 極が発光デバイスの陽極に接続され、第 7 トランジスタ T 7 のゲート電極がリセット信号線 R e s e t に接続され、第 7 トランジスタ T 7 の第 1 極が初期信号線 V i n i t に接続され、第 7 トランジスタ T 7 の第 2 極が発光デバイスの陽極に接続され、記憶コンデンサの第 2 電極 C 2 が電源コード V D D に接続され、発光デバイス O L E D の陰極が低レベル電源側 V S S に接続される。

【 0 1 0 1 】

例示的な実施例では、第 3 トランジスタ T 3 が駆動トランジスタであり、第 3 トランジスタ T 3 以外の他のトランジスタがいずれもスイッチングトランジスタであり、第 1 トランジスタ T 1 ~ 第 7 トランジスタ T 7 がいずれも P 型トランジスタ又は N 型トランジスタであってもよく、本開示は制限しない。

【 0 1 0 2 】

第 1 トランジスタ T 1 ~ 第 7 トランジスタ T 7 がいずれも P 型トランジスタである場合を例とし、駆動回路の動作過程は以下の第 1 ~ 第 3 段階を含んでもよい。

【 0 1 0 3 】

第 1 段階 P 1 すなわちリセット段階：

リセット信号線 R e s e t が有効レベルを提供し、第 1 トランジスタ T 1 と第 7 トランジスタ T 7 とがオンされ、初期信号線 V i n i t の提供する初期信号が第 6 トランジスタ T 6 の第 2 極の信号及び第 1 電極 C 1 の信号を初期化する。

【 0 1 0 4 】

第 2 段階 P 2 すなわち書き込み段階：

10

20

30

40

50

グリッド線 G が有効レベルを提供し、第 2 トランジスタ T 2 と第 4 トランジスタ T 4 とがオンされ、第 3 トランジスタ T 3 の第 1 極にデータ線 D の提供するデータ信号を書き込んで、そして第 2 トランジスタ T 2 のゲート電極と第 2 極の信号の電位を同じにさせ、これにより第 3 トランジスタ T 3 をオンする。

【 0 1 0 5 】

第 3 段階 P 3 すなわち発光段階：

発光制御線 E M が有効レベルを提供し、第 5 トランジスタ T 5 と第 6 トランジスタ T 6 とがオンされ、電源コード V D D が発光デバイス O L E D に駆動電流を提供し、これにより発光デバイスを駆動して発光させる。

【 0 1 0 6 】

いくつかの可能な実現方式では、図 4 A に示すように、本開示の発光デバイスは O L E D であってもよい。

【 0 1 0 7 】

本開示に係る表示基板にはグリッド線、データ線、電源コード、リセット信号線、発光制御線、初期信号線及び複数のサブ画素が設置され、各サブ画素は発光デバイスと、発光デバイスを駆動して発光させるように構成される駆動回路とを備え、駆動回路は複数のトランジスタ及び記憶コンデンサを備えてもよく、表示基板はベースと、順にベースに設置される互いに絶縁された半導体層、第 1 金属層、第 2 金属層、第 3 金属層、第 4 金属層及び第 5 金属層とを備えてもよく、半導体層は複数のトランジスタのアクティブエリアを備え、第 1 金属層はグリッド線、発光制御線、リセット信号線、記憶コンデンサの第 1 電極及び複数のトランジスタのゲート電極を備え、第 2 金属層は初期信号線及び記憶コンデンサの第 2 電極を備え、第 3 金属層は複数のトランジスタのソース・ドレイン電極を備え、第 4 金属層はデータ線及び電源コードを備え、第 5 金属層は発光デバイスの陽極を備え、第 i 列のサブ画素が第 i 列のデータ線に接続され、各列のデータ線は第 1 サブデータ線及び第 2 サブデータ線を備え、第 i 列のデータ線の第 1 サブデータ線及び第 2 サブデータ線はそれぞれ第 i 列のサブ画素の両側に位置し、 $1 \leq i \leq N$ であり、 N がサブ画素の総列数である。

【 0 1 0 8 】

本開示では、金属層が 5 層設置され、データ線及び電源コードを複数のトランジスタのソース・ドレイン電極と異なる層に設置することにより、サブ画素とサブ画素とを接続するデータ線の占有体積を減少させることができ、これにより高周波数駆動の O L E D 表示基板の分解能を向上させる。

【 0 1 0 9 】

いくつかの可能な実現方式では、図 3 に示すように、本開示に係る表示基板における各サブ画素はデータ線延在方向に沿って順に設置される第 1 領域 R 1、第 2 領域 R 2 及び第 3 領域 R 3 に区画されてもよい。

【 0 1 1 0 】

記憶コンデンサが第 2 領域 R 2 に位置し、第 1 領域 R 1 と第 3 領域 R 3 がそれぞれ第 2 領域 R 2 の両側に位置し、サブ画素の駆動回路に接続される初期信号線 V i n i t、グリッド線 G 及びリセット信号線 R e s e t が第 1 領域 R 1 に位置し、サブ画素の駆動回路に接続される発光制御線 E M が第 3 領域 R 3 に位置する。

【 0 1 1 1 】

同一列に位置する隣接するサブ画素の駆動回路が異なるサブデータ線に接続され、つまり、第 i 行第 j 列のサブ画素が第 j 列のデータ線の第 1 サブデータ線 D O j に接続される場合、第 $i + 1$ 行第 j 列のサブ画素が第 j 列のデータ線の第 2 サブデータ線 D e j に接続されるのであり、第 i 行第 j 列のサブ画素が第 j 列のデータ線の第 2 サブデータ線 D E j に接続される場合、第 $i + 1$ 行第 j 列のサブ画素が第 j 列のデータ線の第 1 サブデータ線 D O j に接続されるのである。

【 0 1 1 2 】

いくつかの可能な実現方式では、図 1 及び図 3 から分かるように、第 i 列のサブ画素の

10

20

30

40

50

駆動回路は更に第 i 列の電源コードに接続され、 $1 \leq i \leq N$ である。第 i 列の電源コード VDD_i が第 i 列のデータ線の第 1 サブデータ線 DO_i と第 2 サブデータ線 DE_i との間に位置する。

【0113】

図 5 は本開示に係る表示基板における複数のサブ画素の平面図であり、図 5 に示すように、同一行の隣接するサブ画素の画素構造は隣接するサブ画素間の 2 つのサブデータ線の中心線 CL に関して鏡像対称である。第 i 行第 j 列のサブ画素の画素構造は第 i 行第 $j + 2$ 列のサブ画素の画素構造と同じであり、第 i 行第 $j + 1$ 列のサブ画素の画素構造は第 i 行第 $j + 3$ 列のサブ画素の画素構造と同じであり、第 i 行第 j 列のサブ画素の画素構造は第 $i + 1$ 行第 $j + 1$ 列のサブ画素の画素構造と同じであり、第 i 行第 $j + 1$ 列のサブ画素の画素構造は第 $i + 1$ 行第 j 列のサブ画素の画素構造と同じである。本明細書では、画素構造が同じであることは両者の全体の形状、各部分の接続関係及び信号の流れる方向が同じであることを含むが、それに限らない。

10

【0114】

図 5 に示すように、隣接する 2 列の電源コードは隣接する 2 列の電源コード間の中心線に関して鏡像対称であり、つまり隣接するサブ画素の電源コード同士が対称関係を持つ。第 i 行第 j 列のサブ画素と第 i 行第 $j + 1$ 列のサブ画素との間の 2 つのサブデータ線の中心線 CL と、第 j 列の電源コードと第 $j + 1$ 列の電源コードとの間の中心線とが同じ中心線であってもよい。

【0115】

いくつかの可能な実現方式では、図 5 に示すように、2 行 4 列の 8 つのサブ画素 (2×4 個のサブ画素を含む領域) を例として、第 i 列の電源コードはそれぞれ $S_1 \sim S_N$ である複数の互いに接続されるサブ電源コードを備え、複数のサブ電源コードが各列のサブ画素のうちのすべてのサブ画素に 1 対 1 に対応し、複数のサブ電源コードがそれぞれ該列の複数のサブ画素に設置される。

20

【0116】

例示的な実施例では、第 i 行第 j 列のサブ画素に対応するサブ電源コードが第 j 列のデータ線の第 1 サブデータ線及び第 2 サブデータ線の中心線に沿ってミラーリングされた後の形状は第 $i + 1$ 行第 j 列のサブ画素に対応するサブ電源コードの形状と同じである。本明細書では、電源コード形状が同じであることは両者の全体の形状、各部分の接続関係及び信号の流れる方向が同じであることを含むが、それに限らない。

30

【0117】

例示的な実施例では、各サブ電源コードは第 2 方向に沿って順に設置される第 1 電源部 SS_1 、第 2 電源部 SS_2 及び第 3 電源部 SS_3 を備えてもよく、第 2 電源部 SS_2 は第 1 電源部 SS_1 及び第 3 電源部 SS_3 に接続されるように構成され、第 1 電源部 SS_1 と第 3 電源部 SS_3 とがデータ線に平行に設置されてもよく、第 2 電源部 SS_2 と第 1 電源部 SS_1 とがなす夾角は 90 度を超えて 180 度未満であり、折れ線状のサブ電源コードを形成し、第 2 方向がデータ線の延在方向である。

【0118】

本明細書では、「平行」とは 2 本の直線により形成された角度が -10 度以上且つ 10 度以下である状態を意味し、従って、該角度が -5 度以上且つ 5 度以下である状態も含む。また、「垂直」とは 2 本の直線により形成された角度が 80 度以上且つ 100 度以下である状態を意味し、従って、 85 度以上且つ 95 度以下の角度の状態も含む。本明細書では、第 1 電源部がデータ線に平行することとは、第 1 電源部の本体部がデータ線の本体部に平行することを意味し、第 1 電源部のエッジがデータ線のエッジに平行するように限定することなく、第 1 電源部のエッジとデータ線のエッジとの間のプロセス誤差による非平行を許容する。第 1 電源部と第 2 電源部とが互いに接続される接続領域において、該接続領域は第 1 電源部に属してもよいし、第 2 電源部に属してもよい。

40

【0119】

例示的な実施例では、第 1 電源部 SS_1 、第 2 電源部 SS_2 及び第 3 電源部 SS_3 が一

50

体構造であってもよい。

【0120】

図5に示すように、第1電源部SS1が第2方向に沿って延在する長さは第1電源部SS1の平均幅より大きく、第2電源部SS2が傾斜方向に沿って延在する長さは第2電源部SS2の平均幅より大きく、第3電源部SS3が第2方向に沿って延在する長さは第3電源部SS3の平均幅より大きい。傾斜方向は第2電源部と第1電源部とが前記夾角をなす方向である。第3電源部SS3の平均幅が第1電源部SS1の平均幅より小さい理由は、1つは画素構造の配置のためであり、また1つは第3電源部SS3とデータ線との距離が比較的短く、平均幅の比較的小さい第3電源部SS3の場合、寄生容量を低減することができるためである。本開示では、第1電源部SS1及び第3電源部SS3の幅は第1電源部SS1及び第3電源部SS3の第1方向における寸法を指し、第2電源部SS2の幅は傾斜方向に垂直である方向における寸法を指し、平均幅は複数の位置の幅の平均値を指し、第1方向はグリッド線延在方向である。

10

【0121】

例示的な実施例では、第1方向において、第1電源部SS1の中心線と第3電源部SS3の中心線との距離は第3電源部SS3の平均幅に相当する。

【0122】

例示的な実施例では、第i行第j列のサブ画素に対応するサブ電源コードにおける第1電源部SS1が第i-1行第j列のサブ画素に対応するサブ電源コードにおける第3電源部SS3に接続され、第i行第j列のサブ画素に対応するサブ電源コードにおける第3電源部SS3が第i+1行第j列のサブ画素に対応するサブ電源コードにおける第1電源部SS1に接続され、互いに接続される電源部が第2方向(データ線延在方向)に沿って順に設置される。

20

【0123】

図5に示すように、本開示の電源コードは折れ線状であってもよい。

【0124】

例示的な実施例では、図5に示すように、各サブ画素の動作過程は、リセット段階において、第1金属層に位置するリセット信号線Resetと第2金属層に位置する初期信号線Vinitが信号を提供し、駆動回路を初期化することと、書き込み段階において、第1金属層内に位置するグリッド線Gと第4金属層内に位置するデータ線Dが信号を提供し、駆動回路にデータ線Dの提供するデータ信号を書き込むことと、発光段階において、第1金属層に位置する発光制御線EMが信号を提供し、電源コードVDDが電源信号を提供し、駆動回路が発光デバイスOLEDに駆動電流を提供して発光デバイスを駆動して発光させるようにすることと、を含む。

30

【0125】

同一行の画素が同時に表示され、隣接行の画素が順に表示される。

【0126】

いくつかの可能な実現方式では、図2に示すように、本開示に係る表示基板は更に第1絶縁層11、第2絶縁層12、第3絶縁層13及び第4絶縁層14を備えてもよい。

【0127】

第1絶縁層11が半導体層20と第1金属層30との間に設置され、第2絶縁層12が第1金属層30と第2金属層40との間に設置され、第3絶縁層13が第2金属層40と第3金属層50との間に設置され、第4絶縁層14が第3金属層50と第4金属層60との間に設置される。

40

【0128】

いくつかの可能な実現方式では、第1絶縁層11、第2絶縁層12、第3絶縁層13及び第4絶縁層14の材料は酸化ケイ素、窒化ケイ素又は酸化ケイ素及び窒化ケイ素の複合物であってもよく、本開示は制限しない。

【0129】

例示的な実施例では、図4Aに示すように、各サブ画素に対する複数のトランジスタは

50

第1トランジスタ～第7トランジスタを含んでもよく、第5トランジスタの第1極がそれぞれ電源コードVDD及び記憶コンデンサの第2電極C2に接続される。

【0130】

本開示では、各サブ画素について、各サブ画素における電源コードが第5トランジスタの第1極により記憶コンデンサの第2電極に接続される。

【0131】

第2金属層に位置する隣接するサブ画素の記憶コンデンサの第2電極は電源信号線として多重化されてもよく、隣接するサブ画素の電源コードの提供する電源信号が同じであるように確保するように構成され、表示基板の表示不良を回避し、表示基板の表示効果を確保する。

10

【0132】

例示的な実施例では、4つごとの連続したサブ画素が1つの画素を構成し、j個目の画素において、第1方向に沿って、4つの連続したサブ画素が順に第iサブ画素、第i+1サブ画素、第i+2サブ画素及び第i+3サブ画素であり、iの値が順に4j-3であり、jが正の整数である。

【0133】

例示的な実施例では、複数のサブ画素の記憶コンデンサの第2電極が電源コードに接続される実施形態は複数あり、一実施形態として、図6Aは第1実施形態に対応するサブ画素の平面図であり、図6Bは第1実施形態に対応するサブ画素の他の平面図であり、図6Aに示すように、第4絶縁層には一部の第5トランジスタの第1極51を露出させる第1貫通孔V1が設置され、電源コードが第1貫通孔V1により第5トランジスタの第1極51に接続される。図6Bに示すように、第3絶縁層には一部の記憶コンデンサの第2電極C2を露出させる第2貫通孔V2が設置され、第5トランジスタの第1極51が第2貫通孔V2により記憶コンデンサの第2電極C2に接続される。説明されるように、図3及び図5は第1実施形態を例として説明するものである。

20

【0134】

サブ画素に接続される電源コードのベース上での直交投影は第1貫通孔V1のベース10上での直交投影を含み、記憶コンデンサの第2電極のベース上での直交投影は第2貫通孔のベース上での直交投影を含む。本明細書では、「Aの直交投影がBの直交投影を含む」又は「Bの直交投影がAの直交投影範囲内に位置する」とは、Bの直交投影の境界がAの直交投影の境界範囲内に位置し、又はAの直交投影の境界がBの直交投影の境界と重なることを意味する。

30

【0135】

いくつかの可能な実現方式では、第1貫通孔V1の数が1つであってもよい。

【0136】

いくつかの可能な実現方式では、第2貫通孔V2の数が少なくとも1つであってもよく、第5トランジスタの第1極の幅が比較的狭いため、第2貫通孔V2の数が複数である場合、複数の第2貫通孔がデータ線延在方向に沿って設置され、複数の第2貫通孔がデータ線延在方向に沿って設置されることについて、複数の貫通孔が設置されてもよく、貫通孔の数が多ければ多いほど、貫通孔により接続される部材の導電性が高く、図6Aは1つの第1貫通孔V1を、図6Bは2つの第2貫通孔V2を例として説明するが、本開示は制限しない。

40

【0137】

例示的な実施例では、図6Aに示すように、第4絶縁層は更に第4トランジスタT4の第1極を露出させる第3貫通孔V3を備え、データ線が該第3貫通孔V3により第4トランジスタT4の第1極に接続され、第4絶縁層は更に第6トランジスタT6の第2極を露出させる第4貫通孔V4を備える。

【0138】

例示的な実施例では、図6Bに示すように、第1絶縁層、第2絶縁層及び第3絶縁層は更に一部のアクティブエリアを露出させる貫通孔を備え、トランジスタのソース・ドレイ

50

ン電極がこれらの貫通孔によりアクティブエリアに接続されるようにし、トランジスタのソース・ドレイン電極はトランジスタの第1極及びトランジスタの第2極を含む。

【0139】

例示的な実施例では、第5トランジスタの第1極が更に第1絶縁層、第2絶縁層及び第3絶縁層上の貫通孔によりアクティブエリアに接続される。

【0140】

例示的な実施例では、各画素は4つのサブ画素を備えてもよく、図7Aは第1実施形態に対応する第2金属層の平面図であり、図7Bは第1実施形態に対応する第3金属層の平面図である。表示基板の構造をより明確に説明するために、図7A及び図7Bは列方向に沿って配列される2つの画素を例として説明する。

10

【0141】

図7Aに示すように、同一行の隣接するサブ画素における記憶コンデンサの第2電極が直接接続され、図7Bに示すように、同一行の隣接するサブ画素の第5トランジスタの第1極51が間隔を置いて設置される。

【0142】

第1実施形態では、複数のサブ画素の第2金属層上に設置される記憶コンデンサの第2電極が互いに接続されることによって、隣接するサブ画素の電源コードの提供する電源信号を同じにすることができ、表示基板の表示不良を回避し、表示基板の表示効果を確保する。

【0143】

例示的な実施例では、レイアウト配置を合理的に設計することにより、半導体層のみで複数のサブ画素の導電層の相互接続を実現してもよいし、第1金属層のみで複数のサブ画素の導電層の相互接続を実現してもよいし、第2金属層のみで複数のサブ画素の導電層の相互接続を実現してもよいし、第3金属層のみで複数のサブ画素の導電層の相互接続を実現してもよく、これにより、同一行のサブ画素の電源コードの機能層によるグリッド線延在方向における相互接続を実現し、ここで詳細な説明は省略する。

20

【0144】

図7Aに示すように、少なくとも1つのサブ画素は更に第1接続部C3を備え、第1接続部C3が第2電極C2の第1方向の片側に設置される。

【0145】

例示的な実施例では、隣接する2行の画素のうち、1行の画素の第iサブ画素の第2電極C2と第i+1サブ画素の第2電極C2とが第1接続部C3により接続され、第i+1サブ画素の第2電極C2が第i+2サブ画素の第2電極C2に直接接続され、第i+2サブ画素の第2電極C2と第i+3サブ画素の第2電極C2とが第1接続部C3により接続される。他の行の画素の第iサブ画素の第2電極C2が第i+1サブ画素の第2電極C2に直接接続され、第i+1サブ画素の第2電極C2と第i+2サブ画素の第2電極C2とが第1接続部C3により接続され、第i+2サブ画素の第2電極C2が第i+3サブ画素の第2電極C2に直接接続される。

30

【0146】

他の実施形態として、図8Aは第2実施形態に対応するサブ画素の平面図であり、図8Bは第2実施形態に対応するサブ画素の他の平面図である。図8Aに示すように、第4絶縁層には一部の第5トランジスタT5の第1極51を露出させる第1貫通孔V1が設置され、電源コードが第1貫通孔V1により第5トランジスタT5の第1極51に接続される。図8Bに示すように、第3絶縁層には一部の記憶コンデンサの第2電極C2を露出させる第2貫通孔V2が設置され、第5トランジスタT5の第1極51が第2貫通孔V2により記憶コンデンサの第2電極C2に接続される。

40

【0147】

図8A及び図8Bに示すように、第1実施形態に比べて、第2実施形態の提供する各サブ画素の記憶コンデンサの第2電極の占有した面積が異なり、そして各サブ画素の第5トランジスタT5の第1極51の形状も異なる。

50

【 0 1 4 8 】

例示的な実施例では、図 8 A に示すように、第 4 絶縁層は更に第 4 トランジスタ T 4 の第 1 極を露出させる第 3 貫通孔 V 3 を備え、データ線が該第 3 貫通孔 V 3 により第 4 トランジスタ T 4 の第 1 極に接続され、第 4 絶縁層は更に第 6 トランジスタ T 6 の第 2 極を露出させる第 4 貫通孔 V 4 を備える。

【 0 1 4 9 】

図 3 及び図 8 B に示すように、第 1 絶縁層、第 2 絶縁層及び第 3 絶縁層は更に一部のアクティブエリアを露出させる貫通孔を備えてもよく、トランジスタのソース・ドレイン電極がこれらの貫通孔によりアクティブエリアに接続されるようにする。第 5 トランジスタの第 1 極が更に第 1 絶縁層、第 2 絶縁層及び第 3 絶縁層上の貫通孔によりアクティブエリアに接続されてもよい。

10

【 0 1 5 0 】

サブ画素における電源コードのベース上での直交投影は第 1 貫通孔 V 1 のベース 1 0 上での直交投影を含み、記憶コンデンサの第 2 電極のベース上での直交投影は第 2 貫通孔のベース上での直交投影を含む。

【 0 1 5 1 】

いくつかの可能な実現方式では、第 1 貫通孔 V 1 の数が 1 つであってもよい。

【 0 1 5 2 】

いくつかの可能な実現方式では、第 2 貫通孔 V 2 の数が少なくとも 1 つであり、第 5 トランジスタの第 1 極の幅が比較的に狭いため、複数の第 2 貫通孔がデータ線延在方向に沿って設置されることで、設置される貫通孔の数を確保することができ、貫通孔の数が多ければ多いほど、貫通孔により接続される部材の導電性が高く、図 8 A は 1 つの第 1 貫通孔 V 1 を、図 8 B は 2 つの第 2 貫通孔 V 2 を例として説明するものであり、本開示はこれについて何の制限もしない。

20

【 0 1 5 3 】

図 9 A は第 2 実施形態に対応する第 2 金属層の平面図であり、図 9 B は第 2 実施形態に対応する第 3 金属層の平面図であり、図 1 0 は本開示に係る表示基板における複数のサブ画素の他の平面図である。表示基板の構造をより明確に説明するために、図 9 A 及び図 9 B は列方向に沿って配列される 2 つの画素を例として説明し、図 1 0 は発光デバイスの陽極以外の他の膜層を含み、図 1 0 に含まれる複数のサブ画素は第 2 実施形態に対応するサブ画素である。

30

【 0 1 5 4 】

図 9 A 及び図 9 B に示すように、隣接する 2 行の画素のうちの 1 行の各画素において、第 i サブ画素の記憶コンデンサの第 2 電極と第 $i + 1$ サブ画素の記憶コンデンサの第 2 電極とが第 1 接続部 C 3 により接続され、第 $i + 1$ サブ画素の記憶コンデンサの第 2 電極と第 $i + 2$ サブ画素の記憶コンデンサの第 2 電極とが間隔を置いて設置され、第 $i + 2$ サブ画素の記憶コンデンサの第 2 電極と第 $i + 3$ サブ画素の記憶コンデンサの第 2 電極とが第 1 接続部 C 3 により接続され、隣接する 2 行の画素のうちの他の行の各画素において、第 i サブ画素の記憶コンデンサの第 2 電極と第 $i + 1$ サブ画素の記憶コンデンサの第 2 電極とが間隔を置いて設置され、第 $i + 1$ サブ画素の記憶コンデンサの第 2 電極と第 $i + 2$ サブ画素の記憶コンデンサの第 2 電極とが第 1 接続部 C 3 により接続され、第 $i + 2$ サブ画素の記憶コンデンサの第 2 電極と第 $i + 3$ サブ画素の記憶コンデンサの第 2 電極とが間隔を置いて設置される。

40

【 0 1 5 5 】

図 8 A に示すように、少なくとも 1 つのサブ画素における記憶コンデンサの第 2 電極 C 2 が矩形状であってもよく、第 1 接続部 C 3 がストリップ状であってもよく、第 1 接続部 C 3 が第 2 電極 C 2 の第 1 方向の片側に設置される。

【 0 1 5 6 】

例示的な実施例では、隣接する 2 行の画素のうち、1 行の画素の第 i サブ画素の第 2 電極 C 2 と第 $i + 1$ サブ画素の第 2 電極 C 2 とが第 1 接続部 C 3 により互いに接続され、第

50

$i + 1$ サブ画素の第 2 電極 C 2 と第 $i + 2$ サブ画素の第 2 電極 C 2 とが間隔を置いて設置され、第 $i + 2$ サブ画素の第 2 電極 C 2 と第 $i + 3$ サブ画素の第 2 電極 C 2 とが第 1 接続部 C 3 により互いに接続される。他の行の画素の第 i サブ画素の第 2 電極 C 2 と第 $i + 1$ サブ画素の第 2 電極 C 2 とが間隔を置いて設置され、第 $i + 1$ サブ画素の第 2 電極 C 2 と第 $i + 2$ サブ画素の第 2 電極 C 2 とが第 1 接続部 C 3 により互いに接続され、第 $i + 2$ サブ画素の第 2 電極 C 2 と第 $i + 3$ サブ画素の第 2 電極 C 2 とが間隔を置いて設置される。

【 0 1 5 7 】

説明されるように、図 9 A は第 1 行の画素の第 i サブ画素の記憶コンデンサの第 2 電極と第 $i + 1$ サブ画素の記憶コンデンサの第 2 電極とが第 1 接続部 C 3 により直接接続され、第 2 行の画素の第 $i + 2$ サブ画素の記憶コンデンサの第 2 電極と第 $i + 3$ サブ画素の記憶コンデンサの第 2 電極とが第 1 接続部 C 3 により直接接続される場合を例として説明したものである。

10

【 0 1 5 8 】

いくつかの可能な実現方式では、図 10 に示すように、各サブ画素では、第 5 トランジスタの第 1 極のベース上での直交投影と、接続されるデータ線のベース上での直交投影とが重複領域を有する。

【 0 1 5 9 】

例示的な実施例では、図 9 A、図 9 B 及び図 10 に示すように、 j 個目の画素は第 2 接続部 5 6 を備えてもよい。第 i サブ画素の記憶コンデンサの第 2 電極 C 2 が第 $i + 1$ サブ画素の記憶コンデンサの第 2 電極 C 2 に接続される場合、第 $i + 1$ サブ画素における第 5 トランジスタ T 5 の第 1 極 5 1 と第 $i + 2$ サブ画素における第 5 トランジスタ T 5 の第 1 極 5 1 とが第 2 接続部 5 6 により接続される。第 2 金属層内に位置する第 i サブ画素における記憶コンデンサの第 2 電極 C 2 が第 3 金属層内に位置する第 $i + 1$ サブ画素における第 5 トランジスタ T 5 の第 1 極 5 1、第 2 接続部 5 6 及び第 $i + 2$ サブ画素における第 5 トランジスタ T 5 の第 1 極 5 1 により第 2 金属層内に位置する第 $i + 3$ サブ画素における記憶コンデンサの第 2 電極 C 2 に接続される。

20

【 0 1 6 0 】

例示的な実施例では、 j 個目の画素について、第 $i + 1$ サブ画素の記憶コンデンサの第 2 電極 C 2 が第 $i + 2$ サブ画素の記憶コンデンサの第 2 電極 C 2 に接続される場合、第 i サブ画素における第 5 トランジスタ T 5 の第 1 極 5 1 と第 $i + 1$ サブ画素における第 5 トランジスタ T 5 の第 1 極 5 1 とが第 2 接続部 5 6 により接続され、第 $i + 2$ サブ画素における第 5 トランジスタ T 5 の第 1 極 5 1 と第 $i + 3$ サブ画素における第 5 トランジスタ T 5 の第 1 極 5 1 とが第 2 接続部 5 6 により接続される。第 2 金属層に位置する第 i サブ画素の記憶コンデンサの第 2 電極 C 2 が第 3 金属層内に位置する第 i サブ画素における第 5 トランジスタ T 5 の第 1 極 5 1、第 2 接続部 5 6 及び第 $i + 1$ サブ画素における第 5 トランジスタ T 5 の第 1 極 5 1 により第 2 金属層に位置する第 $i + 1$ サブ画素の記憶コンデンサの第 2 電極 C 2 に接続され、第 2 金属層に位置する第 $i + 2$ サブ画素の記憶コンデンサの第 2 電極 C 2 が第 3 金属層内に位置する第 $i + 2$ サブ画素における第 5 トランジスタ T 5 の第 1 極 5 1、第 2 接続部 5 6 及び第 $i + 3$ サブ画素における第 5 トランジスタ T 5 の第 1 極 5 1 により第 2 金属層に位置する第 $i + 3$ サブ画素の記憶コンデンサの第 2 電極 C 2 に接続される。

30

40

【 0 1 6 1 】

第 2 実施形態では、本開示は第 2 金属層及び第 3 金属層により横方向（第 1 方向）におけるブリッジ接続を完成し、電源接続線の機能を実現し、各サブ画素に提供する電源信号を同じにし、表示基板の表示効果を確保する。

【 0 1 6 2 】

説明されるように、第 3 金属層の抵抗率が第 2 金属層の抵抗率より小さいため、第 1 実施形態に係る表示基板に比べて、第 2 実施形態に係る表示基板は動的クロストークを更に低減することができる。

【 0 1 6 3 】

50

いくつかの可能な実現方式では、図 2 に示すように、本開示に係る表示基板は、更に、第 4 金属層 60 と第 5 金属層 70 との間に設置される第 5 絶縁層 15 及び平坦層 16 と、第 5 金属層 70 のベース 10 を離れる側に設置される発光デバイスの有機発光層及び陰極（図示せず）とを備えてもよい。第 5 絶縁層 15 が平坦層 16 のベース 10 寄り側に設置され、陰極が有機発光層のベース 10 を離れる側に設置される。

【0164】

図 3 に示すように、本開示に係る第 4 金属層は更に接続電極 61 を備えてもよく、接続電極 61 がそれぞれ第 5 金属層及び第 6 トランジスタの第 2 極に接続される。第 5 絶縁層及び平坦層には接続電極を露出させる第 5 貫通孔 V5 が設置され、第 5 金属層が接続電極 61 を露出させる第 5 貫通孔 V5 により接続電極 61 に接続され、第 4 絶縁層には第 6 トランジスタの第 2 極を露出させる第 4 貫通孔 V4 が設置され、接続電極 61 が第 6 トランジスタの第 2 極を露出させる第 4 貫通孔 V4 により第 6 トランジスタの第 2 極に接続される。

10

【0165】

本開示の例示的な実施例はデータ線及び電源コードを複数のトランジスタの第 1 極及び第 2 極と異なる層に設置することにより、サブ画素とサブ画素とを接続するデータ線の占有面積を減少させることができ、これにより高周波数駆動の OLED 表示基板の分解能を向上させる。

【0166】

同じ発明思想に基づき、上記実施例に係る表示基板を製造するために、本開示は更に表示基板の製造方法を提供する。例示的な実施例では、表示基板に平行する平面において、前記表示基板はベースに設置されるグリッド線、データ線、電源コード及び複数のサブ画素を備え、少なくとも 1 つのサブ画素は発光デバイスと、前記発光デバイスを駆動して発光させるように構成される駆動回路とを備え、前記駆動回路は複数のトランジスタ及び記憶コンデンサを備え、前記製造方法は、

20

ベースを提供することと、

前記ベースに複数の機能層を形成し、前記複数の機能層が順に設置される半導体層、第 1 導電層、第 2 導電層、第 3 導電層及び第 4 導電層を含み、前記複数の機能層の間に第 1 絶縁層、第 2 絶縁層、第 3 絶縁層及び第 4 絶縁層がそれぞれ設置され、グリッド線延在方向において、前記電源コードが少なくとも 1 つの機能層を介して互いに接続されることと、を含んでもよい。

30

【0167】

図 11 は本開示に係る表示基板の製造方法のフローチャートであり、図 11 に示すように、本開示に係る表示基板の製造方法は、

ベースを提供するステップ B1 と、

ベースに順に互いに絶縁された半導体層、第 1 金属層、第 2 金属層、第 3 金属層、第 4 金属層及び第 5 金属層を形成するステップ B2 と、を含んでもよい。

【0168】

例示的な実施例では、半導体層は複数のトランジスタのアクティブエリアを備えてもよく、第 1 金属層はグリッド線、発光制御線、リセット信号線、記憶コンデンサの第 1 電極及び複数のトランジスタのゲート電極を備えてもよく、第 2 金属層は初期信号線及び記憶コンデンサの第 2 電極を備えてもよく、第 3 金属層は複数のトランジスタのソース・ドレイン電極を備えてもよく、第 4 金属層はデータ線及び電源コードを備えてもよく、第 5 金属層は発光デバイスの陽極を備えてもよい。第 i 列のサブ画素の駆動回路が第 i 列のデータ線に接続され、各列のデータ線は第 1 サブデータ線及び第 2 サブデータ線を備え、第 i 列のデータ線の第 1 サブデータ線及び第 2 サブデータ線がそれぞれ第 i 列のサブ画素の両側に位置し、隣接する 2 列のサブ画素の間のすべてのサブデータ線が第 1 サブデータ線又は第 2 サブデータ線に過ぎない。

40

【0169】

1 i N であり、N がサブ画素の総列数である。

50

【0170】

本開示に係る表示基板の製造方法で製造される表示基板については、その実現原理及び実現効果が類似するため、ここで詳細な説明は省略する。

【0171】

いくつかの可能な実現方式では、ステップ200は、ベースに順に半導体層及び第1絶縁層を形成することと、第1絶縁層上に順に第1金属層及び第2絶縁層を形成することと、第2絶縁層上に順に第2金属層及び第3絶縁層を形成することと、第3絶縁層上に順に第3金属層及び第4絶縁層を形成することと、第4絶縁層に順に第4金属層、第5絶縁層及び平坦層を形成することと、平坦層上に順に第5金属層、発光デバイスの有機発光層及び発光デバイスの陰極を形成することと、を含んでもよい。

10

【0172】

図12は本開示に係る表示基板の製造模式図1であり、図13は本開示に係る表示基板の製造模式図2であり、図14Aは本開示に係る表示基板の製造模式図3であり、図14Bは本開示に係る表示基板の他の製造模式図3であり、図15Aは本開示に係る表示基板の製造模式図4であり、図15Bは本開示に係る表示基板の他の製造模式図4であり、図16Aは本開示に係る表示基板の製造模式図5であり、図16Bは本開示に係る表示基板の他の製造模式図5である。

【0173】

本開示で言われる「パターニングプロセス」は膜層の堆積、フォトリソのコーティング、マスクの露出、現像、エッチング、フォトリソの剥離等の処理を含む。堆積はスパッタリング、蒸着及び化学気相蒸着のうちのいずれか1つ又は複数を用いてもよく、コーティングはスプレー、スピコート及びインクジェット印刷のうちのいずれか1つ又は複数を用いてもよく、エッチングはドライエッチング及び湿式エッチングのうちのいずれか1つ又は複数を用いてもよく、本開示は制限しない。「薄膜」はある材料をベースにおいて堆積又は他のプロセスにより製造した1層の薄膜を指す。製造過程全体に亘って該「薄膜」がパターニングプロセスを必要としない場合、該「薄膜」は更に「層」と称されてもよい。製造過程全体に亘って該「薄膜」がパターニングプロセスを必要とする場合、パターニングプロセスを行う前に「薄膜」と称されるが、パターニングプロセスを行った後に「層」と称される。パターニングプロセスを行った後の「層」には少なくとも1つの「パターン」が含まれる。

20

30

【0174】

図12～図16Bに示すように、本開示に係る表示基板の製造過程は以下の操作を含んでもよい。

【0175】

ステップ100：

ベース10を提供し、ベース10に半導体薄膜を堆積し、パターニングプロセスを用いて半導体薄膜を処理して半導体層20を形成し、図12に示されるとおりである。

【0176】

例示的な実施例では、各サブ画素の半導体層20は第1トランジスタT1の位置する第1アクティブエリア101、第2トランジスタT2の位置する第2アクティブエリア102、第3トランジスタT3の位置する第3アクティブエリア103、第4トランジスタT4の位置する第4アクティブエリア104、第5トランジスタT5の位置する第5アクティブエリア105、第6トランジスタT6の位置する第6アクティブエリア106、及び第7トランジスタT7の位置する第7アクティブエリア107を備えてもよく、第1アクティブエリア101～第7アクティブエリア107は互いに接続される一体構造である。

40

【0177】

例示的な実施例では、第1アクティブエリア101と第7アクティブエリア107とが第1領域R1の第2領域R2を離れる側に設置され、第2アクティブエリア102と第4アクティブエリア104とが第1領域R1の第2領域R2寄り側に設置され、第3アクティブエリア103が第2領域R2に設置され、第5アクティブエリア105と第6アクテ

50

ィブエリア106とが第3領域R3に設置される。

【0178】

例示的な実施例では、第1アクティブエリア101がそれぞれ第2アクティブエリア102及び第7アクティブエリア107に接続され、第2アクティブエリア102がそれぞれ第3アクティブエリア103及び第6アクティブエリア106に接続され、第4アクティブエリア104がそれぞれ第3アクティブエリア103及び第5アクティブエリア105に接続される。

【0179】

例示的な実施例では、第1アクティブエリア101が「n」字形を呈し、第7アクティブエリア107が「L」字形を呈し、第7アクティブエリア107が第1アクティブエリア101のサブ画素中心線を離れる側に位置し、サブ画素中心線は第1方向においてサブ画素を等分し、第2方向に沿って延在する直線である。第2アクティブエリア102は「7」字形を呈し、サブ画素中心線の片側に位置し、第4アクティブエリア104は「1」字形を呈し、サブ画素中心線の他側に位置する。第3アクティブエリア103は「几」字形を呈し、「几」字形はサブ画素中心線に関して鏡像対称であってもよい。第5アクティブエリア105が「L」字形を呈し、第6アクティブエリア106の形状と第5アクティブエリア105の形状とがサブ画素中心線に関して鏡像対称である。本明細書では、トランジスタのアクティブエリアがある形状を呈することとは、該トランジスタのグリッド電極近傍のアクティブエリアの形状を指し、該トランジスタのアクティブエリアのチャンネルエリア、ソース・ドレインエリア及び他のトランジスタのソース・ドレインエリアに接続されるために使用されるアクティブエリア部分の延在領域を含むが、それらに限らない。

【0180】

例示的な実施例では、各トランジスタのアクティブエリアは第1エリア、第2エリア、及び第1エリアと第2エリアとの間に位置するチャンネルエリアを含む。例示的な実施例では、第1アクティブエリア101の第1エリアが同時に第7アクティブエリア107の第1エリアとされ、第1アクティブエリア101の第2エリアが同時に第2アクティブエリア102の第1エリアとされる。第2アクティブエリア102の第2エリア、第3アクティブエリア103の第2エリア及び第6アクティブエリア106の第1エリアが互いに接続され、第3アクティブエリア103の第1エリア、第4アクティブエリア104の第2エリア及び第5アクティブエリア105の第2エリアが互いに接続される。第4アクティブエリア104の第1エリアが第3アクティブエリア103を離れる側に設置され、第5アクティブエリア105の第1エリアが第3アクティブエリア103を離れる他側に設置される。第6アクティブエリア106の第2エリアが同時に第7アクティブエリア107の第2エリアとされる。

【0181】

例示的な実施例では、第2アクティブエリア102と第1アクティブエリア101との第1方向における距離が第2アクティブエリア102と第7アクティブエリア107との第1方向における距離より小さい。第2アクティブエリア102と第3アクティブエリア103との第1方向における距離が第2アクティブエリア102と第4アクティブエリア104との第1方向における距離より小さく、第2アクティブエリア102と第3アクティブエリア103との第1方向における距離が第2アクティブエリア102と第5アクティブエリア105との第1方向における距離より小さく、第2アクティブエリア102と第1アクティブエリア101との第1方向における距離が第2アクティブエリア102と第3アクティブエリア103との第1方向における距離に相当する。

【0182】

例示的な実施例では、データ信号を書き込むデータ線から電源コードへの方向に沿って、第7アクティブエリア107及び第1アクティブエリア101が順に設置される。

【0183】

例示的な実施例では、第i行第j列のサブ画素の半導体層20の形状が第i+1行第j+1列のサブ画素の半導体層20の形状と同じであり、第i行第j+1列のサブ画素の

10

20

30

40

50

半導体層 20 の形状が第 $i + 1$ 行第 j 列のサブ画素の半導体層 20 の形状と同じである。第 1 方向において、隣接するサブ画素の間の中心線については、隣接するサブ画素の半導体層 20 が該中心線に関して鏡像対称であり、つまり、第 1 方向において、隣接するサブ画素の半導体層同士が対称関係を持つ。本明細書では、半導体層の形状が同じであることはそれらの全体の形状、各部分の接続関係及び信号の流れる方向が同じであることを含むが、それらに限らない。

【0184】

例示的な実施例では、第 1 実施形態におけるアクティブエリアの製造模式図は第 2 実施形態におけるアクティブエリアの製造模式図と同じである。

【0185】

本開示の例示的な実施例の半導体層は配置が合理的で、構造が簡潔であり、表示基板の表示効果を確保することができる。

【0186】

ステップ 200 :

半導体層 20 上に順に第 1 絶縁薄膜及び第 1 金属薄膜を堆積し、パターニングプロセスを用いて第 1 金属薄膜を処理して、半導体層 20 を覆う第 1 絶縁層と、第 1 絶縁層上に設置される第 1 金属層 30 とを形成し、図 13 に示されるとおりである。

【0187】

例示的な実施例では、第 1 金属層 30 はグリッド線 G、リセット信号線 Reset、発光制御線 EM 及び記憶コンデンサの第 1 電極 C1 を備えてもよい。

【0188】

例示的な実施例では、グリッド線 G、リセット信号線 Reset 及び発光制御線 EM が第 1 方向に沿って延在し、グリッド線 G 及びリセット信号線 Reset が第 1 領域 R1 に設置され、発光制御線 EM が第 3 領域 R3 に設置される。記憶コンデンサの第 1 電極 C1 は矩形形状であってもよく、矩形形状の角部に面取りを行ってもよく、第 1 電極 C1 は第 2 領域 R2 に設置され、グリッド線 G と発光制御線 EM との間に位置し、第 1 電極 C1 のベース上での直交投影と第 3 アクティブエリアのベース上での直交投影とが重複領域を有する。例示的な実施例では、第 1 極板 C1 が同時に第 3 トランジスタのゲート電極とされる。

【0189】

例示的な実施例では、第 1 領域 R1 のリセット信号線 Reset が等幅で設置されなくてもよく、リセット信号線 Reset の幅がリセット信号線 Reset の第 2 方向における寸法である。リセット信号線 Reset は半導体層 20 と重なる領域と、半導体層 20 と重ならない領域とを含んでもよく、半導体層 20 と重なる領域のリセット信号線 Reset の幅が半導体層 20 と重ならない領域のリセット信号線 Reset の幅より大きくてもよい。

【0190】

例示的な実施例では、第 1 領域 R1 のグリッド線 G が等幅で設置されなくてもよく、グリッド線 G の幅がグリッド線 G の第 2 方向における寸法である。グリッド線 G の半導体層 20 と重なる領域及び半導体層 20 と重ならない領域について、半導体層 20 と重なる領域のグリッド線 G の幅は半導体層 20 と重ならない領域のグリッド線 G の幅より大きくてもよい。

【0191】

例示的な実施例では、第 3 領域 R3 の発光制御線 EM が等幅で設置されなくてもよく、発光制御線 EM の幅が発光制御線 EM の第 2 方向における寸法である。発光制御線 EM は半導体層 20 と重なる領域と、半導体層 20 と重ならない領域とを含み、半導体層 20 と重なる領域の発光制御線 EM の幅が半導体層 20 と重ならない領域の発光制御線 EM の幅より大きくてもよい。

【0192】

例示的な実施例では、第 i 行のグリッド線 G は第 1 グリッド線部分を含んでもよく、第 1 グリッド線部分が第 1 方向に沿って第 j 列のサブ画素から第 $j + 1$ 列のサブ画素まで延

10

20

30

40

50

在し、第1グリッド線部分の第1端が第*i*行第*j*列のサブ画素に位置する接続ストリップによりグリッド線Gに接続され、第1グリッド線部分の第2端が第*i*行第*j*+1列のサブ画素に位置する接続ストリップによりグリッド線Gに接続され、第*i*行第*j*列のサブ画素及び第*i*行第*j*+1列のサブ画素内にダブルグリッド構造が同時に形成される。第*i*+1行のグリッド線Gは第2グリッド線部分を含んでもよく、第2グリッド線部分第1方向に沿って第*j*+1列のサブ画素から第*j*+2列のサブ画素まで延在し、第2グリッド線部分の第1端が第*i*+1行第*j*+1列のサブ画素に位置する接続ストリップによりグリッド線Gに接続され、第2グリッド線部分の第2端が第*i*+1行第*j*+2列のサブ画素に位置する接続ストリップによりグリッド線Gに接続され、第*i*+1行第*j*+1列のサブ画素及び第*i*+1行第*j*+2列のサブ画素内にダブルグリッド構造が同時に形成される。こうして、第*j*列のサブ画素及び第*j*+1列のサブ画素内にダブルグリッド構造の第2トランジスタT2が同時に形成され、第*j*列のサブ画素の第2トランジスタT2と第*j*+1列のサブ画素の第2トランジスタT2とがダブルグリッドエリア110を形成する。

10

【0193】

例示的な実施例では、第1電極C1が第3アクティブエリアと重なる領域は第3ゲート電極（ダブルグリッド構造）、グリッド線Gが第2アクティブエリアと重なる領域は第2ゲート電極（ダブルグリッド構造）、リセット信号線Resetが第1アクティブエリアと重なる領域は第1ゲート電極（ダブルグリッド構造）、グリッド線Gが第4アクティブエリアと重なる領域は第4ゲート電極、リセット信号線Resetが第7アクティブエリアと重なる領域は第7ゲート電極、発光制御線EMが第5アクティブエリアと重なる領域は第5ゲート電極、発光制御線EMが第6アクティブエリアと重なる領域は第6ゲート電極とされる。

20

【0194】

例示的な実施例では、第1トランジスタT1、第2トランジスタT2及び第3トランジスタT3がいずれもダブルグリッドトランジスタであるため、ダブルグリッドの第2トランジスタT2と他のダブルグリッドトランジスタ（第1トランジスタT1及び第3トランジスタT3）との第1方向における距離が第2トランジスタT2とシングルグリッドの第4トランジスタT4、第5トランジスタT5及び第7トランジスタT7との第1方向における距離より小さい。

【0195】

例示的な実施例では、第1金属層30のパターンを形成した後、第1金属層30を遮断として利用して、半導体層を導体化処理してもよく、第1金属層30に遮られる領域の半導体層が第1トランジスタT1～第7トランジスタT7のチャンネル領域を形成し、第1金属層30に遮られない領域の半導体層が導体化され、つまり第1トランジスタT1～第7トランジスタT7の第1エリア及び第2エリアが導体化される。

30

【0196】

例示的な実施例では、第1実施形態における第1金属層の製造模式図は第2実施形態における第1金属層の製造模式図と同じである。

【0197】

本開示の例示的な実施例の第1金属層は配置が合理的で、構造が簡潔であり、表示基板の表示効果を確保することができる。

40

【0198】

ステップ300:

第1金属層30上に順に第2絶縁薄膜及び第2金属薄膜を堆積し、パターンングプロセスを用いて第2金属薄膜を処理して、第1金属層30を覆う第2絶縁層と、第2絶縁層上に設置される第2金属層40とを形成し、第2金属層40は少なくとも初期信号線Vin_{it}及び記憶コンデンサの第2電極C2を備える。その後、第2金属層40上に第3絶縁薄膜を堆積し、パターンングプロセスを用いて第3絶縁薄膜を処理して、第2金属層40を覆う第3絶縁層を形成し、第3絶縁層上に複数の貫通孔が設置され、図14A及び図14Bに示されるとおりである。

50

【 0 1 9 9 】

例示的な実施例では、第3絶縁層上の複数の貫通孔は、少なくとも、第2電極C2を露出させる第2貫通孔V2、初期信号線Vinitを露出させる第6貫通孔V6、第1電極C1を露出させる第7貫通孔V7、第4アクティブエリアを露出させる第8貫通孔V8、第2アクティブエリアを露出させる第9貫通孔V9、第1アクティブエリアを露出させる第10貫通孔V10、及び半導体層内の他のアクティブエリアを露出させる複数の貫通孔を含む。第2電極C2を露出させる第2貫通孔V2及び初期信号線Vinitを露出させる第6貫通孔V6内の第3絶縁層がエッチングされ、第1電極C1を露出させる第7貫通孔V7内の第2絶縁層及び第3絶縁層がエッチングされ、第4アクティブエリアを露出させる第8貫通孔V8、第2アクティブエリアを露出させる第9貫通孔V9、第1アクティブエリアを露出させる第10貫通孔V10、及び半導体層内の他のアクティブエリアを露出させる貫通孔内の第1絶縁層、第2絶縁層及び第3絶縁層がエッチングされる。

10

【 0 2 0 0 】

例示的な実施例では、第2貫通孔V2は第2電極C2を後続に形成される第5トランジスタT5の第1極に接続させるように構成され、第6貫通孔V6は初期信号線Vinitを後続に形成される第1トランジスタT1の第1極に接続させるように構成され、第7貫通孔V7は第1電極C1を後続に形成される第2トランジスタT2の第1極に接続させるように構成され、第8貫通孔V8は第4トランジスタT4のアクティブ層を後続に形成される第4トランジスタT4の第1極に接続させるように構成され、第9貫通孔V9は第2トランジスタT2のアクティブ層を後続に形成される第2トランジスタT2の第1極に接続させるように構成され、第10貫通孔V10は第1トランジスタT1のアクティブ層を後続に形成される第1トランジスタT1の第1極に接続させるように構成される。後続に形成される第4トランジスタT4の第1極が後続に形成されるデータ線Dに接続されるため、第8貫通孔V8はデータ書き込み穴である。

20

【 0 2 0 1 】

例示的な実施例では、データ書き込み穴と第2トランジスタT2との第1方向における距離はデータ書き込み穴と第1トランジスタT1との第1方向における距離より大きいし、データ書き込み穴と第7トランジスタT7との第1方向における距離よりも大きい。データ書き込み穴と第3トランジスタT3との第2方向における距離はデータ書き込み穴と第5トランジスタT5との第2方向における距離より小さいし、データ書き込み穴と第6トランジスタT6との第2方向における距離よりも小さい。

30

【 0 2 0 2 】

例示的な実施例では、第2貫通孔V2の数が2つであってもよく、2つの第2貫通孔が第2方向に沿って順に設置される。第5第1極の幅が比較的に狭いため、2つの第2貫通孔V2を設置することにより、第2電極と第5第1極との接続信頼性を向上させることができる。

【 0 2 0 3 】

例示的な実施例では、初期信号線Vinitは第1方向に沿って延在し、第1領域R1に設置され、リセット信号線Resetの第2領域R2を離れる側に位置する。各サブ画素における記憶コンデンサの第2電極C2は輪郭が矩形形状であってもよく、第2領域R2に設置され、グリッド線Gと発光制御線EMとの間に位置する。

40

【 0 2 0 4 】

例示的な実施例では、第2電極C2の輪郭は矩形形状であってもよく、矩形形状の角部に面取りを行ってもよく、第2電極C2のベース上での直交投影と第1電極C1のベース上での直交投影とが重複領域を有する。第2電極C2の中央に開口111が設置され、開口111は矩形であってもよく、第2電極C2を環状構造に形成させる。開口111から第1電極C1を覆う第2絶縁層が露出し、第1電極C1のベース上での直交投影は開口111のベース上での直交投影を含む。例示的な実施例では、開口111のベース上での直交投影は第1電極C1を露出させる第7貫通孔V7のベース上での直交投影を含む。

【 0 2 0 5 】

50

第2電極C2の第1領域R1寄りのエッジのベース上での直交投影が、第1領域R1と第2領域R2との境界線のベース上での直交投影と重なり、第2電極C2の第3領域R3寄りのエッジのベース上での直交投影が、第2領域R2と第3領域R3との境界線のベース上での直交投影と重なり、つまり第2電極C2の第2長さが第2領域R2の第2長さに等しく、第2長さは第2方向における寸法を指す。

【0206】

第1実施形態では、1行の隣接するサブ画素の第2電極C2が互いに接続される一体構造である。該構造によって、隣接するサブ画素の第2電極C2が電源信号線として多重化されることを可能にし、隣接するサブ画素の電源コードの提供する電源信号が同じであるように確保することができ、表示基板の表示不良を回避し、表示基板の表示効果を確保する。

10

【0207】

第2実施形態では、第i行第j列のサブ画素の第2電極C2と第i行第j+1列のサブ画素の第2電極C2とが第1接続部により互いに接続される一体構造であり、第i行第j+1列のサブ画素の第2電極C2と第i行第j+2列のサブ画素の第2電極C2とが切断されるように設置され、第i行第j+2列のサブ画素の第2電極C2と第i行第j+3列のサブ画素の第2電極C2とが第1接続部により互いに接続される一体構造である。第i+1行第j列のサブ画素の第2電極C2と第i+1行第j+1列のサブ画素の第2電極C2とが切断されるように設置され、第i+1行第j+1列のサブ画素の第2電極C2と第i+1行第j+2列のサブ画素の第2電極C2とが第1接続部により互いに接続される一体構造であり、第i+1行第j+2列のサブ画素の第2電極C2と第i+1行第j+3列のサブ画素の第2電極C2とが切断されるように設置される。該構造によって、隣接するサブ画素の第2電極C2が電源信号線として多重化されることを可能にし、隣接するサブ画素の電源コードの提供する電源信号が同じであるように確保することができ、表示基板の表示不良を回避し、表示基板の表示効果を確保する。

20

【0208】

図14Aは第1実施形態の製造模式図であり、図14Bは第2実施形態の製造模式図である。

【0209】

本開示の例示的な実施例の第2金属層及び貫通孔は配置が合理的で、構造が簡潔であり、表示基板の表示効果を確保することができる。

30

【0210】

ステップ400:

第3絶縁層上に第3金属薄膜を堆積し、パターニングプロセスによって第3金属薄膜を処理して、第3金属層50を形成し、第3金属層50は少なくとも第5トランジスタT5の第1極51、第6トランジスタT6の第2極52、第4トランジスタT4の第1極53、第1トランジスタT1の第1極54及び第2トランジスタT2の第1極55を備える。第5トランジスタT5の第1極51が第2貫通孔V2により第2電極C2に接続され、第6トランジスタT6の第2極52が貫通孔により第6トランジスタのアクティブ層に接続され、第4トランジスタT4の第1極53が第8貫通孔V8により第4トランジスタT4のアクティブ層に接続され、第1トランジスタT1の第1極54は一端が第6貫通孔V6により初期信号線Vinitに接続され、他端が第10貫通孔V10により第1トランジスタT1のアクティブ層に接続され、第2トランジスタT2の第1極55は一端が第7貫通孔V7により第1電極C1に接続され、他端が第9貫通孔V9により第2トランジスタT2のアクティブ層に接続される。その後、第3金属層50上に第4絶縁薄膜を堆積し、パターニングプロセスによって第4絶縁薄膜を処理して第3金属層50を覆う第4絶縁層を形成し、第4絶縁層上に複数の貫通孔が設置され、図15A及び図15Bに示されるとおりである。

40

【0211】

例示的な実施例では、第4絶縁層上の複数の貫通孔は、少なくとも、第5トランジスタ

50

T5の第1極51を露出させる第1貫通孔V1、第6トランジスタT6の第2極52を露出させる第4貫通孔V4、及び第4トランジスタT4の第1極53を露出させる第3貫通孔V3を含む。第5トランジスタT5の第1極51を露出させる第1貫通孔V1は第5トランジスタT5の第1極51を後続に形成される電源コードVDDに接続させるように構成され、第6トランジスタT6の第2極52を露出させる第4貫通孔V4は第6トランジスタT6の第2極52を後続に形成される接続電極に接続させるように構成され、第4トランジスタT4の第1極53を露出させる第3貫通孔V3は第4トランジスタT4の第1極53を後続に形成されるデータ線Dに接続させるように構成される。

【0212】

例示的な実施例では、第1貫通孔V1のベース上での直交投影とグリッド線Gのベース上での直交投影とが重複領域を有する。

10

【0213】

例示的な実施例では、第1貫通孔V1のベース上での直交投影と第2電極C2のベース上での直交投影とが重複領域を有する。

【0214】

例示的な実施例では、第3貫通孔V3のベース上での直交投影とグリッド線Gのベース上での直交投影とが重複領域を有する。

【0215】

例示的な実施例では、第4貫通孔V4のベース上での直交投影と発光制御線EMのベース上での直交投影とが重複領域を有する。

20

【0216】

第1実施形態では、同一行の隣接するサブ画素の第5トランジスタT5の第1極51が間隔を置いて設置される。

【0217】

第2実施形態では、第i行第j+1列のサブ画素における第5トランジスタT5の第1極51と第i行第j+2列のサブ画素における第5トランジスタT5の第1極51とが第2接続部により接続され、第i+1行第j列のサブ画素における第5トランジスタT5の第1極51と第i行第j+1列のサブ画素における第5トランジスタT5の第1極51とが第2接続部により接続され、第i+1行第j+2列のサブ画素における第5トランジスタT5の第1極51と第i行第j+3列のサブ画素における第5トランジスタT5の第1極51とが第2接続部により接続される。

30

【0218】

図15Aは第1実施形態の製造模式図であり、図15Bは第2実施形態の製造模式図である。

【0219】

本開示の例示的な実施例の第3金属層及び貫通孔は配置が合理的で、構造が簡潔であり、表示基板の表示効果を確保することができる。

【0220】

ステップ500:

第4絶縁層上に第4金属薄膜を堆積し、パターニングプロセスによって第4金属薄膜を処理して、第1サブデータ線DO、第2サブデータ線DE、電源コードVDD及び接続電極61を備える第4金属層60を形成し、第1サブデータ線DOと第2サブデータ線DEがそれぞれその位置するサブ画素における第4トランジスタT4の第1極53を露出させる第3貫通孔V3により第4トランジスタT4の第1極53に接続され、電源コードVDDが第5トランジスタT5の第1極51を露出させる第1貫通孔V1により第5トランジスタT5の第1極51に接続され、接続電極61が第6トランジスタT6の第2極52を露出させる第4貫通孔V4により第6トランジスタT6の第2極52に接続される。その後、第4金属層60上に第5絶縁薄膜を堆積し、第5絶縁薄膜上に平坦薄膜をコーティングし、パターニングプロセスによって平坦薄膜及び第5絶縁薄膜を処理して、第4金属層60を覆う第5絶縁層と、第5絶縁層上に設置される平坦層とを形成し、平坦層上に複数

40

50

の貫通孔が設置され、図 16 A 及び図 16 B に示されるとおりである。

【0221】

例示的な実施例では、第 1 サブデータ線 D O、第 2 サブデータ線 D E 及び電源コード V D D が第 2 方向に沿って延在し、第 1 サブデータ線 D O がサブ画素の片側に位置し、第 2 サブデータ線 D E がサブ画素の他側に位置し、電源コード V D D が第 1 サブデータ線 D O と第 2 サブデータ線 D E との間に位置する。

【0222】

例示的な実施例では、第 1 サブデータ線 D O 及び第 2 サブデータ線 D E が等幅の直線であってもよく、第 1 サブデータ線 D O 及び第 2 サブデータ線 D E の幅が第 1 サブデータ線 D O 及び第 2 サブデータ線 D E の第 1 方向における寸法である。

10

【0223】

例示的な実施例では、同一列の隣接するサブ画素の第 4 トランジスタの第 1 極が異なるサブデータ線に接続される。例えば、第 i 行第 j 列のサブ画素が第 j 列のデータ線の第 1 サブデータ線に接続され、第 $i + 1$ 行第 j 列のサブ画素が第 j 列のデータ線の第 2 サブデータ線に接続される。又は、第 i 行第 j 列のサブ画素が第 j 列のデータ線の第 2 サブデータ線に接続され、第 $i + 1$ 行第 j 列のサブ画素が第 j 列のデータ線の第 1 サブデータ線に接続される。

【0224】

例示的な実施例では、少なくとも 1 つのサブ画素において、第 1 サブデータ線 D O がその位置するサブ画素における第 3 貫通孔 V 3 により第 4 トランジスタ T 4 の第 1 極 5 3 に接続され、第 4 トランジスタ T 4 の第 1 極 5 3 が第 8 貫通孔 V 8 により第 4 アクティブエリアに接続され、第 8 貫通孔 V 8 がデータ書き込み穴であり、第 1 サブデータ線 D O が該サブ画素におけるデータ信号を書き込むデータ線である。少なくとも 1 つのサブ画素において、第 2 サブデータ線 D E がその位置するサブ画素における第 3 貫通孔 V 3 により第 4 トランジスタ T 4 の第 1 極 5 3 に接続され、第 4 トランジスタ T 4 の第 1 極 5 3 が第 8 貫通孔 V 8 により第 4 アクティブエリアに接続され、第 8 貫通孔 V 8 がデータ書き込み穴であり、第 2 サブデータ線 D E が該サブ画素におけるデータ信号を書き込むデータ線である。

20

【0225】

例示的な実施例では、各サブ画素の電源コード V D D が第 1 貫通孔 V 1 により第 5 トランジスタ T 5 の第 1 極 5 1 に接続されるが、第 5 トランジスタ T 5 の第 1 極 5 1 が記憶コンデンサの第 2 電極 C 2 に接続されるため、隣接するサブ画素の記憶コンデンサの第 2 電極 C 2 が互いに接続され、従って、電源コード V D D と第 2 電極 C 2 との接続を実現するだけでなく、第 2 電極 C 2 の電源接続線の機能も実現し、各サブ画素に提供される電源信号を同じにし、表示基板の表示効果を確保する。

30

【0226】

例示的な実施例では、各サブ画素の電源コード V D D が折れ線であってもよい。第 2 方向に沿って、各サブ画素の電源コード V D D は順に接続される第 1 電源部、第 2 電源部及び第 3 電源部を備えてもよい。第 i 行第 j 列のサブ画素に対応する電源コードにおいて、第 1 電源部の第 1 端は第 $i - 1$ 行第 j 列のサブ画素における第 3 電源部の第 2 端に接続され、第 1 電源部の第 2 端は第 2 方向に沿って延在し、第 2 電源部の第 1 端に接続され、第 2 電源部の第 2 端は傾斜方向に沿って延在し、第 3 電源部の第 1 端に接続され、傾斜方向と第 2 方向とが夾角を有し、夾角が 0 度を超えて 90 度未満であってもよく、第 3 電源部の第 2 端は第 2 方向に沿って延在し、第 $i + 1$ 行第 j 列のサブ画素における第 1 電源部の第 1 端に接続される。

40

【0227】

例示的な実施例では、第 1 電源部は等幅の直線、第 2 電源部は等幅の斜線、第 3 電源部は等幅の直線であってもよい。第 1 電源部と第 2 電源部が第 1 サブデータ線（又は第 2 サブデータ線）に平行し、第 2 電源部と第 1 電源部とがなす夾角は 90 度を超えて 180 度未満であってもよく、第 2 電源部と第 3 電源部とがなす夾角は 90 度を超えて 180 度未満であってもよい。

50

【 0 2 2 8 】

例示的な実施例では、第 1 電源部が第 1 方向に沿って延在する長さは第 1 電源部の平均幅より大きく、第 2 電源部が傾斜方向に沿って延在する長さは第 2 電源部の平均幅より大きく、第 3 電源部が第 1 方向に沿って延在する長さは第 3 電源部の平均幅より大きく、傾斜方向は第 2 電源部と第 1 電源部とが夾角をなす方向である。

【 0 2 2 9 】

例示的な実施例では、第 3 電源部の平均幅は第 1 電源部の平均幅より小さくてもよく、第 3 電源部の平均幅は第 2 電源部の平均幅より小さくてもよい。電源コード V D D が、幅が変化する折れ線に設置されることで、画素構造の配置に役立つだけでなく、電源コード V D D 及びデータ線の寄生容量を低減することもできる。第 3 電源部とデータ線との距離が比較的短い

10

【 0 2 3 0 】

例示的な実施例では、第 1 電源部の平均幅は第 2 電源部の平均幅以上であってもよいし、第 2 電源部の平均幅より小さくてもよい。

【 0 2 3 1 】

例示的な実施例では、第 2 電源部の延在方向における長さが第 1 電極 C 1 の第 2 長さに相当し、第 1 電極 C 1 の第 2 長さが第 1 電極 C 1 の第 2 方向における寸法である。第 1 電源部の延在方向における長さが第 2 電極 C 2 の第 2 長さに相当し、第 3 電源部の延在方向における長さが第 2 電極 C 2 の第 2 長さに相当し、第 2 電極 C 2 の第 2 長さが第 2 電極 C 2 の第 2 方向における寸法である。

20

【 0 2 3 2 】

図 3、図 1 6 A 及び図 1 6 B に示すように、例示的な実施例では、第 1 電源部のベース上での直交投影と第 2 トランジスタ T 2 の第 1 極 5 5 及び第 9 貫通孔 V 9 のベース上での直交投影とが重複領域を有し、従って、第 1 電源部のベース上での直交投影と第 2 トランジスタ T 2 のベース上での直交投影とが重複領域を有する。第 2 電源部のベース上での直交投影と第 1 貫通孔 V 1 のベース上での直交投影とが重複領域を有し、第 3 電源部のベース上での直交投影と第 5 トランジスタ T 5 の第 1 極 5 1 のベース上での直交投影とが重複領域を有し、従って、第 2 電源部及び第 3 電源部のベース上での直交投影がいずれも第 5 トランジスタ T 5 の第 1 極 5 1 と重複領域を有する。

30

【 0 2 3 3 】

例示的な実施例では、第 1 貫通孔 V 1 のベース上での直交投影と第 1 電源部の第 2 方向の延長線のベース上での直交投影とが重複領域を有し、第 1 貫通孔 V 1 のベース上での直交投影と第 3 電源部の第 2 方向の延長線のベース上での直交投影とが重複領域を有し、従って、第 1 方向において、第 1 電源部と第 3 電源部との第 1 方向における距離が第 1 貫通孔 V 1 の第 1 長さ又は第 3 電源部の平均幅より小さく、つまり第 1 電源部の第 3 電源部寄り側のエッジと第 3 電源部の第 1 電源部寄り側のエッジとの距離が第 1 貫通孔 V 1 の第 1 長さ又は第 3 電源部の幅より小さく、第 1 貫通孔 V 1 の第 1 長さが第 1 貫通孔 V 1 の第 1 方向における寸法を指す。従って、傾斜方向に沿って延在する第 2 電源部について、第 2 電源部が電源コード V D D を折り曲げるということであると理解されてもよい。第 1 方向において、折り曲げ程度が第 1 貫通孔 V 1 の第 1 長さに相当し、又は第 3 電源部の幅に相当し、第 2 方向において、折り曲げ程度が第 1 電極 C 1 の第 2 長さに相当する。本明細書では、2 つの電源部のエッジは 2 つの電源部の輪郭全体のエッジを指す。

40

【 0 2 3 4 】

例示的な実施例では、第 2 電源部のベース上での直交投影と第 2 電極のベース上での直交投影とが重複領域を有する。

【 0 2 3 5 】

例示的な実施例では、第 2 電源部のベース上での直交投影と第 1 接続部のベース上での直交投影とが重複領域を有する。

【 0 2 3 6 】

50

例示的な実施例では、第2電源部のベース上での直交投影と第1電極C1のベース上での直交投影とが重複領域を有する。

【0237】

例示的な実施例では、第2電源部のベース上での直交投影とグリッド線Gのベース上での直交投影とが重複領域を有し、つまり第2電源部のベース上での直交投影と第2トランジスタT2のゲート電極及び第4トランジスタT4のゲート電極のベース上での直交投影とが重複領域を有する。

【0238】

例示的な実施例では、接続電極61は第2方向に沿って延在するストリップ状であり、接続電極61の延在方向が第3電源部の延在方向に平行し、接続電極61の第2方向における長さが第3電源部の第2方向の長さに相当する。

10

【0239】

例示的な実施例では、接続電極61のベース上での直交投影と第2電極C2のベース上での直交投影とが重複領域を有する。

【0240】

例示的な実施例では、接続電極61のベース上での直交投影と第2電極C2の中央の開口111のベース上での直交投影とが重複領域を有する。

【0241】

例示的な実施例では、接続電極61のベース上での直交投影と第2第1極55のベース上での直交投影とが重複領域を有する。

20

【0242】

例示的な実施例では、接続電極61の延在方向が第1電源部の延在方向と重なり、つまり接続電極61のベース上での直交投影と第1電源部の第2方向のダミー延長線のベース上での直交投影とが重複領域を有する。

【0243】

例示的な実施例では、第8貫通孔V8（すなわちデータ書き込み穴）が第3電源部の第2方向のダミー延長線に位置し、つまり第8貫通孔V8のベース上での直交投影と第3電源部の第2方向のダミー延長線のベース上での直交投影とが重複領域を有する。

【0244】

例示的な実施例では、各サブ画素の電源コードVDDが第1貫通孔V1により第5トランジスタT5の第1極51に接続され、そして第5トランジスタT5の第1極51が第2貫通孔V2により記憶コンデンサの第2電極C2に接続されるため、これにより電源コードVDDを記憶コンデンサの第2電極C2に接続させ、従って、第1貫通孔V1が電源書き込み穴と称される。

30

【0245】

例示的な実施例では、電源書き込み穴のベース上での直交投影が第2電源部のベース上での直交投影範囲内に位置する。電源書き込み穴と第4トランジスタT4との第1方向における距離が電源書き込み穴と第2トランジスタT2との第1方向における距離に相当する。電源書き込み穴と第2トランジスタT2との第2方向における距離は電源書き込み穴と第1トランジスタT1との第2方向における距離より小さいし、電源書き込み穴と第7トランジスタT7との第2方向における距離よりも小さく、電源書き込み穴と第3トランジスタT3との第2方向における距離は電源書き込み穴と第5トランジスタT5との第2方向における距離より小さいし、電源書き込み穴と第6トランジスタT6との第2方向における距離よりも小さい。

40

【0246】

例示的な実施例では、第5絶縁層及び平坦層上の複数の貫通孔は、少なくとも、接続電極61を後続に形成される第5金属層（陽極）に接続させるように構成され、接続電極61を露出させる第5貫通孔V5を含む。接続電極61と第6トランジスタT6の第2極52とが接続されるため、第6トランジスタT6の第2極52と第5金属層との接続が実現され、駆動回路は発光デバイスを駆動して発光させることができる。

50

【0247】

例示的な実施例では、接続電極61が第4貫通孔V4により第6トランジスタT6の第2極52に接続され、第4貫通孔V4が接続電極61の第2電源部を離れる一端に位置する。接続電極61が第5貫通孔V5により後続に形成される陽極に接続され、第5貫通孔V5が接続電極61の第2電源部寄りの一端に位置し、第5貫通孔V5のベース上での直交投影と記憶コンデンサの第2電極C2のベース上での直交投影とが重複領域を有する。

【0248】

例示的な実施例では、第5貫通孔V5が第1電源部の第2方向のダミー延長線に位置し、つまり第5貫通孔V5のベース上での直交投影と第1電源部の第2方向のダミー延長線のベース上での直交投影とが重複領域を有する。

10

【0249】

図16Aは第1実施形態の製造模式図であり、図16Bは第2実施形態の製造模式図である。

【0250】

本開示の例示的な実施例の第4金属層及び貫通孔は配置が合理的で、構造が簡潔であり、表示基板の表示効果を確保することができる。

【0251】

ステップ600：

平坦層上に第5金属薄膜を堆積し、パターニングプロセスによって第5金属薄膜を処理して第5金属層70を形成し、第5金属層70は少なくとも陽極を備え、陽極が接続電極61を露出させる第5貫通孔により接続電極61に接続される。陽極が接続電極61に接続され、接続電極61が第6トランジスタT6の第2極52に接続されるため、第6トランジスタT6の第2極52と陽極との接続が実現され、第6トランジスタは発光デバイスを駆動して発光させることができる。その後、第5金属層上に画素定義薄膜をコーティングし、パターニングプロセスによって画素定義薄膜を処理して、画素定義層を形成し、各サブ画素の画素定義層に画素開口が設置され、画素開口から陽極が露出する。その後、蒸着プロセスを用いて有機発光層を形成し、有機発光層上に陰極を形成する。

20

【0252】

本開示に開示される構造及びその製造過程は例示的な説明に過ぎず、例示的な実施形態では、実際の必要に応じて対応構造を変更したり、パターニングプロセスを追加又は省略したりすることができる。例えば、電源コードVDD及び一部のトランジスタの第1極又は第2極が第3金属層50上に位置してもよく、データ線D及び一部のトランジスタの第1極又は第2極が第4金属層60上に位置してもよい。更に、例えば、データ線D及び一部のトランジスタの第1極又は第2極が第3金属層50上に位置してもよく、電源コードVDD及び一部のトランジスタの第1極又は第2極が第4金属層60上に位置してもよい。更に、例えば、電源コードVDDとデータ線Dが第3金属層50上に位置してもよく、第1トランジスタ～第7トランジスタの第1極及び第2極が第4金属層60上に位置してもよく、本開示は制限しない。

30

【0253】

図17は本開示に係る他の表示基板における複数のサブ画素の平面図であり、図18は本開示に係る他の表示基板における複数のサブ画素の断面図であり、図17は8つのサブ画素(上位4列上位2行のサブ画素)を例として模式的に説明する。図1、図17及び図18に示すように、本開示に係る表示基板はベース10と、ベース10に設置される複数のサブ画素Pと、複数列の電源コードVDDと、電源コードVDDと同じ層に設置されるデータ線Dとを備え、各サブ画素Pは駆動回路を備え、駆動回路は複数のトランジスタ及び記憶コンデンサを備えてもよく、記憶コンデンサは互いに対向して設置される第1電極C1及び第2電極C2を備え、トランジスタのアクティブエリア21が記憶コンデンサの第2電極C2のベース10寄り側に位置し、電源コードVDDが記憶コンデンサの第2電極C2のベース10を離れる側に位置する。

40

【0254】

50

例示的な実施例では、少なくとも1つのサブ画素において、電源コードVDDがそれぞれ記憶コンデンサの第2電極C2及び半導体層の第3接続部に接続され、各サブ画素の記憶コンデンサの第2電極C2が同一行の1つの隣接するサブ画素の記憶コンデンサの第2電極C2に接続され、各サブ画素の半導体層と同一行の他の隣接するサブ画素の半導体層とが第3接続部により互いに接続される。

【0255】

いくつかの可能な実現方式では、図17に示すように、第i列のサブ画素の駆動回路は第i列のデータ線及び第i列の電源コードに接続され、 $1 \leq i \leq N$ である。各列のデータ線は第1サブデータ線及び第2サブデータ線を備え、第i列のデータ線Diの第1サブデータ線DOi及び第2サブデータ線DEiがそれぞれ第i列のサブ画素の両側に位置し、第i列の電源コードVDDiが第i列のデータ線Diの第1サブデータ線DOiと第2サブデータ線DEiとの間に位置する。

10

【0256】

いくつかの可能な実現方式では、同一列の隣接するサブ画素が異なるサブデータ線に接続され、つまり、第i行第j列のサブ画素が第j列のデータ線の第1サブデータ線DOjに接続される場合、第i+1行第j列のサブ画素が第j列のデータ線の第2サブデータ線DEjに接続され、第i行第j列のサブ画素が第j列のデータ線の第2サブデータ線DEjに接続される場合、第i+1行第j列のサブ画素が第j列のデータ線の第1サブデータ線DOjに接続される。

【0257】

20

いくつかの可能な実現方式では、隣接するデータ線の第1サブデータ線及び第2サブデータ線の配列方式が逆であり、つまり、第i列のデータ線Diの第1サブデータ線DOiが第i列のサブ画素の第1側に位置し、第i列のデータ線Diの第2サブデータ線DEiが第i列のサブ画素の第2側に位置する場合、第i+1列のデータ線Di+1の第2サブデータ線DEi+1が第i+1列のサブ画素の第1側に位置し、第i+1列のデータ線Di+1の第1サブデータ線DOi+1が第i+1列のサブ画素の第2側に位置し、又は、第i列のデータ線Diの第1サブデータ線DOiが第i列のサブ画素の第2側に位置し、第i列のデータ線Diの第2サブデータ線DEiが第i列のサブ画素の第1側に位置する場合、第i+1列のデータ線Di+1の第2サブデータ線DEi+1が第i+1列のサブ画素の第2側に位置し、第i+1列のデータ線Di+1の第1サブデータ線DOi+1が第i+1列のサブ画素の第1側に位置する。

30

【0258】

図17及び図18に示すように、例示的な実施例では、表示基板は、順にベース10に設置される第1絶縁層11、第2絶縁層12、第3絶縁層13、グリッド線G、リセット信号線Reset、発光制御信号線EM及び初期信号線Vinitを備えてもよい。グリッド線G、リセット信号線Reset、発光制御信号線EM、記憶コンデンサの第1電極C1及びトランジスタのゲート電極が同一層に設置され、記憶コンデンサの第2電極C2と初期信号線Vinitとが同一層に設置され、データ線D、電源VDD線及びトランジスタのソース・ドレイン電極が同一層に設置され、トランジスタのソース・ドレイン電極はトランジスタの第1極及び第2極を含む。

40

【0259】

例示的な実施例では、第1絶縁層11がトランジスタのアクティブエリア21とトランジスタのゲート電極との間に設置され、第2絶縁層12がトランジスタのゲート電極と記憶コンデンサの第2電極C2との間に設置され、第3絶縁層13が記憶コンデンサの第2電極C2とデータ線との間に設置される。

【0260】

例示的な実施例では、トランジスタのゲート電極、トランジスタのソース・ドレイン電極、データ線D及び電源コードVDDの製造材料はいずれも金属であり、例えば銀、アルミニウム又は銅等の金属材料であってもよく、本開示は制限しない。

【0261】

50

例示的な実施例では、アクティブエリア 2 1 の製造材料は多結晶シリコンであり、本開示は制限しない。

【0262】

本開示は互いに接続される記憶コンデンサの第 2 電極と、互いに接続される半導体層とによって、同一行のすべてのサブ画素における電源コードの提供する電源信号が同じであるように確保し、表示基板の表示不良を回避し、表示基板の表示効果を確保する。

【0263】

本開示は記憶コンデンサの第 2 電極及び半導体層を電源接続線として多重化することによって電源コードにおける電源信号を伝送し、トランジスタのアクティブエリアとデータ線との距離が記憶コンデンサの第 2 電極とデータ線との距離より長いため、本開示の技術案は一部の電源コードとデータ線との距離を増加し、データ線の負荷を低減し、これにより表示基板の消費電力を低減し、そしてデータ信号の書き込み時間を短縮する。

10

【0264】

例示的な実施例では、同一列の隣接するサブ画素のアクティブエリアが第 3 接続部により互いに接続される。

【0265】

例示的な実施例では、第 i 行第 j 列のサブ画素の画素構造は第 $i + 1$ 行第 $j + 1$ 列のサブ画素の画素構造と同じである。

【0266】

例示的な実施例では、隣接する電源コード同士が対称関係を有し、第 i 列の電源コード VDD_i と第 $i + 1$ 列の電源コード VDD_{i+1} とがデータ線延在方向に沿って対称的に設置される。

20

【0267】

例示的な実施例では、電源コード VDD が折れ線状である。

【0268】

例示的な実施例では、表示基板における各画素は 4 つのサブ画素を備えてもよく、画素は第 1 画素と第 2 画素を含んでもよい。第 1 画素において、第 i サブ画素における記憶コンデンサの第 2 電極と第 $i + 1$ サブ画素における記憶コンデンサの第 2 電極とが第 1 接続部により互いに接続され、第 i サブ画素におけるトランジスタのアクティブエリアと第 $i + 1$ サブ画素におけるトランジスタのアクティブエリアとが切断されるように設置され、第 2 サブ画素におけるトランジスタのアクティブエリアと第 3 サブ画素におけるトランジスタのアクティブエリアとが第 3 接続部により互いに接続され、第 2 サブ画素における記憶コンデンサの第 2 電極と第 3 サブ画素における記憶コンデンサの第 2 電極とが切断されるように設置される。第 2 画素において、第 2 サブ画素における記憶コンデンサの第 2 電極と第 3 サブ画素における記憶コンデンサの第 2 電極とが第 1 接続部により互いに接続され、第 2 サブ画素におけるトランジスタのアクティブエリアと第 3 サブ画素におけるトランジスタのアクティブエリアとが切断されるように設置され、第 i サブ画素におけるトランジスタのアクティブエリアと第 $i + 1$ サブ画素におけるトランジスタのアクティブエリアとが第 3 接続部により互いに接続され、第 i サブ画素における記憶コンデンサの第 2 電極と第 $i + 1$ サブ画素における記憶コンデンサの第 2 電極とが切断されるように設置される。 i は 4 より小さい奇数である。

30

40

【0269】

図 17 は列方向に沿って設置される 2 つの画素を例として説明するものであり、上方の画素は第 1 画素であり、下方の画素は第 2 画素であり、本開示はこれについて何の制限もしない。隣接するサブ画素の画素構造が対称であるため、表示基板における第 1 画素が隣接する第 2 画素の間に設置され、第 2 画素が隣接する第 1 画素の間に設置される。

【0270】

図 19 は本開示に係る他の表示基板におけるサブ画素の部分平面図であり、電源コード、データ線及びトランジスタのソース・ドレイン電極が含まれない。図 20 は本開示に係る他の表示基板におけるサブ画素の他の部分平面図であり、記憶コンデンサの第 2 電極の

50

位置する膜層及びデータ線の位置する膜層のみを含む。図 2 1 は本開示に係る他の表示基板におけるサブ画素の別の部分平面図であり、トランジスタのアクティブエリア及びデータ線の位置する膜層のみを含む。図 1 9 に示すように、表示基板の第 3 絶縁層上に第 1 1 貫通孔 V 1 1 が設置される。

【 0 2 7 1 】

例示的な実施例では、図 1 9 及び図 2 1 に示すように、各サブ画素において、記憶コンデンサの第 2 電極 C 2 のベース上での直交投影は第 1 1 貫通孔 V 1 1 のベース上での直交投影を含み、電源コードが第 1 1 貫通孔 V 1 1 により記憶コンデンサの第 2 電極 C 2 に接続される。

【 0 2 7 2 】

例示的な実施例では、第 1 1 貫通孔 V 1 1 の数が少なくとも 1 つである。具体的に、第 1 1 貫通孔 V 1 1 の数が多ければ多いほど、電源コードと記憶コンデンサの第 2 電極との導電性が良い。

【 0 2 7 3 】

例示的な実施例では、図 1 9 に示すように、表示基板の第 1 絶縁層、第 2 絶縁層及び第 3 絶縁層内に第 1 2 貫通孔 V 1 2 が設置される。

【 0 2 7 4 】

例示的な実施例では、図 1 9 及び図 2 1 に示すように、各サブ画素において、第 1 2 貫通孔 V 1 2 のベース上での直交投影と第 3 接続部 2 2 のベース上での直交投影とが重複領域を有し、電源コードが第 1 2 貫通孔 V 1 2 によりトランジスタの第 3 接続部 2 2 に接続される。

【 0 2 7 5 】

例示的な実施例では、第 1 2 貫通孔 V 1 2 の数が少なくとも 1 つであり、貫通孔の数が多ければ多いほど、貫通孔により接続される部材の導電性が良い。

【 0 2 7 6 】

図 1 9 ~ 図 2 1 は 2 つの第 1 1 貫通孔 V 1 1 及び 1 つの第 1 2 貫通孔 V 1 2 を例として説明したが、本開示は制限しない。

【 0 2 7 7 】

例示的な実施例では、レイアウト配置を合理的に設計することにより、半導体層のみで複数のサブ画素の導電層の相互接続を実現してもよいし、第 1 金属層のみで複数のサブ画素の導電層の相互接続を実現してもよいし、第 2 金属層のみで複数のサブ画素の導電層の相互接続を実現してもよく、これにより、同一行のサブ画素の電源コードが駆動回路によりグリッド線延在方向において相互接続されることを実現し、ここで詳細な説明は省略する。

【 0 2 7 8 】

本開示は更に上記実施例に係る他の表示基板を製造するための他の表示基板の製造方法を提供し、図 2 2 は本開示に係る他の表示基板の製造方法のフローチャートであり、図 2 2 に示すように、本開示に係る他の表示基板の製造方法は、

ベースを提供するステップ B 1 1 と、

ベースに複数のサブ画素、複数列の電源コード及び電源コードと同じ層に設置されるデータ線を形成するステップ B 1 2 と、を含む。

【 0 2 7 9 】

例示的な実施例では、各サブ画素は駆動回路を備えてもよく、駆動回路は複数のトランジスタ及び記憶コンデンサを備えてもよく、記憶コンデンサは互いに対向して設置される第 1 電極及び第 2 電極を備えてもよく、トランジスタのアクティブエリアが記憶コンデンサの第 2 電極のベース寄り側に位置し、電源コードが記憶コンデンサの第 2 電極のベースを離れる側に位置する。

【 0 2 8 0 】

例示的な実施例では、各サブ画素において、電源コードがそれぞれ記憶コンデンサの第 2 電極及び半導体層の第 3 接続部に接続され、各サブ画素の記憶コンデンサの第 2 電極と

10

20

30

40

50

同一行の1つの隣接するサブ画素の記憶コンデンサの第2電極とが第1接続部により接続され、各サブ画素のトランジスタのアクティブエリアと同一行の他の1つの隣接するサブ画素のトランジスタのアクティブエリアとが第3接続部により接続される。

【0281】

本開示に係る他の表示基板の製造方法は上記実施例に係る他の表示基板を製造することに用いられ、その実現原理及び実現効果が類似するため、ここで詳細な説明は省略する。

【0282】

データ線延在方向に沿って設置される2つの画素を形成する場合を例とし、各画素は4つのサブ画素を備える。図23は本開示に係る他の表示基板のアクティブエリアの製造模式図であり、図24は本開示に係る他の表示基板の第1絶縁層及び第1金属層の製造模式図であり、図25は本開示に係る他の表示基板の第2絶縁層及び第2金属層の製造模式図であり、図26は本開示に係る他の表示基板の第3絶縁層の製造模式図であり、図23～図26に示すように、表示基板の製造方法は以下のステップ1001～ステップ1005を含んでもよい。

【0283】

ステップ1001：

ベースを提供し、ベースに半導体層を形成し、図23に示されるとおりである。

【0284】

例示的な実施例では、各サブ画素の半導体層は第1アクティブエリア～第71アクティブエリアを備えてもよく、第1アクティブエリア～第7アクティブエリアが互いに接続される一体構造である。例示的な実施例では、第1アクティブエリア～第7アクティブエリアの位置は上記実施例と類似するため、ここで詳細な説明は省略する。

【0285】

例示的な実施例では、第1方向において、隣接するサブ画素の間の中心線については、隣接するサブ画素の半導体層が該中心線に関して鏡像対称である。第*i*行第*j*列のサブ画素の半導体層の形状は第*i*+1行第*j*+1列のサブ画素の半導体層の形状と同じであり、第*i*行第*j*+1列のサブ画素の半導体層の形状は第*i*+1行第*j*列のサブ画素の半導体層の形状と同じである。

【0286】

例示的な実施例では、各サブ画素の半導体層と同一行の他の1つの隣接するサブ画素の半導体層とが第3接続部により接続され、各サブ画素の半導体層と同一列の隣接するサブ画素の半導体層とが互いに接続される。

【0287】

例示的な実施例では、少なくとも1つのサブ画素の半導体層は更に第3接続部22を備える。第*i*行のサブ画素において、第*j*列のサブ画素の半導体層と第*j*+1列のサブ画素の半導体層とが切断されるように設置され、第*j*+1列のサブ画素の半導体層と第*j*+2列のサブ画素の半導体層とが第3接続部22により互いに接続され、第*j*+2列のサブ画素の半導体層と第*j*+3列のサブ画素の半導体層とが切断されるように設置される。第*i*+1行のサブ画素において、第*j*列のサブ画素の半導体層と第*j*+1列のサブ画素の半導体層とが第3接続部22により互いに接続され、第*j*+1列のサブ画素の半導体層と第*j*+2列のサブ画素の半導体層とが切断されるように設置され、第*j*+2列のサブ画素の半導体層と第*j*+3列のサブ画素の半導体層とが第3接続部22により互いに接続される。

【0288】

例示的な実施例では、第3接続部22の第1端が本サブ画素における第5トランジスタのアクティブエリア105に接続され、第3接続部22の第2端が隣接するサブ画素における第5トランジスタのアクティブエリア105に接続される。

【0289】

例示的な実施例では、第3接続部22のベース上での直交投影と後続に形成されるデータ線及び電源コードのベース上での直交投影とが重複領域を有する。

【0290】

10

20

30

40

50

例示的な実施例では、隣接するサブ画素の半導体層が互いに接続されるように設置されることにより、半導体層の第3接続部22を電源接続線として多重化して電源コードにおける電源信号を伝送することができる。

【0291】

本開示の例示的な実施例の半導体層は配置が合理的で、構造が簡潔であり、表示基板の表示効果を確保することができる。

【0292】

ステップ1002:

半導体層上に第1絶縁層を形成し、第1絶縁層上に第1金属層を形成し、図24に示されるとおりである。

【0293】

例示的な実施例では、第1金属層はグリッド線G、リセット信号線Reset、発光制御信号線EM及び記憶コンデンサの第1電極C1を備えてもよい。

【0294】

例示的な実施例では、グリッド線G、リセット信号線Reset及び発光制御線EMは第1方向に沿って延在し、グリッド線Gがリセット信号線Resetと発光制御線EMとの間に設置される。記憶コンデンサの第1電極C1は矩形形状であってもよく、矩形形状の角部に面取りを行ってもよく、グリッド線Gと発光制御線EMとの間に設置され、第1電極C1のベース上での直交投影と第3アクティブエリアのベース上での直交投影とが重複領域を有する。例示的な実施例では、第1極板C1が同時に第3トランジスタのゲート電極とされる。

【0295】

例示的な実施例では、グリッド線G、リセット信号線Reset及び発光制御線EMは等幅で設置されなくてもよい。グリッド線Gにはリセット信号線Resetの一侧へ突起するゲートブロックが設置され、ゲートブロックのベース上での直交投影と第2アクティブエリアのベース上での直交投影とが重複領域を有し、これによりダブルグリッド構造を形成する。

【0296】

例示的な実施例では、第1金属層パターンを形成した後、第1金属層を遮断として利用して、半導体層を導体化処理してもよく、第1金属層に遮られる領域の半導体層が第1トランジスタT1~第7アクティブエリアのチャンネル領域を形成し、第1金属層に遮られない領域の半導体層が導体化される。

【0297】

本開示の例示的な実施例の第1金属層は配置が合理的で、構造が簡潔であり、表示基板の表示効果を確保することができる。

【0298】

ステップ1003:

第1金属層上に第2絶縁層を形成し、第2絶縁層上に第2金属層を形成し、図25に示されるとおりである。

【0299】

例示的な実施例では、第2金属層は初期信号線Vinit及び記憶コンデンサの第2電極C2を備えてもよい。

【0300】

例示的な実施例では、初期信号線Vinitは第1方向に沿って延在し、リセット信号線Resetのグリッド線Gを離れる側に設置される。各サブ画素における記憶コンデンサの第2電極C2の輪郭は矩形形状であってもよく、グリッド線Gと発光制御線EMとの間に位置する。

【0301】

例示的な実施例では、第2電極C2の輪郭は矩形形状であってもよく、矩形形状の角部に面取りを行ってもよく、第2電極C2のベース上での直交投影と第1電極C1のベース上で

10

20

30

40

50

の直交投影とが重複領域を有する。第2電極C2の中央に開口が設置され、開口が矩形であってもよく、第2電極C2に環状構造を形成させる。開口から第1電極C1を覆う第2絶縁層が露出し、第1電極C1のベース上での直交投影は開口のベース上での直交投影を含む。

【0302】

例示的な実施例では、第*i*行第*j*列のサブ画素の第2電極C2と第*i*行第*j*+1列のサブ画素の第2電極C2とが第1接続部C3により互いに接続される一体構造であり、第*i*行第*j*+1列のサブ画素の第2電極C2と第*i*行第*j*+2列のサブ画素の第2電極C2とが切断されるように設置され、第*i*行第*j*+2列のサブ画素の第2電極C2と第*i*行第*j*+3列のサブ画素の第2電極C2とが第1接続部C3により互いに接続される一体構造である。第*i*+1行第*j*列のサブ画素の第2電極C2と第*i*+1行第*j*+1列のサブ画素の第2電極C2とが切断されるように設置され、第*i*+1行第*j*+1列のサブ画素の第2電極C2と第*i*+1行第*j*+2列のサブ画素の第2電極C2とが第1接続部C3により互いに接続される一体構造であり、第*i*+1行第*j*+2列のサブ画素の第2電極C2と第*i*+1行第*j*+3列のサブ画素の第2電極C2とが切断されるように設置される。該構造によって、隣接するサブ画素の第2電極C2が電源信号線として多重化されることができ、隣接するサブ画素の電源コードの提供する電源信号が同じであるように確保することができ、表示基板の表示不良を回避し、表示基板の表示効果を確保する。

10

【0303】

例示的な実施例では、第2金属層は更にシールド電極C4を備えてもよく、シールド電極C4のベース上での直交投影と後続に形成される電源コードのベース上での直交投影とが重複領域を有し、電源コードが貫通孔によりシールド電極C4に接続される。例示的な実施例では、シールド電極C4はデータ線の駆動回路への影響をシールドするように構成される。

20

【0304】

例示的な実施例では、シールド電極C4の形状は「7」字形を呈し、第1方向に沿って延在する第1部と、第2方向に沿って延在する第2部とを含み、第1部の第2部寄り的一端と第2部の第1部寄り的一端とが互いに接続され、直角を持つ折れ線を形成する。

【0305】

例示的な実施例では、第2方向において、シールド電極C4がグリッド線Gとリセット信号線Resetとの間に設置され、第1方向において、シールド電極C4の第2部が後続に形成されるデータ線と電源コードとの間に設置される。

30

【0306】

例示的な実施例では、シールド電極C4の第2部と第1金属層のゲートブロックがいずれも第2方向に沿って延在し、両者が正対領域を有し、つまりシールド電極C4のゲートブロック寄りの第1方向側のエッジとゲートブロックのシールド電極C4寄りの第1方向側のエッジとが互に対向して設置される領域を有する。

【0307】

本開示の例示的な実施例の第2金属層は配置が合理的で、構造が簡潔であり、表示基板の表示効果を確保することができる。

40

【0308】

ステップ1004:

第2金属層上に第3絶縁層を形成し、第3絶縁層には記憶コンデンサの第2電極を露出させる第1貫通孔V11が設置され、第1絶縁層、第2絶縁層及び第3絶縁層には第3接続部を露出させる第2貫通孔V12が設置され、図26に示されるとおりである。

【0309】

例示的な実施例では、第1貫通孔V11は第2電極C2を後続に形成される電源コードに接続させるように構成され、第2貫通孔V12は半導体層の第3接続部を後続に形成される電源コードに接続させるように構成され、これにより、隣接するサブ画素における互いに接続される第2電極C2及び隣接するサブ画素における互いに接続される第3接

50

続部はともに電源接続線として多重化される。

【0310】

例示的な実施例では、第1貫通孔V11の数が2つであってもよく、2つの第1貫通孔V11が第2方向に沿って順に設置され、第2電極と電源コードとの接続信頼性を向上させることができる。

【0311】

本開示の例示的な実施例の貫通孔は配置が合理的で、構造が簡潔であり、表示基板の表示効果を確保することができる。

【0312】

ステップ1005：

第3絶縁層上に第3金属層を形成し、図17に示されるとおりである。

10

【0313】

例示的な実施例では、第3金属層はデータ線D、電源コードVDD及び複数のトランジスタのソース・ドレイン電極を備え、データ線Dは第1サブデータ線DO及び第2サブデータ線DEを備える。

【0314】

例示的な実施例では、第1サブデータ線DO、第2サブデータ線DE及び電源コードVDDは第2方向に沿って延在し、第1サブデータ線DOがサブ画素の片側に位置し、第2サブデータ線DEがサブ画素の他側に位置し、電源コードVDDが第1サブデータ線DOと第2サブデータ線DEとの間に位置する。

20

【0315】

例示的な実施例では、同一列の隣接するサブ画素が異なるサブデータ線に接続される。例えば、第i行第j列のサブ画素が第j列のデータ線の第1サブデータ線に接続され、第i+1行第j列のサブ画素が第j列のデータ線の第2サブデータ線に接続される。又は、第i行第j列のサブ画素が第j列のデータ線の第2サブデータ線に接続され、第i+1行第j列のサブ画素が第j列のデータ線の第1サブデータ線に接続される。

【0316】

例示的な実施例では、各サブ画素の電源コードVDDが第1貫通孔V11により第2電極C2に接続され、各サブ画素の電源コードVDDが第2貫通孔V12により半導体層の第3接続部に接続される。こうして、1行では、1つの隣接するサブ画素の記憶コンデンサの第2電極C2により互いに接続され、もう1つの隣接するサブ画素の半導体層の第3接続部により互いに接続され、隣接するサブ画素における互いに接続される第2電極C2と、隣接するサブ画素における互いに接続される半導体層とをともに電源接続線として多重化し、各サブ画素に提供される電源信号を同じにし、表示基板の表示効果を確保する。

30

【0317】

例示的な実施例では、各サブ画素の電源コードVDDは折れ線であってもよい。第2方向に沿って、各サブ画素の電源コードVDDは順に接続される第1電源部、第2電源部及び第3電源部を備えてもよい。第i行第j列のサブ画素に対応する電源コードにおいて、第1電源部の第1端は第i-1行第j列のサブ画素における第3電源部の第2端に接続され、第1電源部の第2端は第2方向に沿って延在し、第2電源部の第1端に接続され、第2電源部の第2端は傾斜方向に沿って延在し、第3電源部の第1端に接続され、傾斜方向と第2方向とが夾角をなし、夾角が0度を超えて90度未満であってもよく、第3電源部の第2端は第2方向に沿って延在し、第i+1行第j列のサブ画素における第1電源部の第1端に接続される。

40

【0318】

例示的な実施例では、第1電源部は等幅の直線、第2電源部は幅が変化する斜線、第3電源部は等幅の直線であってもよい。第1電源部と第2電源部が第1サブデータ線（又は第2サブデータ線）に平行し、第2電源部と第1電源部とがなす夾角は90度を超えて180度未満であってもよく、第2電源部と第3電源部とがなす夾角は90度を超えて18

50

0度未満であってもよい。

【0319】

例示的な実施例では、第3電源部の幅は第1電源部の幅より小さくてもよい。電源コードVDDは幅が変化する折れ線に設置され、画素構造の配置に役立つだけでなく、電源コードVDD及びデータ線の寄生容量を低減することもできる。

【0320】

例示的な実施例では、第3電源部のベース上での直交投影と第2電極C2のベース上での直交投影とが重複領域を有する。

【0321】

例示的な実施例では、第3電源部のベース上での直交投影と第1電極C1のベース上での直交投影とが重複領域を有する。

10

【0322】

例示的な実施例では、第3電源部のベース上での直交投影とグリッド線Gのベース上での直交投影とが重複領域を有する。

【0323】

本開示に開示される構造及びその製造過程は例示的な説明に過ぎず、例示的な実施形態では、実際の必要に応じて対応構造を変更したり、パターニングプロセスを追加又は省略したりすることができる。例えば、表示基板は第4金属層を備えてもよく、データ線D、電源コードVDD及び複数のトランジスタのソース・ドレイン電極は異なる金属層上に位置してもよく、本開示は制限しない。

20

【0324】

本開示は記憶コンデンサの第2極板とトランジスタのアクティブエリアを電源接続線として多重化して電源コードにおける電源信号を伝送し、トランジスタのアクティブエリアとデータ線との距離が比較的に長いため、本開示の解決手段は一部の電源接続線とデータ線との距離を増加し、データ線の負荷を低減し、これにより表示基板の消費電力を低減し、そしてデータ信号の書き込み時間を短縮する。

【0325】

本開示は更に表示装置を提供し、例示的な実施例では、表示装置は上記表示基板を備える。

【0326】

いくつかの可能な実現方式では、表示基板はOLED表示基板であってもよい。表示装置は、携帯電話、タブレットコンピュータ、テレビ、ディスプレイ、ノートパソコン、デジタルフォトフレーム、カーナビゲーション等のいかなる表示機能を持つ製品又は部材であってもよく、本発明の実施例はこれらに限らない。

30

【0327】

表示基板は上記実施例に係る表示基板であり、その実現原理及び実現効果が類似するため、ここで詳細な説明は省略する。

【0328】

明確のため、本開示の実施例を説明するための図面において、層又は微細構造の厚さ及び寸法が拡大されている。理解されるように、層、膜、領域又は基板等の素子が他の素子「上」又は「下」に位置すると称される場合、該素子は他の素子「上」又は「下」に「直接」位置してもよいし、中間素子があってもよい。

40

【0329】

以上は本開示に開示される実施形態を説明したが、前記内容は本開示を理解するために用いた実施形態であり、本発明を制限するためのものではない。当業者であれば、本発明に開示される趣旨や範囲から逸脱せずに、実施形態及び詳細において種々の修正や変更を行うことができる。本発明の保護範囲は添付の特許請求の範囲に定義される範囲に準じるべきである。

【符号の説明】

【0330】

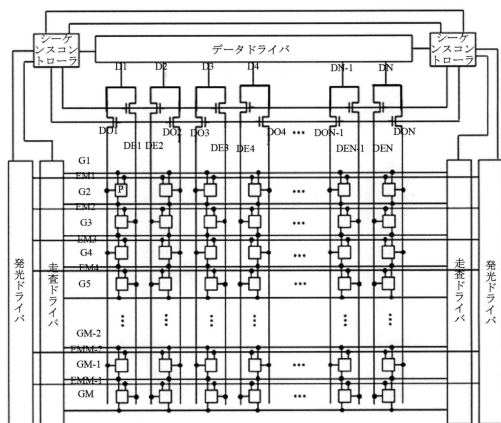
50

- 1 0 ベース
- 1 1 第1絶縁層
- 1 2 第2絶縁層
- 1 3 第3絶縁層
- 1 4 第4絶縁層
- 1 5 第5絶縁層
- 1 6 平坦層
- 2 0 半導体層
- 3 0 第1金属層
- 4 0 第2金属層 10
- 5 0 第3金属層
- 5 1 第1極
- 5 2 第2極
- 5 3 第1極
- 5 4 第1極
- 5 5 第1極
- 5 6 第2接続部
- 6 0 第4金属層
- 6 1 接続電極
- 7 0 第5金属層 20
- 1 0 1 第1アクティブエリア
- 1 0 2 第2アクティブエリア
- 1 0 3 第3アクティブエリア
- 1 0 4 第4アクティブエリア
- 1 0 5 第5アクティブエリア
- 1 0 6 第6アクティブエリア
- 1 0 7 第7アクティブエリア
- 1 1 0 ダブルグリッドエリア
- 1 1 1 開口

【図面】

30

【図 1】



【図 2】

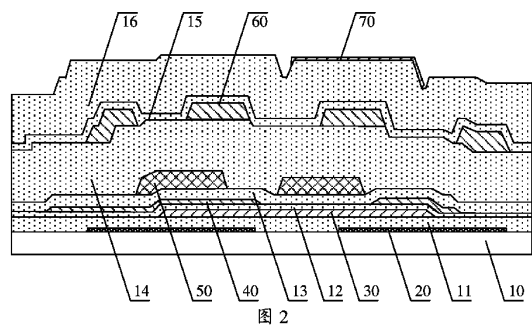


图 2

40

【 图 3 】

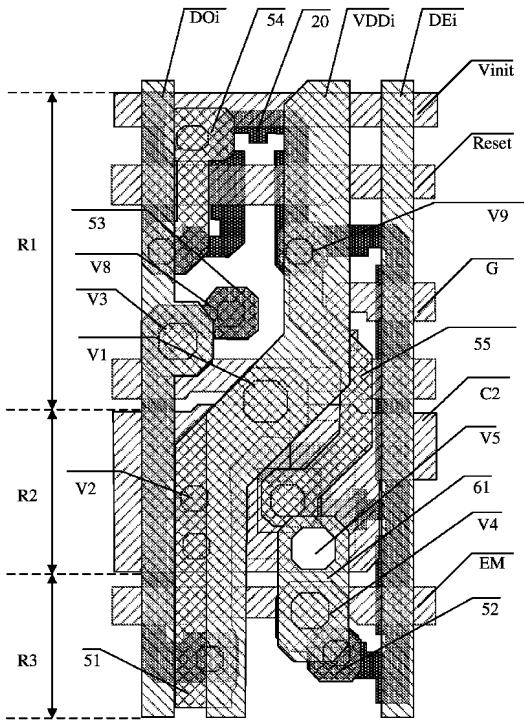


图 3

【 图 4 A 】

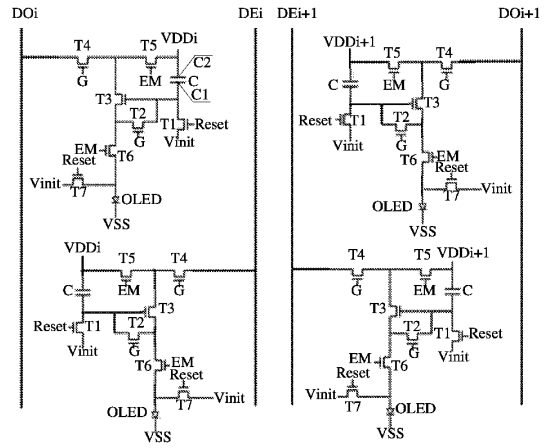


图 4A

10

20

【 图 4 B 】

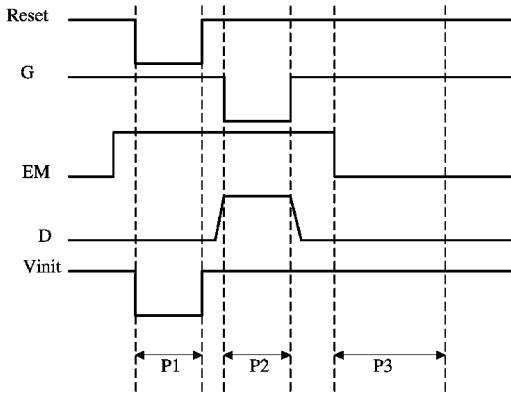


图 4B

【 图 5 】

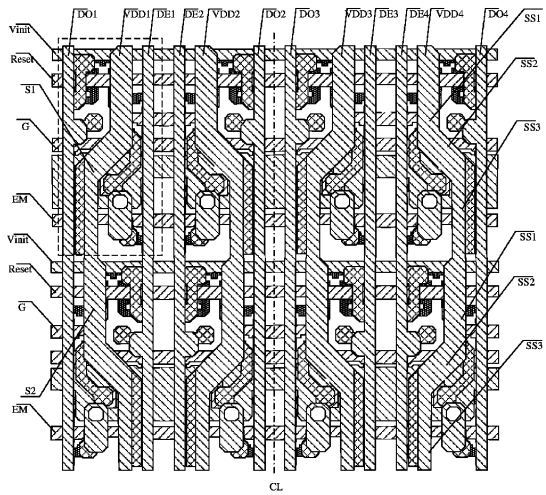


图 5

30

40

【图 6 A】

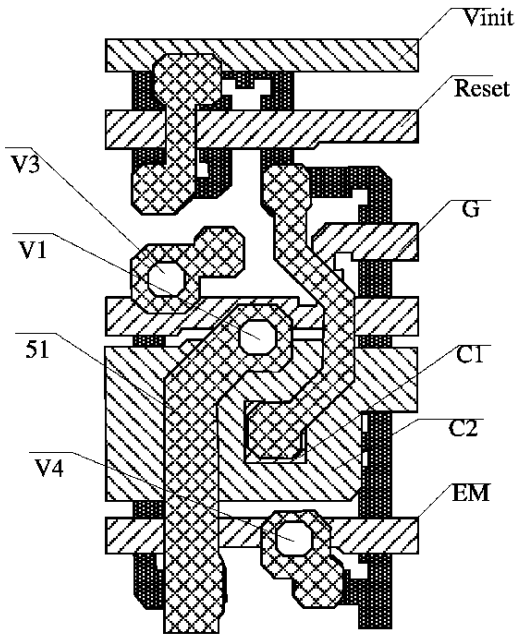


图 6A

【图 6 B】

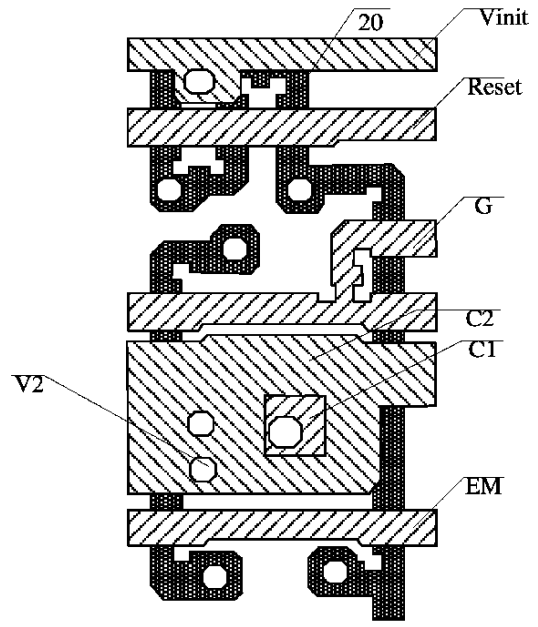


图 6B

10

20

【图 7 A】

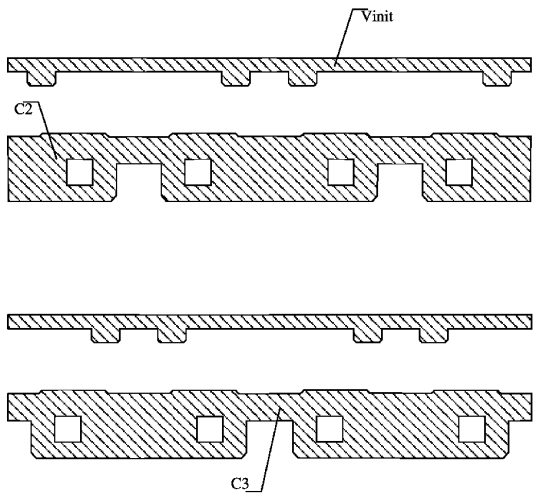


图 7A

【图 7 B】

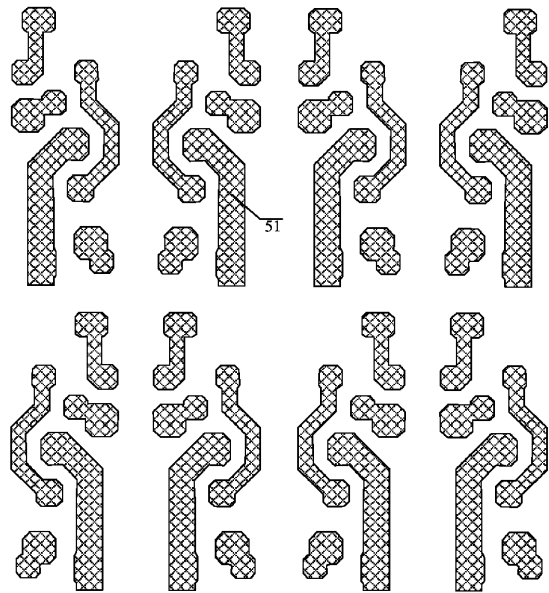


图 7B

30

40

50

【图 8 A】

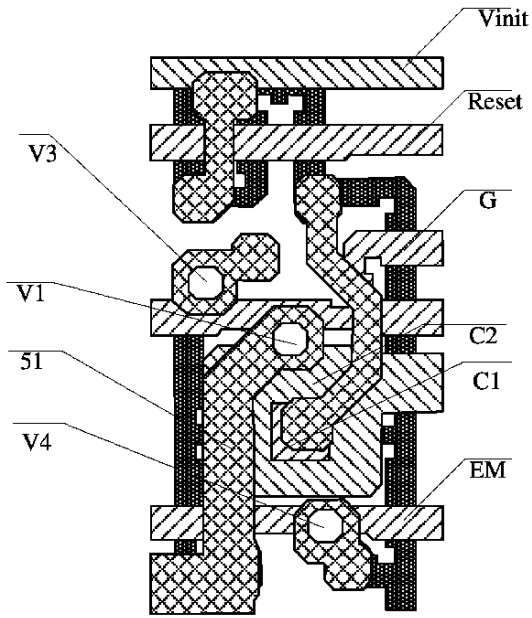


图 8A

【图 8 B】

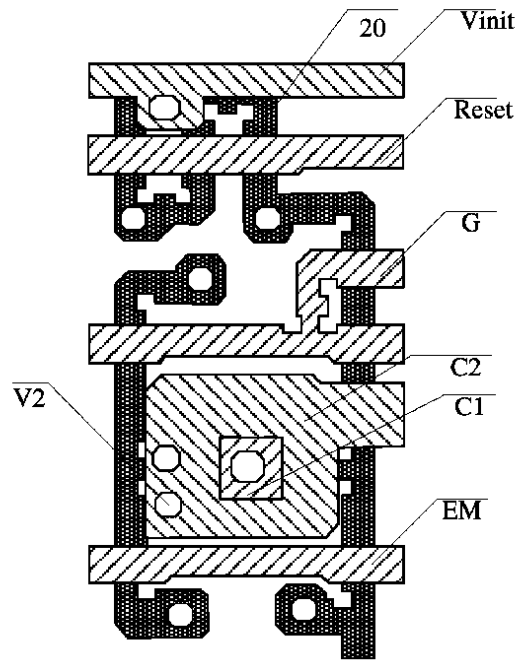


图 8B

【图 9 A】

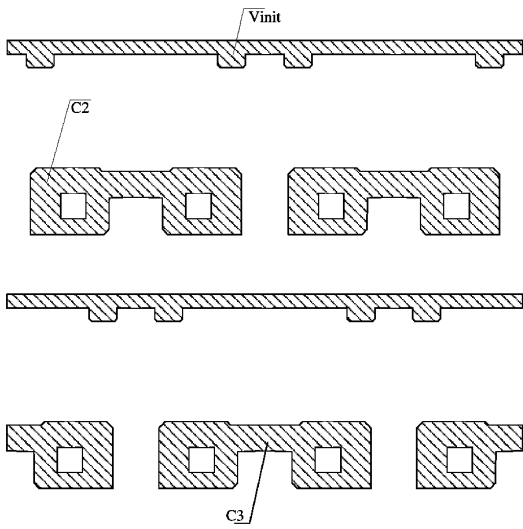


图 9A

【图 9 B】

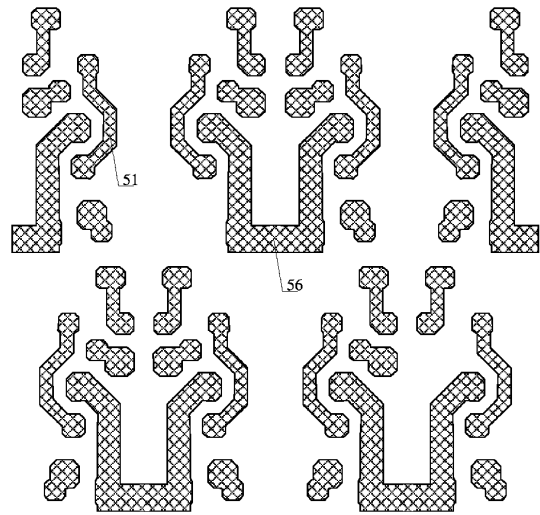


图 9B

10

20

30

40

50

【図 1 0】

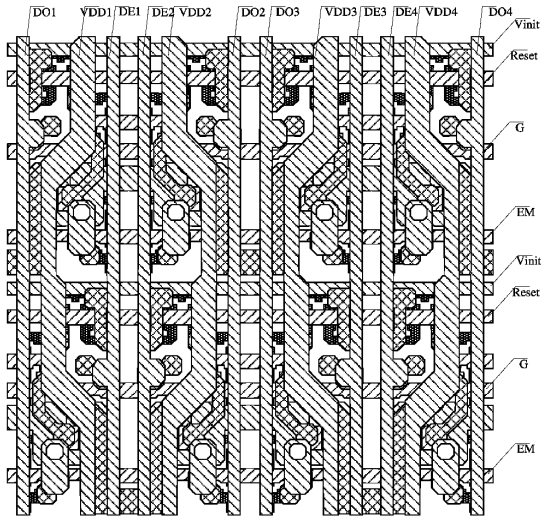
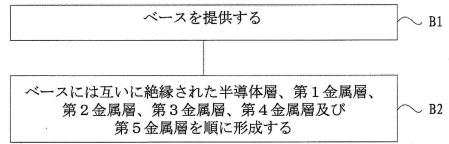


图 10

【図 1 1】



10

【図 1 2】

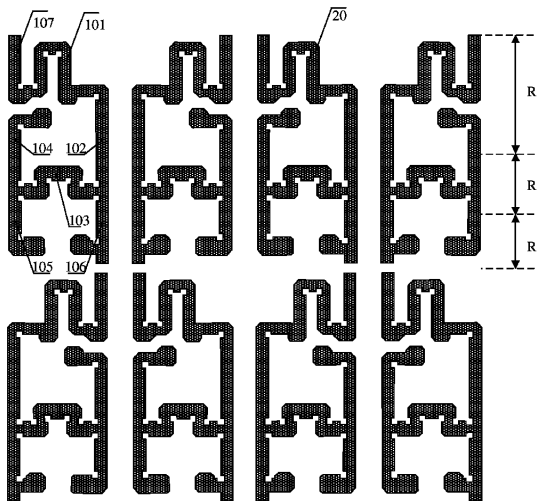


图 12

【図 1 3】

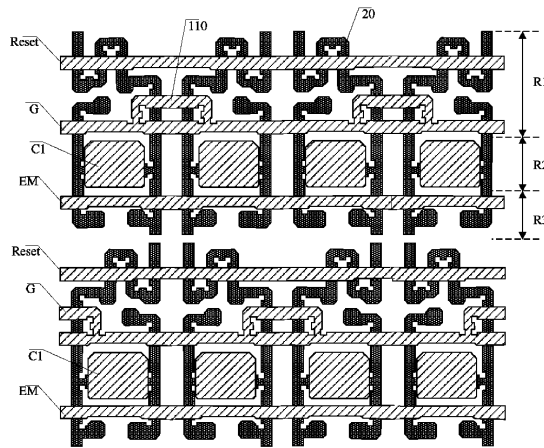


图 13

20

30

40

50

【图 14 A】

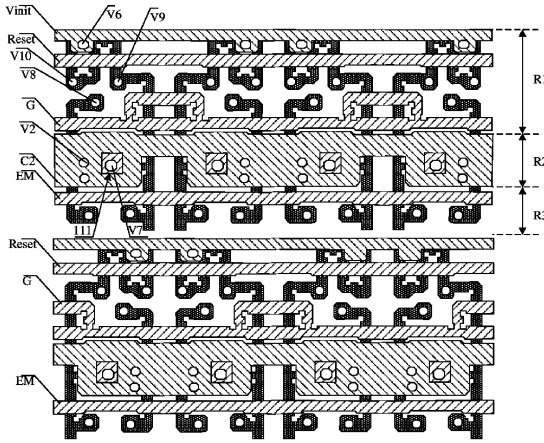


图 14A

【图 14 B】

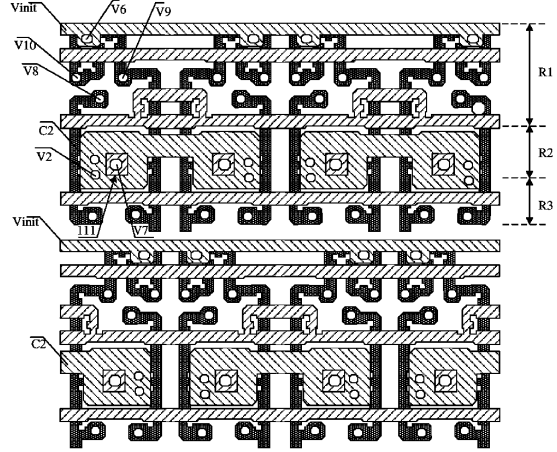


图 14B

10

【图 15 A】

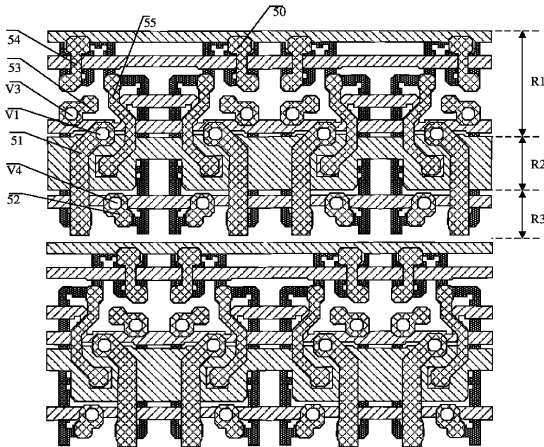


图 15A

【图 15 B】

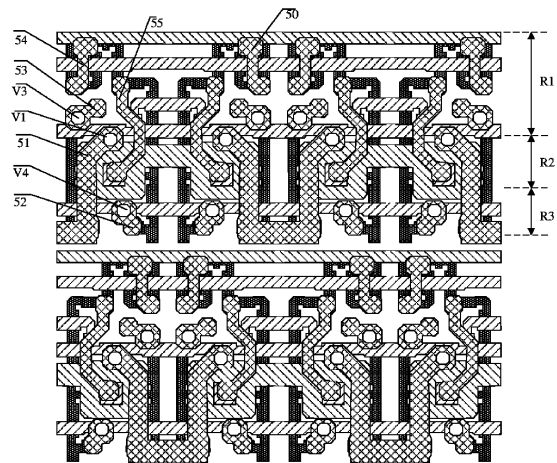


图 15B

20

30

40

50

【 16 A 】

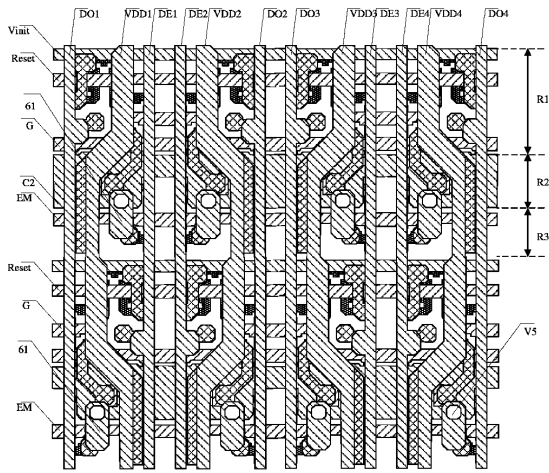


图 16A

【 16 B 】

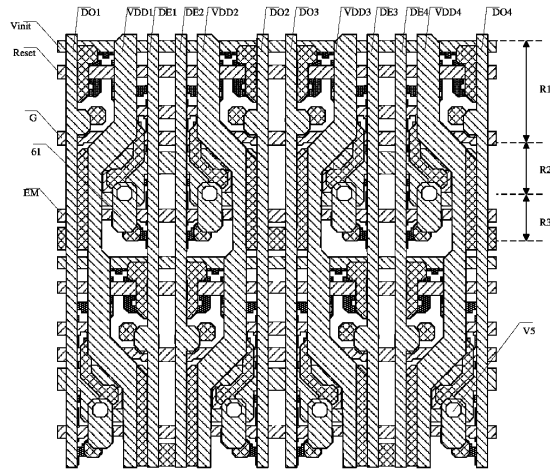


图 16B

10

【 17 】

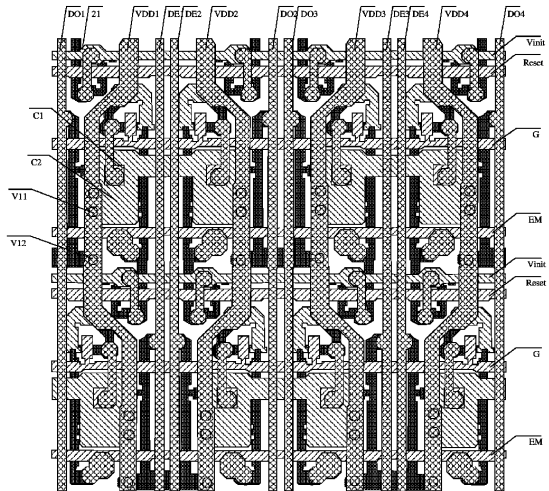


图 17

【 18 】

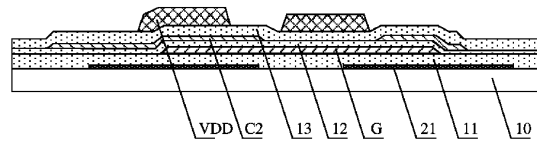


图 18

20

30

40

50

【図 19】

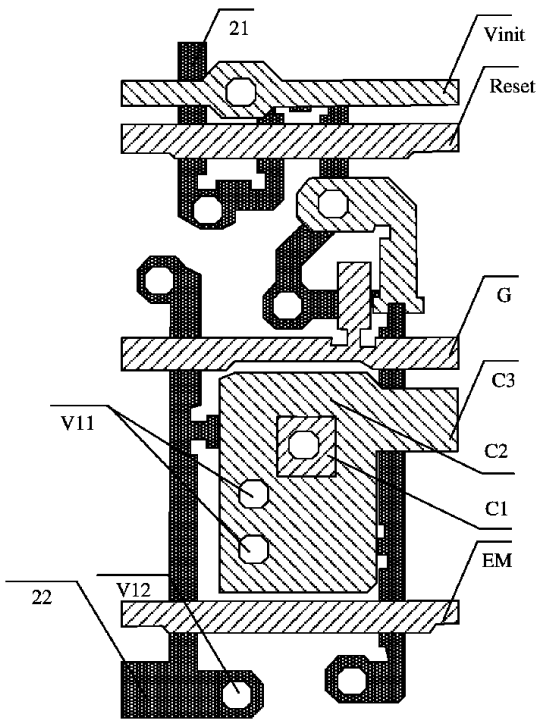


图 19

【图 20】

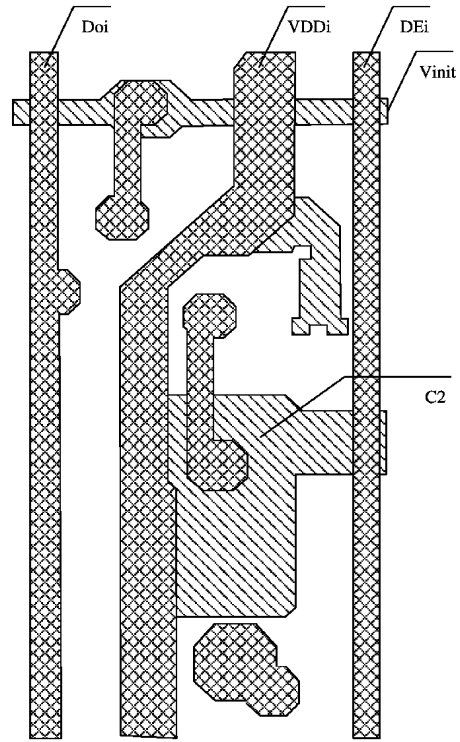


图 20

【图 21】

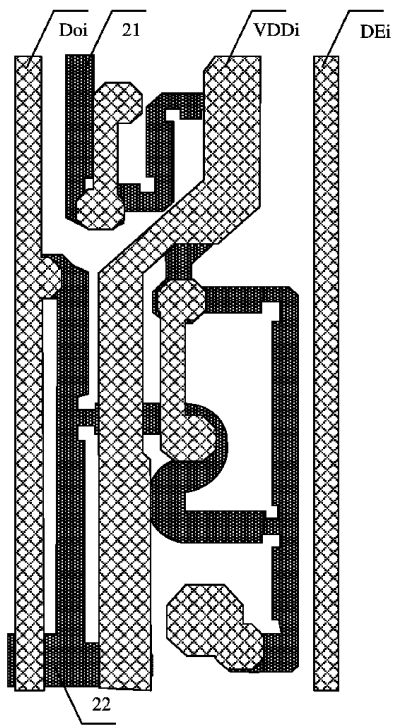
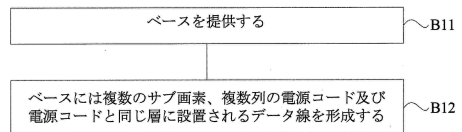


图 21

【图 22】



10

20

30

40

50

【 2 3 】

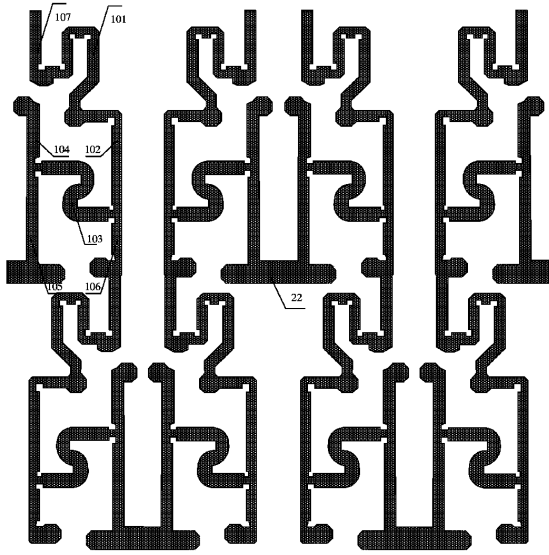


图 23

【 2 4 】

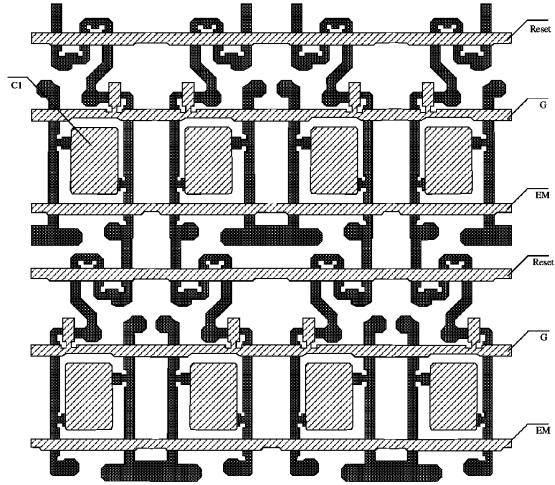


图 24

10

【 2 5 】

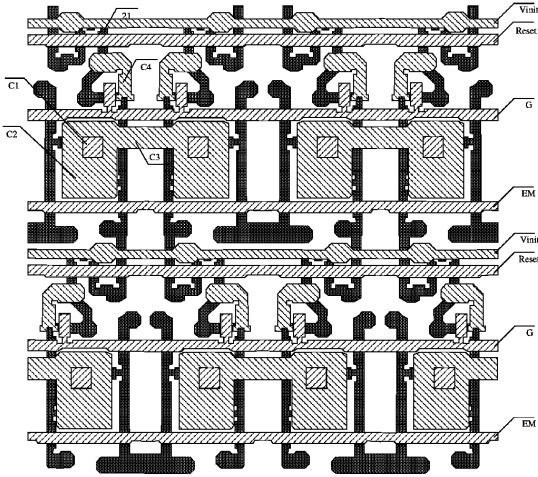


图 25

【 2 6 】

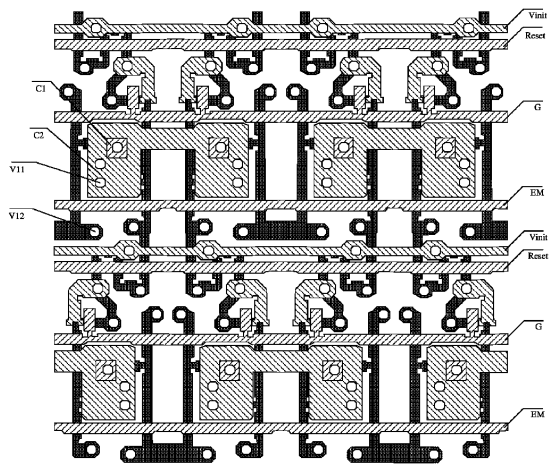


图 26

20

30

40

50

フロントページの続き

(51)国際特許分類 F I
H 0 1 L 29/78 6 1 4

(33)優先権主張国・地域又は機関

中国(CN)

中華人民共和国 1 0 0 1 7 6 北京市北京 經 済 技 術 開 発 区 地 澤 路 9 号

審査官 武田 知晋

(56)参考文献 米国特許出願公開第 2 0 1 8 / 0 2 1 8 6 8 4 (U S , A 1)

中国特許出願公開第 1 0 8 7 6 6 9 8 8 (C N , A)

中国特許出願公開第 1 0 9 8 6 0 2 5 9 (C N , A)

中国特許出願公開第 1 1 0 1 6 2 2 2 4 (C N , A)

(58)調査した分野 (Int.Cl. , D B 名)

G 0 9 F 9 / 3 0

G 0 9 F 9 / 0 0

H 1 0 K 5 0 / 1 0

H 1 0 K 5 9 / 1 0

H 0 5 B 3 3 / 0 2

H 0 1 L 2 9 / 7 8 6