

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5266029号
(P5266029)

(45) 発行日 平成25年8月21日(2013.8.21)

(24) 登録日 平成25年5月10日(2013.5.10)

(51) Int.Cl.

F 1

HO3K 17/08 (2006.01)
HO3K 17/687 (2006.01)HO3K 17/08
HO3K 17/687C
A

請求項の数 6 (全 17 頁)

(21) 出願番号 特願2008-312946 (P2008-312946)
 (22) 出願日 平成20年12月9日 (2008.12.9)
 (65) 公開番号 特開2009-165113 (P2009-165113A)
 (43) 公開日 平成21年7月23日 (2009.7.23)
 審査請求日 平成23年12月8日 (2011.12.8)
 (31) 優先権主張番号 特願2007-322949 (P2007-322949)
 (32) 優先日 平成19年12月14日 (2007.12.14)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100103894
 弁理士 家入 健
 (72) 発明者 中原 明宏
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内

審査官 栗栖 正和

最終頁に続く

(54) 【発明の名称】負荷駆動装置

(57) 【特許請求の範囲】

【請求項 1】

電源ラインと出力端子との間に接続された出力トランジスタと、
 前記出力端子と第1の接地ラインとの間に接続される負荷と、
 前記出力トランジスタのゲートと第2の接地ラインとの間に接続され、前記出力トランジスタのオン／オフを制御する制御回路と、
 前記第2の接地ラインの電位が所定値以上となったときに導通し、前記出力トランジスタのオフ状態を維持する補償トランジスタと、
 を有し、
 前記制御回路は、

前記出力トランジスタのゲートと前記出力端子との間に接続される放電トランジスタと、
 ダイオード接続されたトランジスタであって、前記出力トランジスタのゲートにカソード側端子が接続され、前記第2の接地ラインにアノード側端子が接続される逆接続保護トランジスタと、

前記第2の接地ラインに一端が接続される抵抗と、

前記抵抗の他端にカソードが接続され、前記電源ラインにアノードが接続される保護ダイオードと、

前記抵抗の他端と前記出力端子との間に接続され、前記抵抗の他端の電圧と前記出力端子の電圧との差に基づき前記逆接続保護トランジスタのバックゲートに与えるバックゲート電圧を制御するバックゲート制御回路と、を含む負荷駆動装置。

10

20

【請求項 2】

前記補償トランジスタは、前記出力トランジスタがオフ状態である場合に導通状態となる請求項 1 に記載の負荷駆動装置。

【請求項 3】

前記第 1、第 2 の接地ラインは、同一の電源から電圧が供給され、それぞれ離れた位置に配置される請求項 1 又は 2 に記載の負荷駆動装置。

【請求項 4】

前記制御回路は、前記出力トランジスタのゲートと前記第 2 の接地ラインとの間に、前記逆接続保護トランジスタと直列接続されたデプレッショントランジスタを有し、
前記デプレッショントランジスタは、ゲートが前記逆接続保護トランジスタのゲートと
共通接続され、バックゲートが前記逆接続保護トランジスタのバックゲートと共に接続され
る請求項 1 乃至 3 のいずれか 1 項に記載の負荷駆動装置。 10

【請求項 5】

前記補償トランジスタは、ソース又はドレインの一方が前記出力端子と接続され、ソース又はドレインの他方が前記第 2 の接地ラインと接続され、ゲートが前記抵抗の他端に接続され、バックゲートに前記バックゲート制御回路から出力される前記バックゲート電圧が供給される請求項 1 乃至 4 のいずれか 1 項に記載の負荷駆動装置。

【請求項 6】

前記補償トランジスタは、前記出力トランジスタのゲートと前記出力端子との間に接続され、ゲートが前記抵抗を介して前記第 2 の接地ラインに接続される請求項 1 乃至 4 のいずれか 1 項に記載の負荷駆動装置。 20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明にかかる負荷駆動装置は、特に負荷への電力供給を制御する出力トランジスタを有する負荷駆動装置に関する。 30

【背景技術】**【0002】**

機能回路や動力装置などの負荷に電源からの電力を供給する負荷駆動装置が多く用いられている。この負荷駆動装置は、電源と負荷の間に接続され、スイッチとなる出力トランジスタを有する。そして、出力トランジスタの導通状態に応じて負荷への電力の供給又は供給する電力の遮断を行う。負荷駆動装置は、ハイサイドスイッチと呼ばれることがある。このような負荷駆動装置の一例が特許文献 1 に開示されている。 40

【0003】

特許文献 1 に開示されている負荷駆動装置 100 の回路図を図 10 に示す。図 10 に示すように、負荷駆動装置 100 は、ドライバ回路 102、出力トランジスタとなるスイッチング用 N 型 MOSFET (T101)、制御用 N 型 MOSFET (T102) を有する。制御用 N 型 MOSFET (T102) は、スイッチング用 N 型 MOSFET (T101) のゲートとグランドとの間に設けられる。そして、制御用 N 型 MOSFET (T102) は、ドライバ回路 102 より出力される駆動信号 s2 によりオン、オフ動作する。制御用 N 型 MOSFET (T102) がオフのときには、ドライバ回路 102 より出力される駆動信号 s1 がハイレベル信号を出力することでスイッチング用 N 型 MOSFET (T101) はオンとなり、負荷 101 に電力を供給する。一方、制御用 N 型 MOSFET (T102) がオンのときには、スイッチング用 N 型 MOSFET (T101) のゲートがグランドに接続されるので、スイッチング用 N 型 MOSFET (T101) がオフとなるよう制御され、負荷 101 への供給電力を遮断する。 40

【0004】

また、制御用 N 型 MOSFET (T102) は寄生ダイオード D102 を備える。寄生ダイオード D102 は、アノードがグランド側、カソードがスイッチング用 N 型 MOSFET (T101) のゲート側に接続されるので、直流電源 103 を逆接続した場合でも、 50

寄生ダイオードD102が存在することにより、スイッチング用N型MOSFET(T101)のゲートに電源103より電圧が印加されるため、スイッチング用N型MOSFET(T101)はオンとなる。そのため、スイッチング用N型MOSFET(T101)の寄生ダイオードD101に逆接続電流が流れることはなく、スイッチング用N型MOSFET(T101)の発熱を防止できる。つまり、負荷駆動装置100では、電源103の逆接続時におけるスイッチング用N型MOSFET(T101)及びその他の回路部品の損傷を防止することができる。

【特許文献1】特開2007-19812号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0005】

負荷駆動装置では、負荷駆動装置の接地端子と負荷の接地端子が離れた場所に配置される場合がある。このような場合、端子間の導電体における抵抗成分によって負荷駆動装置の接地電圧と負荷の接地電圧とに電圧差が生じる場合がある。また、負荷駆動装置はユニットに搭載され、負荷駆動装置に対する接地電圧の供給がユニットに設けられたコネクタを介して行われることがある。このような場合、コネクタの不良や配線の断線により、負荷駆動装置に接地電圧が供給されない場合がある。つまり、負荷駆動装置の接地端子がオープンな状態になる場合がある。

【0006】

ここで、負荷駆動装置の接地端子がオープン状態となった場合の課題を説明する図を図11に示す。図11に示すように、この場合、負荷駆動装置100における接地端子の電圧がユニット内のリーク電流やノイズによって接地電圧(例えば0V)よりも大きくなることがある。図11に示す例では、制御用N型MOSFET(T102)のソースの電圧が上昇する。制御用N型MOSFET(T102)においてソースの電圧が上昇した場合、ダイオードD102を介してスイッチング用N型MOSFET(T101)のゲートに電荷が流れ込む。そのため、スイッチング用N型MOSFET(T101)がオフ状態である場合にこのリーク電流が発生すると、スイッチング用N型MOSFET(T101)のゲート電圧が上昇し、スイッチング用N型MOSFET(T101)がオン状態に遷移する。

20

【0007】

つまり、特許文献1に記載の負荷駆動装置100では、接地端子GNDがオープン状態となった場合にスイッチング用N型MOSFET(T101)をオフできない問題がある。さらに、ゲートの電圧が十分に上昇せずに、ドレイン・ソース間の抵抗値が高い状態でスイッチング用N型MOSFET(T101)がオンした場合、スイッチング用N型MOSFET(T101)は過熱状態になり破壊に至る問題がある。

30

【課題を解決するための手段】

【0008】

本発明の一態様にかかる負荷駆動装置は、電源ラインと出力端子との間に接続された出力トランジスタと、前記出力端子と第1の接地ラインとの間に接続される負荷と、前記出力トランジスタのゲートと第2の接地ラインとの間に接続され、前記出力トランジスタのオン／オフを制御する制御回路と、前記第2の接地ラインの電位が所定値以上となったときに導通し、前記出力トランジスタのオフ状態を維持する補償トランジスタと、を有するものである。

40

【0009】

本発明にかかる負荷駆動装置は、第2の接地ラインの電位が所定値以上となったときに導通し、出力トランジスタのオフ状態を維持する補償トランジスタを有する。つまり、負荷駆動装置の接地端子がオープン状態となり、接地端子の電圧が上昇した場合であっても、補償トランジスタにより出力トランジスタのオフ状態が維持される。そのため、出力トランジスタが本来オフ状態を維持している期間に接地端子の電圧が上昇した場合であっても、出力トランジスタのドレイン・ソース間に電流が流れることがない。

50

【発明の効果】**【0010】**

本発明にかかる負荷駆動装置によれば、接地端子がオープン状態であっても、出力トランジスタをオフ状態に維持し、出力トランジスタの過熱による破壊を防止することができる。

【発明を実施するための最良の形態】**【0011】****実施の形態1**

以下、図面を参照して本発明の実施の形態について説明する。図1に実施の形態1にかかる負荷駆動装置1の回路図を示す。図1に示すように、負荷駆動装置1は、電源10、負荷11、ドライバ回路12、制御回路13、補償回路14、出力トランジスタT1、電源端子PWR、接地端子GND1、接地端子GND2、出力端子OUTを有する。以下の説明では、電源端子PWRには、電源ラインが接続され、接地端子GND1には第1の接地ラインが接続され、接地端子GND2には第2の接地ラインが接続されるものとする。ドライバ回路12、制御回路13、補償回路14、出力トランジスタT1、電源端子PWR、接地端子GND2、及び出力端子OUTは、1つの半導体装置に設けられていてもよく、また、複数の半導体装置を利用するプリント回路基板等によって設けられていてもよい。

10

【0012】

電源10は、電源端子PWRと、接地端子GND1及びGND2との間に接続される。そして、正常接続時には、電源10は、電源端子PWRに正極側電圧VBを供給し、接地端子GND2に負極側電圧VSSを供給する。負荷11は、出力端子OUTと接地端子GND1との間に接続される。負荷11は、例えば機能回路や動力装置などであって、負荷駆動装置1において電力の供給先となるものである。

20

【0013】

ドライバ回路12は、負荷駆動装置1の制御装置である。ドライバ回路12は、出力トランジスタT1のゲートに制御信号S1を供給し、制御回路13に制御信号S2を供給する。本実施の形態においては、制御信号S1、S2は、互いに逆相となる信号であるものとする。ドライバ回路12は、制御信号S1、S2によって出力トランジスタT1の導通状態を制御する。

30

【0014】

制御回路13は、出力トランジスタT1のゲートと接地端子GND2との間に接続され、ドライバ回路12によって制御される。制御回路13は、制御信号S2がハイレベルの状態で出力トランジスタT1のゲートから電荷の引き抜きを行う。また制御信号S2がロウレベルの状態ではオフ状態となり、出力トランジスタT1のゲートから電荷の引き抜きは行わない。

【0015】

より具体的には、制御回路13は、放電トランジスタMN1を有する。本実施の形態では、放電トランジスタMN1としてN型MOSトランジスタを用いる。放電トランジスタMN1は、ドレインが出力トランジスタT1のゲートに接続され、ゲートに制御信号S2が入力され、ソースが接地端子GND2に接続され、バックゲートがソースに接続される。なお、放電トランジスタMN1は、バックゲートとドレインとの間に寄生ダイオードD1を有する。寄生ダイオードD1は、ソースの電圧がドレインの電圧よりも高くなる状態でオンする。例えば、ソースの電圧がドレインの電圧より0.7V以上高くなるとオンする。

40

【0016】

補償回路14は、出力トランジスタT1のゲートと出力端子OUTとの間に接続され、接地端子GND2の電圧が所定の電圧よりも高くなる状態で出力トランジスタT1のゲートと出力端子OUTをショートする。つまり、出力トランジスタT1のゲートと出力端子OUTをショートすることで、補償回路14は、出力トランジスタT1のオフ状態を維持

50

する。より具体的には、補償回路 14 は、補償トランジスタ MN2 を有する。本実施の形態では、補償トランジスタ MN2 として N 型 MOS トランジスタを用いる。補償トランジスタ MN2 は、ドレインが出力トランジスタ T1 のゲートに接続され、ソースが出力端子 OUT に接続され、ゲートが接地端子 GND2 に接続され、バックゲートがソースと接続される。

【0017】

出力トランジスタ T1 は、ドレインが電源端子 PWR に接続され、ソースが出力端子 OUT に接続され、ゲートに制御信号 S1 が供給される。出力トランジスタ T1 は、制御信号 S1 がハイレベルの状態でオン状態となり、制御信号 S1 がロウレベルの状態でオフ状態となる。

10

【0018】

次に、図 2 に負荷駆動装置 1 の動作モード毎のトランジスタのオン / オフ状態を示す。そして、図 2 を参照して負荷駆動装置 1 の動作について説明する。まず、正常動作のうち出力トランジスタ T1 がオンする動作モード（以下オンモードと称す）について説明する。オンモードでは、制御信号 S2 がロウレベルであるため、放電トランジスタ MN1 はオフする。また、接地端子 GND2 には、電源 10 の負極側電圧 VSS（例えば、0V）が供給されるため補償トランジスタ MN2 もオフする。一方、出力トランジスタ T1 のゲートには、ハイレベルの制御信号 S1 が入力されるため、出力トランジスタ T1 はオンする。従って、オンモードでは、出力端子 OUT の電圧は電源 10 の正極側電圧 VB とほぼ同じ値となる。

20

【0019】

次に、正常動作のうち出力トランジスタ T1 がオフする動作モード（以下オフモードと称す）について説明する。オフモードでは、制御信号 S2 がハイレベルであるため、放電トランジスタ MN1 はオンする。また、接地端子 GND2 には、電源 10 の負極側電圧 VSS（例えば、0V）が供給されるため補償トランジスタ MN2 はオフする。一方、出力トランジスタ T1 のゲートには、ロウレベルの制御信号 S1 が入力されるため、出力トランジスタ T1 はオフする。従って、オフモードでは、出力端子 OUT の電圧は負荷 11 の接地端子 GND1 の電圧（例えば 0V）とほぼ同じ値となる。

【0020】

続いて、配線の接続不良等の原因により接地端子 GND2 がオープン状態となる異常な動作モード（以下 GND 接続不良モードと称す）について説明する。GND 接続不良モードでは、出力トランジスタ T1 がオフであるものとする。そのため、出力端子 OUT は 0V となる。そして、接地端子 GND2 の電圧が 0V よりも上昇し、補償トランジスタ MN3 の閾値を超える電圧となると、補償トランジスタ MN2 はオンして出力トランジスタ T1 のゲートと出力端子 OUTとの間をショートする。また、放電トランジスタ MN1 では、寄生ダイオード D1 を介して出力トランジスタのゲートにリーク電流が流入する。しかし、補償トランジスタ MN2 がオンしているため、このリーク電流は、補償トランジスタ MN2 によって出力端子 OUT に放出される。つまり、出力トランジスタ T1 のゲートにはリーク電流による電圧上昇は発生することなく、出力トランジスタ T1 はオフ状態を維持する。

30

【0021】

上記説明より、本実施の形態における負荷駆動装置 1 は、接地配線の接続不良によって接地端子 GND2 の電圧が上昇した場合であっても、放電トランジスタ MN1 の寄生ダイオード D1 を介して出力トランジスタ T1 のゲートに流れ込む電荷を、補償トランジスタ MN2 がオンすることによって出力端子 OUT に放出する。このような動作により、負荷駆動装置 1 は、接地端子 GND2 の電圧が上昇した場合であっても出力トランジスタ T1 のオフ状態を維持することができる。また、出力トランジスタ T1 がオフ状態を維持できることから、接地端子 GND2 の電圧上昇による出力トランジスタ T1 の発熱を防止し、出力トランジスタ T1 の破壊を防ぐことができる。つまり、負荷駆動装置 1 は、接地配線の断線等による不具合に対する信頼性を向上させることができる。

40

50

【0022】

実施の形態2

図3に実施の形態2にかかる負荷駆動装置2の回路図を示す。図3に示すように、負荷駆動装置2は、電源10、負荷11、ドライバ回路12、制御回路13、バックゲート制御回路15、補償回路16、出力トランジスタT1、抵抗R10、電源端子PWR、接地端子GND1、接地端子GND2、出力端子OUTを有する。ドライバ回路12、制御回路13、バックゲート制御回路15、補償回路16、出力トランジスタT1、抵抗R10、電源端子PWR、接地端子GND2、及び出力端子OUTは、1つの半導体装置に設けられていてもよく、また、複数の半導体装置を利用するプリント回路基板等によって設けられていてもよい。なお、以下の説明では、実施の形態1と同様のものについては実施の形態1と同様の符号を付して説明を省略する。10

【0023】

制御回路13は、実施の形態1における制御回路13と同様のものであるが、放電トランジスタMN1のソースの接続先が実施の形態1とは異なる。実施の形態2では、放電トランジスタMN1のソースは、抵抗R10を介して接地端子GND2に接続される。なお、以下の説明では、放電トランジスタMN1のソース側のノードをノードAと称す。

【0024】

補償回路16は、出力端子OUTとノードAの間に接続され、接地端子GND2の電圧が所定の電圧よりも高くなる状態でノードAと出力端子OUTをショートする。補償回路16は、補償トランジスタMN7を有する。実施の形態2では、補償トランジスタMN7としてN型MOSトランジスタを用いる。補償トランジスタMN7は、ソース/ドレインの一方が出力端子OUTに接続され、ソース/ドレインの他方がノードAに接続され、ゲートが接地端子GND2に接続され、バックゲートがバックゲート制御回路15に接続される。20

【0025】

バックゲート制御回路15は、出力端子OUTと接地端子GND2との間に接続される。バックゲート制御回路15は、接地端子GND2の電位が接地電位である場合に補償トランジスタMN7のバックゲートに接地電位を与え、接地端子GND2の電位が所定値以上となった場合に補償トランジスタのバックゲートに出力端子OUTの電位を与える。バックゲート制御回路15は、第1のスイッチ部15aと第2のスイッチ部15bを有する。30 第1のスイッチ部15aは、接地端子GND2の電圧が所定値よりも高くなった場合に導通状態となり、補償トランジスタMN7のバックゲートに出力端子OUTの電圧を供給する。また、第2のスイッチ部15bは、出力端子OUTに電源10の正極側電圧VBが供給されている状態において補償トランジスタMN7のバックゲートに電源10の負極側電圧VSSを供給する。

【0026】

より具体的には、第1のスイッチ部15aは、NMOSトランジスタMN3、MN4を有する。NMOSトランジスタMN3とNMOSトランジスタMN4は、出力端子OUTと補償トランジスタMN7のバックゲートとの間で直列に接続される。また、NMOSトランジスタMN3のゲートとNMOSトランジスタMN4のゲートはともに接地端子GND2に接続される。NMOSトランジスタMN3のバックゲートとNMOSトランジスタMN4のバックゲートはともにNMOSトランジスタMN3とNMOSトランジスタMN4との接続点に接続される。そして、第1のスイッチ部15aは、接地端子GND2の電圧がNMOSトランジスタMN4のソースの電圧よりも0.7V(NMOSトランジスタのソース・バックゲート間の寄生ダイオードの順バイアス電圧) + 閾値電圧VT(NMOSトランジスタMN3の閾値電圧)以上高くなった場合にオン状態となる。40

【0027】

第2のスイッチ部15bは、NMOSトランジスタMN5、MN6を有する。NMOSトランジスタMN5とNMOSトランジスタMN6は、補償トランジスタMN7のバックゲートと接地端子GND2との間で直列に接続される。また、NMOSトランジスタMN50

5 のゲートとN MOSトランジスタMN 6 のゲートはともに出力端子OUT に接続される。N MOSトランジスタMN 5 のバックゲートとN MOSトランジスタMN 6 のバックゲートはともにN MOSトランジスタMN 5 とN MOSトランジスタMN 6との接続点に接続される。そして、第2のスイッチ部15b は、N MOSトランジスタMN 6 のソースの電圧と出力端子OUTとの電圧差が0.7V (N MOSトランジスタのソース・バックゲート間の寄生ダイオードの順バイアス電圧) + 閾値電圧VT (N MOSトランジスタMN 5 の閾値電圧) 以上となった場合にオン状態となる。

【0028】

次に、図4に負荷駆動装置2の動作モード毎のトランジスタのオン／オフ状態を示す。
そして、図4を参照して負荷駆動装置2の動作について説明する。まず、正常動作のうち出力トランジスタT1 がオンするオンモードについて説明する。オンモードでは、制御信号S2 がロウレベルであるため、放電トランジスタMN1 はオフする。また、接地端子GND2 には、電源10 の負極側電圧VSS (例えば、0V) が供給されるため補償トランジスタMN7 もオフする。一方、出力トランジスタT1 のゲートには、ハイレベルの制御信号S1 が入力されるため、出力トランジスタT1 はオンする。従って、オンモードでは、出力端子OUT の電圧は電源10 の正極側電圧VB とほぼ同じ値となる。また、オンモードでは第2のスイッチ部15b のN MOSトランジスタMN5 、MN6 がオンして、第1のスイッチ部15a のN MOSトランジスタMN3 、MN4 がオフするため、補償トランジスタMN7 のバックゲートには接地端子GND2 の電圧が印加されることとなる。このとき、補償トランジスタMN7 は出力端子OUT に接続される端子がドレインとなり、ノードA に接続される端子がソースとなる。

【0029】

次に、正常動作のうち出力トランジスタT1 がオフするオフモードについて説明する。オフモードでは、制御信号S2 がハイレベルであるため、放電トランジスタMN1 はオンする。また、接地端子GND2 には、電源10 の負極側電圧VSS (例えば、0V) が供給されるため補償トランジスタMN7 はオフする。一方、出力トランジスタT1 のゲートには、ロウレベルの制御信号S1 が入力されるため、出力トランジスタT1 はオフする。従って、オフモードでは、出力端子OUT の電圧は負荷11 の接地端子GND1 の電圧 (例えば0V) とほぼ同じ値となる。また、オフモードでは第1のスイッチ部15a のN MOSトランジスタMN3 、MN4 がオフして、第2のスイッチ部15b のN MOSトランジスタMN5 、MN6 もオフする。そのため、バックゲート制御回路15 が補償トランジスタMN7 のバックゲートに与える電圧は、接地端子GND2 と出力端子OUT 間の電圧差である0V となる。

【0030】

続いて、配線の接続不良等の原因により接地端子GND2 がオープン状態となるGND接続不良モードについて説明する。GND接続不良モードでは、出力トランジスタT1 がオフであるものとする。そのため、出力端子OUT は0V となる。そして、接地端子GND2 の電圧が0V よりも上昇し、補償トランジスタMN7 の閾値を超える電圧となると、補償トランジスタMN7 はオンしてノードA と出力端子OUTとの間をショートする。これにより、ノードA には、出力端子OUT の電圧 (例えば0V) が供給される。そのため、放電トランジスタMN1 のソース・ドレイン間電圧は実質的になくなる。従って、放電トランジスタMN1 を介して出力トランジスタT1 のゲートにリーク電流が流入することはない。つまり、出力トランジスタT1 のゲートにはリーク電流による電圧上昇は発生することがなく、出力トランジスタT1 はオフ状態を維持する。また、GND接続不良モードでは第1のスイッチ部15a のN MOSトランジスタMN3 、MN4 がオンして、第2のスイッチ部15b のN MOSトランジスタMN5 、MN6 がオフする。そのため、バックゲート制御回路15 が補償トランジスタMN7 のバックゲートに与える電圧は、出力端子OUT の電圧となる。つまり、GND接続不良モードでは、補償トランジスタMN7 のバックゲート電圧は0V となり、補償トランジスタMN7 は出力端子OUT に接続される端子がソースとなり、ノードA に接続される端子がドレインとなる。

10

20

30

40

50

【0031】

上記説明より、実施の形態2における負荷駆動装置2は、接地配線の接続不良によって接地端子GND2の電圧が上昇した場合であっても、補償トランジスタMN7がオンすることによってノードAに出力端子OUTの電圧を供給し、放電トランジスタMN1の両端に発生する電圧差を実質的になくし、放電トランジスタMN1をオフさせる。放電トランジスタMN1がオフすることで、放電トランジスタMN1を介して出力トランジスタT1のゲートに流れ込むリーク電流は防止される。このような動作により、負荷駆動装置2は、接地端子GND2の電圧が上昇した場合であっても出力トランジスタT1のオフ状態を維持することができる。また、出力トランジスタT1がオフ状態を維持できることから、接地端子GND2の電圧上昇による出力トランジスタT1の発熱を防止し、出力トランジスタT1の破壊を防ぐことができる。つまり、負荷駆動装置2においても、接地配線の断線等による不具合に対する信頼性を向上させることができる。10

【0032】**実施の形態3**

上記負荷駆動装置1、2では、接地端子GND2の電圧の上昇による出力トランジスタT1のオフ状態に関する不具合を解決できる。しかしながら、電源10が逆接続された場合における負荷駆動装置の保護を実現することはできない。そこで、実施の形態3では、接地端子GND2の電圧の上昇による出力トランジスタT1のオフ状態に関する不具合を解決に加え、電源10の逆接続時の保護も実現する。20

【0033】

図5に実施の形態3にかかる負荷駆動装置3の回路図を示す。図5に示すように、負荷駆動装置3は、電源10、負荷11、ドライバ回路12、制御回路13a、補償回路14、出力トランジスタT1、保護ダイオード(例えば、クランプダイオード)D10、抵抗R10、電源端子PWR、接地端子GND1、接地端子GND2、出力端子OUTを有する。ドライバ回路12、制御回路13a、補償回路14、出力トランジスタT1、クランプダイオードD10、抵抗R10、電源端子PWR、接地端子GND2、及び出力端子OUTは、1つの半導体装置に設けられていてもよく、また、複数の半導体装置を利用するプリント回路基板等によって設けられていてもよい。なお、以下の説明では、実施の形態1と同様のものについては実施の形態1と同様の符号を付して説明を省略する。30

【0034】

抵抗R10とクランプダイオードD10は、接地端子GND2と電源端子PWRとの間に直列に接続される。そして、クランプダイオードD10は、アノードが抵抗R10に接続され、カソードが電源端子PWRに接続される。なお、以下の説明では抵抗R10とクランプダイオードD10の接続点をノードBと称す。

【0035】

制御回路13aは、実施の形態1における制御回路13に対して、逆接続保護回路17及びバックゲート制御回路18を追加したものである。また、制御回路13aでは、放電トランジスタMN1のソースの接続先が実施の形態1とは異なる。実施の形態3では、放電トランジスタMN1のソースは、出力端子OUTに接続される。40

【0036】

逆接続保護回路17は、出力トランジスタT1のゲートと接地端子GND2との間に接続される。逆接続保護回路17は、逆接続保護トランジスタMN8を有する。逆接続保護トランジスタMN8は、ソース/ドレインの一方が出力トランジスタT1のゲートに接続され、ソース/ドレインの他方が接地端子GND2に接続され、ゲートがソース/ドレンの他方と接続される。つまり、電源10の正常時には逆接続保護トランジスタMN8は、ダイオード接続されたMOSトランジスタの構成を有する。また、逆接続保護トランジスタMN8のバックゲートは、バックゲート制御回路18に接続される。電源10の逆接続時には逆接続保護トランジスタMN8は、ドレンが接地端子GND2、ソースが出力トランジスタT1のゲートに接続される。また、保護トランジスタMN3のバックゲートはバックゲート制御回路18に接続される。50

【0037】

バックゲート制御回路18は、接地端子GND2と出力端子OUTとの間に接続される。なお、本実施の形態ではバックゲート制御回路18は、抵抗R10を介して接地端子GND2に接続される。そして、ノードBの電圧と出力端子OUTの電圧との差に基づき逆接続保護トランジスタMN8のバックゲートに与えるバックゲート電圧を制御する。第1のスイッチ部18aは、ノードBの電圧が所定値よりも高くなつた場合に導通状態となり、逆接続保護トランジスタMN8のバックゲートに出力端子OUTの電圧を供給する。また、第2のスイッチ部18bは、出力端子OUTに電源10の正極側電圧VBが供給されている状態において逆接続保護トランジスタMN8のバックゲートにノードBの電圧を供給する。

10

【0038】

より具体的には、第1のスイッチ部18aは、NMOSトランジスタMN9、MN10を有する。NMOSトランジスタMN9とNMOSトランジスタMN10は、出力端子OUTと逆接続保護トランジスタMN8のバックゲートとの間で直列に接続される。また、NMOSトランジスタMN9のゲートとNMOSトランジスタMN10のゲートはともにノードBに接続される。NMOSトランジスタMN9のバックゲートとNMOSトランジスタMN10のバックゲートはともにNMOSトランジスタMN9とNMOSトランジスタMN10との接続点に接続される。そして、第1のスイッチ部18aは、ノードBの電圧がNMOSトランジスタMN10のソースの電圧よりも0.7V(NMOSトランジスタのソース・バックゲート間の寄生ダイオードの順バイアス電圧)+閾値電圧VT(NMOSトランジスタMN9の閾値電圧)以上高くなつた場合にオン状態となる。

20

【0039】

第2のスイッチ部18bは、NMOSトランジスタMN11、MN12を有する。NMOSトランジスタMN11とNMOSトランジスタMN12は、逆接続保護トランジスタMN8のバックゲートとノードBとの間で直列に接続される。また、NMOSトランジスタMN11のゲートとNMOSトランジスタMN12のゲートはともに出力端子OUTに接続される。NMOSトランジスタMN11のバックゲートとNMOSトランジスタMN12のバックゲートはともにNMOSトランジスタMN11とNMOSトランジスタMN12との接続点に接続される。そして、第2のスイッチ部18bは、NMOSトランジスタMN12のソースの電圧と出力端子OUTとの電圧差が0.7V(NMOSトランジスタのソース・バックゲート間の寄生ダイオードの順バイアス電圧)+閾値電圧VT(NMOSトランジスタMN11の閾値電圧)以上となつた場合にオン状態となる。

30

【0040】

補償回路14は、実施の形態1における補償回路14と同様のものであるが、補償トランジスタMN2のゲートの接続先が実施の形態1とは異なる。実施の形態3では、補償トランジスタMN2のゲートは、ノードBに接続される。

【0041】

次に、図6に負荷駆動装置3の動作モード毎のトランジスタのオン／オフ状態を示す。そして、図6を参照して負荷駆動装置3の動作について説明する。まず、正常動作のうち出力トランジスタT1がオンするオンモードについて説明する。オンモードでは、制御信号S2がロウレベルであるため、放電トランジスタMN1はオフする。また、接地端子GND2には、電源10の負極側電圧VSS(例えば、0V)が供給されるためノードBの電圧も約0Vとなり補償トランジスタMN2はオフする。一方、出力トランジスタT1のゲートには、ハイレベルの制御信号S1が入力されるため、出力トランジスタT1はオンする。従って、オンモードでは、出力端子OUTの電圧は電源10の正極側電圧VBとほぼ同じ値となる。また、オンモードでは第2のスイッチ部18bのNMOSトランジスタMN11、MN12がオンして、第1のスイッチ部18aのNMOSトランジスタMN9、MN10がオフするため、逆接続保護トランジスタMN8のバックゲートにはノードBの電圧が印加されることとなる。このとき抵抗R10にはほとんど電流が流れないため、ノードBの電圧は約0Vとなる。そのため、逆接続保護トランジスタMN8のMOSトランジ

40

50

ンジスタはオフ状態となる。

【0042】

次に、正常動作のうち出力トランジスタT1がオフするオフモードについて説明する。オフモードでは、制御信号S2がハイレベルであるため、放電トランジスタMN1はオンする。また、接地端子GND2には、電源10の負極側電圧VSS（例えば、0V）が供給されるためノードBの電圧も約0Vとなり補償トランジスタMN2はオフする。一方、出力トランジスタT1のゲートには、ロウレベルの制御信号S1が入力されるため、出力トランジスタT1はオフする。従って、オフモードでは、出力端子OUTの電圧は負荷11の接地端子GND1の電圧（例えば0V）とほぼ同じ値となる。また、オフモードでは第1のスイッチ部18aのNMOSトランジスタMN9、MN10がオフして、第2のスイッチ部18bのNMOSトランジスタMN11、MN12もオフする。そのため、バックゲート制御回路18が逆接続保護トランジスタMN8のバックゲートに与える電圧は、出力端子OUTとノードB間の電圧差である0Vとなる。そのため、逆接続保護トランジスタMN8のMOSトランジスタはオフ状態となる。

【0043】

続いて、配線の接続不良等の原因により接地端子GND2がオープン状態となるGND接続不良モードについて説明する。GND接続不良モードでは、出力トランジスタT1がオフであるものとする。そのため、出力端子OUTは0Vとなる。そして、接地端子GND2の電圧が0Vよりも上昇し、ノードBの電圧が補償トランジスタMN2の閾値を超える電圧となると、補償トランジスタMN2はオンして出力トランジスタT1のゲートと出力端子OUTとの間をショートする。これにより、出力トランジスタT1のゲート・ソース間の電圧差はほぼ0Vとなる。そのため、出力トランジスタT1はオフ状態を維持する。また、放電トランジスタMN1の両端の電圧差もなくなるため、放電トランジスタMN1もオフする。GND接続不良モードでは第1のスイッチ部18aのNMOSトランジスタMN9、MN10がオンして、第2のスイッチ部18bのNMOSトランジスタMN11、MN12がオフする。そのため、バックゲート制御回路18が逆接続保護トランジスタMN8のバックゲートに与える電圧は、出力端子OUTの電圧となる。つまり、GND接続不良モードでは、逆接続保護トランジスタMN8のバックゲート電圧は0Vとなる。そのため、逆接続保護トランジスタMN8は、バックゲート電圧が低い状態である。さらに、逆接続保護トランジスタMN8の接地電位GND2には出力トランジスタT1のゲート電圧よりも高電位が印加されるため、逆接続保護トランジスタMN8は導通状態になる。逆接続保護トランジスタMN8を介して引き抜かれた電流は、接地端子GNDから出力トランジスタT1のゲートに流れる。この引き抜かれた電流は、補償トランジスタMN2を介して出力端子OUTに流れる。これにより、出力トランジスタT1のオフ状態が維持される。

【0044】

次いで、異常動作のうち電源10が逆接続された逆接続モードについて説明する。逆接続モードでは、接地端子GND1、GND2に電源10の正極側電圧VBが印加される。一方、電源端子PWRには、電源10の負極側電圧VSS（例えば0V）が印加される。出力端子OUTの電圧は、出力トランジスタT1のバックゲートと出力トランジスタT1の電源端子PWR側の領域の間に形成される出力トランジスタT1の寄生ダイオードを経由して電源端子PWRの電圧が与えられる。このため、出力端子OUTは、例えば出力トランジスタT1の寄生ダイオードの順方向バイアス電圧であるほぼ0.7Vとなる。また、逆接続モードでは、クランプダイオードD10が順バイアスされるため、ノードBの電圧が約0.7Vとなる。さらに、電源10の正極側電圧VBが、接地端子GND2から逆接続保護トランジスタMN8のドレインに供給される。そのため、逆接続保護トランジスタMN8のMOSトランジスタは導通状態となる。この状態においては、高電圧（例えば、電源10の正極側電圧VBに近い電圧）が逆接続保護トランジスタMN8を介して出力トランジスタT1のゲートに供給される。これにより、出力トランジスタT1はオン状態となる。これにより、出力端子OUTの電圧はほぼ0Vになる。このとき、補償トランジ

10

20

30

40

50

スタMN2のゲートにはノードBの0.7Vが印加されるが、補償トランジスタMN2のゲート-ソース間電圧は、補償トランジスタMN2の閾値より低いため、補償トランジスタMN2はオフ状態となる。逆接続モードでは、バックゲート制御回路18の両端の電圧差が最大で0.7Vとなるため、バックゲート制御回路18を構成するNMOSトランジスタMN9～12はオフする。そのため、バックゲート制御回路18が出力するバックゲート電圧は、NMOSトランジスタMN9～12の寄生トランジスタによって生成される0.7V以下の値となる。このため、逆接続保護トランジスタMN8のバックゲート電圧は最大で0.7Vを維持し、逆接続保護トランジスタMN8はオン状態を維持する。これにより、出力トランジスタT1はオン状態を維持する。

【0045】

10

上記説明より、実施の形態3における負荷駆動装置3は、GND接続不良モードでは、補償トランジスタMN2により出力トランジスタT1のオフ状態を維持することができ、逆接続モードでは、逆接続保護トランジスタMN8により出力トランジスタT1のゲートに高い電圧を与えることで出力トランジスタT1をオンさせることができる。つまり、負荷駆動装置3によれば、GND接続不良モードに対する保護と逆接続モードに対する保護とを両立させることができる。

【0046】

実施の形態4

実施の形態4にかかる負荷駆動装置4の回路図を図7に示す。図7に示すように、負荷駆動装置4は、実施の形態3における逆接続保護回路17の変形例を示す逆接続保護回路17aを有する。なお、逆接続保護回路17aを有する制御回路を図7では、制御回路13bとした。負荷駆動装置4において負荷駆動装置3と同様のものについては、負荷駆動装置3と同じ符号を付して説明を省略する。

20

【0047】

逆接続保護回路17aは、逆接続保護回路17に対してデプレッション型NMOSトランジスタMN13が追加されている。デプレッション型NMOSトランジスタMN13は、逆接続保護トランジスタMN8と接地端子GND2との間に接続される。また、デプレッション型NMOSトランジスタMN13は、ゲートが逆接続保護トランジスタMN8のゲートと接続され、バックゲートが逆接続保護トランジスタMN8のバックゲートと接続される。

30

【0048】

デプレッション型NMOSトランジスタMN13は、電源10の逆接続時において定電流源として動作する。デプレッション型NMOSトランジスタMN13がない場合、逆接続保護トランジスタMN8を介して接地端子GND2から出力トランジスタT1のゲートに瞬間に大きな電流が流れる。そのため、実施の形態3における逆接続保護トランジスタMN8は、この大きな電流を流すことができるよう大きなトランジスタサイズを要する。しかし、負荷駆動装置4では、デプレッション型NMOSトランジスタMN13を定電流源として動作させることで、逆接続保護トランジスタMN8に流れる電流量を制御することができる。これにより、負荷駆動装置4は、実施の形態3における負荷駆動装置3よりも逆接続保護トランジスタMN8を小さく設計することが可能になる。つまり、負荷駆動装置4は、逆接続保護トランジスタMN8の回路面積を縮小することで、負荷駆動装置が形成されるチップの面積を小さくすることが可能になる。

40

【0049】

実施の形態5

実施の形態5にかかる負荷駆動装置5の回路図を図8に示す。図8に示すように、負荷駆動装置5は、負荷駆動装置3の補償回路14に替えて実施の形態3で示した補償回路16を用いる。負荷駆動装置5において負荷駆動装置3と同様のものについては、負荷駆動装置3と同じ符号を付して説明を省略する。

【0050】

負荷駆動装置5における補償回路16では、補償トランジスタMN7のゲートがノード

50

B に接続され、ソース / ドレインの一方が出力端子 OUT に接続され、ソース / ドレインの他方が抵抗 R11 を介して接地端子 GND2 に接続され、バックゲートにはバックゲート制御回路 18 からバックゲート電圧が供給される。つまり、負荷駆動装置 5 では、バックゲート制御回路 18 は、逆接続保護トランジスタ MN8 及び補償トランジスタ MN7 のバックゲート電圧を供給する。

【0051】

なお、以下の説明では、抵抗 R11 と補償トランジスタ MN7 のソース / ドレインの他方とを接続するノードをノード C と称す。また、負荷駆動装置 5 では、逆接続保護トランジスタ MN8 のゲート端子がノード C に接続される。

【0052】

次に、負荷駆動装置 5 の動作について説明する。ここで、正常時の動作は負荷駆動装置 3 と実質的に変わらないため説明を省略する。負荷駆動装置 5 では GND 接続不良モードにおいて NMOS トランジスタ MN9、MN10 がオンするため、バックゲート制御回路 18 が逆接続保護トランジスタ MN8 及び補償トランジスタ MN7 のバックゲートに出力端子 OUT の電圧（例えば 0V）を供給する。また、GND 接続不良モードでは、ノード B の電圧が上昇するため、補償トランジスタ MN7 がオンして接地端子 GND2 から電流を引き抜く。このとき、抵抗 R11 は、補償トランジスタ MN7 に流れる電流を制限する。また、逆接続保護トランジスタ MN8 のバックゲート電圧が 0V であるため、逆接続保護トランジスタ MN8 の MOS トランジスタは導通状態となる。しかし、補償トランジスタ MN7 がオンして接地端子 GND2 から出力端子 OUT へ電流を引き抜くため、出力トランジスタ T1 のゲートにリーク電流が流れることはない。つまり、負荷駆動装置 5 においても出力トランジスタ T1 のゲートにリーク電流が流れることはないため、出力トランジスタ T1 はオフ状態を維持する。

【0053】

次に、逆接続モードの場合における負荷駆動装置 5 の動作について説明する。負荷駆動装置 5 では、負荷駆動装置 3 とは異なり、逆接続モードにおいて、ノード B の電圧がクランプダイオード D10 によってノード B の電圧が引き下げられる。また、逆接続モードでは、バックゲート制御回路 18 が output するバックゲート電圧が 0.7V 以下である。そのため、補償トランジスタ MN7 はオフ状態となる。一方、逆接続保護トランジスタ MN8 は導通した MOS トランジスタとして機能する。従って、負荷駆動装置 5 における逆接続モードでは、逆接続保護トランジスタ MN8 によって、出力トランジスタ T1 のゲートに電荷を供給し、出力トランジスタ T1 をオン状態とする。

【0054】

負荷駆動装置 5 は、負荷駆動装置 3 の変形例を示すものである。このように、上記実施の形態における構成は、複数の実施の形態における構成を適宜組み合わせることで、GND 接続不良モードに対する保護と逆接続モードに対する保護とを両立させることができる。

【0055】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。

【図面の簡単な説明】

【0056】

【図 1】実施の形態 1 にかかる負荷駆動装置の回路図である。

【図 2】実施の形態 1 にかかる負荷駆動装置の動作を示す表である。

【図 3】実施の形態 2 にかかる負荷駆動装置の回路図である。

【図 4】実施の形態 2 にかかる負荷駆動装置の動作を示す表である。

【図 5】実施の形態 3 にかかる負荷駆動装置の回路図である。

【図 6】実施の形態 3 にかかる負荷駆動装置の動作を示す表である。

【図 7】実施の形態 4 にかかる負荷駆動装置の回路図である。

【図 8】実施の形態 5 にかかる負荷駆動装置の回路図である。

10

20

30

30

40

40

50

【図9】実施の形態5にかかる負荷駆動装置の動作を示す表である。

【図10】従来の負荷駆動装置の回路図である。

【図11】従来の負荷駆動装置における課題を説明するための図である。

【符号の説明】

【0057】

1 ~ 5 負荷駆動装置

10 電源

11 負荷

12 ドライバ回路

13、13a、13b 制御回路

10

14、16 補償回路

15、18 バックゲート制御回路

15a、15b、18a、18b スイッチ回路

17、17a 逆接続保護回路

T1 出力トランジスタ

MN1 放電トランジスタ

MN2、MN7 補償トランジスタ

MN8 逆接続保護トランジスタ

MN3 ~ MN6、MN9 ~ MN12 NMOSトランジスタ

20

MN13 デプレッション型NMOSトランジスタ

R10、R11 抵抗

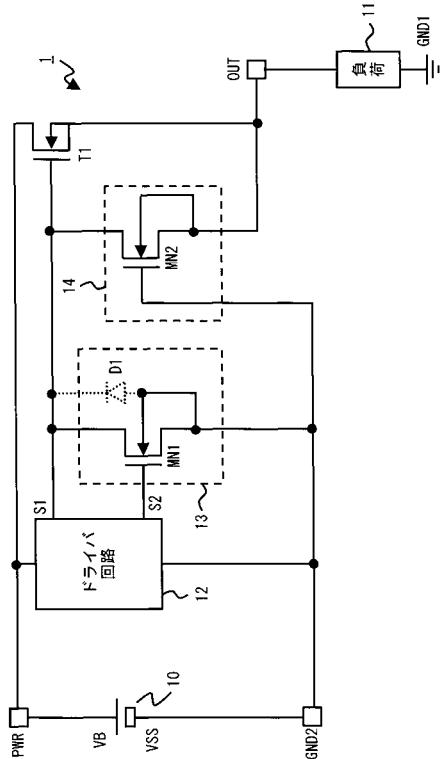
D10 クランプダイオード

PWR 電源端子

GND1、GND2 接地端子

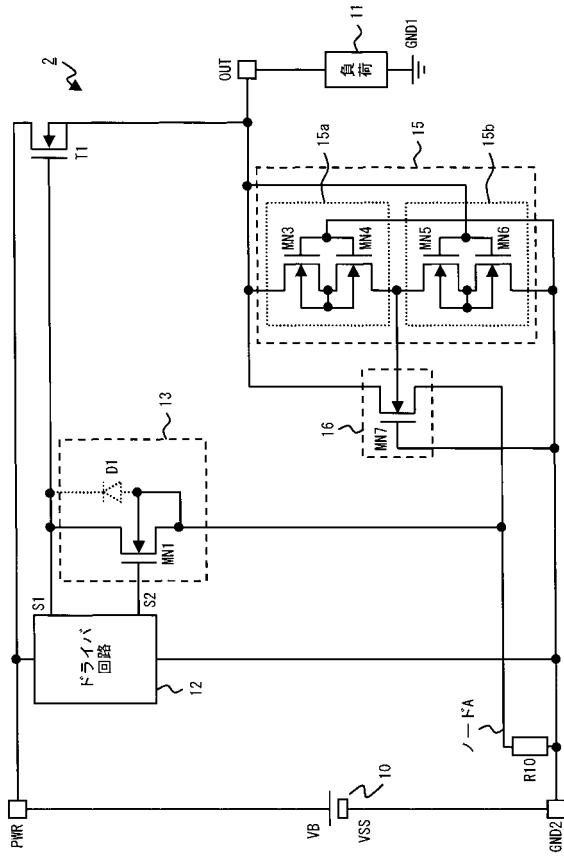
【図1】

【図2】



動作モード	GND2	OUT	MN1	MN2	T1
正常動作	ON OV	約VB	OFF	OFF	ON
オフ	OFF OV	OV	ON	OFF	OFF
異常動作	GND接続不良 OV以上	OV	リーケ	ON	OFF

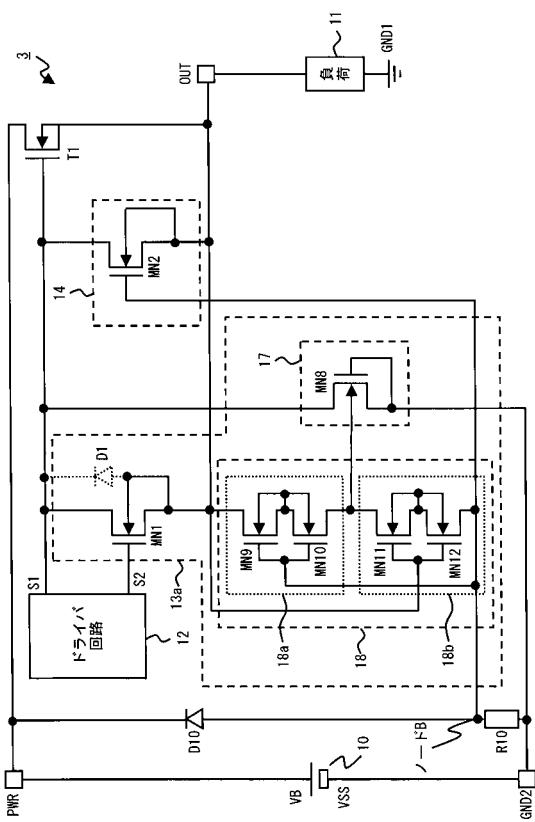
【 四 3 】



【 四 4 】



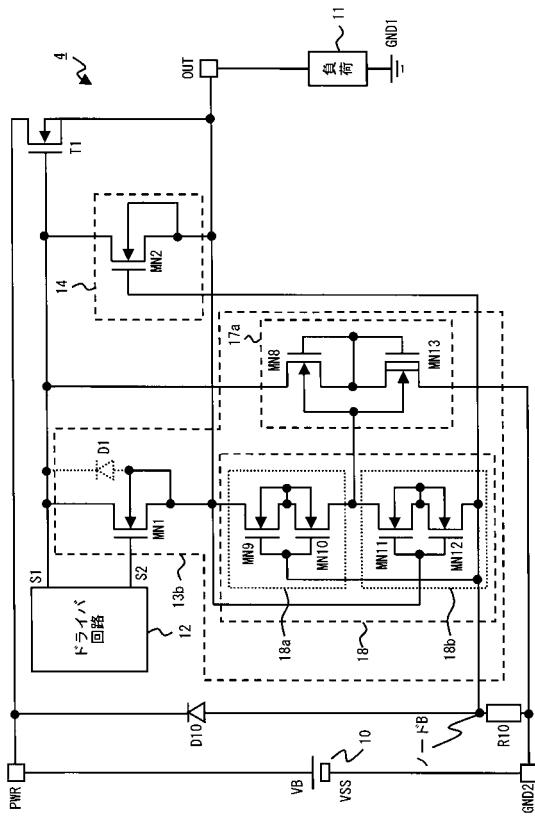
〔 四 5 〕



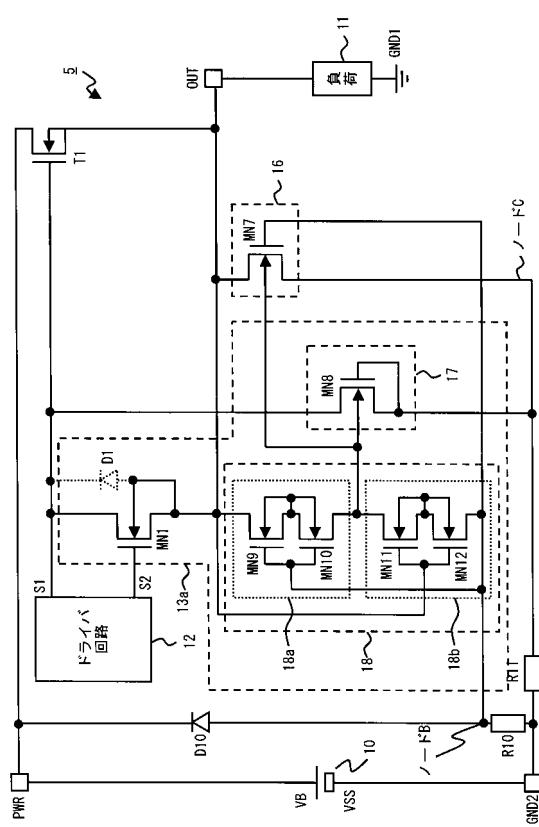
【 四 6 】

	動作モード	GND2	OUT	MN1	MN2	MN9	MN10	MN11	MN12	MN13	—SB	T1
正常動作	オシ	ON	約1V	OFF	OFF	OFF	OFF	ON	ON	OFF	約0V	ON
	オフ	ON	0V	ON	OFF	OFF	OFF	OFF	OFF	OFF	約0V	OFF
異常動作	GND接続不良	0V以上	0V	OFF	ON	ON	ON	OFF	OFF	ON	0V以上	OFF
	電源系統異常	VB	約0V	OFF	OFF	OFF	OFF	OFF	OFF	ON	0.7V	ON

【図7】



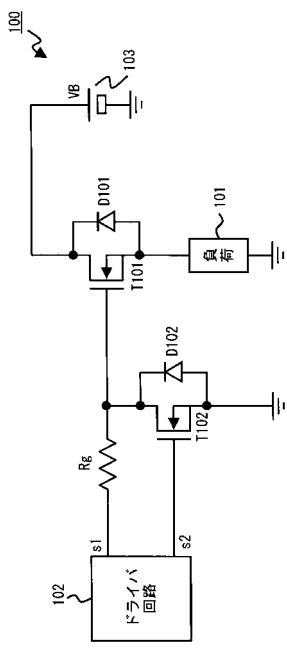
【図8】



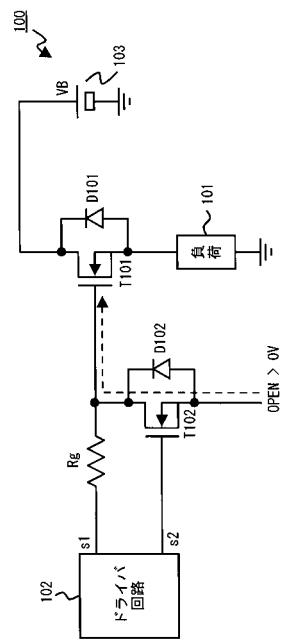
【図9】

動作モード		GND2	OUT	MN1	MN9	MN10	MN11	MN12	MN13	MN8	ノードB	T1
正常動作	オン	OV	OFF	OFF	ON	OFF	ON	OFF	ON	OFF	約0V	ON
オフ	OFF	OV	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF	約0V	OFF
異常動作	GND接続不良	OV以上	OV	OFF	ON	ON	ON	OFF	ON	ON	0V以上	ON
電源逆接続	VB	約0V	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	0.7V	ON

【図10】



【図 1 1】



フロントページの続き

(56)参考文献 特開2007-201723(JP,A)
特開平06-129337(JP,A)
特開2007-019812(JP,A)
特開平03-166816(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03K 17/00 - 17/70