



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0110803
(43) 공개일자 2011년10월07일

(51) Int. Cl.

H01L 33/32 (2010.01) H01L 33/36 (2010.01)
H01L 33/16 (2010.01)

(21) 출원번호 10-2011-7018941

(22) 출원일자(국제출원일자) 2010년11월15일

심사청구일자 2011년08월12일

(85) 번역문제출일자 2011년08월12일

(86) 국제출원번호 PCT/JP2010/070308

(87) 국제공개번호 WO 2011/086755

국제공개일자 2011년07월21일

(30) 우선권주장

JP-P-2010-008189 2010년01월18일 일본(JP)

(71) 출원인

스미토모덴키교교가부시키가이샤

일본 오사카후 오사카시 주오쿠 기타하마 4초메
5반33고

(72) 발명자

도쿠야마 신지

일본 오사카후 오사카시 고노하나쿠 시마야 1-1-3
스미토모덴키교교가부시키가이샤 오사카 세이사쿠
쇼 나이

아다치 마사히로

일본 오사카후 오사카시 고노하나쿠 시마야 1-1-3
스미토모덴키교교가부시키가이샤 오사카 세이사쿠
쇼 나이

(뒷면에 계속)

(74) 대리인

신정건, 김태홍

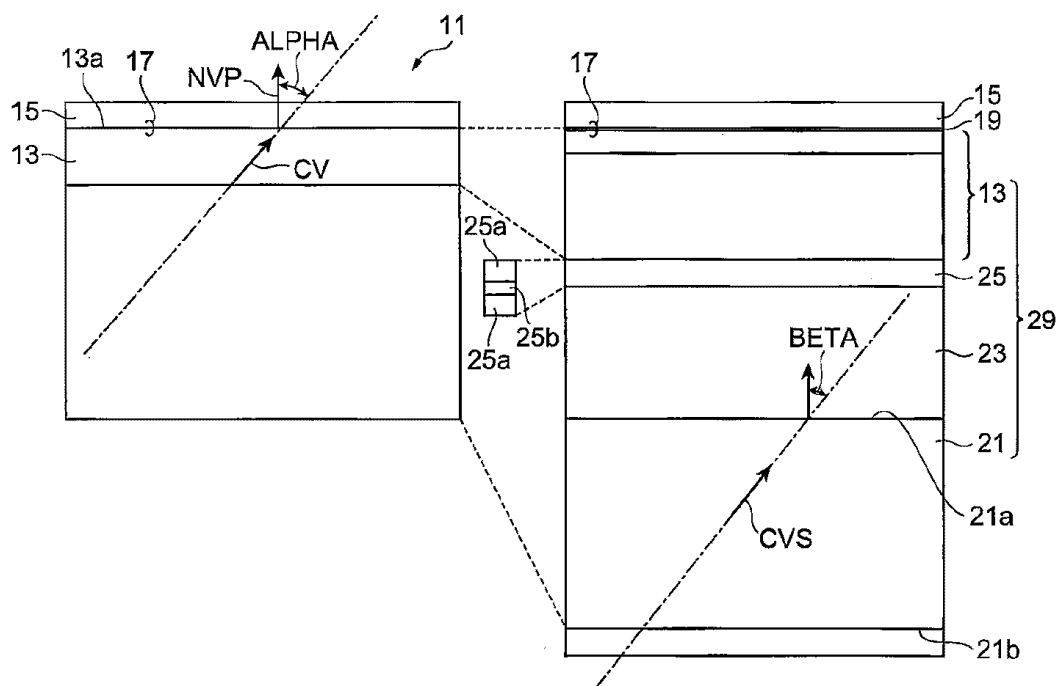
전체 청구항 수 : 총 20 항

(54) 반도체 소자 및 반도체 소자의 제조 방법

(57) 요약

c면에 대하여 경사진 p형 주면에 있어서 양호한 오믹 접촉을 갖는 반도체 소자를 제공한다. p형 반도체 영역(13)의 주면(13a)은 육방정계 III족 질화물의 c축(<0001>축)에 대하여 경사진 평면을 따라서 연장된다. 금속층(15)은 p형 반도체 영역(13)의 주면(13a) 상에 형성된다. 금속층(15)과 p형 반도체 영역(13)은 계면(17)을 형성하도록 적층되어 비합금 전극을 구성한다. 육방정계 III족 질화물은 III족 구성 원소로서 갈륨을 함유하기 때문에, 육방정계 III족 질화물로 이루어지는 주면(13a)은 육방정계 III족 질화물의 c면에 비해서 산화되기 쉽다. 금속층(15)과 p형 반도체 영역(13)은 계면(17)을 형성하도록 적층되어 비합금 전극을 구성한다. 전극을 위한 금속층(15)을 형성한 후의 합금화에 의한 산화물 증가를 피한다.

대표도



(72) 발명자

교노 다카시

일본 효고켄 이타미시 고야키타 1-1-1 스미토모텐
키교교가부시킴가이샤 이타미 세이사쿠쇼 나이

사이토 요시히로

일본 가나가와켄 요코하마시 사카에쿠 다야쵸 1 스
미토모텐키교교가부시킴가이샤 요코하마 세이사쿠
쇼 나이

특허청구의 범위

청구항 1

비합금 전극을 갖는 반도체 소자에 있어서,

육방정계 III족 질화물로 이루어지고, 그 육방정계 III족 질화물의 c축에 대하여 경사진 평면을 따라서 그 육방정계 III족 질화물의 c면과 다르게 연장되는 주면(主面)을 갖는 p형 반도체 영역과,

상기 p형 반도체 영역의 상기 주면 상에 형성된 금속층

을 포함하고,

상기 육방정계 III족 질화물은 III족 구성 원소로서 갈륨을 함유하고,

상기 금속층과 상기 p형 반도체 영역은 계면을 이루도록 적층되어 비합금 전극을 구성하는 것을 특징으로 하는 반도체 소자.

청구항 2

제1항에 있어서, 상기 금속층은 백금(Pt), 팔라듐(Pd) 및 금(Au) 중 하나 이상으로 이루어지는 것을 특징으로 하는 반도체 소자.

청구항 3

제1항 또는 제2항에 있어서, 상기 p형 반도체 영역의 상기 주면에 있어서의 법선 벡터와 상기 c축이 이루는 경사각은 10도 이상 80도 이하, 또는 100도 이상 170도 이하의 범위인 것을 특징으로 하는 반도체 소자.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 p형 반도체 영역의 상기 주면에 있어서의 법선 벡터와 상기 c축이 이루는 경사각은 63도 이상 80도 이하, 또는 100도 이상 117도 이하의 범위인 것을 특징으로 하는 반도체 소자.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 육방정계 III족 질화물로 이루어지는 지지 기체를 더 구비하고,

상기 지지 기체는 반극성 주면을 갖고 있고,

상기 p형 반도체 영역은 상기 지지 기체의 상기 반극성 주면 상에 형성되고, 상기 주면은 반극성을 갖는 것을 특징으로 하는 반도체 소자.

청구항 6

제5항에 있어서, 상기 지지 기체의 상기 반극성 주면과 상기 지지 기체의 c축이 이루는 경사각은 63도 이상 80도 이하, 또는 100도 이상 117도 이하의 범위인 것을 특징으로 하는 반도체 소자.

청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서, 육방정계 III족 질화물로 이루어지는 n형 반도체 영역과,

육방정계 III족 질화물로 이루어지는 활성층

을 더 구비하고,

상기 활성층은 상기 n형 반도체 영역과 상기 p형 반도체 영역 사이에 형성되는 것을 특징으로 하는 반도체 소자.

청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서, 상기 계면에는 두께 10 nm 이하의 산화물층이 포함되는 것을 특징으로

로 하는 반도체 소자.

청구항 9

제8항에 있어서, 상기 산화물층은 구성 원소로서 갈륨을 함유하는 것을 특징으로 하는 반도체 소자.

청구항 10

제8항 또는 제9항에 있어서, 상기 산화물층은 상기 금속층의 구성 원소의 산화물을 함유하지 않는 것을 특징으로 하는 반도체 소자.

청구항 11

반도체 소자를 제조하는 방법에 있어서,

육방정계 III족 질화물로 이루어지는 주면을 갖는 p형 반도체 영역을 포함하는 지지체를 준비하는 공정과,

상기 p형 반도체 영역의 상기 주면 상에 금속층을 퇴적하여, 비합금 전극을 형성하는 공정

을 포함하고,

상기 육방정계 III족 질화물은 III족 구성 원소로서 갈륨을 함유하고,

상기 p형 반도체 영역의 상기 주면은 상기 육방정계 III족 질화물의 c축에 대하여 경사진 평면을 따라서 상기 육방정계 III족 질화물의 c면과 다르게 연장되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 12

제11항에 있어서, 상기 금속층은 백금(Pt), 팔라듐(Pd) 및 금(Au) 중 하나 이상으로 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 13

제11항 또는 제12항에 있어서, 상기 금속층을 퇴적하기 전에, 상기 지지체의 상기 p형 반도체 영역을 처리하는 공정을 더 포함하고,

상기 처리는 산 세정을 상기 지지체에 적용함으로써 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 14

제11항 내지 제13항 중 어느 한 항에 있어서, 상기 p형 반도체 영역의 상기 주면에 있어서의 법선 벡터와 상기 c축이 이루는 경사각은 10도 이상 80도 이하, 또는 100도 이상 170도 이하의 범위인 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 15

제11항 내지 제14항 중 어느 한 항에 있어서, 상기 p형 반도체 영역의 상기 주면에 있어서의 법선 벡터와 상기 c축이 이루는 경사각은 63도 이상 80도 이하, 또는 100도 이상 117도 이하의 범위인 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 16

제11항 내지 제15항 중 어느 한 항에 있어서, 상기 금속층을 퇴적한 후에는, 산소를 함유하는 분위기 속에서 전극 어닐링을 하지 않는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 17

제11항 내지 제16항 중 어느 한 항에 있어서, 상기 금속층과 상기 p형 반도체 영역은 계면을 형성하도록 적층되고,

상기 계면에는 두께 10 nm 이하의 산화물층이 포함되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 18

제11항 내지 제17항 중 어느 한 항에 있어서, 상기 지지체는 육방정계 III족 질화물로 이루어지는 지지 기체를 포함하고,

상기 지지 기체는 반극성 주면을 갖고 있고,

상기 p형 반도체 영역은 상기 지지 기체의 상기 반극성 주면 상에 형성되고, 상기 주면은 반극성을 갖는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 19

제18항에 있어서, 상기 지지 기체의 상기 반극성 주면에 있어서의 법선 벡터와 상기 지지 기체의 상기 육방정계 III족 질화물의 c축이 이루는 경사각은 63도 이상 80도 이하, 또는 100도 이상 117도 이하의 범위인 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 20

제18항 또는 제19항에 있어서, 상기 지지체는 육방정계 III족 질화물로 이루어지는 n형 반도체 영역과, 육방정계 III족 질화물로 이루어지는 활성층을 더 구비하고,

상기 n형 반도체 영역은 상기 지지 기체의 상기 반극성 주면 상에 형성되고,

상기 활성층은 상기 지지 기체의 상기 반극성 주면 상에 형성되고,

상기 활성층은 상기 n형 반도체 영역과 상기 p형 반도체 영역 사이에 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

명세서

기술분야

[0001] 본 발명은 반도체 소자 및 반도체 소자의 제조 방법에 관한 것이다.

배경기술

[0002] 특허문헌 1에는, c면의 p형층에 대해 오믹 접촉을 얻는 것이 기재되어 있다. p형 불순물을 도핑한 $Ga_xAl_{1-x}N$ 에 Au, Ni 등으로 이루어지는 금속을 사용한다. 금속층의 퇴적 후에, 산소 분위기 속에서 어닐링한다. 이에 따라, 질화갈륨계 화합물 반도체를 이용하여, 저 구동 전압화, 고 휘도화된 발광 디바이스로 실현한다.

[0003] 특허문헌 2에는, c면의 p형층에 대해 오믹 접촉을 얻는 것이 기재되어 있다. p+층의 표면 상에 니켈층을 형성하고, 그 위에 금층을 형성한 후에, 열처리를 통해 깊이 방향의 원소 분포를 반전시킨다. 이 결과, 표면 측에서부터 니켈, 금의 순으로 원소가 존재하게 구성된다.

[0004] 특허문헌 3에는, p형 GaN 컨택트층 상에의 전극 형성이 기재되어 있다. Mg가 첨가된 GaN 컨택트층(17) 상에 투광성 전극을 형성한 후에, 적어도 산소를 함유하는 가스 속에서 섭씨 500~600도의 범위로 열처리하여, p형 저저항화와 전극의 합금화 처리를 동시에 한다.

[0005] 특허문헌 4에 기재된 방법에서는, 사파이어 기판 상에 AlN 버퍼층을 통해 GaN층 및 Mg를 첨가한 적층체를 형성한 후에, 이것을 섭씨 300도의 온도에서 가열한다. 이 가열 후에, 적층체 상에 두께 50 nm의 금속 전극을 증착한다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특허 공개 평05-291621호 공보

(특허문헌 0002) 일본 특허 공개 평09-64337호 공보

(특허문헌 0003) 일본 특허 공개 평11-186605호 공보

(특허문헌 0004) 일본 특허 공개 2004-247323호 공보

발명의 내용

해결하려는 과제

- [0007] 특허문헌 1 및 2의 방법에서는, c면 GaN 기판 상의 p형 GaN에 대하여 매우 양호한 결과를 얻는다. 그러나, 발명자들의 지견에 따르면, 무극성 및 반극성의 GaN 기판 상의 p형 GaN에서는, 양호한 오믹 전극을 형성할 수 없으며, 이것은, 비극성면의 특유의 두꺼운 표면 산화막의 영향 때문이라고 생각된다. 산화막의 영향이 다른 것은 유극성의 c면과 비극성의 면에서는 표면의 산화막(Ga-O 결합)의 상태가 다름에 기인한다. 발명자들의 실험에 따르면, 비극성면에는 GaN-전극 계면에 보다 두꺼운 산화막이 존재하고, 이 때문에 전기 특성이 좋지 않다. 또한, 이 산화막은 c면과 비극성면에 있어서의 산소 흡착력의 차이에 의해, 전극을 합금화시키는 산소 어닐링에 의해 비극성 GaN-전극의 계면에 보다 많은 산화물이 형성된다.
- [0008] 본 발명은 이러한 사정을 감안하여 시도된 것으로, c면에 대하여 경사진 p형 주면(主面)에 있어서 양호한 오믹 접촉을 갖는 반도체 소자를 제공하는 것을 목적으로 하고, 또한 c면에 대하여 경사진 p형 주면에 있어서 양호한 오믹 접촉을 실현할 수 있는 반도체 소자를 제조하는 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0009] 본 발명의 일 측면은 비합금 전극을 갖는 반도체 소자이다. 이 반도체 소자는 (a) 육방정계 III족 질화물로 이루어지고, 그 육방정계 III족 질화물의 c축에 대하여 경사진 평면을 따라 그 육방정계 III족 질화물의 c면과 다르게 연장되는 주면(主面)을 갖는 p형 반도체 영역과, (b) 상기 p형 반도체 영역의 상기 주면 상에 형성된 금속층을 구비한다. 상기 육방정계 III족 질화물은 III족 구성 원소로서 갈륨을 함유하며, 상기 금속층과 상기 p형 반도체 영역은 계면을 이루도록 적층되어 비합금 전극을 구성한다.
- [0010] 발명자들의 지견에 따르면, 육방정계 III족 질화물로 이루어지는 지지체의 경사진 주면은 육방정계 III족 질화물의 c면에 비해서 산화되기 쉽다. 이 때문에, 전극을 위한 금속층을 형성한 후에 합금화하면, 육방정계 III족 질화물과 전극과의 계면에 산화물이 증가한다. 본 발명의 측면에 따른 반도체 소자에 의하면, 금속층과 p형 반도체 영역은 계면을 형성하도록 적층되어 비합금 전극을 구성한다. 이 때문에, 전극을 위한 금속층을 형성한 후의 합금화에 의한 산화물 증가를 피할 수 있다.
- [0011] 본 발명의 다른 측면은 반도체 소자를 제조하는 방법이다. 이 방법은 (a) 육방정계 III족 질화물로 이루어지는 주면을 갖는 p형 반도체 영역을 포함하는 지지체를 준비하는 공정과, (b) 상기 p형 반도체 영역의 상기 주면 상에 금속층을 퇴적하여, 비합금 전극을 형성하는 공정을 포함한다. 상기 육방정계 III족 질화물은 III족 구성 원소로서 갈륨을 함유하고, 상기 p형 반도체 영역의 상기 주면은 상기 육방정계 III족 질화물의 c축에 대하여 경사진 평면을 따라서 그 육방정계 III족 질화물의 c면과 다르게 연장된다.
- [0012] 상기 측면에 따른 방법에 의하면, 육방정계 III족 질화물로 이루어지는 지지체 주면은 육방정계 III족 질화물의 c면에 비해서 산화되기 쉽지만, 육방정계 III족 질화물로 이루어지는 p형 반도체 영역의 주면 상에 금속층을 퇴적하여 비합금 전극을 형성하기 때문에, 전극을 위한 금속층을 형성한 후의 합금화에 의한 산화물 증가를 피할 수 있다.
- [0013] 본 발명의 다른 측면에 따른 방법은 상기 금속층을 퇴적하기 전에, 상기 지지체의 상기 p형 반도체 영역을 처리하는 공정을 더 포함할 수 있다. 상기 처리는 상기 지지체에 산 세정을 적용함으로써 이루어진다.
- [0014] 상기 측면에 따른 방법에 의하면, 금속층의 형성에 앞서 자연 산화가 p형 반도체 영역의 표면에 영향을 주지만, 상기한 전처리에 의해, 자연 산화의 영향을 저감시킬 수 있다. 상기한 처리는, 예컨대 염산, 황수 및 불화수소 산 중 하나 이상에 지지체를 침지함으로써 이루어진다.
- [0015] 본 발명의 또 다른 측면은 비합금 전극이다. 비합금 전극은 (a) 육방정계 III족 질화물로 이루어지고, 그 육방정계 III족 질화물의 c축에 대하여 경사진 평면을 따라서 그 육방정계 III족 질화물의 c면과 다르게 연장되는 주면을 갖는 p형 반도체 영역과, (b) 상기 p형 반도체 영역의 상기 주면 상에 형성된 금속층을 구비한다. 상기 육방정계 III족 질화물은 III족 구성 원소로서 갈륨을 함유하며, 상기 금속층과 상기 p형 반도체 영역은 계면을 이루도록 적층되어 비합금 전극을 구성한다.

- [0016] 상기한 측면에서는, 상기 금속층은 백금(Pt), 팔라듐(Pd) 및 금(Au) 중 하나 이상 또는 이들의 합금으로 이루어질 수 있다. 상기 측면에 따르면, 이들 금속층은 양호한 전기 특성을 제공할 수 있다.
- [0017] 상기한 측면에서는, 상기 금속층을 퇴적한 후에는, 산소를 함유하는 분위기 속에서 전극 어닐링을 하지 않는다. 따라서, 전극 어닐링에 의한 산화물 생성을 계면에서 피할 수 있다.
- [0018] 상기한 측면에서는, 상기 p형 반도체 영역의 상기 주면에 있어서의 법선 백터와 상기 c축이 이루는 경사각은 10도 이상 80도 이하, 또는 100도 이상 170도 이하의 범위일 수 있다. 상기한 측면에 따르면, 경사각이 10도 미만 170도 이상일 때, p형 반도체 영역의 주면은 반극성면이라기 보다는 극성면으로서의 성질을 보인다. 경사각이 80도 이상 100도 이하일 때, 반극성면이라기 보다는 무극성면으로서의 성질을 보인다.
- [0019] 상기한 측면에서는, 상기 p형 반도체 영역의 상기 주면에 있어서의 법선 백터와 상기 c축이 이루는 경사각은 63도 이상 80도 이하, 또는 100도 이상 117도 이하의 범위일 수 있다. 상기한 측면에 따르면, 경사각이 상기 범위에 있을 때, 청색에서부터 녹색 파장 영역의 고품질 활성층을 제조할 수 있다. 예컨대, 활성층이, 인듐을 포함하는 질화갈륨계 반도체층(예컨대, InGaN 등)을 포함할 때, In 원소의 취입이 가능하다. 또한, 질화갈륨계 반도체가 InGaN 등일 때, In 조성의 변동이 작다. 이로써, 발광 다이오드에서는 발광 불균일을 작게 할 수 있고, 레이저 다이오드에서는, In 조성의 변동에 따른 임계치 전류 증가를 저감시킬 수 있다. 비합금 전극에 의해, 소자의 직렬 저항을 저감시킬 수 있다.
- [0020] 상기한 측면에서는, 반도체 소자는 육방정계 III족 질화물로 이루어지는 지지 기체(基體)를 더 구비할 수 있다. 상기 지지 기체는 반극성 주면을 갖고 있고, 상기 p형 반도체 영역은 상기 지지 기체의 상기 반극성 주면 상에 형성된다. 이 측면에 따르면, p형 반도체 영역에 반극성 주면을 제공하는 것이 용이하게 된다. 또한, 이 측면에 있어서, 상기 지지 기체의 상기 반극성 주면에 있어서의 법선 백터와 상기 지지 기체의 c축이 이루는 경사각은 10도 이상 80도 이하, 또는 100도 이상 170도 이하의 범위일 수 있다. 상기한 측면에 따르면, 지지 기체의 경사각이 10도 미만 170도 이상일 때, p형 반도체 영역의 주면은 반극성면이라기 보다는 극성면으로서의 성질을 보인다. 상기한 경사각이 80도 이상 100도 이하일 때, 반극성면이라기 보다는 무극성면으로서의 성질을 보인다. 또한, 상기 지지 기체의 상기 반극성 주면에 있어서의 법선 백터와 상기 지지 기체의 c축이 이루는 경사각이 63도 이상 80도 이하, 또는 100도 이상 117도 이하의 범위일 수 있다. 지지 기체의 경사각이 상기 각도 범위일 때, p형 반도체 영역의 주면에, 경사각이 63도 이상 80도 이하, 또는 100도 이상 117도 이하의 각도 범위인 반극성면을 제공하는 것이 용이하게 된다.
- [0021] 상기한 측면에서는, 지지체는 육방정계 III족 질화물로 이루어지는 n형 반도체 영역과, 육방정계 III족 질화물로 이루어지는 활성층을 더 구비할 수 있다. 상기 활성층은 상기 n형 반도체 영역과 상기 p형 반도체 영역 사이에 형성된다. 상기한 측면에 따르면, 양호한 오믹성을 갖는 전극을 발광 소자에 제공할 수 있다.
- [0022] 상기한 측면에서는, 상기 계면에는 두께 10 nm 이하의 산화물층이 포함될 수 있다. 상기한 측면에 따르면, 산화물층의 두께가 상기 범위라면, 반극성면에 대한 양호한 오믹 접촉을 제공할 수 있다.
- [0023] 상기한 측면에서는, 상기 산화물층은 구성 원소로서 갈륨을 함유한다. 상기한 측면에 따른 반극성면은 갈륨산화물을 형성하기 쉽다.
- [0024] 상기한 측면에서는, 상기 산화물층은 상기 금속층의 구성 원소의 산화물을 함유하지 않는다. 상기한 측면에 따른 산화물층은 전극 어닐링 시에 형성되는 것이 아니며, 산화물은 주로 반극성면의 구성 원소와 결합된다.
- [0025] 본 발명의 각 측면에 따른 상기한 목적 및 다른 목적, 특징 및 이점은 첨부 도면을 참조하여 진행되는 본 발명의 적합한 실시형태의 이하의 상세한 기술로부터 보다 용이하게 밝혀진다.

발명의 효과

- [0026] 이상 설명한 바와 같이, 본 발명의 일 측면에 따르면, c면에 대하여 경사진 p형 주면에 있어서 양호한 오믹 접촉을 갖는 반도체 소자가 제공된다. 또한, 본 발명의 다른 측면에 따르면, c면에 대하여 경사진 p형 주면에 있어서 양호한 오믹 접촉을 실현할 수 있는 반도체 소자를 제조하는 방법이 제공된다.

도면의 간단한 설명

- [0027] 도 1은 본 실시형태에 따른 반도체 소자의 일례를 도시하는 도면이다.
- 도 2는 본 실시형태에 따른 반도체 소자를 제조하는 방법에서의 주요 공정을 나타내는 공정 흐름을 나타내는 도

면이다.

도 3은 반극성 p형 GaN면에서의 합금 전극 및 비합금 전극의 특성을 나타내는 도면이다.

도 4는 반극성 p형 GaN면에서의 합금 전극 및 비합금 전극의 XPS 측정 결과를 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 본 발명의 지견은 예시로서 제시하는 첨부 도면을 참조해서 이하의 상세한 기술을 고려함으로써 용이하게 이해될 수 있다. 이어서, 첨부 도면을 참조하면서, 본 실시형태에 따른 비합금 전극, 비합금 전극을 갖는 반도체 소자, 비합금 전극을 제조하는 방법, 및 반도체 소자를 제조하는 방법에 따른 실시형태를 설명한다. 가능한 경우에는 동일한 부분에는 동일한 부호를 붙인다.
- [0029] 도 1은 본 실시형태에 따른 반도체 소자의 일례를 도시하는 도면이다. 반도체 소자(11)는 비합금 전극을 갖는다. 반도체 소자(11)는 p형 반도체 영역(13)과 금속층(15)을 포함한다. p형 반도체 영역(13)은 육방정계 III족 질화물로 이루어진다. 육방정계 III족 질화물은 III족 구성 원소로서 갈륨을 함유하며, 예컨대 질화갈륨계 반도체로 이루어질 수 있다. 질화갈륨계 반도체는, 예컨대 GaN, InGaN, AlGaN, InAlGaN을 함유한다. p형 반도체 영역(13)은 주면(13a)을 갖고 있고, 주면(13a)은 그 육방정계 III족 질화물의 c축(<0001>축)에 대하여 경사진 평면을 따라서 연장된다. 이러한 주면(13a)으로서 예컨대 반극성면이 있다. 도 1에서는, c축의 방향은 c축 벡터(CV)로 표현된다. 금속층(15)은 p형 반도체 영역(13)의 주면(13a) 상에 형성된다. 금속층(15)과 p형 반도체 영역(13)은 계면(17)을 형성하도록 적층되어 비합금 전극을 구성한다.
- [0030] 발명자들의 지견에 따르면, 육방정계 III족 질화물은 III족 구성 원소로서 갈륨을 함유하기 때문에, 육방정계 III족 질화물로 이루어지는 반극성 주면(13a)은 육방정계 III족 질화물의 c면에 비해서 산화되기 쉽다. 이 때문에, 전극을 위한 금속층(15)을 형성한 후에 합금화하면, 육방정계 III족 질화물과 전극과의 계면에 산화물이 증가한다. 본 실시형태에 따른 반도체 소자(11)에 의하면, 금속층(15)과 p형 반도체 영역(13)은 계면(17)을 형성하도록 적층되어 비합금 전극을 구성한다. 이로써, 전극을 위한 금속층(15)을 형성한 후의 합금화에 의한 산화물 증가를 피할 수 있다.
- [0031] 실시예에서는, 금속층(15)은 백금(Pt), 팔라듐(Pd) 및 금(Au) 중 하나 이상으로 이루어질 수 있으며, 이들의 합금으로 이루어질 수 있다. 이들 금속층은 양호한 전기 특성을 제공할 수 있다. 금속층(15)과 p형 반도체 영역(13)이 비합금 전극을 구성하기 위해서는, 금속층(15)을 주면(13a) 상에 퇴적한 후에, 산소를 함유하는 분위기 속에서 전극 어닐링을 하지 않는다. 이 분위기 속에서의 전극 어닐링에 의한 산화물 생성을 계면에서 피할 수 있다. 예컨대, 반극성면에 구성되는 비합금 전극 계면에서는, 산소 분위기 속의 전극 어닐링에 의한 산화물 생성을 피할 수 있다.
- [0032] 도 1을 참조하면, 주면(13a)의 법선을 나타내는 법선 벡터(NVP)가 표시되어 있다. 이 법선 벡터(NVP)와 c축 벡터(CV)가 이루는 경사각(ALPHA)은, 10도 이상 170도 이하의 범위일 수 있다. 상기한 측면에 따르면, 육방정계 c면과 다른 극성의 반도체면이 기판 주면(13a)에 제공된다. 경사각(ALPHA)이 10도 미만 170도 이상일 때, p형 반도체 영역(13)의 주면(13a)은 반극성면이라기 보다는 극성면으로서의 성질을 보인다. 경사각이 80도 이상 100도 이하일 때, 반극성면이라기 보다는 무극성면으로서의 성질을 보인다. 또한, 경사각(ALPHA)은 10도 이상 80도 이하, 또는 100도 이상 170도 이하의 범위일 수 있다. 상기한 측면에 따르면, 반극성면이 기판 주면(13a)에 제공된다.
- [0033] 경사각(ALPHA)은 63도 이상 80도 이하, 또는 100도 이상 117도 이하의 범위일 수 있다. 경사각(ALPHA)이 상기 범위에 있을 때, 표면 산화막이 적고, 전극 재료나 전처리에 의해 양호한 전기 특성을 얻을 수 있다.
- [0034] 계면(17)에는 산화물층(19)이 포함될 수 있다. 산화물층(19)의 두께는 10 nm 이하일 수 있다. 산화물층(19)의 두께가 상기 범위라면, 반극성면과 금속층의 비합금 접촉에 양호한 오믹 특성을 제공할 수 있다. 또한, 발명자들의 관찰에 따르면, 산화물층(19)이 계면(17)에 적어도 0.5 nm 정도 잔류한 것이 확인되었다. 주면(13a)은 갈륨산화물을 형성하기 쉽기 때문에, 산화물층(19)은 구성 원소로서 갈륨을 함유한다. 한편, 산화물층(19)은 금속층(17)의 구성 원소의 산화물을 함유하지 않는다. 산화물층(19)은 전극 어닐링 시에 형성되는 것이 아니며, 산화물은 주로 주면(13a)의 구성 원소와 결합된다.
- [0035] 반도체 소자(11)는 육방정계 III족 질화물로 이루어지는 주면을 갖는 지지 기체(21)를 더 구비할 수 있다. 지지 기체(21)는 GaN, InGaN, AlGaN, InAlGaN, AlN 등으로 이루어질 수 있다. 지지 기체(21)는 주면(21a) 및 이면(21b)을 갖는다. 주면(21a)이 반극성을 보이는 형태에서는, p형 반도체 영역(13)의 주면(13a)에 반극성을 제공

하는 것이 용이하게 된다. 또한, p형 반도체 영역은 지지 기체(21)의 주면(21a) 상에 형성된다. 지지 기체(21)의 주면(21a)에 있어서의 법선 벡터(NVS)와 지지 기체(21)의 c축 벡터(CVS)(<0001>축의 방향)가 이루는 경사각(BETA)은 10도 이상 170도 이하의 범위일 수 있다. 경사각(BETA)이 10도 미만 170도 이상일 때, p형 반도체 영역(13)의 주면(13a)은 유극성의 c면에 가까운 성질을 보이고, 유극성의 c면과 다른 극성을 보이지 않는다. 경사각(BETA)이 80도 이상 100도 이하일 때, p형 반도체 영역(13)의 주면(13a)은 반극성이라기 보다는 무극성면으로서의 성질을 보인다. 경사각(BETA)은 10도 이상 80도 이하, 또는 100도 이상 170도 이하의 범위일 수 있다. 이 경사각에서는, 주면(21a)이 반극성을 보인다. 상기한 형태에 따르면, 양호한 오믹성을 갖는 전극을 발광 소자에 제공할 수 있다.

[0036] 반도체 소자(11)는 육방정계 III족 질화물로 이루어지는 n형 반도체 영역(23)과, 육방정계 III족 질화물로 이루어지는 활성층(25)을 더 구비할 수 있다. 활성층(25)은 n형 반도체 영역(23)과 p형 반도체 영역(13) 사이에 형성된다. n형 반도체 영역(23), 활성층(25) 및 p형 반도체 영역(13)은 지지체(29)를 구성한다. n형 반도체 영역(23), 활성층(25) 및 p형 반도체 영역(13)은 지지 기체(13)의 주면(13a) 상의 법선 벡터(NVS)의 방향으로 배열된다.

[0037] 활성층(25)은 장벽층(25a)을 포함할 수 있으며, 또한, 인듐을 포함하는 질화갈륨계 반도체층(25b)(예컨대, 우물층)을 포함할 수 있다. 우물층(25b)은 예컨대 InGaN으로 이루어질 수 있으며, 또한 장벽층(25a)은 InGaN 또는 GaN으로 이루어질 수 있다.

[0038] 경사각(BETA)이 63도 이상 80도 이하, 또는 100도 이상 117도 이하의 범위일 때, p형 반도체 영역(13)의 주면(13a)에, 63도 이상 80도 이하, 또는 100도 이상 117도 이하 각도 범위의 반극성면을 제공하는 것이 용이하게 된다. 예컨대, 활성층(25)이 InGaN층을 포함할 때, In 원소의 취입이 양호하며, 이로써 장파장의 발광이 가능하다. 또한, 질화갈륨계 반도체가 InGaN 동일 때, In 조성의 변동이 작다. 이 때문에, 발광 다이오드에서는 발광 불균일을 작게 할 수 있고, 레이저 다이오드에서는 In 조성의 변동에 의한 임계치 전류 증가를 저감시킬 수 있다. 본 실시예에서는, 경사각(BETA)은 결정에 내포되는 왜곡의 영향을 무시할 때, 경사각(ALPHA)과 실질적으로 같다.

[0039] 도 2는 본 실시형태에 따른 반도체 소자를 제조하는 방법에서의 주요한 공정을 나타내는 공정 흐름을 도시하는 도면이다. 이어지는 설명에서는, 이해를 쉽게 하기 위해서, 제조 공정에 있어서 나타내는 부재의 참조 번호로서, 도 1 중의 대응하는 부재의 참조 번호를 붙인다. 공정 S101에서는 지지체(29)를 준비한다. 지지체(29)는 p형 반도체 영역(13)을 포함하고, p형 반도체 영역(13)은 지지체(29) 최외측 표면으로서 주면(13a)을 갖는다. 주면(13a)은, 예컨대 육방정계 III족 질화물로 이루어지는 반극성면일 수 있다. 육방정계 III족 질화물은 III족 구성 원소로서 갈륨을 함유한다. 다른 III족 구성 원소로서, 인듐, 알루미늄 등을 함유할 수 있으며, V족 구성 원소로서 질소를 함유한다. p형 반도체 영역(13)의 주면(13a)은, 예컨대 Mg 도핑 GaN으로 이루어질 수 있다. p형 반도체 영역(13)의 주면(13a)은 그 육방정계 III족 질화물의 c축에 대하여 경사진 평면을 따라서 연장되고, 이로써, p형 반도체 영역(13)의 주면(13a)은 반극성을 보이며, 본 실시예에서는, 이것을 「반극성 주면」이라고 부른다.

[0040] p층 전극을 위한 금속층을 퇴적하기 전에, 공정 S102에서는, 지지체(29)의 p형 반도체 영역(13)을 전처리할 수 있다. p형 반도체 영역(13)을 성장로에서 성장시켜 지지체(29)를 형성한 후에, 지지체(에피택셜 기판)(29)를 성장로에서 꺼내면, 에피택셜 기판은 대기에 노출된다. 에피택셜 기판의 에피택셜 표면은 유극성의 c면과 다른 극성을 보이기 때문에, 대기중의 산소에 의해 자연 산화가 생길 가능성이 있다. 따라서, 전극막을 형성하기에 앞서 자연 산화가 p형 반도체 영역(13)의 표면(13a)에 영향을 주는데, 상기한 전처리에 의해, 자연 산화의 영향을 저감시킬 수 있다. 상기한 전처리는 산 세정을 위한 용액, 예컨대 왕수 및 불화수소산 등에 지지체(29)를 침지함으로써 이루어진다.

[0041] 공정 S103에서는, p형 반도체 영역(13)의 주면(13a) 상에 금속층(15)을 퇴적하여, 비합금 전극을 형성한다. 이들 공정에 의해, 비합금 전극을 포함하는 반도체 소자의 배열을 포함하는 기판 생산물이 형성된다.

[0042] 육방정계 III족 질화물로 이루어지는 주면(13a)은 육방정계 III족 질화물의 c면에 비해서 산화되기 쉽지만, 이 방법에 따르면, 육방정계 III족 질화물로 이루어지는 p형 반도체 영역(13)의 주면(13a) 상에 금속층(15)을 퇴적하여 비합금 전극을 형성하기 때문에, 전극을 위한 금속층(15)을 형성한 후의 열로이에 의한 산화물 증가를 피할 수 있다. 금속층(15)은 백금(Pt), 팔라듐(Pd) 및 금(Au) 중 하나 이상 혹은 이들의 합금으로 이루어질 수 있다. 이들 금속층은 양호한 전기 특성을 제공할 수 있다.

- [0043] 또한, 금속층(15)을 퇴적한 후에는, 산소를 함유하는 분위기 속에서 전극 어닐링을 하지 않는다. 전극 어닐링 중에 계면(17)에 산화물이 새롭게 생성되는 것을 피할 수 있다. 이러한 비합금 전극에 있어서의 단위 면적당 접촉 저항은 예컨대 $2 \times 10^{-4} (\Omega \cdot \text{cm}^2)$ 이상일 수 있고, 또한 $6 \times 10^{-3} (\Omega \cdot \text{cm}^2)$ 이하일 수 있다. p형 반도체 영역(13)의 반극성 주면(13a)에 있어서의 법선 벡터(NV)와 c축 벡터(CV)가 이루는 경사각(ALPHA)은, 예컨대 10도 이상 80도 이하, 또는 100도 이상 170도 이하의 범위일 수 있다.
- [0044] 공정 S104에서는, 산소 분위기 속에서 전극 어닐링을 하는 일없이 기판 생산물을 분리하여, 개개의 반도체 소자를 제조한다. 이들 공정에 의해, 비합금 전극을 제조할 수 있고, 또한 비합금 전극을 갖는 반도체 소자를 제조할 수 있다.
- [0045] 지지체(29) 제조의 일례를, 반도체 소자로서 발광 소자를 제조하는 공정을 참조하면서 설명한다. 공정 S105에서는, III족 질화물 기판을 준비한다. III족 질화물 기판(21)으로서, 예컨대 GaN, AlGaIn, InGaIn, InAlGaIn, AlN 등일 수 있다. 이어서 설명하는 실시예에서는 기판(21)은 반극성 주면을 갖는다. III족 질화물 기판(21)은 반극성 주면(21a)을 포함한다. 반극성 주면(21a)은 이미 설명한 바와 같이, III족 질화물 기판(21)의 c축 벡터(CVS)에 대하여 각도(BETA)로 경사진 법선 벡터(NVS)를 갖는다. c축의 경사는, III족 질화물 기판(21)의 a축의 방향 또는 m축의 방향일 수 있다.
- [0046] 공정 S106에서는, III족 질화물 기판(21)의 반극성 주면(21a) 상에 n형 III족 질화물 반도체 영역(23)을 성장시킨다. n형 III족 질화물 반도체 영역(23)은 n형 클래드층 등일 수 있다. n형 클래드층은 사원계, 삼원계 및 이원계의 III족 질화물 반도체로 이루어질 수 있고, 예컨대 Si 도핑 GaN, AlGaIn, InAlGaIn, InAlN 등이다. n형 III족 질화물 반도체 영역(23)의 주면은 반극성을 보인다.
- [0047] 공정 S107에서는, n형 III족 질화물 반도체 영역(23)의 주면 상에, 발광층을 성장시킨다. 발광층은 활성층(25)을 포함하고, 필요한 경우에는 활성층(25)의 양측에 형성된 광가이드층을 포함할 수 있다. 공정 S108에서는 활성층(23)을 성장시킨다. 활성층(23)은 양자 우물 구조를 가질 수 있다. 공정 S109에서는, n형 III족 질화물 반도체 영역(23)의 주면 상에 장벽층(25a)을 성장시키고, 장벽층(25a)의 표면은 반극성을 보인다. 공정 S110에서는 우물층(25b)을 장벽층(25a)의 주면 상에 성장시키고, 우물층(25b)의 표면은 반극성을 보인다. 필요한 경우에는, 장벽층(25a)의 성장과 우물층(25b)의 성장을 반복한다. 완성된 발광층 및 활성층(23)의 표면은 반극성을 보인다. 반극성의 활성층에서는, c면에 비해서 피에조 전계의 영향이 저감된다.
- [0048] 공정 S111에서는, 발광층의 반극성 주면 상에 p형 III족 질화물 반도체 영역(13)을 성장시킨다. p형 III족 질화물 반도체 영역(13)은 p형 전자 차단층, p형 클래드층, p형 컨택트층 등을 포함할 수 있다. 공정 S112에서는, p형 전자 차단층 및/또는 p형 클래드층을 활성층(25) 상에 성장시킨다. p형 클래드층은 사원계, 삼원계 및 이원계의 III족 질화물 반도체로 이루어질 수 있고, 예컨대 Mg 도핑 GaN, AlGaIn, InAlGaIn, InAlN 등이다. 공정 S113에서는, p형 전자 블록층 및/또는 p형 클래드층을 성장시킨 후에, p형 컨택트층을 포함할 수 있다. p형 컨택트층은 사원계, 삼원계 및 이원계의 III족 질화물 반도체로 이루어질 수 있고, 예컨대 Mg 도핑 GaN, AlGaIn, InAlGaIn, InAlN 등이다. p형 컨택트층에 있어서의 p형 도펀트 농도는 예컨대 $5 \times 10^{19} \text{ cm}^{-3}$ 이상이며, 또한 $5 \times 10^{20} \text{ cm}^{-3}$ 이하일 수 있다.
- [0049] 이들 공정에 의해 에피택셜 기판의 형성이 완료되어 지지체(29)가 제공된다.
- [0050] 본 실시예는 반극성 p형 GaN의 오믹 전극의 형성에 대하여, 어닐링 프로세스를 이용하지 않고서 예컨대 Pt 전극을 사용하는 것이 유효하다는 것을 알아낸 것이다.
- [0051] 우선, 발명자들은 금속층을 형성한 후에 산소 분위기 어닐링을 하는 방법을 이용하여, p형 반극성 GaN층 위에 p형 전극을 형성했다. 그러나, p형 GaN의 반극성 (2-0-21)면 상에 Ni/Au 금속 적층을 형성한 후에 산소 분위기 속에서의 합금화 공정을 적용하여 p층 전극을 형성했지만, 이 p층 전극은 양호한 오믹 특성을 보이지 않았다. 또한, 다른 방법으로서, 고온 상태에서 Pt 전극을 제조하는 방법으로, 반극성 (2-0-21) p형 GaN 상에 Pt 전극을 형성했다. 이 Pt 전극도 양호한 오믹 특성을 보이지 않았다. 이들 기술을 이용하여 유극성 c면의 p형 GaN에 전극을 형성할 때, 양호한 오믹 전극이 형성된다. 상기한 설명과 같이, 기존의 두 방법을 반극성 GaN에 적용하더라도, 양호한 오믹 전극을 얻을 수 없다.
- [0052] 이 이유를 고찰하기 위해서, X선 광전자 분광 분석 장치(XPS)를 이용하여 c면 GaN 표면 및 반극성 GaN 표면을 분석했다. 그 결과, c면 GaN면에 비해서, 반극성 GaN면의 표면 산화막이 두껍다(Ga-O 결합의 밀도가 높다)는 것이 드러났다. 그리고, 상기한 두 방법에 의한 제조에 있어서, 합금화 처리 후의 GaN/전극 계면에도 마찬가지로

산화막이 관찰되었다. 한편, 본 실시형태와 같은 비합금 Pt 전극에서는, c면과 같은 두꺼운 산화막은 확인되지 않았다.

[0053] 그래서, 발명자들은 산소를 함유하는 분위기 속에서 열처리하는 것이 원인이 되어, 금속 전극과 p형 반도체 결정과의 계면이 산화되고, 이에 따라 접촉 저항이 상승했다고 추측했다. 반극성의 질화물 표면에서의 결합 상태(덴글링 결합)가 c면 표면에서의 결합 상태와는 다르며, 반극성의 질화물 표면은 산소와 결합되기 쉽다. 이 때문에, 합금화에 의해 산소가 질화물-전극 계면에 도달하여, 이 계면에 산화물이 성장했다고 추측했다.

[0054] 그리고, 발명자들은 어닐링을 이용하지 않는 전극의 개발을 진행시켰다. 이 전극 형성 프로세스에서는, 상온(예컨대 섭씨 15도~섭씨 40도)에서 예컨대 Pt 전극막을 증착하고 이 전극막에 열처리를 하지 않는다. 이 Pt 전극은 양호한 오믹성을 보이고, 반도체 소자의 전기 특성(예컨대 TLM법에 의한 접촉 저항치 및 PN 다이오드의 I-V 특성 등)도 우량했다. 그리고, XPS에 의한 측정 결과에는, 전극과 p형 반도체 영역과의 계면에서의 산소-갈륨 결합을 보이는 신호는 관측되지 않았다. 이 결과로부터, 산화막은 10 nm 이하인 것으로 여겨졌다. 또한, 발명자들의 지견으로부터, 0.5 nm 정도의 산화막이 계면에 남겨져 있을 가능성이 있다고 여겨졌다. 즉, 상온에서 Pt 전극을 형성하고, 또한 이 전극과 III족 질화물 반도체와의 계면에, 산화막이 0.5 nm 이상 10 nm 이하라면, 양호한 오믹 전극이 형성된다. 동일한 결과는 Pt 전극뿐만 아니라, Pd 전극이나 Au 전극, 이들의 합금 전극에서도 얻어졌다.

[0055] 상기한 실시예에 있어서, Pt 전극의 증착 전에, c면 및 반극성면의 p형 GaN 결정을 아세톤이나 2-프로판올 등으로 초음파 유기 세정한 후에, 염산, 왕수, 불산 세정을 실시하였다. 세정 시간은 용액에 있어서 5분 정도였다. 이와 같이 산 세정을 실시함으로써, 옴릭 전극의 더욱 양호한 특성을 얻을 수 있었다.

[0056] (실시예 1)

[0057] 도 3의 (a)에 도시하는 구조의 에피택셜 기판을 유기 금속 기상 성장(MOCVD)법으로 제조했다. 그 구조는 m축 방향으로 c축이 경사진 반극성 표면의 n형 GaN 기판 상에 MOCVD법으로, GaN 버퍼층(필요한 경우)을 성장시킨 후에, 두께 1 μm 의 Si 도핑 n형의 GaN층, 두께 0.4 μm 의 Mg 도핑 p형의 GaN층, 두께 50 nm의 고농도 Mg 도핑 p+형 GaN층을 성장시켰다.

[0058] p형 전극막의 증착 전에, 포토리소그래피로 원형의 레지스트를 형성했다. 이 후에, 동일 증착 장치 내에서, 전자빔법 및 저항 가열법에 의해 각각 Pt막(두께 50 nm) 및 Ni/Au막(두께 5 nm/11 nm)을 증착했다. 진공도는 1×10^{-6} Torr 정도였다.

[0059] 증착 후에, 레지스트를 아세톤으로 리프트오프하여, 도우넛형의 공극을 갖는 Pt 전극을 형성했다. 공극에 의해 분리된 내측 전극과 외측 전극 사이에서 저항을 측정하여, Pt 전극의 접촉 저항을 평가했다(c-TLM 측정법). 이 결과를 도 3의 (b)에 도시했다.

[0060] 측정 결과 저항치

[0061] Pt 전극: $5 \times 10^{-3} \Omega \cdot \text{cm}^2$

[0062] Ni/Au막: $3 \times 10^{-2} \Omega \cdot \text{cm}^2$.

[0063] (실시예 2)

[0064] X선 광전자 분광 분석 장치(XPS)를 이용하여, GaN-전극 계면을 분석하였다. 실시예 1과 같은 에피택셜 성장을 실시하여, c면 에피택셜 기판(평가 디바이스 A) 및 반극성 에피택셜 기판(평가 디바이스 B)을 성장시켰다. 이들 에피택셜 기판(평가 디바이스 A, B) 각각에 전자빔법으로 Pt 전극을 증착하여, c면 기판 생산물(평가 디바이스 C) 및 반극성 기판 생산물(평가 디바이스 D)을 형성했다. 또한, 이들 에피택셜 기판(평가 디바이스 A, B)에 전자빔법 및 저항 가열법으로 Ni/Au막을 증착하여, c면 기판 생산물(평가 디바이스 E) 및 반극성면 기판 생산물(평가 디바이스 F)을 형성했다.

[0065] 상기한 모든 평가 디바이스의 제조에 있어서, 증착 전에 상기한 유기 세정 및 산 세정을 에피택셜 기판에 실시하였다. 또한, 평가 디바이스 E, F에는, 소량의 산소가 함유된 질소 분위기 속에서 1분의 어닐링 처리를 실시했다.

[0066] 평가 디바이스 B에 있어서의 표면 산화막은 평가 디바이스 A에 비해서 두껍다(Ga-O 결합의 밀도가 높다)는 것이 드러났다. 또한, 평가 디바이스 E에 비해서, 평가 디바이스 F도 GaN-전극 계면에 두꺼운 산화막이 확인되었다.

그러나, 평가 디바이스 C 및 D에서는 이들 산화막을 확인할 수 없었다.

[0067] 도 4의 (a)는 반극성면 상의 비합금 전극에 있어서의 Ga-O 결합의 결합 에너지 범위에서의 XPS 신호를 나타내는 도면이며, 도 4의 (b)는 반극성면 상의 열로이 전극에 있어서의 Ga-O 결합의 결합 에너지 범위에서의 XPS 신호를 나타내는 도면이다.

[0068] 도 4를 참조하면, 다음과 같이 이해된다. 도시된 결과로부터, 반극성 기판 상에서는 표면 산화가 일어나기 쉽고, 오믹 특성을 얻기 어렵다고 추측할 수 있다. 그러나, 반극성 기판 상에서도, 열처리를 가하지 않는 비합금인 전극이라면, 산화막이 생기지 않음을 확인할 수 있었다. 또한, 산에 의한 전처리를 실시함으로써, 더욱 양호한 오믹 특성으로부터 얻어진다.

[0069] (실시예 3)

[0070] 반극성의 각도에 따른 차이를 확인하기 위해서, (20-21)면에서 +5도, -5도, +10도, -10도의 각도로 기울인(4 종류의 각도) 반극성 기판 및 m면 기판의 비극성 기판을 준비했다. 이들 GaN 기판을 이용하여, 실시예 2와 마찬가지로 에피택셜 기판을 제조했다. 실시예 2와 마찬가지로 XPS 측정을 했다. 이 측정 결과에 따르면, 반극성 및 무극성의 GaN 기판을 이용하여 에피택셜 기판 상에 Pt 비합금 전극을 형성했을 때, 비합금 전극의 계면은, c면 상의 열로이 전극보다도 양호한 것을 알 수 있었다. 또한, 상기한 각도 범위에 의한 전기 특성의 큰 차는 측정에는 나타나지 않았다. 따라서, 유극성인 c면과 다른 성질의 비극성면(반극성·무극성)의 주면을 갖는 기판 상의 비합금 전극이라면, 양호한 오믹 특성을 얻을 수 있었다.

[0071] 본 실시형태에 따르면, c면에 대하여 경사진 p형 주면에 있어서 양호한 오믹 접촉을 갖는 반도체 소자를 제공할 수 있다. 또한, 본 실시형태에 따르면, c면에 대하여 경사진 p형 주면에 있어서 양호한 오믹 접촉을 실현할 수 있는 반도체 소자를 제조하는 방법을 제공할 수 있다. 또한, 본 실시형태에 따르면, c면에 대하여 경사진 p형 주면에 있어서 양호한 오믹 접촉을 실현할 수 있는 비합금 전극을 제공할 수 있다.

[0072] 적합한 실시형태에 있어서 본 발명의 원리를 도시하고 설명하였지만, 본 발명은 그와 같은 원리로부터 이탈하지 않고서 배치 및 상세한 점에 있어서 변경될 수 있음은 당업자가 인식할 수 있다. 본 발명은 본 실시형태에 개시된 특정한 구성에 한정되는 것은 아니다. 또한, 본 실시형태에서는, 발광 소자에 관해서 예시적으로 설명하였지만, 트랜지스터나 다이오드와 같은 전자 디바이스에 있어서의 p층 전극에도 적용할 수 있다. 따라서, 특허청구 범위 및 그 정신의 범위에서 오는 모든 수정 및 변경에 권리를 청구한다.

산업상 이용가능성

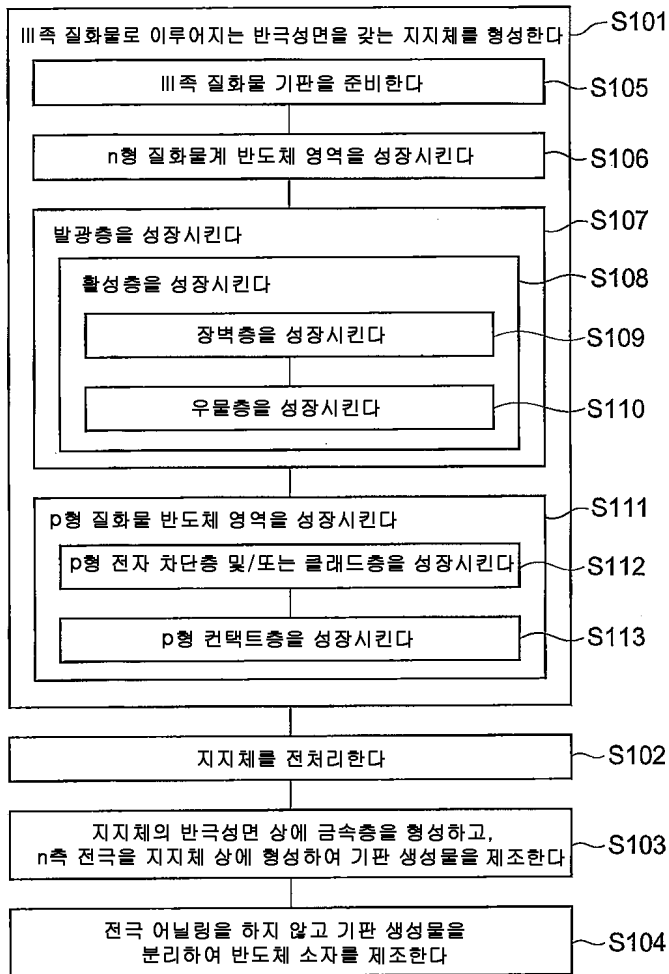
[0073] c면에 대하여 경사진 p형 주면에 있어서 양호한 오믹 접촉을 갖는 반도체 소자이며, 또한 c면에 대하여 경사진 p형 주면에 있어서 양호한 오믹 접촉을 실현할 수 있는 반도체 소자를 제조하는 방법이다.

부호의 설명

[0074]

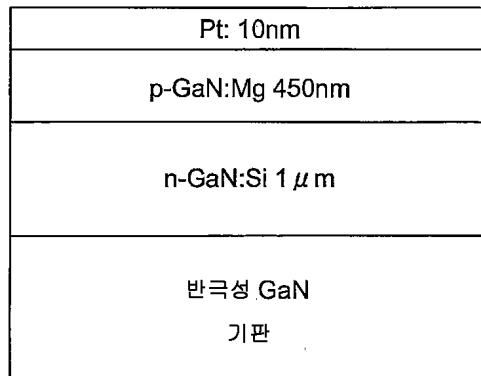
11 : 반도체 소자	13 : p형 반도체 영역
13a : 주면	15 : 금속층
17 : 계면	ALPHA : 경사각
19 : 산화물층	21 : 지지 기체
21a : 주면	21b : 이면
23 : n형 반도체 영역	25 : 활성층
29 : 지지체	NVS : 법선 벡터
25a : 장벽층	25b : 질화갈륨계 반도체층
BETA : 경사각	

도면2

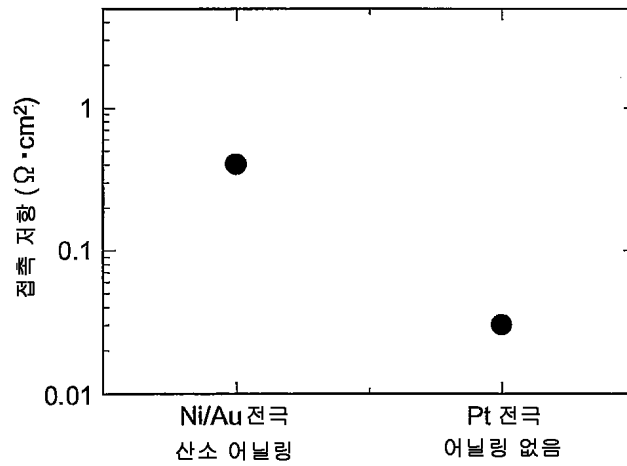


도면3

(a)

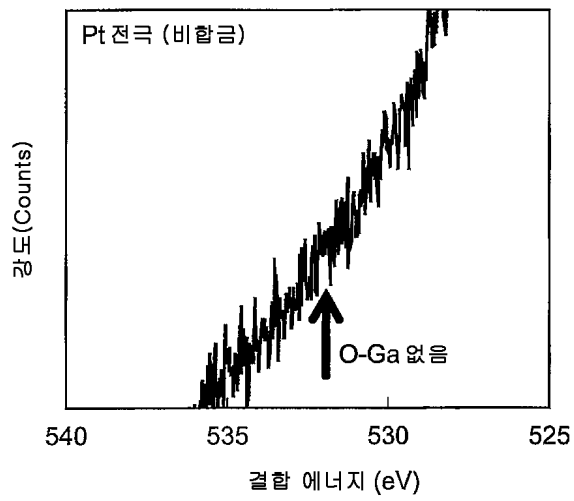


(b)



도면4

(a)



(b)

