



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202320249 A

(43) 公開日：中華民國 112 (2023) 年 05 月 16 日

(21) 申請案號：111128551

(22) 申請日：中華民國 111 (2022) 年 07 月 29 日

(51) Int. Cl. : H01L23/31 (2006.01)

H01L23/528 (2006.01)

H01L21/56 (2006.01)

H01L29/778 (2006.01)

(30) 優先權：2021/07/30 美國

17/390,020

(71) 申請人：美商沃孚半導體有限公司 (美國) WOLFSPEED, INC. (US)

美國

(72) 發明人：哈迪曼 克里斯 HARDIMAN, CHRIS (US)；納米西亞 丹尼爾 NAMISHIA, DANIEL (US)；博斯 凱爾 BOTHE, KYLE (CA)；基南 伊莉莎白 KEENAN, ELIZABETH (US)

(74) 代理人：陳長文

申請實體審查：有 申請專利範圍項數：38 項 圖式數：6 共 65 頁

(54) 名稱

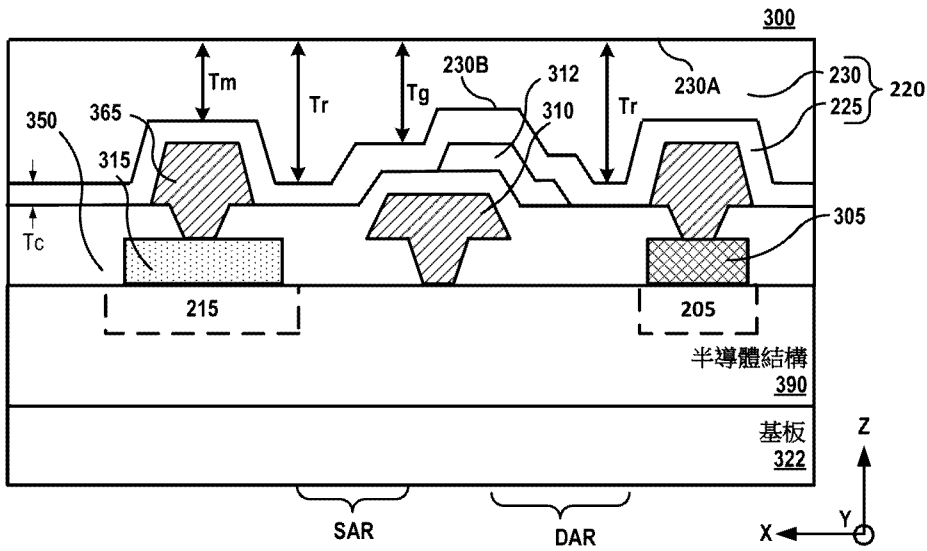
用於經改善濕度性能之封裝堆疊及其相關製造方法

(57) 摘要

本發明揭示一種電晶體裝置，其包含：一基板；一半導體結構，其在該基板上；一金屬化層，其包括該半導體結構之一表面上之一非平坦表面；一非平坦封裝層，其在該金屬化層之該非平坦表面上，該非平坦封裝層包括與該非平坦表面對置之一非平坦封裝表面；及一自平坦化封裝層，其在該非平坦封裝層上且包括與該非平坦封裝表面對置之一平坦化表面。

A transistor device includes a substrate, a semiconductor structure on the substrate, a metallization layer comprising a non-planar surface on a surface of the semiconductor structure, a non-planar encapsulation layer on the non-planar surface of the metallization layer, the non-planar encapsulation layer comprising a non-planar encapsulant surface that is opposite the non-planar surface, and a self-planarizing encapsulation layer on the non-planar encapsulation layer and comprising a planarized surface that is opposite the non-planar encapsulant surface.

指定代表圖：



【圖1】

符號簡單說明：

- 205:汲極區域
- 215:源極區域
- 220:多層環境封裝堆疊
- 225:第一封裝層
- 230:第二封裝層
- 230A:上表面
- 230B:下表面
- 300:半導體裝置
- 305:汲極接觸件
- 310:閘極接觸件
- 312:場板
- 315:源極接觸件
- 322:基板
- 350:鈍化層
- 365:傳輸線
- 390:半導體結構
- Tc:厚度
- Tm:厚度
- Tr:厚度
- Tg:厚度

【發明摘要】

【中文發明名稱】

用於經改善濕度性能之封裝堆疊及其相關製造方法

【英文發明名稱】

ENCAPSULATION STACK FOR IMPROVED HUMIDITY PERFORMANCE AND RELATED FABRICATION METHODS

【中文】

本發明揭示一種電晶體裝置，其包含：一基板；一半導體結構，其在該基板上；一金屬化層，其包括該半導體結構之一表面上之一非平坦表面；一非平坦封裝層，其在該金屬化層之該非平坦表面上，該非平坦封裝層包括與該非平坦表面對置之一非平坦封裝表面；及一自平坦化封裝層，其在該非平坦封裝層上且包括與該非平坦封裝表面對置之一平坦化表面。

【英文】

A transistor device includes a substrate, a semiconductor structure on the substrate, a metallization layer comprising a non-planar surface on a surface of the semiconductor structure, a non-planar encapsulation layer on the non-planar surface of the metallization layer, the non-planar encapsulation layer comprising a non-planar encapsulant surface that is opposite the non-planar surface, and a self-planarizing encapsulation layer on the non-planar encapsulation layer and comprising a planarized surface that is opposite the non-planar encapsulant surface.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

205:汲極區域

215:源極區域

220:多層環境封裝堆疊

225:第一封裝層

230:第二封裝層

230A:上表面

230B:下表面

300:半導體裝置

305:汲極接觸件

310:閘極接觸件

312:場板

315:源極接觸件

322:基板

350:鈍化層

365:傳輸線

390:半導體結構

Tc:厚度

Tm:厚度

Tr:厚度

Tg:厚度

【發明說明書】

【中文發明名稱】

用於經改善濕度性能之封裝堆疊及其相關製造方法

【英文發明名稱】

ENCAPSULATION STACK FOR IMPROVED HUMIDITY
PERFORMANCE AND RELATED FABRICATION METHODS

【技術領域】

【0001】 本發明關於半導體裝置，且更具體而言，關於半導體裝置之環境保護及相關製造方法。

【先前技術】

【0002】 諸如矽(Si)及砷化鎵(GaAs)之材料已廣泛應用於低功率之半導體裝置且在Si之情況下用於低頻應用。然而，此等材料可不太適合高功率及/或高頻應用，例如，歸因於其等相對小的能隙(室溫下之Si為1.12 eV，GaAs為1.42 eV)及相對小的擊穿電壓。

【0003】 對於高功率、高溫及/或高頻應用及裝置，可使用寬能隙半導體材料，諸如碳化矽(SiC) (例如，對於室溫下之4H-SiC之一能隙約為3.2 eV)及III族氮化物(例如，對於室溫下之氮化鎵(GaN)之一能隙約為3.36 eV)。如本文所用，術語「III族氮化物」係指在氮(N)與週期表III族元素之間形成之此等半導體化合物，通常為鋁(Al)、鎵(Ga)及/或銦(In)。該術語指二元、三元及四元化合物，諸如GaN、AlGaN及AlInGaN。此等化合物具有經驗公式，其中一摩爾氮與總共一摩爾III族元素結合。與GaAs及Si相比，此等材料可具有更高電場擊穿強度及更高電子飽和速度。

【0004】 由SiC及/或III族氮化物製成之半導體裝置可包含功率電晶體裝置，諸如場效應電晶體(FET)裝置，其包含MOSFET (金屬氧化物半導體場效應電晶體)、DMOS (雙擴散金屬氧化物半導體)電晶體、HEMT (高電子移動率電晶體)、MESFET (金屬-半導體場效應電晶體)、LDMOS (橫向擴散金屬氧化物半導體)電晶體等。此等裝置通常用一氧化層鈍化，諸如二氧化矽(SiO₂)，例如，以保護裝置之暴露表面。然而，半導體本體與氧化物層之間的介面可不足以獲得一高表面電子移動率。例如，SiC與SiO₂之間的介面通常表現出一高密度介面態，此可降低表面電子移動率且引入載體陷阱，從而降低裝置之期望性能特性。

【0005】 因此，半導體裝置，包括包含氧化物層之此等半導體裝置，亦可包括一層或多層氮化矽(SiN)，以改善產生之電子性質，例如，如美國專利第6,246,076號所描述。SiN亦可提供一環境障壁，沒有環境障壁，裝置之結構及操作可易於受到環境退化，而不管係否存在一氧化層。例如，半導體裝置可在高溫及/或高濕度環境中操作。若容許水分到達半導體裝置，則可發生腐蝕，此可降低半導體裝置之性能。

【0006】 作為一環境障壁，與SiO₂相比，SiN可在裝置上形成一更好密封件，減少或防止污染物(諸如水)到達裝置之磊晶層且導致退化。電漿增強化學氣相沉積(PECVD)可用於形成SiN作為用於一半導體裝置之一環境障壁，例如，如美國專利第7,525,122號所描述。然而，一PECVD SiN層可傾向於出現缺陷，諸如針孔及柱狀結構，此會使水分穿透SiN層且到達裝置。

【發明內容】

【0007】 根據本發明之一些實施例，一種電晶體裝置包含一基板；

一半導體結構，其在該基板上；一金屬化層，其包括該半導體結構之一表面上之一非平坦表面；一非平坦封裝層，其在該金屬化層之該非平坦表面上，該非平坦封裝層包括與該非平坦表面對置之一非平坦封裝表面；及一自平坦化封裝層，其在該非平坦封裝層上且包括與該非平坦封裝表面對置之一平坦化表面。

【0008】 在一些實施例中，該電晶體裝置進一步包含一源極接觸件，其在該半導體結構之一源極區域上；一汲極接觸件，其在該半導體結構之一汲極區域上；及一閘極接觸件，其在該源極接觸件與該汲極接觸件之間。該非平坦封裝層在該閘極接觸件、該汲極接觸件及該源極接觸件上。

【0009】 在一些實施例中，該閘極接觸件上之該非平坦封裝層之一厚度與該閘極接觸件上之該自平坦化封裝層之一厚度之一比率在0.20與0.29之間。

【0010】 在一些實施例中，該金屬化層包括該源極接觸件上之一傳輸線，且該傳輸線上之一非平坦封裝層之一厚度與該傳輸線上之該自平坦化封裝層之一厚度之一比率在0.28與0.45之間。

【0011】 在一些實施例中，該半導體結構進一步包括該源極接觸件與該閘極接觸件之間的一源極存取區域，且該源極存取區域上之該非平坦封裝層之一厚度與該源極存取區域上之該自平坦化封裝層之一厚度之一比率在0.16與0.22之間。

【0012】 在一些實施例中，該非平坦封裝層之一厚度在該半導體結構上大體上均勻。

【0013】 在一些實施例中，該非平坦封裝層包括 SiO、SiN、

SiON、ZrO、HfO、AlN及/或AlO。

【0014】 在一些實施例中，其中該自平坦化封裝層包括聚醯亞胺、苯并環丁烯、玻璃、聚醯胺、聚苯并噁唑及/或光阻劑。

【0015】 在一些實施例中，該自平坦化封裝層包括具有100至8000厘斯托克士(censtokes)之一未硬化運動黏度之材料。

【0016】 在一些實施例中，該自平坦化封裝層包括具有一硬化溫度小於或等於250°C之材料。

【0017】 在一些實施例中，該自平坦化封裝層包括大體上硬化之材料。

【0018】 根據本發明之一些實施例，一種電晶體裝置包含：一基板；一半導體結構，其在該基板上，該半導體結構包括一主動區域；一閘極接觸件，其在該半導體結構之該主動區域上；一第一封裝層，其在該閘極接觸件上延伸；及一第二封裝層，其在該第一封裝層上，該第二封裝層包括具有一硬化溫度小於或等於275°C之材料。

【0019】 在一些實施例中，該閘極接觸件上之該第一封裝層之一厚度與該閘極接觸件上之該第二封裝層之一厚度之一比率在0.20與0.29之間。

【0020】 在一些實施例中，該半導體結構進一步包括一源極區域，該電晶體裝置進一步包括該源極區域上之一源極接觸件及該源極接觸件上之一傳輸線，及該第一封裝層在該源極接觸件及該傳輸線上延伸。

【0021】 在一些實施例中，該傳輸線上之該第一封裝層之一厚度與該傳輸線上之該第二封裝層之一厚度之一比率在0.28與0.45之間。

【0022】 在一些實施例中，該半導體結構進一步包括該源極接觸件

與該閘極接觸件之間的一源極存取區域，且該源極存取區域上之該第一封裝層之一厚度與該源極存取區域上之該第二封裝層之一厚度之一比率在0.16與0.22之間。

【0023】 在一些實施例中，該第一封裝層之一厚度在該半導體結構上大體上均勻。

【0024】 在一些實施例中，該第二封裝層之一上表面在該半導體結構上大體上係平坦的。

【0025】 在一些實施例中，該第一封裝層包括SiO、SiN、SiON、ZrO、HfO、AlN及/或AlO。

【0026】 在一些實施例中，該第二封裝層包括聚醯亞胺、苯并環丁烯、玻璃、聚醯胺、聚苯并噁唑及/或光阻劑。

【0027】 在一些實施例中，該第二封裝層包括具有一硬化溫度小於或等於250°C之材料。

【0028】 根據本發明之一些實施例，一種電晶體裝置包括：一半導體結構，其在一基板上，該半導體結構包括一源極區域及一汲極區域；一源極接觸件，其在該源極區域上；一汲極接觸件，其在該汲極區域上；一第一封裝層，其保形地延伸在該汲極接觸件上、該源極接觸件上及該汲極接觸件與該源極接觸件之間的該半導體結構上；及一第二封裝層，其在該第一封裝層上，該第二封裝層包括具有自該源極接觸件延伸至該汲極接觸件之一大體上平坦上表面之材料。該材料經組態以在一硬化操作期間自100至8000厘斯托克士之一運動黏度轉變為一硬化狀態。

【0029】 在一些實施例中，該第一封裝層包括SiO、SiN、SiON、ZrO、HfO、AlN及/或AlO。

【0030】 在一些實施例中，該第一封裝層包括複數個層。

【0031】 在一些實施例中，該第二封裝層包括聚醯亞胺、苯并環丁烯、玻璃、聚醯胺、聚苯并噁唑及/或光阻劑。

【0032】 在一些實施例中，該第二封裝層包括具有一硬化溫度小於或等於275°C之材料。

【0033】 根據本發明之一些實施例，一種形成一電晶體裝置之方法，其包含：在一基板上形成一半導體結構；在該半導體結構上形成一第一封裝層，該第一封裝層包括與該半導體結構對置之一非平坦表面；在該第一封裝層上形成一第二封裝層，其中該第二封裝層包括與該第一封裝層對置之一平坦化表面；及在該第二封裝層上執行一硬化製程。

【0034】 在一些實施例中，該第二封裝層包括經組態以在該硬化製程期間自100至8000厘斯托克士之一運動黏度轉變為一硬化狀態之材料。

【0035】 在一些實施例中，該第二封裝層之該平坦化表面係該第二封裝層之材料之自平坦化之一結果。

【0036】 在一些實施例中，該方法進一步包含在該半導體結構上形成一源極接觸件、一汲極接觸件及一閘極接觸件。形成該第一封裝層包含在該閘極接觸件、該汲極接觸件及該源極接觸件上形成該第一封裝層。

【0037】 在一些實施例中，其中該第二封裝層具有一非平坦表面，該非平坦表面與該平坦化表面對置且沿著由該源極接觸件、該汲極接觸件及/或該閘極接觸件界定之各自輪廓在該第一封裝層上延伸。

【0038】 在一些實施例中，該第一封裝層之一厚度在該閘極接觸件、該汲極接觸件及該源極接觸件上大體上均勻。

【0039】 在一些實施例中，該第二封裝層包括SiO、SiN、SiON、

ZrO、HfO、AlN及/或AlO。

【0040】 在一些實施例中，該第二封裝層包括聚醯亞胺、苯并環丁烯、玻璃、聚醯胺、聚苯并噁唑及/或光阻劑。

【0041】 在一些實施例中，該第二封裝層包括具有一硬化溫度小於或等於275°C之材料。

【0042】 在一些實施例中，在大於該第二封裝層之材料之一玻璃轉換溫度之一溫度下在該第二封裝層上執行該硬化製程。

【0043】 在一些實施例中，在小於或等於275°C之一溫度下在該第二封裝層上執行該硬化製程。

【0044】 在一些實施例中，在該第一封裝層上形成該第二封裝層係藉由包括一旋塗製程、一噴塗製程、一氣相沉積製程、一電鍍製程、一刀片塗層製程及/或一槽模沉積製程之操作來執行。

【0045】 根據一些實施例之其他裝置、設備及/或方法將在審查以下附圖及詳細描述後對習知技術者而言將變得明白。此意在除了以上實施例之任何及所有組合之外，所有此等額外實施例包含在本說明書中，在本發明之範疇內，且受隨附申請專利範圍之保護。

【圖式簡單說明】

【0046】 圖1係根據本發明之一些實施例之半導體裝置或晶粒之一示意性橫截面圖。

【0047】 圖2A係根據本發明之實施例之一HEMT裝置之一示意性平面圖。圖2B係沿著圖2A之線A-A截取之HEMT裝置之一示意性橫截面圖。

【0048】 圖3A至圖3D係繪示根據本發明之實施例之裝置之有利性

能之圖表。

【0049】 圖4A至圖4K繪示根據本發明之實施例之製造一半導體裝置之一方法。

【0050】 圖5A及圖5B係根據本發明之一些實施例之替代電晶體裝置結構之示意性橫截面圖。

【0051】 圖6A至圖6C係繪示根據本發明之實施例之一半導體可被封裝之若干實例方式之示意性橫截面圖。

【實施方式】

【0052】 下文將參考附圖更全面地描述本發明概念之實施例，附圖中展示本發明之實施例。然而，本發明概念可依諸多不同形式體現，且不應被解釋為限於本文闡述之實施例。相反，提供此等實施例係使得本發明內容全面及完整，且將本發明概念之範疇充分傳達給習知技術者。相同元件符號指代所有相同元件。

【0053】 雖然在某些應用中，為了保護環境，一些半導體裝置可被密封在一包裝內，但在其他應用中，包裝可無法提供針對操作環境之一密封。因此，一封裝堆疊層或結構可在晶粒級提供在半導體裝置上，以保護其免受操作環境之濕度及/或其他條件之影響。如本文所用，一晶粒或晶片可指半導體材料之一小塊或主體或在其上製造電子電路元件之其他基板。一晶粒可包含大量單獨「單位單元」電晶體結構，在一些實施方案中，此等結構可並聯或串聯電連接。

【0054】 封裝層或結構可包含一保形介電膜。保形介電膜通常可使用晶圓級處理方法沉積，諸如化學氣相沉積(CVD)、電漿增強化學氣相沉積(PECVD)、原子層沉積(ALD)或物理氣相沉積(PVD)。保形介電膜可包

含一個或多個以一堆疊方式之介電質或層，包含例如SiO、SiN、SiON、ZrO、HfO、AlN及/或AlO。本文參考化合物化學式(例如SiO、AlO)描述之材料可包含不同化學計量或組成元件之任何化合物(例如SiO₂、Al₂O₃)，且在一些例示中，材料之無定形或結晶狀態。

【0055】 例如，一些RF HEMT裝置可包含一基於SiN之PECVD介電質層，該介電質層可作為一環境障壁，保護底層主動區域免受外部污染、腐蝕及/或機械損傷。然而，如上文所提及，一PECVD SiN層可傾向於出現缺陷，諸如針孔及柱狀結構，此會使水分到達半導體裝置。為了進一步提高在半導體裝置(諸如RF或DC電晶體裝置，包含RF HEMT)之晶粒組裝期間對環境條件及/或損壞之穩健性，可包含一個或多個額外層，提供一多層封裝膜或堆疊結構。

【0056】 本發明之一些實施例可源於一種認識，即使用包含一保形第一封裝層及自平坦化及/或硬化之一第二封裝層之一封裝堆疊結構可提供改善之環境保護。使用自平坦化及/或硬化之第二封裝層可為堆疊結構提供一大體上平坦上表面，該上表面歸因於層之硬化而硬化。如本文所用，一大體上平坦表面係指與一理論平面(例如，一平坦表面)之變化/偏差小於10%之一表面。如本文所用，自平坦化係指一製程，藉由該製程，材料獲得一大體上平坦上表面，而無需額外機械及/或化學步驟以移除上表面之部分以實現平坦性。堆疊結構上表面之硬度及層之上表面之平坦性之組合可提供針對環境條件(諸如濕度)之改善之保護。對於第二封裝層使用具有一硬化溫度在晶粒之半導體裝置之熱預算範圍內之材料(例如，在該溫度之後半導體裝置可被損壞之一最高溫度)可容許第二封裝層完全及/或完全硬化而不損壞半導體裝置。如本文所用，一特定材料之一硬化溫度係

指引起材料硬度之一變化之一溫度，使得材料達到可能的材料最大硬度之90%以內之一硬度。例如，當材料係或包含聚合物時，材料之硬化溫度係指導致聚合物交聯之一溫度。

【0057】 圖1係根據本發明之一些實施例之半導體裝置或晶粒300之一示意性橫截面圖。圖1意在表示用於識別及描述之結構，而非意在用於按物理標度表示結構。

【0058】 如圖1所展示，在一半導體結構390上提供一多層環境封裝膜或堆疊220，以覆蓋半導體結構390，用於保護其免受濕度及/或其他環境條件之影響。圖1之半導體結構390係一示意性實例，展示為在其上形成多層環境封裝堆疊220之一通用半導體結構390。半導體結構390可設置在一基板322上，諸如一碳化矽(SiC)基板或一藍寶石基板。基板322可為一半絕緣SiC基板。然而，本發明之實施例可利用任何合適基板，諸如藍寶石(Al_2O_3)、氮化鋁(AlN)、氮化鋁鎵(AlGaN)、氮化鎵(GaN)、矽(Si)、GaAs、LGO、氧化鋅(ZnO)、LAO、磷化銦(InP)及其類似者。基板322可為一SiC晶圓，且可至少部分地經由晶圓級處理形成半導體裝置300，且接著可對晶圓進行切割或以其他方式分割，以提供包含複數個單位單元電晶體結構之一晶粒。術語「半絕緣」在本文中用於描述，而非一絕對意義上的。

【0059】 在一些實施例中，半導體結構390可為一基於SiC及/或III族氮化物之材料。半導體結構390之一部分可界定半導體裝置300之一通道區域。通道區域可在半導體裝置300中之一源極區域215與一汲極區域205之間延伸。通道區域中之傳導可由施加至一閘極接觸件310之一信號控制。信號可經由源極接觸件315施加至源極區域215，且可經由汲極接

觸件305施加至汲極區域205。金屬傳輸線365可耦合至源極接觸件315及汲極接觸件305，以分別提供源極及汲極信號。自源極接觸件315下方至閘極接觸件310下方之半導體結構390之一部分可稱為一源極存取區域SAR，而自汲極接觸件305下方至閘極接觸件310下方之半導體結構390之一部分可被稱為汲極存取區域DAR。

【0060】 在一些實施例中，一個或多個鈍化層350可設置在半導體結構390之一表面上，且多層環境堆疊220可設置在與半導體結構390對置之(若干)鈍化層350上。(若干)鈍化層350可經組態以減少寄生電容、減少電荷捕捉及/或以其他方式改善半導體結構390之一層或多層之電子性質。(若干)鈍化層350可包含，例如，藉由CVD沉積之一層或多層SiN。更一般而言，(若干)鈍化層350可為使用不同於一原子層沉積(ALD)方法之一方法之一多層沉積。

【0061】 在一些實施例中，一場板312可設置在(若干)鈍化層350上。在一些實施例中，場板312可部分與閘極接觸件310重疊。場板312之位置及組態僅用於舉例，且不意在限制本說明書。在一些實施例中，可存在額外場板312及/或場板312經塑形可與圖1中所繪示之不同及/或在半導體裝置300上之不同位置。在一些實施例中，場板312可不存在。

【0062】 多層環境封裝堆疊220可形成在場板312 (若存在)、傳輸線365及/或(若干)鈍化層350上。多層環境封裝堆疊220可包含至少兩層：一第一封裝層225及一第二封裝層230。

【0063】 第一封裝層225可為或包含保形地形成在場板312 (若存在)、傳輸線365及/或(若干)鈍化層350上之一個或多個介電層。場板312 (若存在)、傳輸線365及/或(若干)鈍化層350在本文中亦可稱為一金屬化

層。第一封裝層225之一厚度Tc可在整個半導體裝置300上大體上均勻，但本發明之實施例不限於此。如本文所用，若厚度Tc在半導體裝置300上之變化小於20%，則厚度Tc大體上均勻。在一些實施例中，厚度Tc可在整個半導體裝置300中之變化小於10%。場板312 (若存在)、傳輸線365及/或(若干)鈍化層350可具有一非平坦表面，且因此歸因於其保形形狀，第一封裝層225亦可具有一非平坦上表面及下表面。

【0064】 第一封裝層225可包含例如SiO、SiN、SiON、ZrO、HfO、AlN及/或AlO。在一些實施例中，第一封裝層225可包含多層。例如，第一封裝層225可包含一SiON:SiN雙層。第一封裝層225可使用晶圓級處理方法(諸如CVD、PECVD、ALD或PVD)沉積。

【0065】 第二封裝層230可形成在第一封裝層225上，使得第一封裝層225位於第二封裝層230與場板312 (若存在)、傳輸線365及/或(若干)鈍化層350之間。第二封裝層230可為依一黏性或液態形成之一可硬化介電層，例如藉由一旋塗製程、一噴塗製程、一氣相沉積製程、一電鍍製程、一刀片塗層製程及/或一槽模沉積製程，其可最初填充下層第一封裝層225中之表面不規則性(針孔、柱狀結構等)或其他非平坦性。第二封裝層230可包含容許第二封裝層230自平坦化之材料。換言之，第二封裝層230之材料之一黏度可使得材料以一大體上平坦上表面230A沉降。第二封裝層230可進一步被完全硬化以提供與第一封裝層225對置之大體上平坦上表面230A。第二封裝層230之一下表面230B可位於及/或接觸件第一封裝層225之非平坦表面上，且因此，第二封裝層230之下表面230B可為非平坦的。

【0066】 在一些實施例中，第二封裝層230之材料可選擇為具有小

於或等於275°C之一硬化溫度。在一些實施例中，第二封裝層230之材料可選擇為具有小於或等於250°C之一硬化溫度。在一些實施例中，第二封裝層230之硬化溫度可容許第二封裝層230之材料在不會損壞半導體裝置300之其他元件之一溫度下完全硬化。

【0067】 在一些實施例中，第二封裝層230之材料可選擇為具有100至8000厘斯托克士(cSt)之一運動黏度。在一些實施例中，第二封裝層230之材料可選擇具有1000至2000 cSt之一運動黏度。在一些實施例中，第二封裝層230之黏度可容許第二封裝層230之材料填充底層第一封裝層225中之表面不規則性(例如，針孔、柱狀結構等)或其他非平坦性。在一些實施例中，第二封裝層230之黏度可容許第二封裝層230之上表面230A自平坦化且流動以覆蓋第一封裝層225之非平坦表面(包含其任何表面缺陷及空腔)。第二封裝層230之自平坦化可容許形成一平坦上表面230A，而無需拋光或其他化學及/或機械步驟來實現一平坦上表面。

【0068】 第二封裝層230可包含例如聚醯亞胺、苯并環丁烯(BCB)、玻璃(例如硼矽酸鹽玻璃(BSG))、聚醯胺、聚苯并噁唑(PBO)及/或一光阻劑(例如SU-8)。在不背離本發明之實施例之情況下，可使用其他環氧樹脂及/或樹脂。

【0069】 儘管半導體裝置300之底層結構之各種高度不同，但第二封裝層230之上表面230A可在半導體裝置300寬度上大體上平坦。例如，在一些實施例中，上表面230A之一高程在半導體裝置300之寬度上之變動可不超過10%。在一些實施例中，上表面230A之一高程在半導體裝置300之寬度上之變動可不超過5%。第二封裝層230可具有與大體上平坦上表面230A對置之一保形及/或非平坦下表面230B。第二封裝層230之保形及/或

非平坦下表面230B可沿著由源極接觸件315、汲極接觸件305、閘極接觸件310、金屬傳輸線365，及/或場板312 (例如金屬化層)限定之各自輪廓在第一封裝層225上延伸。

【0070】 在一些實施例中，第二封裝層230之一厚度可在半導體裝置300上變動。第二封裝層230可在傳輸線365上具有一厚度 T_m ，在源極存取區域SAR及/或汲極存取區域DAR上具有一厚度 T_r ，且在閘極接觸件310上具有一厚度 T_g 。厚度 T_m 可指第二封裝層230之上表面230A與傳輸線365之一最上部上之第一封裝層225之一上表面之間的第二封裝層230之一厚度。厚度 T_g 可指第二封裝層230之上表面230A與閘極接觸件310之一最上部上之第一封裝層225之一上表面之間的第二封裝層230之一厚度。厚度 T_r 可指第二封裝層230之上表面230A與源極存取區域SAR或汲極存取區域DAR中之半導體結構390之一最上部上之第一封裝層225之一上表面之間的第二封裝層230之一厚度。

【0071】 在一些實施例中，第二封裝層230可形成為保持第二封裝層230之各種厚度 T_r 、 T_m 及 T_g 與第一封裝層225之厚度 T_c 之一比率。在一些實施例中，可根據表1保持第二封裝層230之厚度 T_r 、 T_m 及 T_g 與第一封裝層225之厚度 T_c 之比率。

【0072】 表1：

位置	T_c 厚度範圍 (μm)	第二封裝層 230 厚 度範圍 (μm)	第一層:第二層之比率 範圍
橫跨傳輸線 (T_m)	1.15-1.4	3.1-4.1	0.28 - 0.45
橫跨閘 (T_g)	1.15-1.4	4.7-5.6	0.20 - 0.29
橫跨汲極/源極 存 取區域 (T_r)	1.15-1.4	6.2-7.2	0.16 - 0.22

【0073】 具有根據表1之比率之裝置容許對裝置之各個區域進行充分保護。比率之變動部分地導致第二封裝層230之平坦上表面及第一封裝

層225之變動表面。因此，儘管第二封裝層230之一底表面由於第一封裝層225之變動上表面而變動，第二封裝層230之上表面230A保持大體上平坦。比率超出此等範圍之裝置可降低性能及/或濕度保護。

【0074】圖1提供一半導體裝置300上之多層環境封裝堆疊220之一圖示，該半導體裝置300具有數個結構，諸如一閘極接觸件310、一源極接觸件315及一汲極接觸件305。如習知技術者所理解，多層環境封裝堆疊220可應用於數個不同半導體結構，而不背離本發明之實施例。

【0075】例如。圖2A及圖2B繪示根據本發明之一些實施例之實施為一HEMT之一半導體裝置300A之一實施例。圖2A係根據本發明之實施例之HEMT裝置300A之一示意性平面圖。圖2B係沿著圖2A之線A-A截取之HEMT裝置300A之一示意性橫截面圖。圖2A及圖2B意在表示用於識別及描述之結構，且不意在用於按物理標度表示結構。

【0076】參考圖2A及圖2B中，可在諸如一碳化矽SiC基板或一藍寶石基板之一基板322上形成一半導體結構390，諸如用於一III族氮化物半導體HEMT之一半導體結構。基板322可為一半絕緣碳化矽(SiC)基板，其可為例如4H多型碳化矽。其他碳化矽候選多型可包含3C、6H及15R多型。基板可為一高純度半絕緣(HPSI)基板，可自Cree股份有限公司獲得。

【0077】在一些實施例中，基板322之碳化矽塊體晶體在室溫下可具有等於或高於約 1×10^5 歐姆釐米之一電阻率。可在本發明之一些實施例中使用之實例SiC基板由本發明之受讓人，例如紐約(N.C.)達勒姆(Durham)之Cree股份有限公司製造，且用於產生此等基板之方法，例如，美國專利第Re. 34,861號，美國專利第4,946,547號，美國專利第5,200,022號及美國專利第6,218,680號所揭示，該等案之揭示內容以引用

方式併入本文中。儘管碳化矽可用作一基板材料，但本發明之實施例可使用任何合適基板，諸如藍寶石(Al_2O_3)、氮化鋁(AlN)、氮化鋁鎵(AlGaN)、氮化鎵(GaN)、矽(Si)、 GaAs 、LGO、氧化鋅(ZnO)、氧化鋅(LAO)、磷化銦(InP)及其類似者。基板322可為碳化矽晶圓，且可至少部分地經由晶圓級處理形成HEMT裝置300A，且接著可對晶圓進行切割以提供複數個單獨高電子移動率電晶體300A。

【0078】 基板322可具有一下表面322A及一上表面322B。在一些實施例中，HEMT裝置300A之基板322可為一薄化基板322。在一些實施例中，基板322之厚度(例如，在圖2B中之一垂直Z方向上)可為 $100\ \mu\text{m}$ 或更小。在一些實施例中，基板322之厚度可為 $75\ \mu\text{m}$ 或更小。在一些實施例中，基板322之厚度可為 $50\ \mu\text{m}$ 或更小。

【0079】 一通道層324形成在基板322之上表面322B上(或在本文進一步描述之可選層上)，且一障壁層326形成在通道層324之一下表面上。在一些實施例中，通道層324及障壁層326各者可藉由磊晶生長形成。III族氮化物之磊晶生長技術已在例如美國專利第5,210,051號，美國專利第5,393,993號及美國專利第5,523,589號所描述，該等案之揭示內容以引用方式併入本文中。通道層324可具有小於障壁層326之能隙之一能隙，且通道層324亦可具有比障壁層326更大之一電子親和力。通道層324及障壁層326可包含基於III族氮化物之材料。在一些實施例中，晶圓之一厚度(例如，基板322、通道層324及障壁層326之厚度)可在 $40\ \mu\text{m}$ 至約 $100\ \mu\text{m}$ 之間。在一些實施例中，晶圓厚度可在 $40\ \mu\text{m}$ 至約 $80\ \mu\text{m}$ 之間。在一些實施例中，晶圓厚度可約為 $75\ \mu\text{m}$ 。

【0080】 在一些實施例中，通道層324可為一III族氮化物，諸如

$\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，其中 $0 \leq x < 1$ ，前提係通道層324之傳導帶邊緣之能量小於通道層324與障壁層326之間的介面處障壁層326之傳導帶邊緣之能量。在本發明之一些實施例中， $x=0$ ，指示通道層324為GaN。通道層324亦可為其他III族氮化物，諸如InGaN、AlInGaN或及其類似者。通道層324可為未摻雜的(「無意摻雜」)，且可生長到大於約 $0.002 \mu\text{m}$ 之一厚度。通道層324亦可為一多層結構，諸如一超晶格或GaN、AlGaN或其類似者之組合。在一些實施例中，通道層324可處於壓縮應變下。

【0081】 在一些實施例中，障壁層326為AlN、AlInN、AlGaN或AlInGaN或其層之組合。障壁層326可包括一單層或可為一多層結構。在一些實施例中，障壁層326可為直接在通道層324上之一薄AlN層及其上之一單一AlGaN或多層。在本發明之特定實施例中，障壁層326可足夠厚，且可具有一足夠高的鋁(Al)成分及摻雜，以在障壁層326埋入歐姆接觸件金屬下時穿過極化效應在通道層324與障壁層322之間的介面處誘導一顯著載體濃度。障壁層326可(例如)為約 0.1 nm 至約 30 nm 厚，但其厚度不足以在其中導致開裂或實質性缺陷形成。在一些實施例中，障壁層之厚度在 13 nm 與 18 nm 之間。在一些實施例中，障壁層326未摻雜或摻雜有一濃度小於約 10^{19} cm^{-3} 之一n型摻雜劑。在一些實施例中，障壁層326為 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，其中 $0 < x < 1$ 。在特定實施例中，鋁濃度為約25%。然而，在本發明之其他實施例中，障壁層326包括具有一鋁濃度在約5%至小於約100%之間的AlGaN。在本發明之特定實施例中，鋁濃度大於約10%。通道層324及/或障壁層326可例如藉由金屬有機化學氣相沉積(MOCVD)、分子束磊晶(MBE)或氮化物氣相磊晶(HVPE)來沉積。如本文所討論，在通道層324與障壁層326之間的一接合處，在通道層324中感應出一2DEG層。2DEG層

充當一高導電層，其容許分別位於源極接觸件315及汲極接觸件305下方之裝置之源極區域與漏極區域之間導電。通道層324及障壁層326形成半導體結構390。

【0082】 雖然為了說明目的，半導體結構390展示為具有通道層324及障壁層326，但半導體結構390可包含額外層/結構/元件，諸如通道層324與基板322之間的一緩衝層及/或(若干)結晶層，及/或障壁層326上之一蓋層。包含基板、通道層、障壁層及其他層之HEMT結構在例如美國專利第5,192,987號，美國專利第5,296,395號，美國專利第6,316,793號，美國專利第6,548,333號，美國專利第7,544,963號，美國專利第7,548,112號，美國專利第7,592,211號，美國專利第7,615,774號及美國專利第7,709,269號所討論，該等案之揭示內容以引用方式併入本文中。例如，可在基板322之上表面322B上形成一AlN緩衝層，以在碳化矽基板322與HEMT裝置300A之其餘部分之間提供一適當晶體結構過渡。此外，(若干)應變平衡過渡層亦可及/或替代地如描述所提供，例如，在通常指定之美國專利第7,030,428號，該案之揭示內容以引用方式併入本文中，如同在此完全闡述。可選緩衝層/結晶層/過渡層可藉由MOCVD、MBE及/或HVPE沉積。

【0083】 源極接觸件315及汲極接觸件305可形成在障壁層326之一上表面326A上，且可彼此橫向間隔開。一閘極接觸件310可形成在源極接觸件315與汲極接觸件305之間的障壁層326之上表面326A上。閘極接觸件310之材料可基於障壁層326之組成來選擇，且在一些實施例中可為一肖特基接觸件。可使用能夠與一基於氮化鎵之半導體材料進行一肖特基接觸件之習知材料，例如鎳(Ni)、鉑(Pt)、矽化鎳(NiSix)、銅(Cu)、鈮

(Pd)、鉻(Cr)、鎢(W)及/或氮化矽鎢(WSiN)。

【0084】源極接觸件315及汲極接觸件305可包含可與一氮化鎵基半導體材料形成之一歐姆接觸件之一金屬。合適金屬可包含難熔金屬，諸如Ti、W、鈦鎢(TiW)、矽(Si)、鈦氮化鎢(TiWN)、矽化鎢(WSi)、銻(Re)、鈮(Nb)、Ni、金(Au)、鋁(Al)、鉭(Ta)、鉬(Mo)、NiSi_x、矽化鈦(TiSi)、氮化鈦(TiN)、WSiN、Pt及其類似者。在一些實施例中，源極接觸件315可為一歐姆源極接觸件315。因此，源極接觸件315及汲極接觸件305可含有與障壁層326直接接觸之一歐姆接觸件部分。在一些實施方案中，源極接觸件315及/或汲極接觸件305可由複數個層形成，以形成一歐姆接觸件，該歐姆接觸件可例如在通常指定之美國專利第8,563,372號及美國專利第9,214,352號中所描述之提供，該等案之揭示內容以引用方式併入本文中。

【0085】源極接觸件315可耦合至一參考信號，諸如，例如，一接地電壓。與參考信號之耦合可由自基板322之下表面322A延伸、穿過基板322至障壁層之上表面326A之一通孔325提供。通孔325可暴露源極接觸件315之一下表面。一背金屬層335可形成在基板322之下表面322A上及通孔325之側壁上。在一些實施例中，背金屬層335可直接接觸源極接觸件315。在一些實施例中，背金屬層335可經由額外導電路徑間接電連接至源極接觸件315。因此，背金屬層335及其耦合之一信號可電連接至源極接觸件315。

【0086】在一些實施例中，源極接觸件315、汲極接觸件305及閘極接觸件310可形成為基板322上之複數個源極接觸件315、汲極接觸件305及閘極接觸件310。參考圖2A，複數個汲極接觸件305及源極接觸件315可

交替配置於基板322上。一閘極接觸件310可安置於相鄰汲極接觸件305與源極接觸件315之間，以形成複數個電晶體單位單元，其實例在圖2A中被指定為300A_1及300A_2。電晶體單位單元300A_1、300A_2中之各者可包含一源極接觸件315、一汲極接觸件305及一閘極接觸件310。為了便於討論，圖2A及圖2B繪示源極接觸件315、汲極接觸件305及閘極接觸件310之一子集，但應瞭解，HEMT裝置300A可具有額外結構，包含圖2A及圖2B中未繪示之額外源極接觸件315、汲極接觸件305及閘極接觸件310。如習知技術者將理解，一HEMT電晶體可在源極接觸件315與汲極接觸件305之間的一閘極接觸件310之控制下，由源極接觸件315與汲極接觸件305之間的主動區域形成。

【0087】 參考圖2B，可在障壁層326上形成一第一絕緣層350_1，且可在第一絕緣層350_1上形成一第二絕緣層350_2。在一些實施例中，第一絕緣層350_1及/或第二絕緣層350_2可包含氮化矽(Si_xN_y)、氮化鋁(AlN)、二氧化矽(SiO_2)及/或其他合適保護材料。第一絕緣層350_1之厚度可影響閘極-源極電容及閘極-汲極電容，此可影響裝置300A之開關速度。類似地，第二絕緣層350_2之厚度可影響閘極-汲極電容，此可影響裝置300A之開關速度及增益。第一絕緣層350_1及第二絕緣層350_2可參考圖1形成(若干)鈍化層350。

【0088】 源極接觸件315及汲極接觸件305可形成在第一絕緣層350_1中，其等中之各者之部分可在第二絕緣層350_2之下。應瞭解，本發明不限於圖2B中所繪示之閘極接觸件310之一特定形狀，且在不背離本文描述之實施例之情況下，閘極接觸件310之其他形狀及裝置300A之其他元件係可能的。在一些實施例中，閘極接觸件310可比汲極接觸件305更

接近源極接觸件315。在一些實施例中，閘極接觸件310可形成為一T形閘極及/或一伽馬閘極，其形成在例如美國專利第8,049,252號，美國專利第7,045,404號，及美國專利第8,120,064號中所討論，該等案之揭示內容以引用方式併入本文中。第二絕緣層350_2可形成在第一絕緣層350_1上及汲極接觸件305、閘極接觸件310及源極接觸件315之部分上。

【0089】 場板312可形成在第二絕緣層350_2上。一場板312之至少一部分可位於閘極接觸件310上。場板312之至少一部分可在閘極接觸件310與汲極接觸件305之間的第二絕緣層350_2之一部分上。場板312可降低HEMT裝置300A中之峰值電場，此可導致增加擊穿電壓及減少電荷捕捉。電場之減少亦可產生其他益處，諸如減少洩漏電流及提高可靠性。場板及用於形成場板之技術例如在美國專利第8,120,064號中所討論，該案之揭示內容以引用方式併入本文中。

【0090】 傳輸線365可安置在第二絕緣層350_2中。傳輸線365可提供汲極接觸件305、閘極接觸件310及源極接觸件315與HEMT裝置300A之其他部分之間的互連。傳輸線365之各者可直接接觸汲極接觸件305及/或源極接觸件315中之各者。傳輸線365可含有金屬或其他高導電材料，包含例如銅、鈷、金及/或一複合金屬。為了便於說明，第一絕緣層350_1、第二絕緣層350_2、場板312及傳輸線365在圖2A中未繪示。

【0091】 多層環境封裝堆疊220可形成在場板312、傳輸線365及第一絕緣層350_1及第二絕緣層350_2上。多層環境封裝堆疊220可包含保形之第一封裝層225及自平坦化及/或硬化之第二封裝層230。為了便於說明，圖2A中未繪示多層環境封裝堆疊220。

【0092】 第一封裝層225及第二封裝層230之特性及內容可與本文描

述之半導體裝置300之此等特性及內容大體上類似，因此，將省略對其之一重複描述。

【0093】 例如，第二封裝層230之上表面230A可在HEMT裝置300A之寬度上大體上平坦。第一封裝層225之厚度 T_c 、第二封裝層230之區域 T_g 、 T_m 、 T_r 之厚度及 T_c 與 T_g 、 T_m 或 T_r 之比率可構造為與表1中之此等匹配。

【0094】 與相關裝置相比，包含多層環境封裝堆疊220之一HEMT裝置300A可有利地執行。例如。圖3A至圖3D係繪示根據本發明之實施例之裝置之有利性能之圖表。在圖3A至圖3D中，與具有非平坦保護層之習知HEMT裝置相比，使用具有一多層環境封裝堆疊220之類似於HEMT裝置300A之一HEMT裝置，該多層環境封裝堆疊220包含保形第一封裝層225及平坦第二封裝層230 (例如，具有一平坦表面)。在圖3A至圖3D中，第一封裝層225包含一SiON:SiN雙層，且第二封裝層230包含聚醯亞胺。

【0095】 參考圖3A，繪示一差示掃描量熱圖，展示與具有非平坦保護層之習知HEMT裝置(曲線712A)相比，包含一多層環境封裝堆疊220 (包含第一封裝層225及平坦第二封裝層230)之一裝置之性能之一比較(曲線710A)。差示掃描量熱法(DSC)係一種熱分析技術，其中將一樣品及參考溫度升高所需熱量之差異作為溫度之一函數來量測。

【0096】 在圖3A中，曲線710A表示包含實施為一SiON:SiN雙層之第一封裝層225及包含聚醯亞胺之第二封裝層230之一裝置，其中裝置在 250°C 下硬化一小時。聚醯亞胺之玻璃轉換溫度為 225°C 。因此，膜在高於第二封裝層230之玻璃轉換溫度之一溫度下硬化。第二封裝層230具有低於 250°C 之一硬化溫度，且因此完全硬化。

【0097】 相反，曲線712A表示包含不具有如本文所描述之保形第一封裝層225及平坦第二封裝層230之一習知膜之一裝置。曲線712A之習知膜具有一玻璃轉換溫度為350°C。與曲線712A相關之裝置在275°C下硬化1小時。習知材料之硬化溫度使得其在275°C下一小時期間無法完全硬化。在兩個膜之一小時硬化時間完成後進行DSC分析。

【0098】 如圖3A所繪示，兩個膜在315°C之晶粒附接溫度下幾乎沒有膜轉換。

【0099】 參考圖3B，晶粒附接膜損失之一圖表繪示作為315°C下所用時間之一函數之多層環境封裝堆疊220之一正規化厚度之一變動，此與晶粒附接處理溫度一致。在圖3B中，曲線710B表示圖3A中之曲線710A中所繪示之根據本發明之實施例之相同多層環境封裝堆疊220，曲線712B表示圖3A中之曲線712A所繪示之相同習知膜堆疊，且曲線714B表示不具有如本文所描述之保形第一封裝層225及平坦/硬化第二封裝層230之一額外習知膜。

【0100】 如圖3B所繪示，表示多層環境封裝堆疊220之曲線710B繪示在315°C下30分鐘內歸一化厚度之變動小於5%。相反，繪示一習知膜之曲線714B顯示在略多於10分鐘內之變動。曲線712B，亦為一習知膜，其行為類似於包含多層環境封裝堆疊220之裝置。因此，多層環境封裝堆疊220執行至少與一些習知裝置膜一樣好，且比其他裝置膜好得多，以最小化多層環境封裝堆疊220在相對較高溫度下之一變動。

【0101】 參考圖3C，應力誘導水分吸收之一圖表繪示一無偏高加速應力測試(UHAST)操作期間之一晶圓之一彎曲之一變動。在圖3C中，曲線710C表示根據圖3A中之曲線710A所繪示之本發明實施例之相同多層環

境封裝堆疊220，且曲線712C表示由圖3A中曲線712A所繪示之相同習知膜堆疊。

【0102】如圖3C所繪示，代表多層環境封裝堆疊220之曲線710C繪示在400多小時之UHAST測試期間，彎曲小於1 μm 。相反，繪示習知膜之曲線712C顯示在不到100小時內彎曲超過2 μm 。經改善性能被認為部分係歸因於由多層環境封裝堆疊220之平坦第二封裝層230提供之經改善之濕度保護。因此，與習知裝置膜相比，多層環境封裝堆疊220提供經改善之環境保護。

【0103】參考圖3D，應力測試(例如HAST測試)期間失效之可靠性資料之一威布林(Weibull)分析圖。在圖3D中，曲線710D表示根據圖3A中之曲線710A所繪示之本發明之實施例之相同多層環境封裝堆疊220，且曲線712D表示由圖3A中曲線712A所繪示之相同習知膜堆疊。

【0104】如圖3D所繪示，表示多層環境封裝堆疊220之曲線710D繪示與習知裝置相比，在至少前100小時之應力測試中，可靠性有所改善。例如，由曲線710D表示之裝置在96小時HAST測試之232個樣品中僅遭遇一個故障，此表示一批內缺陷容許百分比(LTPD)小於2。類似地，由曲線710D表示之裝置在2000小時溫濕度偏差THB測試之223個樣品中未遭遇故障，這表示一LTPD小於1。因此，與習知裝置膜相比，多層環境封裝堆疊220提供經改善之產品可靠性。

【0105】圖4A至圖4K繪示根據本發明之實施例之製造一半導體裝置(諸如，圖2A及圖2B之HEMT裝置300A)之一方法。圖4A至圖4K係沿圖2A之線B-B截取。

【0106】現參考圖4A，提供可在其上形成之一半導體結構之一基板

122。在基板122上形成一通道層324，且在通道層324上形成一障壁層326。基板122可為一半絕緣碳化矽(SiC)基板，例如，可為4H多型碳化矽。其他碳化矽候選多型可包含3C、6H及15R多型。基板122之一厚度可為100 μm 或更大。

【0107】 碳化矽與III族氮化物(可用於通道層324及/或障壁層326中)之晶格匹配比藍寶石(Al_2O_3)更為接近，藍寶石可為用於III族氮化合物裝置之一常見基板材料。更接近晶格匹配可導致III族氮化物膜之品質高於藍寶石上通常可用之此等膜之質量。碳化矽亦具有一相對較高熱導率，且因此，在碳化矽上形成之III族氮化物裝置之總輸出功率可不像在藍寶石及/或矽上形成類似裝置那樣受到基板熱耗散之限制。此外，半絕緣碳化矽基板可提供用於裝置隔離及降低寄生電容。

【0108】 應瞭解，儘管碳化矽可用作一基板，但本發明之實施例可使用用於基板122之任何適合基板，諸如藍寶石(Al_2O_3)、氮化鋁(AlN)、氮化鋁鎵(AlGaN)、氮化鎵(GaN)、矽(Si)、GaAs、LGO、氧化鋅(ZnO)、LAO、磷化銦(InP)及其類似者。

【0109】 基板122上亦可提供視情況緩衝層、結晶層及/或過渡層(未展示)。例如，可提供一 AlN 緩衝層，以在一碳化矽基板與裝置其餘部分之間提供一適當晶體結構過渡。此外，亦可提供(若干)應變平衡過渡層。

【0110】 仍參考圖4A，在基板122上提供一通道層324。通道層324可使用緩衝層、過渡層及/或結晶層沉積在基板122上，如上文所描述。通道層324可處於壓縮應變下。此外，通道層324及/或緩衝層、結晶層及/或過渡層可藉由MOCVD、MBE及/或HVPE沉積。在本發明之一些實施例中，通道層324可為一III族氮化物層。

【0111】障壁層326可為一III族氮化物層。在本發明之特定實施例中，障壁層326可為一高摻雜n型層。例如，障壁層326可摻雜到小於約 10^{19}cm^{-3} 之一濃度。

【0112】在本發明之一些實施例中，當障壁層326被埋在歐姆接觸金屬下時，障壁層326可具有一足夠厚度、Al成分及/或摻雜，以透過極化效應在通道層324與障壁層326之間的介面處誘發一顯著載體濃度。此外，障壁層326可足夠厚，以減少或最小化歸因於沉積在障壁層326與一隨後形成第一保護層之間的介面處之電離雜質引起之電子在通道中之散射。

【0113】在一些實施例中，通道層324及障壁層326可具有不同晶格常數。例如，障壁層326可為具有比通道層324更小之晶格常數之一相對薄層，使得障壁層326在兩者之間的介面處「伸展」。因此，可提供一擬態HEMT (pHEMT)裝置。

【0114】參考圖4B，一第一保護層410形成在障壁層326上。第一保護層410可為介電材料，諸如氮化矽(Si_xN_y)、氮化鋁(AlN)、二氧化矽(SiO_2)及/或其他合適保護材料。其他材料亦可用於第一保護層410。例如，第一保護層410亦可包含氧化鎂、氧化鈦、氧化鋁及/或氮氧化鋁。此外，第一保護層410可為一單層，或可包含均勻及/或非均勻組成之多層。

【0115】第一保護層410可為在障壁層326上形成之外殼。例如，第一保護層410可藉由高品質濺射及/或電漿增強化學氣相沉積(PECVD)形成之一氮化矽(SiN)層。第一保護層410可足夠厚，以便在歐姆接觸件之一後續退火期間保護下面障壁層326。

【0116】參考圖4C，第一保護層410 (見圖4B)可被圖案化以形成源

極接觸件315、閘極接觸件310及汲極接觸件305。例如，第一保護層410可被圖案化以形成暴露障壁層326之視窗，用於放置源極接觸件315及汲極接觸件305。可利用一圖案化遮罩及相對於障壁層326之一低損傷蝕刻來蝕刻視窗。歐姆金屬可形成在障壁層326之暴露部分上。歐姆金屬可退火以提供源極接觸件315及汲極接觸件305。

【0117】 第一保護層410亦可圖案化，以提供閘極接觸件310。第一防護層410可蝕刻，以形成暴露障壁層326之視窗，用於放置閘極接觸件310。閘極接觸件310可形成在蝕刻視窗內，且可延伸穿過第一保護層410以接觸障壁層326之暴露部分。合適閘極材料可取決於障壁層326之組成。然而，在特定實施例中，可使用能夠與一基於氮化物之半導體材料進行一肖特基接觸件之習知材料，諸如Ni、Pt、NiSi_x、Cu、Pd、Cr、TaN、W及/或WSiN。閘極接觸件310之部分可在第一保護層410之一表面上延伸。源極接觸件315、閘極接觸件110及汲極接觸件305之形成可導致圖4B之第一保護層410之圖案化，以形成第一絕緣層350_1。

【0118】 儘管源極接觸件315在圖4C中繪示為位於障壁層326之頂面上，但應瞭解，在一些實施例中，源極接觸件315、閘極接觸件310及/或汲極接觸件305可形成在障壁層326頂面之凹槽內。

【0119】 參考圖4D，一第二保護層420可形成在第一絕緣層350、源極接觸件315、閘極接觸件310及汲極接觸件305上。第二保護層420可為一介電層。在一些實施例中，第二保護層420可具有與第一絕緣層350_1之一不同介電指數。

【0120】 參考圖4E，場板312可形成在第二保護層420上。場板312可與閘極接觸件310重疊(例如，在圖4E之Z方向上)，且可在閘極及汲極

之間的區域(即，閘極-汲極區域)上延伸一段距離。場板312在閘極接觸件310上之一重疊及/或場板312在閘極-汲極區域上延伸之距離可變動以獲得最佳結果。在一些實施例中，場板312可電連接至閘極接觸件310或源極接觸件315，且可理解，在不背離本發明之情況下，可使用除了圖中所繪示之場板結構之外之此等場板結構。

【0121】 參考圖4F，第二保護層420可圖案化以形成傳輸線365。例如，第二保護層420可圖案化以形成暴露源極接觸件315及/或汲極接觸件305之窗口，用於放置傳輸線365。可利用一圖案化遮罩及相對於源極接觸件315及/或汲極接觸件305之一低損傷蝕刻來蝕刻視窗。導電金屬可形成在源極接觸件315及/或汲極接觸件305之暴露部分上以形成傳輸線365。傳輸線365之形成可導致圖4E之第二保護層420之圖案化以形成第二絕緣層350_2。

【0122】 參考圖4G，一保形第一封裝層225可形成在場板312、傳輸線365及/或第一絕緣層350_1及第二絕緣層350_2上。第一封裝層225之一上表面可為非平坦的。

【0123】 第一封裝層225可為或包含一個或多個介電層。第一封裝層225可包含例如SiO、SiN、SiON、ZrO、HfO、AlN及/或AlO。在一些實施例中，第一封裝層225可包含多層。例如，第一封裝層225可包含一SiON:SiN雙層。第一封裝層225之一厚度Tc可為保形的且在整個半導體裝置上大體上均勻，但本發明之實施例不限於此。第一封裝層225可使用晶圓級處理方法(諸如CVD、PECVD、ALD或PVD)沉積。

【0124】 參考圖4H，一未硬化層430可形成在第一封裝層225上，使得第一封裝層225位於未硬化層430與場板312、傳輸線365及/或第一絕

緣層350_1及第二絕緣層350_2之間。未硬化層430可為例如藉由一旋塗製程、噴塗製程、氣相沉積製程、電鍍製程、刀片塗層製程及/或槽模沉積製程以一黏性或液態形成之一可硬化介電層。

【0125】 未硬化層430可包含例如聚醯亞胺、苯并環丁烯(BCB)、玻璃(例如硼矽酸鹽玻璃(BSG))、聚醯胺、聚苯并噁唑(PBO)及/或一光阻劑(例如SU-8)。在不背離本發明之實施例之情況下，可使用其他環氧樹脂及/或樹脂。在一些實施例中，未硬化層430之材料可選擇為具有100 cSt至8000 cSt之一運動黏度。在一些實施例中，未硬化層430之材料可選擇為具有1000 cSt至2000 cSt之一運動黏度。

【0126】 未硬化層430之一上表面430A可為非平坦的。即，由於未硬化層430尚未硬化，未硬化層430之上表面430A可包含(至少最初)變動、表面不規則性及/或偏差。歸因於未硬化層430之一黏度，未硬化層430可流入第一封裝層225表面之開口及/或其他偏差。此外，在一些實施例中，未硬化層430之黏性可容許未硬化層430之上表面430A自平坦化。

【0127】 參考圖4I，可在未硬化層430上執行一硬化製程480。硬化製程480可包含例如加熱，但本發明之實施例不限於此。在一些實施例中，硬化製程480可在低於275°C之一溫度下執行。在一些實施例中，硬化製程480可在低於或等於250°C之一溫度下執行。未硬化層430之材料可選擇為具有小於275°C之一硬化溫度，且在一些實施例中小於250°C。因此，由於硬化製程480，未硬化層430可大體上及/或完全硬化。在一些實施例中，硬化製程480可包含，例如，應用特定波長之光，諸如紫外線(UV)光。

【0128】 在一些實施例中，硬化製程480可在高於未硬化層430材料

之一玻璃轉換溫度之一溫度下執行。在一些實施例中，未硬化層430材料可選擇為具有低於250°C (例如225°C)之一玻璃轉換溫度，且硬化製程280可在250°C下執行一小時。

【0129】 在圖4I中，未硬化層430之上表面430A繪示為平坦的。在一些實施例中，未硬化層之黏度可容許未硬化層430之上表面430A自圖4H所繪示之非平坦表面過渡至圖4I所繪示之平坦表面(即自平坦化)。在一些實施例中，自圖4H所繪示之非平坦表面過渡至一平坦表面可在圖4I所繪示之硬化製程480期間發生。

【0130】 參考圖4J，由於硬化製程480，未硬化層430可轉變為平坦及/或硬化之第二封裝層230。第二封裝層230之一上表面230A可在裝置寬度上大體上平坦。由於硬化，第二封裝層230之上表面230A可自平坦化。即，未硬化層430之上表面430A (包含變動、表面不規則性及/或偏差)可轉變為第二封裝層230之上表面230A，該上表面大體上平坦及/或由於硬化製程而硬化。因此，可在不需要一平坦化步驟之情況下提供平坦上表面230A。在一些實施例中，第一封裝層225之厚度 T_c 、第二封裝層230之區域 T_g 、 T_m 、 T_r 之厚度及第二封裝層230之厚度 T_c 與 T_g 、 T_m 或 T_r 之一比率可構造為與表1之此等匹配。

【0131】 參考圖4K，可將基板122 (見圖4J)薄化以形成薄化基板322。在一些實施例中，使用一研磨機(諸如一進給或蠕動進給研磨機)減小基板322之厚度。在其他實施例中，使用研磨、化學或反應離子蝕刻或此等方法之組合(帶或不帶研磨)來減小基板322之厚度。在其他實施例中，蝕刻可用於處理基板322之背面，以減少薄化操作對基板322造成之損壞。例如，在通常指定之美國專利第7,291,529號；美國專利第

7,932,111號；美國專利第7,259,402號；及美國專利第8,513,686號中描述薄化一晶圓之方法，該等案之揭示內容以引用方式併入本文中。

【0132】 在根據本發明之一些實施例中，基板322薄化至約40 μm 至約100 μm 之間的一厚度。在其他實施例中，將基板322薄化至約40 μm 至約75 μm 之間的一厚度。

【0133】 在一些實施例中，基板122之薄化省略，且基板122實際上與基板322相同。儘管圖4K繪示在形成包含第一封裝層225及第二封裝層230之多層環境封裝堆疊220之後，基板122被薄化，本發明之實施例不限於此。在一些實施例中，基板122之薄化可在處理中之其他點發生，諸如在形成多層環境封裝堆疊220之前。

【0134】 返回參考圖2B，通孔325可在基板322、通道層324及障壁層326中形成。通孔325可藉由濕法或乾式蝕刻形成。在一些實施例中，通孔325可各向異性蝕刻，使得通孔325之側壁相對於基板322之一頂表面傾斜。在一些實施方案中，通孔325可暴露源極接觸件315之一底表面。在一些實施例中，源極接觸件315可在通孔325之形成期間用作一蝕刻停止材料。在通孔形成之後，背金屬層335可沉積在基板322之下表面322A、通孔325之側壁及源極接觸件315之底表面上。背金屬層335可包含一導電金屬，諸如，例如，鈦、鉑及/或金。

【0135】 儘管一HEMT裝置300A在圖4A至圖4K中所繪示，但應瞭解，關於圖4A至圖4K描述之多層環境封裝堆疊220可使用其他類型之半導體裝置來提供。換言之，可使用其他類型之半導體裝置，且本文描述之形成包含第一封裝層225及第二封裝層230之環境封裝堆疊220之方法(例如，圖4G至圖4J)可應用於半導體裝置，而不背離本發明之範疇。圖5A至

圖5B繪示可包含本文描述之多層環境封裝堆疊220之實例半導體裝置300B、300C。為了簡潔起見，將省略對圖5A及圖5B中已描述之元件之一重複描述。圖5A及圖5B大體沿圖2A之線A-A截取。然而，應瞭解，本發明之實施例不限於圖2A、圖5A及圖5B之此等實施例，且一般而言，本發明之方法/結構可應用於任何半導體裝置，且一封裝堆疊在其上表面具有元件之任何半導體裝置具有不同高度之上表面。

【0136】圖5A繪示一金屬半導體場效應電晶體(MESFET)裝置300B，其中源極區域215與汲極區域205之間的半導體結構390之區域提供MESFET 300B之傳導通道或通道區域。圖5B繪示一金屬氧化物半導體場效應電晶體(MOSFET)裝置300C，其中源極區域215與汲極區域205之間的半導體結構390區域提供MOSFET 300C之通道區域，且閘極接觸件310藉由一閘極氧化物層110與通道區域分離。

【0137】半導體裝置300B、300C中之各者可包含在裝置上且保護裝置之多層環境封裝堆疊220。在圖5A及圖5B中，多層環境封裝堆疊220展示具有與圖1及圖2B中所繪示之半導體裝置300、300A之一類似結構(例如，一保形第一封裝層225及一自平坦化及/或硬化第二封裝層230)。圖5A及圖5B之半導體裝置300B、300C可具有類似於本文描述及表1中提供之第一封裝層225及第二封裝層230之厚度之比率。

【0138】儘管圖2A、圖5A及圖5B繪示其中半導體裝置在半導體裝置之一上表面上具有源極、汲極及閘極接觸件中之各者之實施例，本發明之實施例不限於此。而不背離本發明之範疇之情況下，在裝置之一底表面上包含一個或多個接觸件(例如一汲極接觸件)之半導體裝置亦可併入本文描述之多層環境封裝堆疊220(例如，具有一保形第一封裝層225及一自平

坦化及/或硬化之第二封裝層230)。

【0139】圖6A至圖6C係繪示根據本發明之實施例之半導體裝置300可被封裝以分別提供封裝電晶體放大器600A至600C之若干實例方式之示意性橫截面圖。而圖6A至圖6C展示正在封裝之圖1之半導體裝置300，應瞭解，根據本發明之實施例之半導體裝置300A、300B、300C中之任一者可封裝在圖6A至圖6C中所繪示之封裝中。

【0140】圖6A係一封裝電晶體放大器600A之一示意性側視圖。如圖6A所展示，封裝電晶體放大器600A包含封裝在一開放腔封裝610A中之半導體裝置300。封裝610A包含金屬閘極引線622A、金屬汲極引線624A、一金屬基台630、側壁640及一蓋642。

【0141】基台630可包含經組態以協助封裝電晶體放大器600A之熱管理之材料。例如，基台630可包含銅及/或鋁。在一些實施例中，基台630可由多層組成且/或含有通孔/互連。在一實例實施例中，基台630可為包括一芯鋁層之一多層銅/鋁/銅金屬凸緣，在其任一主表面上具有銅包覆層。在一些實施例中，基台630可包含作為一引線框架或金屬片之部分之一金屬散熱器。在一些實施例中，側壁640及/或蓋642可由絕緣材料形成或包含絕緣材料。例如，側壁640及/或蓋642可由陶瓷材料形成或包含陶瓷材料。在一些實施例中，側壁640及/或蓋642可由例如 Al_2O_3 形成。蓋642可使用一環氧膠黏合至側壁640上。側壁640可經由例如硬焊附接至基台630。閘極引線622A及汲極引線624A可經組態以延伸穿過側壁640，儘管本發明之實施例不限於此。

【0142】半導體裝置300安裝在由金屬基台630、陶瓷側壁640及陶瓷蓋642限定之一充氣腔612中之金屬基台630之上表面上。半導體裝置

300之閘極端子632及汲極端子634可位於半導體裝置300頂側，而一源極端子636可位於半導體裝置300之底側。源極端子636可使用例如一導電晶粒附接材料(未展示)安裝在金屬基台630上。金屬基台630可提供到源極端子636之電連接，且亦可用作一散熱結構，該結構散發在半導體裝置300中產生之熱量。熱量主要在半導體裝置300之上部產生，其中例如，在單位單元電晶體之通道區域中產生相對高電流密度。此熱量可透過半導體結構390傳遞至源極端子636，且接著傳遞至金屬基台630。

【0143】 輸入匹配電路650及/或輸出匹配電路652亦可安裝在封裝610A內。匹配電路650、652可包含阻抗匹配及/或諧波終止電路。阻抗匹配電路可用於將輸入至電晶體放大器600A或自電晶體放大器600A輸出之RF信號之大體上分量之阻抗分別匹配到半導體裝置300之輸入或輸出處之阻抗。諧波終止電路可用於將可存在於半導體裝置300之輸入或輸出處之基波RF信號之諧波接地。可提供一個以上之輸入匹配電路650及/或輸出匹配電路652。如圖6A中示意性所展示，輸入及輸出匹配電路650、652可安裝在金屬基台630上。閘極引線622A可藉由一個或多個接合線654連接至輸入匹配電路650，且輸入匹配電路650可藉由一個或多個額外接合線654連接至半導體裝置300之閘極端子632。類似地，汲極引線624A可藉由一個或多個接合線654連接至輸出匹配電路652，且輸出匹配電路652可藉由一個或多個額外接合線654連接至半導體裝置300之汲極端子634。作為電感元件之接合線654可形成輸入及/或輸出匹配電路650、652之部分。

【0144】 圖6B係一封裝電晶體放大器600B之一示意性側視圖，其包含封裝在一基於印刷電路板封裝610B中之圖1之半導體裝置300。封裝電晶體放大器600B與圖6A之封裝電晶體放大器600非常相似，除了封裝

610A之閘極引線622A及汲極引線624A被封裝610B中基於印刷電路板引線622B、624B替換。

【0145】封裝610B包含一基台630、陶瓷側壁640及一陶瓷蓋642，其各者可與以上討論之封裝610A之相同元件符號大體上相同。封裝610B進一步包含一印刷電路板620。印刷電路板620上之導電跡線形成一金屬閘極引線622B及一金屬汲極引線624B。印刷電路板620可經由例如一導電膠附接至基台630。印刷電路板630包含一中心開口，且半導體裝置300安裝在基台630上之此開口內。電晶體放大器600B之其他組件可與電晶體放大器600A之編號相同之組件相同，且因此將省略對其進一步描述。

【0146】圖6C係另一封裝電晶體放大器600C之一示意性側視圖。電晶體放大器600C與電晶體放大器600A之不同之處在於其包含一不同封裝610C。封裝610C包含一金屬基台630（其可類似於或相同於封裝210A之相同編號之基台630）及金屬閘極引線622C及汲極引線624C。電晶體放大器600C亦包含至少部分包圍半導體裝置300、引線622C、624C及金屬基台630之一塑膠包覆模製660。電晶體放大器600C之其他組件可與電晶體放大器600A之編號相同之組件相同，且因此將省略對其進一步描述。

【0147】應瞭解，儘管本文中可使用術語第一、第二等來描述各種元件，但此等元件不應受到此等術語之限制。此等術語僅用於區分一個元件及另一元件。例如，在不背離本發明之範疇之情況下，一第一元件可稱為一第二元件，且類似地，一第二元件可稱為一第一元件。如本文所用，術語「及/或」包含一個或多個相關所列專案之任何及所有組合。

【0148】本文使用之術語僅用於描述特定實施例，且不意在限制本發明。如本文所用，單數形式「一(a/an)」及「該」意在包含複數形式，

除非上下文另有明確指示。應進一步理解，術語「包括 (comprises/comprising)」，及/或「包含 (includes/including)」在本文中使用时，規定特徵、整數、步驟、操作、元件及/或組件之存在，但不排除存在或添加一個或多個其他特徵、整數、步驟、操作、元件、組件及/或其組。

【0149】 除非另有定義，此處使用之所有術語(包含技術及科學術語)具有本發明所屬領域之一般技術者通常理解之相同含義。應進一步理解，此處使用之術語應被解釋為具有與其等在本說明書及相關技術之上下文中之含義一致之含義，且除非在此明確定義，否則不會以一理想化或過於正式意義進行解釋。

【0150】 應瞭解，當一元件(諸如一層、區域或基板)被稱為在另一元件「上」或延伸至另一元件「上」時，其可直接在另一元件上或直接延伸到另一元件，亦可存在中間元件。相反，當一元件被稱為「直接位於」或「直接延伸至」另一元件上時，不存在中間元件。亦應瞭解，當一元件被稱為「連接」或「耦合」至另一元件時，其可直接連接或耦合至另一元件，或可存在中間元件。相反，當一元件被稱為「直接連接」或「直接耦合」至另一元件時，不存在中間元件。

【0151】 如圖所繪示，此處可使用諸如「下方」或「上方」或「上部」或「下部」或「水平」或「橫向」或「垂直」等相對術語來描述一個元件、層或區域與另一元件，層或區域之一關係。應瞭解，除了圖中所描繪之定向之外，此等術語意在涵蓋裝置之不同定向。

【0152】 本發明之實施例在此參考截面圖進行描述，截面圖係本發明理想化實施例(及中間結構)之示意圖。為了清楚起見，可誇大圖式中之

層及區域之厚度。此外，由於例如製造技術及/或公差等原因，圖中之形狀之變動係可預期的。因此，本發明之實施例不應被解釋為限於本文所繪示之區域之特定形狀，而係包含例如由製造引起之形狀偏差。類似地，應瞭解，基於製造製程中之標準差，預計尺寸會發生變動。如本文所用，除非另有規定，「近似」及/或「大體上」包含標稱值10%以內之值。

【0153】 相同號碼指示全部相同元件。因此，可參考其他圖式描述相同或類似號碼，即使其等在相應圖式中既沒有提及也沒有描述。此外，可參考其他圖式描述未由元件符號指示之元件。

【0154】 本發明之一些實施例係參照半導體層及/或區域所描述，其特徵在於具有一導電類型，諸如n型或p型，此係指層及/或區域中之大多數載體濃度。因此，N型材料具有大多數帶負電荷電子之平衡濃度，而P型材料具有大多數帶正電荷空穴之平衡濃度。一些材料可用一「+」或「-」(「N+、N-、P+、P-、N++、N--、P++、P--、或其類似者)以指示與另一層或區域相比，大多數載體之濃度相對較大(「+」)或較小(「-」)。然而，此記譜法並不意味著在一層或區域中存在一特定濃度之多數載體或少數載體。

【0155】 在圖式及說明書中，已揭示本發明之典型實施例，且儘管使用特定術語，但其等僅在一般及描述性意義上使用，且不用於限制目的，本發明之範疇在以下申請專利範圍中闡述。

【符號說明】

【0156】

122:基板

205:汲極區域

- 215:源極區域
- 220:多層環境封裝堆疊
- 225:第一封裝層
- 230:第二封裝層
- 230A:上表面
- 230B:下表面
- 300:半導體裝置
- 300A:高電子移動率電晶體(HEMT)裝置
- 300B:金屬半導體場效應電晶體(MESFET)裝置
- 300C:金屬氧化物半導體場效應電晶體(MOSFET)裝置
- 305:汲極接觸件
- 310:閘極接觸件
- 312:場板
- 315:源極接觸件
- 322:基板
- 322A:下表面
- 322B:上表面
- 324:通道層
- 325:通孔
- 326:障壁層
- 326A:上表面
- 335:背金屬層
- 350:鈍化層

350_1:第一絕緣層
350_2:第二絕緣層
365:傳輸線
390:半導體結構
410:第一保護層
420:第二保護層
430:未硬化層
430A:上表面
480:硬化製程
600A:封裝電晶體放大器
600B:封裝電晶體放大器
600C:封裝電晶體放大器
610A:開放腔封裝
610B:基於印刷電路板封裝
610C:封裝
612:充氣腔
622A:金屬閘極引線
622B:金屬閘極引線
622C:金屬閘極引線
624A:金屬汲極引線
624B:金屬汲極引線
624C:金屬汲極引線
630:金屬基台

632:閘極端子

634:汲極端子

636:源極端子

640:側壁

642:蓋

650:輸入匹配電路

652:輸出匹配電路

654:接合線

660:塑膠包覆模製

710A:曲線

710B:曲線

710C:曲線

710D:曲線

712A:曲線

712B:曲線

712C:曲線

712D:曲線

714B:曲線

A:線

B:線

Tc:厚度

Tm:厚度

Tr:厚度

Tg:厚度

【發明申請專利範圍】

【請求項1】

一種電晶體裝置，其包括：

一基板；

一半導體結構，其在該基板上；

一金屬化層，其包括該半導體結構之一表面上之一非平坦表面；

一非平坦封裝層，其在該金屬化層之該非平坦表面上，該非平坦封裝層包括與該非平坦表面對置之一非平坦封裝表面；及

一自平坦化封裝層，其在該非平坦封裝層上且包括與該非平坦封裝表面對置之一平坦化表面。

【請求項2】

如請求項1之電晶體裝置，其進一步包括：

一源極接觸件，其在該半導體結構之一源極區域上；

一汲極接觸件，其在該半導體結構之一汲極區域上；及

一閘極接觸件，其在該源極接觸件與該汲極接觸件之間，

其中該非平坦封裝層在該閘極接觸件、該汲極接觸件及該源極接觸件上。

【請求項3】

如請求項2之電晶體裝置，其中該閘極接觸件上之該非平坦封裝層之一厚度與該閘極接觸件上之該自平坦化封裝層之一厚度之一比率在0.20與0.29之間。

【請求項4】

如請求項2之電晶體裝置，其中該金屬化層包括該源極接觸件上之一

傳輸線，且

其中該傳輸線上之該非平坦封裝層之一厚度與該傳輸線上之該自平坦化封裝層之一厚度之一比率在0.28與0.45之間。

【請求項5】

如請求項2之電晶體裝置，其中該半導體結構進一步包括該源極接觸件與該閘極接觸件之間的一源極存取區域，且

其中該源極存取區域上之該非平坦封裝層之一厚度與該源極存取區域上之該自平坦化封裝層之一厚度之一比率在0.16與0.22之間。

【請求項6】

如請求項1之電晶體裝置，其中該非平坦封裝層之一厚度在該半導體結構上大體上均勻。

【請求項7】

如請求項1之電晶體裝置，其中該非平坦封裝層包括SiO、SiN、SiON、ZrO、HfO、AlN及/或AlO。

【請求項8】

如請求項1之電晶體裝置，其中該自平坦化封裝層包括聚醯亞胺、苯并環丁烯、玻璃、聚醯胺、聚苯并噁唑及/或光阻劑。

【請求項9】

如請求項1之電晶體裝置，其中該自平坦化封裝層包括具有100至8000厘斯托克士之一未硬化運動黏度之一材料。

【請求項10】

如請求項1之電晶體裝置，其中該自平坦化封裝層包括具有一硬化溫度小於或等於250°C之一材料。

【請求項11】

如請求項1之電晶體裝置，其中該自平坦化封裝層包括大體上硬化之一材料。

【請求項12】

一種電晶體裝置，其包括：

一基板；

一半導體結構，其在該基板上，該半導體結構包括一主動區域；

一閘極接觸件，其在該半導體結構之該主動區域上；

一第一封裝層，其在該閘極接觸件上延伸；及

一第二封裝層，其在該第一封裝層上，該第二封裝層包括具有一硬化溫度小於或等於 275°C 之一材料。

【請求項13】

如請求項12之電晶體裝置，其中該閘極接觸件上之該第一封裝層之一厚度與該閘極接觸件上之該第二封裝層之一厚度之一比率在0.20與0.29之間。

【請求項14】

如請求項12之電晶體裝置，其中該半導體結構進一步包括一源極區域，

其中該電晶體裝置進一步包括該源極區域上之一源極接觸件及該源極接觸件上之一傳輸線，及

其中該第一封裝層在該源極接觸件及該傳輸線上延伸。

【請求項15】

如請求項14之電晶體裝置，其中該傳輸線上之該第一封裝層之一厚

度與該傳輸線上之該第二封裝層之一厚度之一比率在0.28與0.45之間。

【請求項16】

如請求項14之電晶體裝置，其中該半導體結構進一步包括該源極接觸件與該閘極接觸件之間的一源極存取區域，且

其中該源極存取區域上之該第一封裝層之一厚度與該源極存取區域上之該第二封裝層之一厚度之一比率在0.16與0.22之間。

【請求項17】

如請求項12之電晶體裝置，其中該第一封裝層之一厚度在該半導體結構上大體上均勻。

【請求項18】

如請求項12之電晶體裝置，其中該第二封裝層之一上表面在該半導體結構上大體上係平坦的。

【請求項19】

如請求項12之電晶體裝置，其中該第一封裝層包括SiO、SiN、SiON、ZrO、HfO、AlN及/或AlO。

【請求項20】

如請求項12之電晶體裝置，其中該第二封裝層包括聚醯亞胺、苯并環丁烯、玻璃、聚醯胺、聚苯并噁唑及/或光阻劑。

【請求項21】

如請求項12之電晶體裝置，其中該第二封裝層包括具有一硬化溫度小於或等於250°C之一材料。

【請求項22】

一種電晶體裝置，其包括：

一半導體結構，其在一基板上，該半導體結構包括一源極區域及一汲極區域；

一源極接觸件，其在該源極區域上；

一汲極接觸件，其在該汲極區域上；

一第一封裝層，其保形地延伸在該汲極接觸件上、該源極接觸件上及該汲極接觸件與該源極接觸件之間的該半導體結構上；及

一第二封裝層，其在該第一封裝層上，該第二封裝層包括具有自該源極接觸件延伸至該汲極接觸件之一大體上平坦上表面之一材料，其中該材料經組態以在一硬化操作期間自100至8000厘斯托克士之一運動黏度轉變為一硬化狀態。

【請求項23】

如請求項22之電晶體裝置，其中該第一封裝層包括SiO、SiN、SiON、ZrO、HfO、AlN及/或AlO。

【請求項24】

如請求項22之電晶體裝置，其中該第一封裝層包括複數個層。

【請求項25】

如請求項22之電晶體裝置，其中該第二封裝層包括聚醯亞胺、苯并環丁烯、玻璃、聚醯胺、聚苯并噁唑及/或光阻劑。

【請求項26】

如請求項22之電晶體裝置，其中該第二封裝層包括具有一硬化溫度小於或等於275°C之一材料。

【請求項27】

一種形成一電晶體裝置之方法，其包括：

在一基板上形成一半導體結構；

在該半導體結構上形成一第一封裝層，該第一封裝層包括與該半導體結構對置之一非平坦表面；

在該第一封裝層上形成一第二封裝層，其中該第二封裝層包括與該第一封裝層對置之一平坦化表面；及

在該第二封裝層上執行一硬化製程。

【請求項28】

如請求項27之方法，其中該第二封裝層包括經組態以在該硬化製程期間自100至8000厘斯托克士之一運動黏度轉變為一硬化狀態之一材料。

【請求項29】

如請求項27之方法，其中該第二封裝層之該平坦化表面係該第二封裝層之材料之自平坦化之一結果。

【請求項30】

如請求項27之方法，其進一步包括在該半導體結構上形成一源極接觸件、一汲極接觸件及一閘極接觸件，

其中形成該第一封裝層包括在該閘極接觸件、該汲極接觸件及該源極接觸件上形成該第一封裝層。

【請求項31】

如請求項30之方法，其中該第二封裝層具有一非平坦表面，該非平坦表面與該平坦化表面對置且沿著由該源極接觸件、該汲極接觸件及/或該閘極接觸件界定之各自輪廓在該第一封裝層上延伸。

【請求項32】

如請求項30之方法，其中該第一封裝層之一厚度在該閘極接觸件、

該汲極接觸件及該源極接觸件上大體上均勻。

【請求項33】

如請求項27之方法，其中該第二封裝層包括SiO、SiN、SiON、ZrO、HfO、AlN及/或AlO。

【請求項34】

如請求項27之方法，其中該第二封裝層包括聚醯亞胺、苯并環丁烯、玻璃、聚醯胺、聚苯并噁唑及/或光阻劑。

【請求項35】

如請求項27之方法，其中該第二封裝層包括具有一硬化溫度小於或等於275°C之一材料。

【請求項36】

如請求項27之方法，其中在該第二封裝層上執行該硬化製程係在大於該第二封裝層之一材料之一玻璃轉換溫度之一溫度下執行。

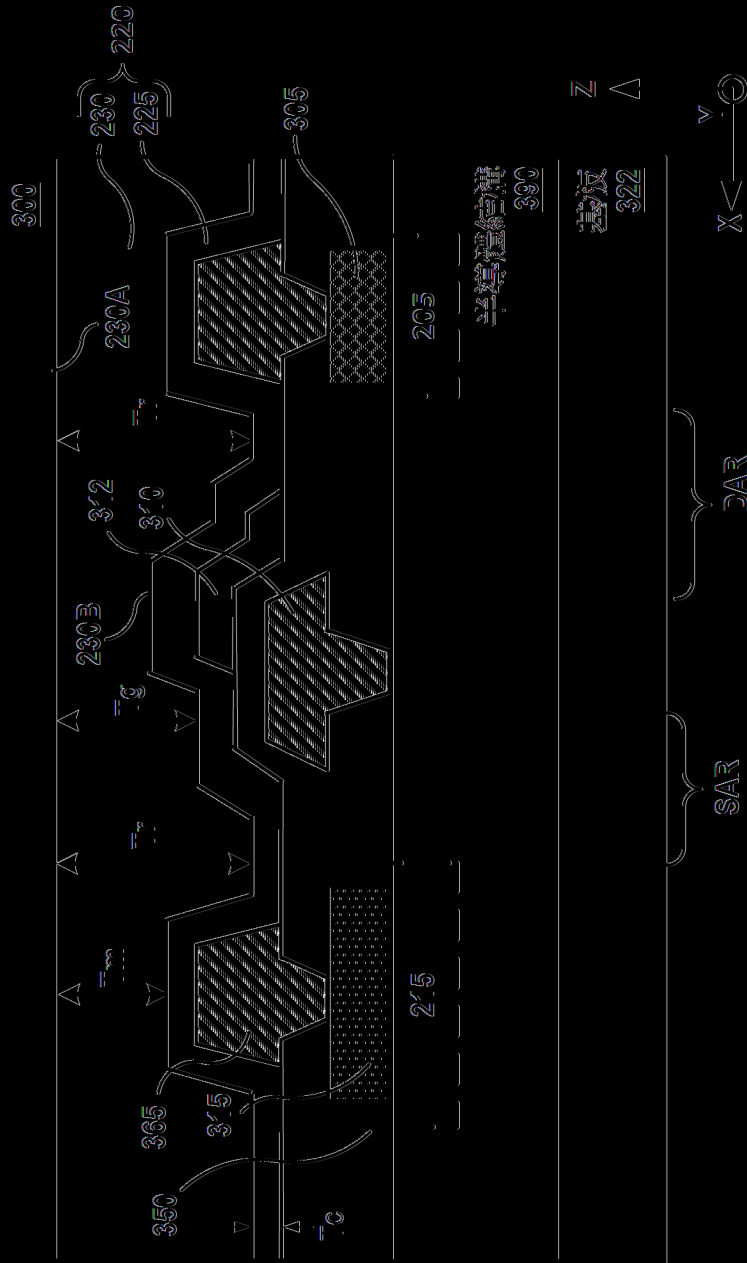
【請求項37】

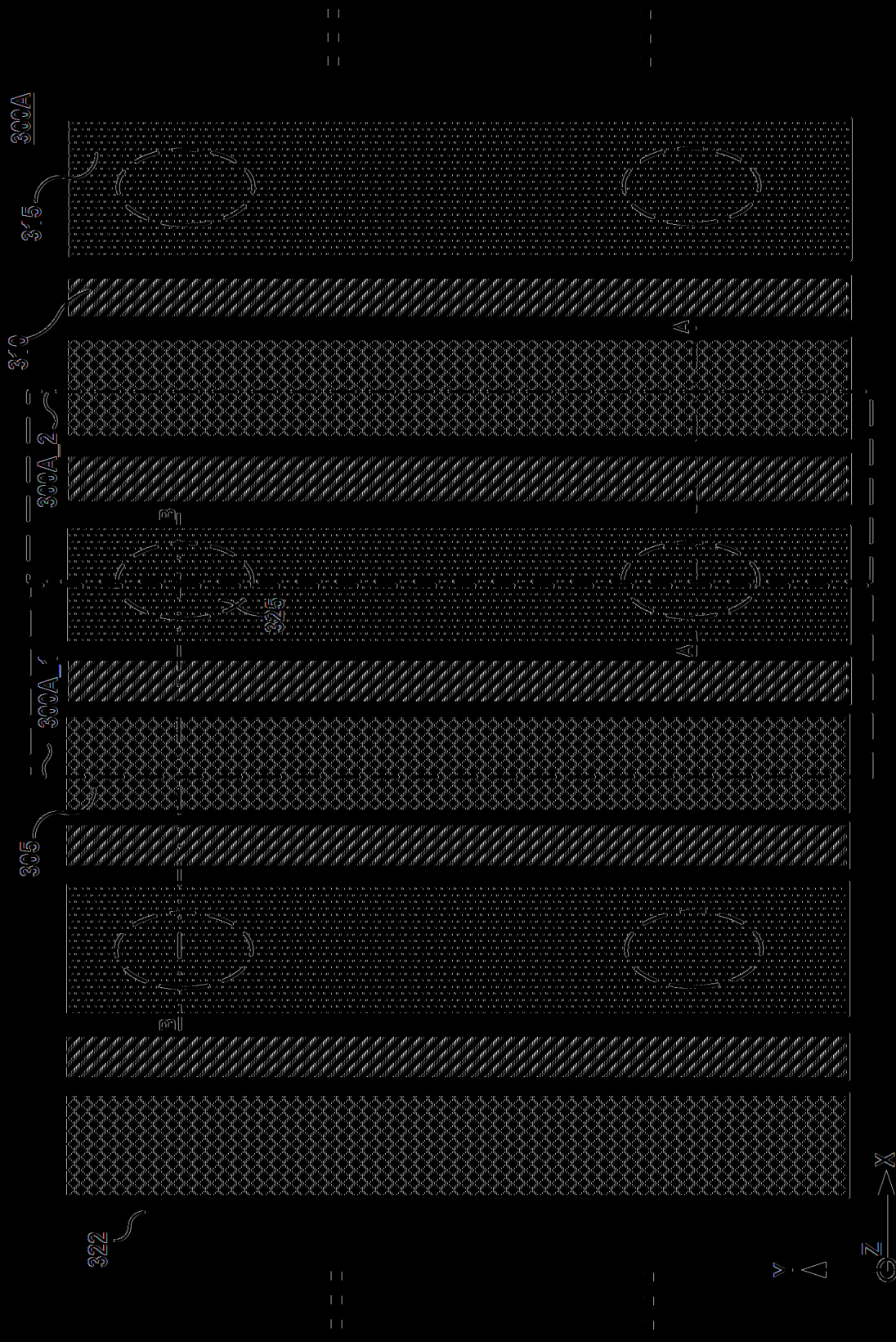
如請求項27之方法，其中在該第二封裝層上執行該硬化製程係在小於或等於275°C之一溫度下執行。

【請求項38】

如請求項27之方法，其中在該第一封裝層上形成該第二封裝層係藉由包括一旋塗製程、一噴塗製程、一氣相沉積製程、一電鍍製程、一刀片塗層製程及/或一槽模沉積製程之操作來執行。

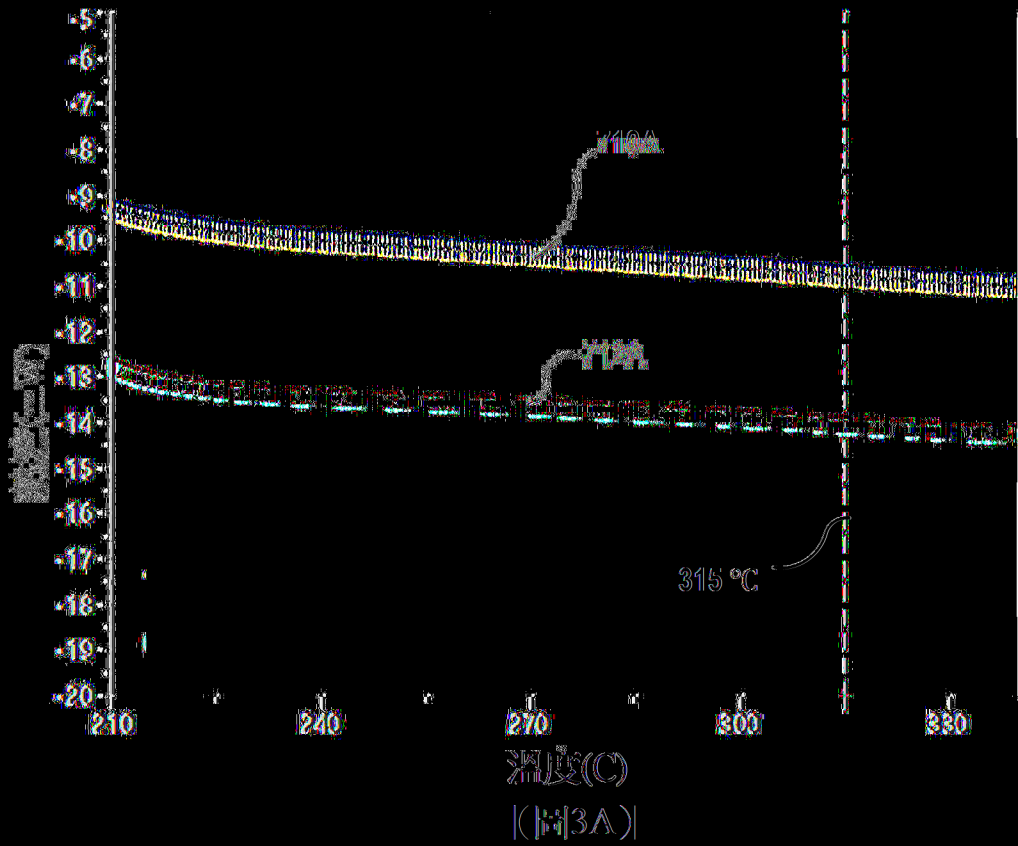
(發明圖式)



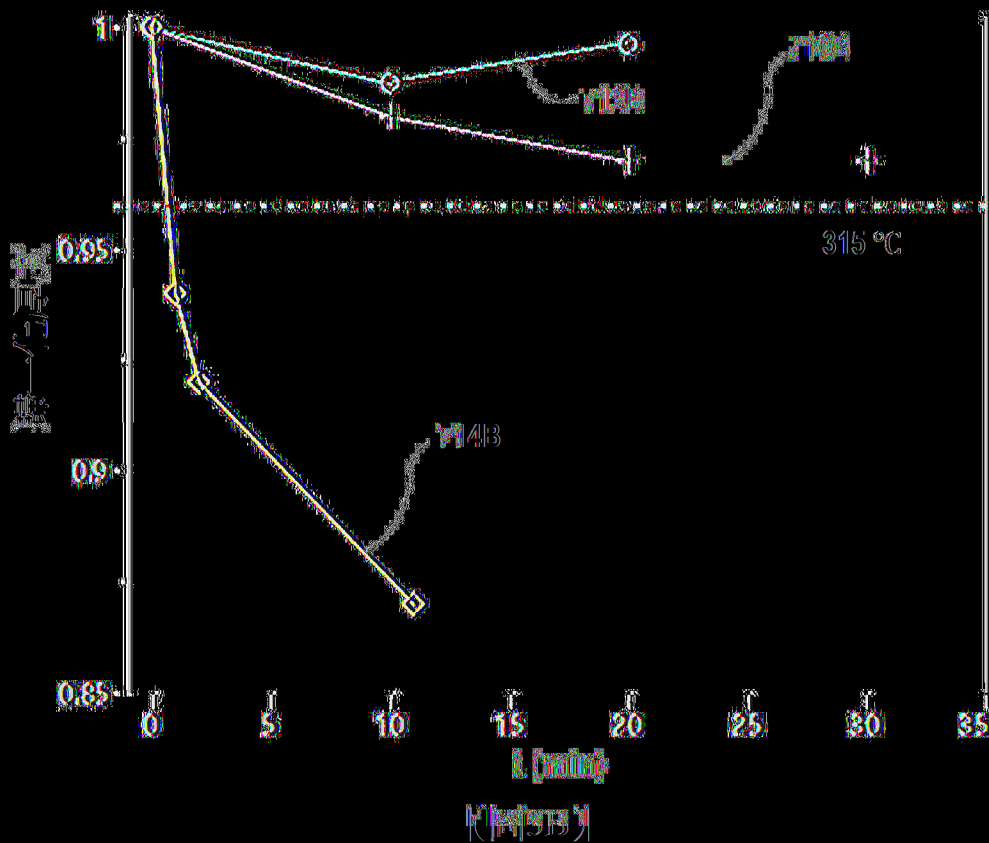


[圖2A]

差示掃描量熱法



熱重分析



應力誘導水分吸收

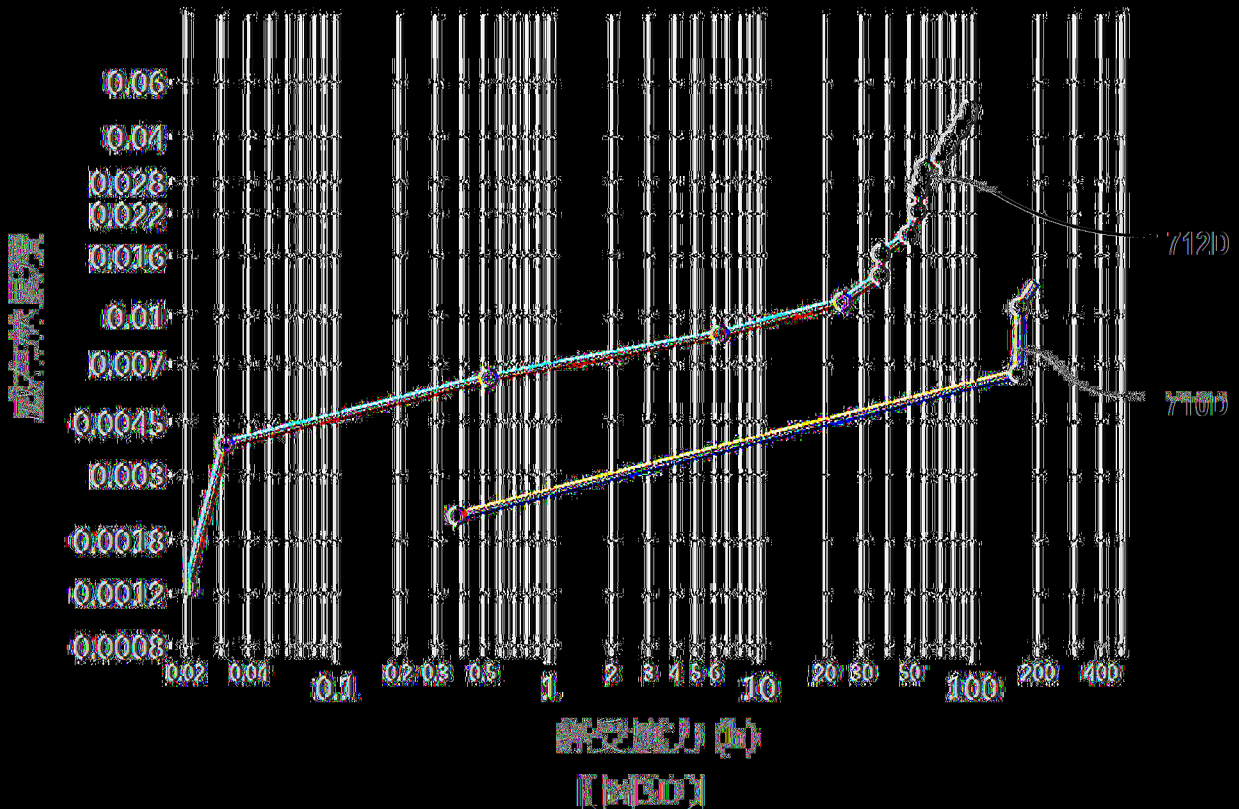
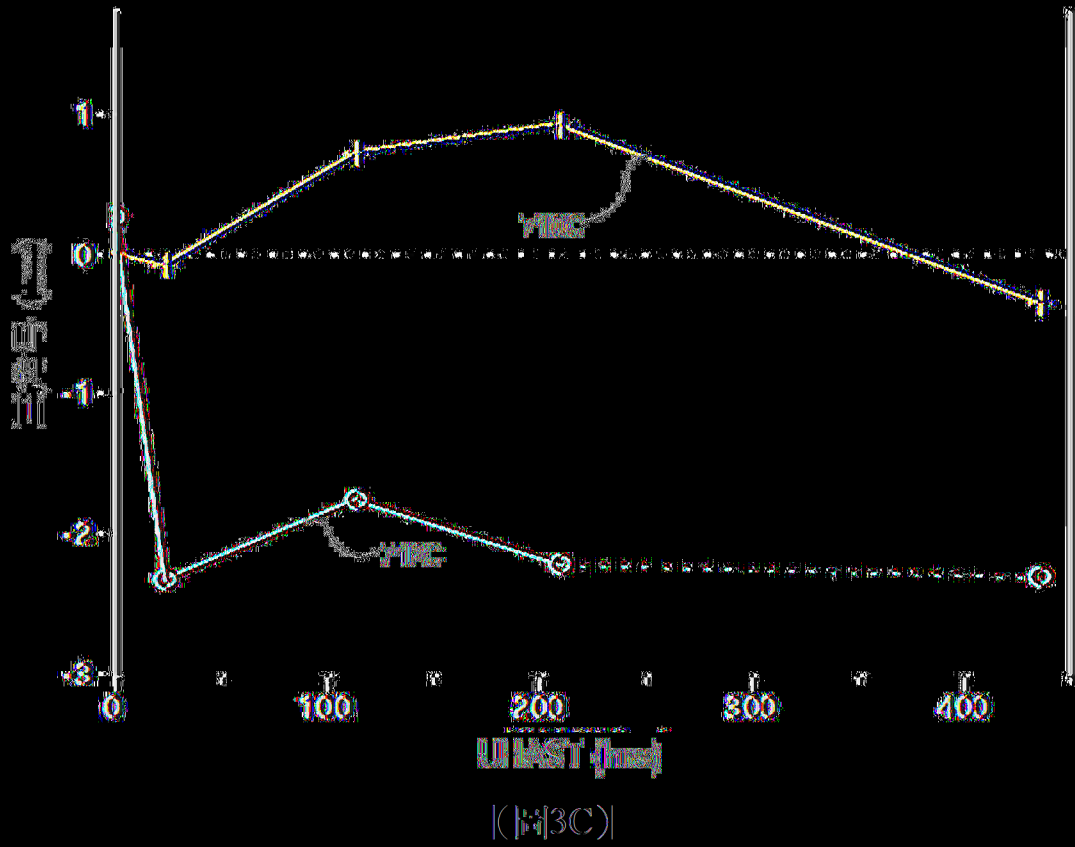




圖 22

Z Δ

[圖 23A]

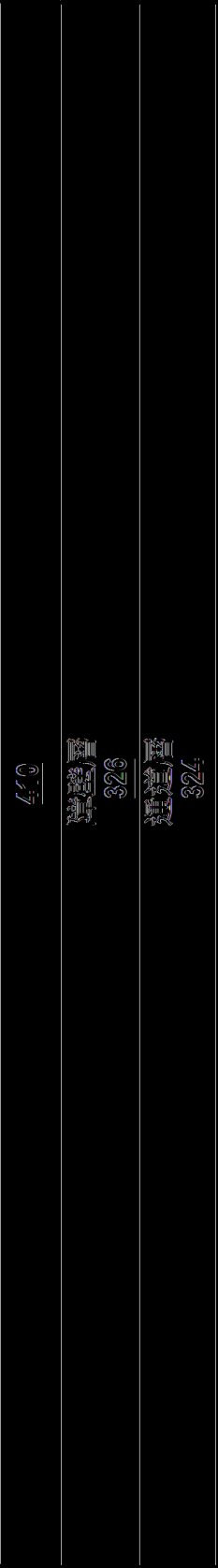


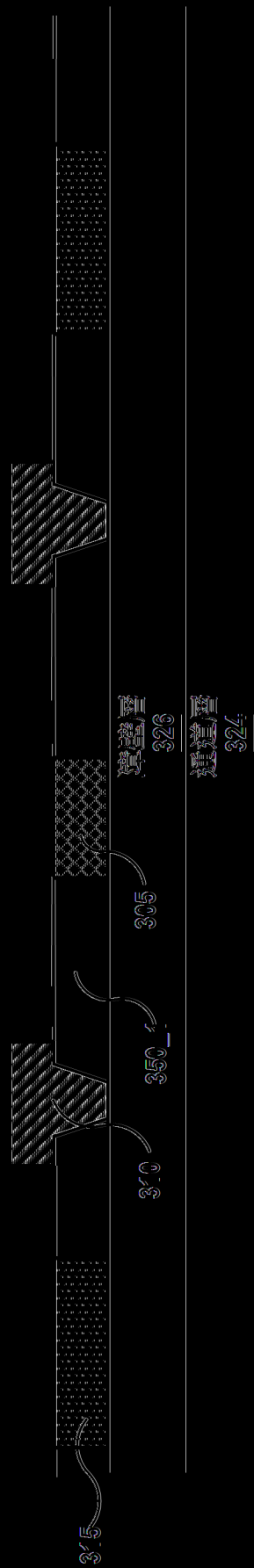
圖 23B

圖 23

Z Δ

[圖 23]



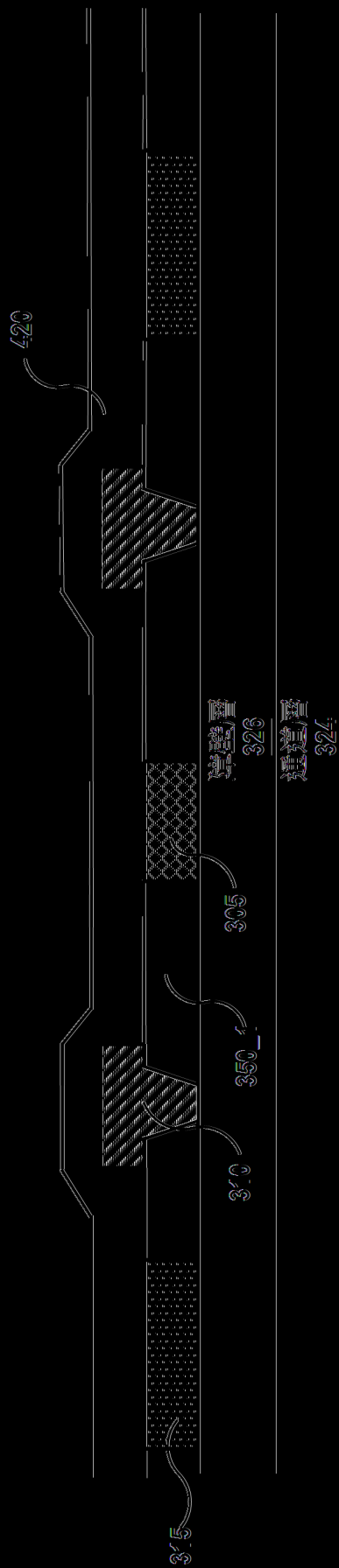


【圖3】

Z
△

X
→
○
V

【圖4】



【圖4】

Z
△

X
→
○
V

【圖5】

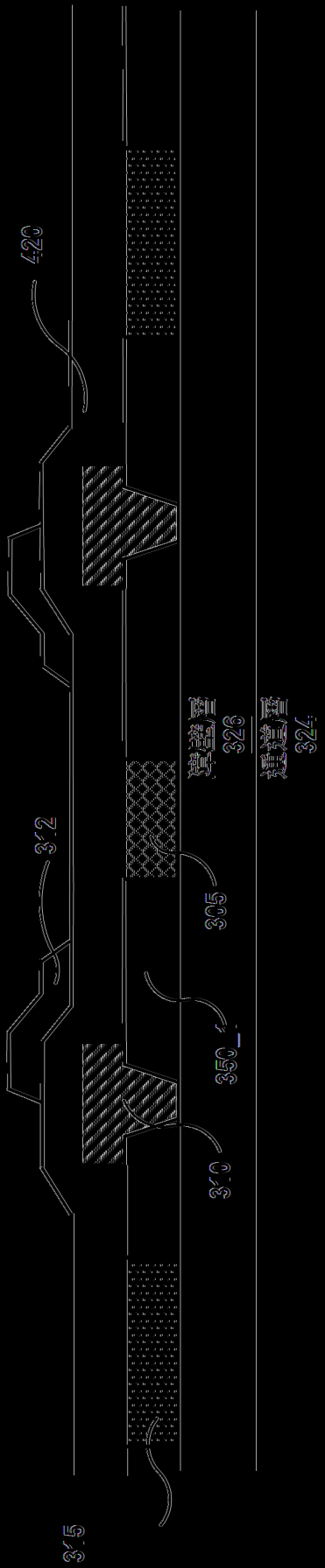


圖3

Z
△

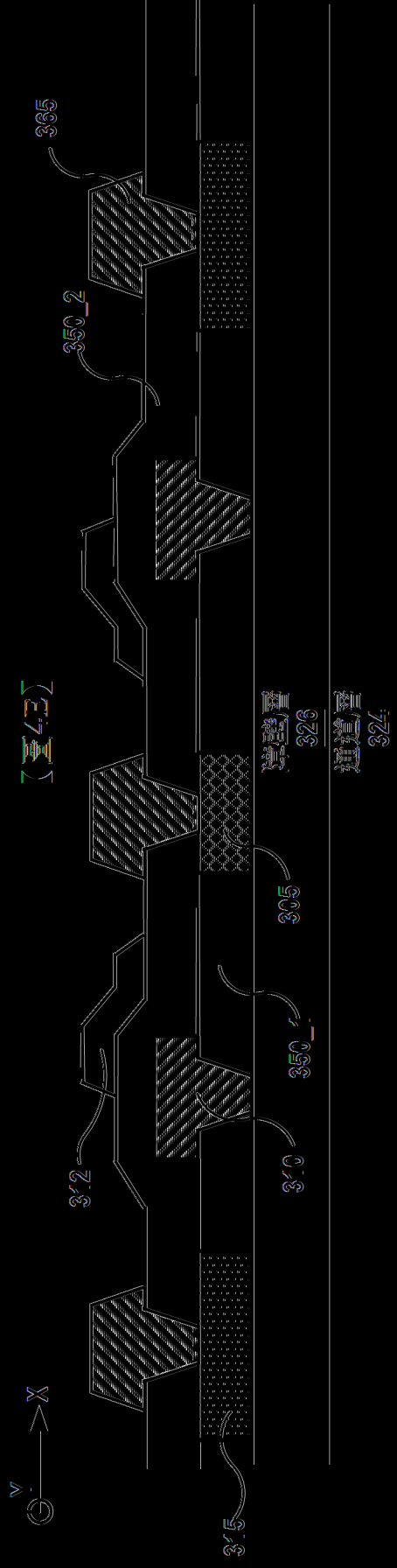


圖4

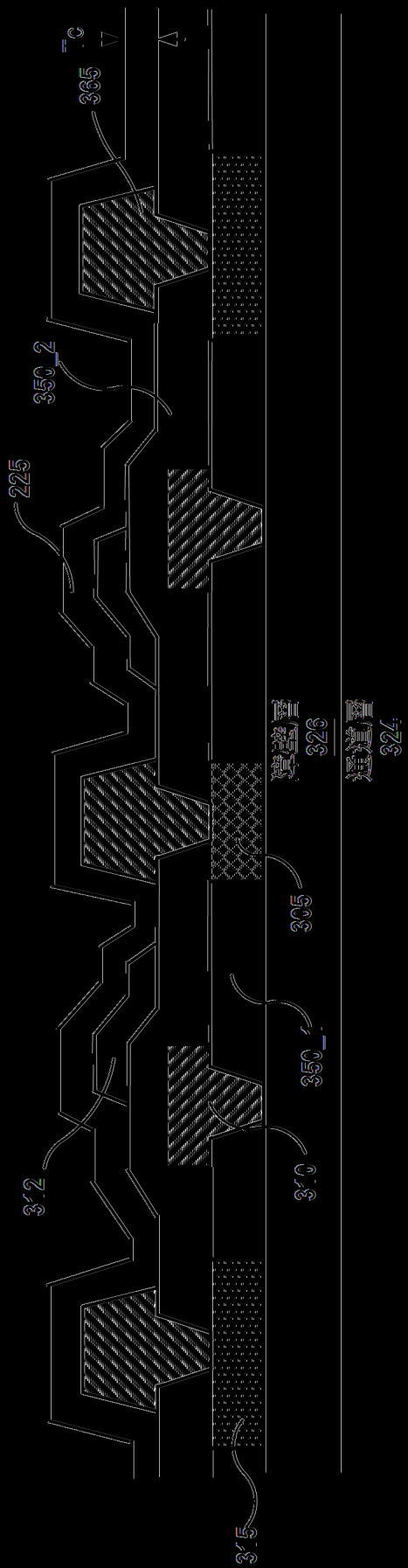
Z
△

圖5

Z
△

圖6

Z
△



Z
 Δ



[圖 4C]

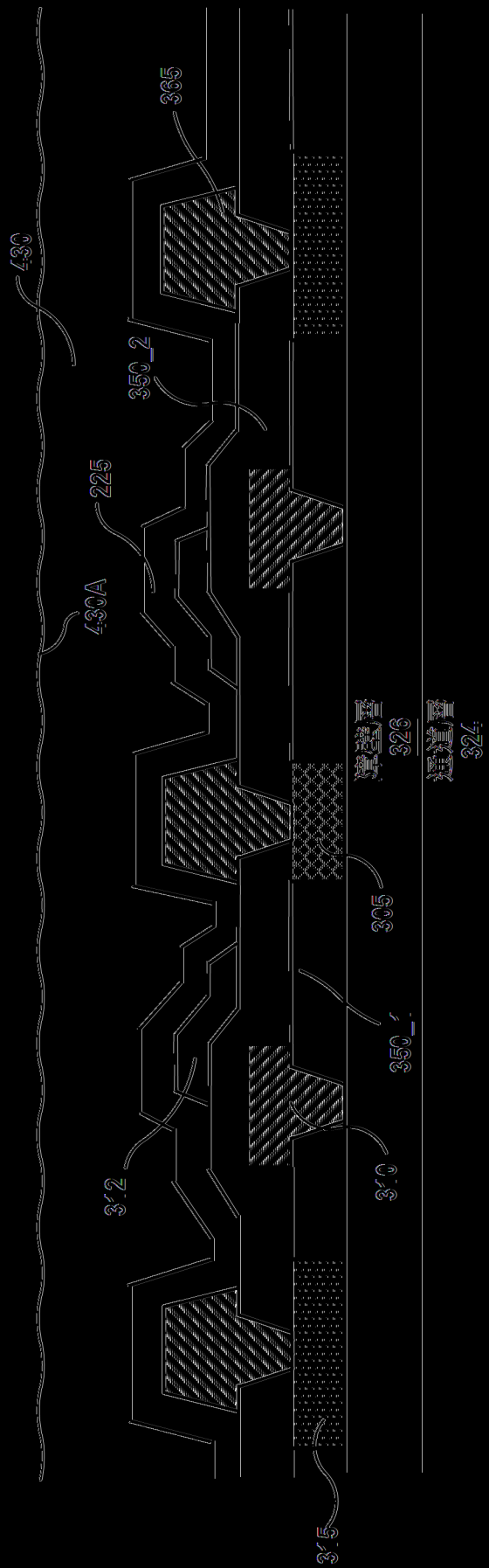
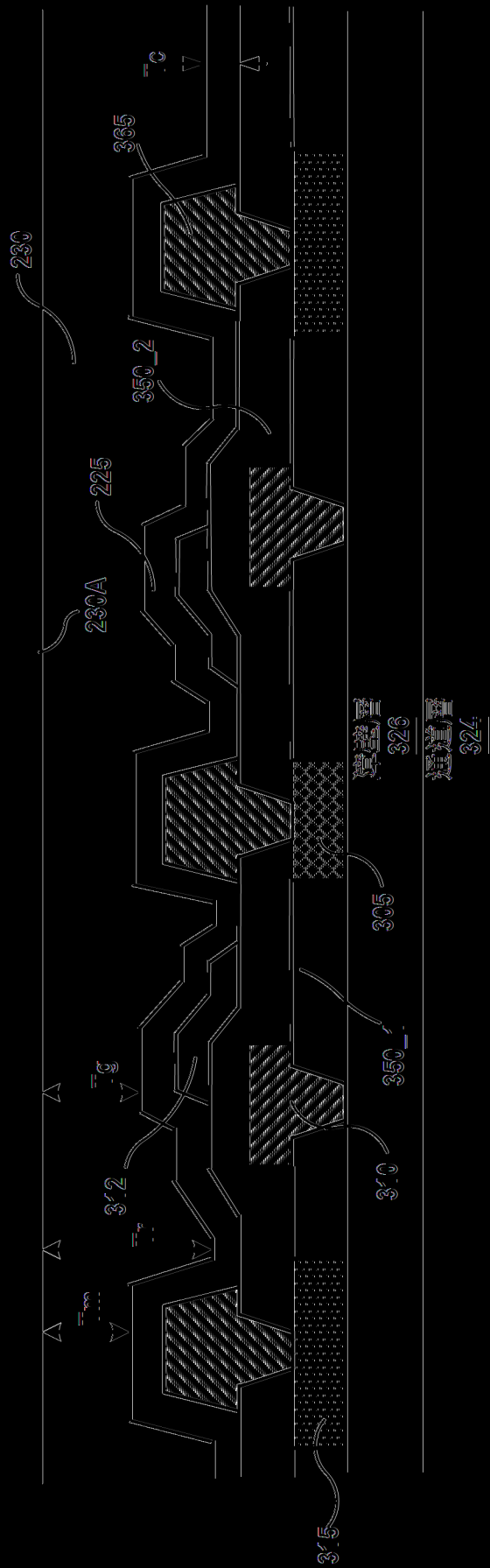


圖 22

Z
Δ



圖 23

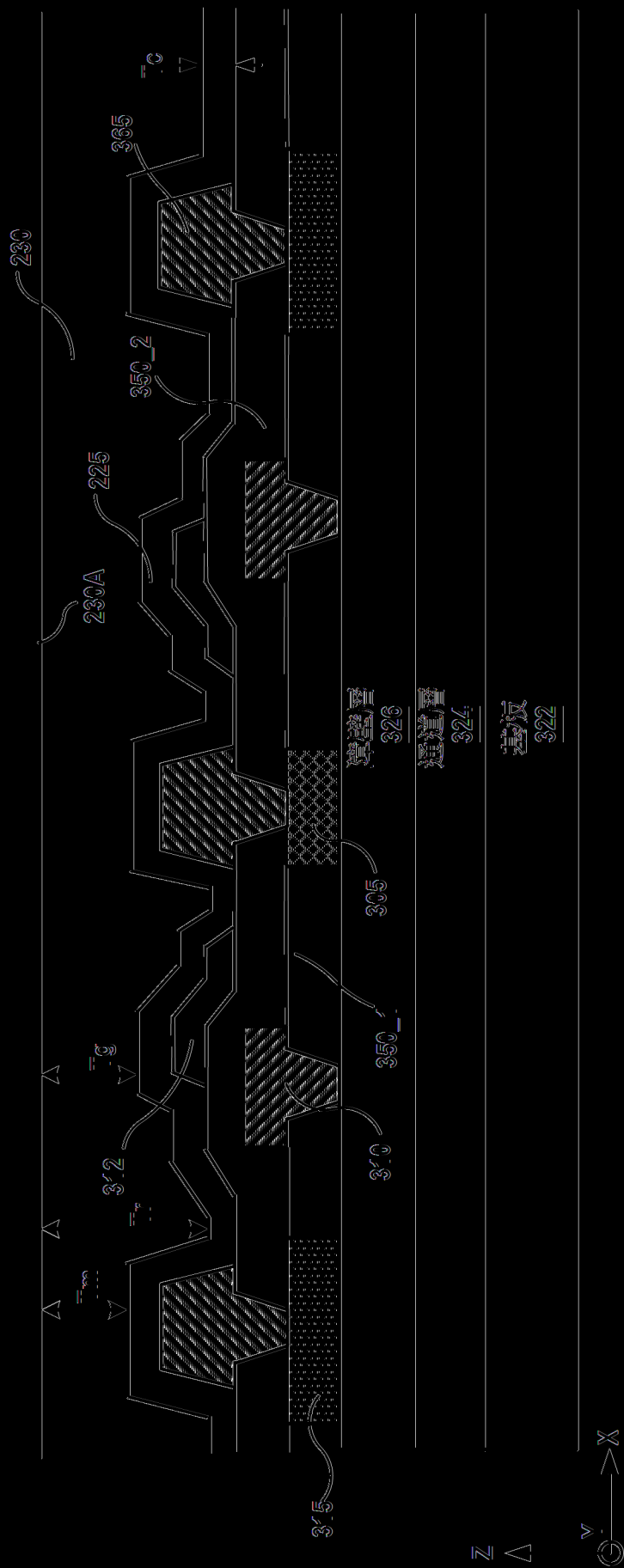


326

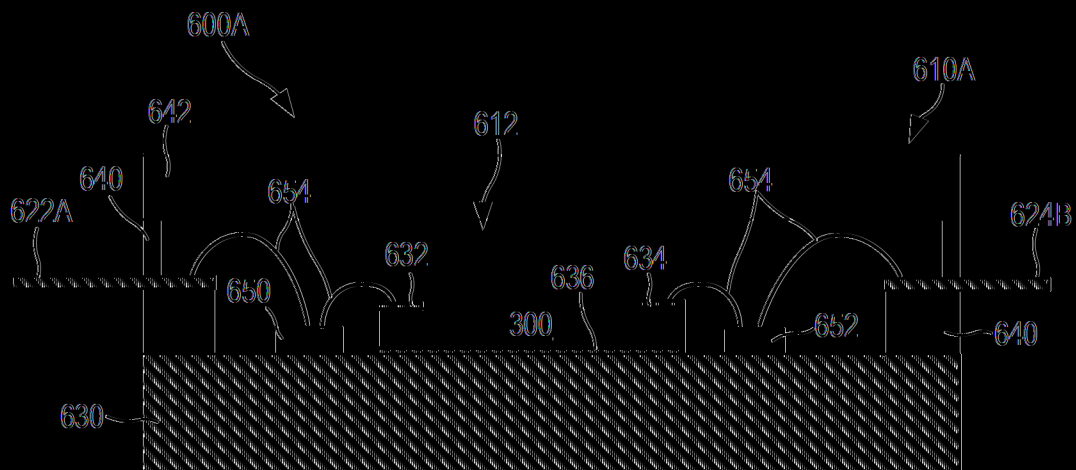
327

322

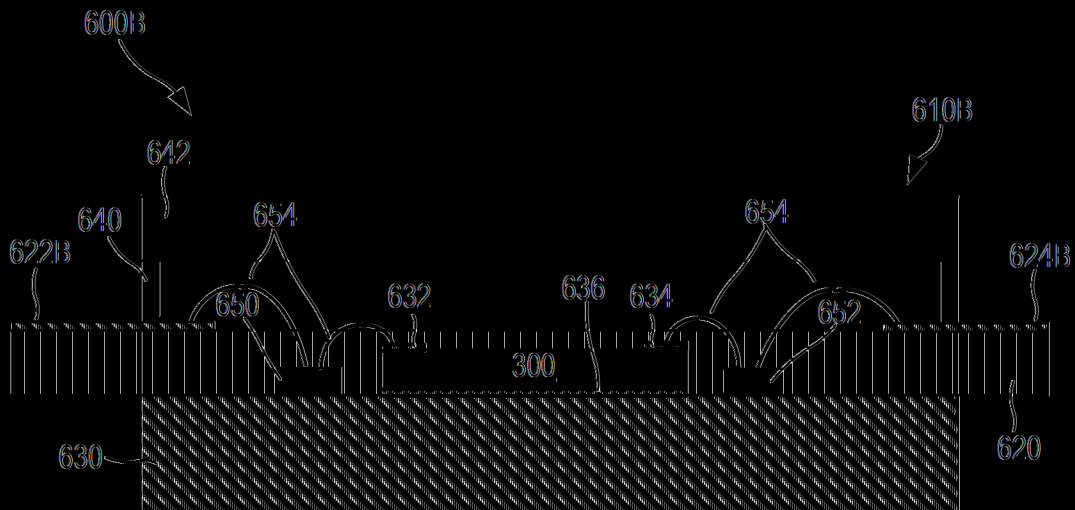
(圖4)



(圖 13)



|(6A)|



|(6B)|

