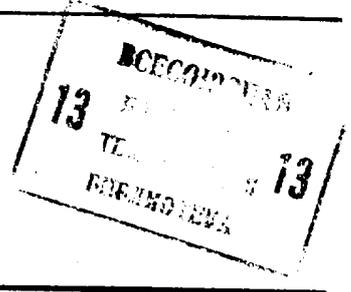




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

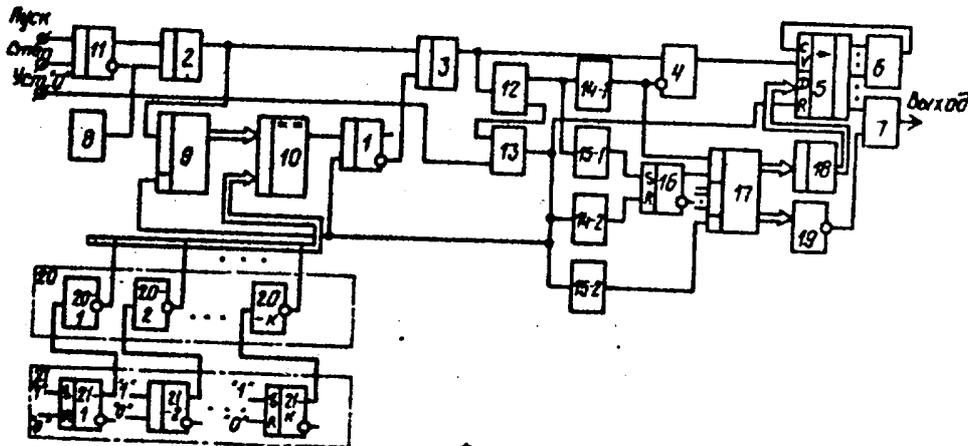
ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4160637/24-09
(22) 19.11.86
(46) 30.04.88. Бюл. № 16
(72) С.А.Есельсон
(53) 621.394.61(088.8)
(56) Авторское свидетельство СССР № 1177940, кл. Н 04 L 25/08, 1984.
(54) УСТРОЙСТВО ДЛЯ ПЕРЕДАЧИ ИНФОРМАЦИИ ПСЕВДОСЛУЧАЙНЫМИ СИГНАЛАМИ
(57) Изобретение относится к радиотехнике. Цель изобретения - повышение быстродействия и надежности работы путем исключения нерабочих тактов из формируемой последовательности и сбойных ситуаций. Устр-во содержит RS-триггер (Т) 1, регистр (Р) 5 сдвига, сумматор 6 по модулю два, инвертор 7, генератор 8 тактовых импульсов, двоичный счетчик (ДС) 9, блок 10 сравнения кодов, блок 17 ввода шифра, шифратор 18, эл-т ИЛИ-НЕ 19, блок 20 инверторов, блок 21 Т. Введены ключи 2 и 3, эл-т 4 запрета, RS-Т 11 и 16, блок 12 выделения 1-го и последнего импульсов серии, эл-т

ИЛИ 13, два формирователя коротких импульсов (ФКИ) 14 фронта, два ФКИ 15 среза. Повышение быстродействия имеет место вследствие того, что все цифровые эл-ты устр-ва, в частности ДС 9, обнуляются последним импульсом (фронтом) сформированной последовательности тактовых импульсов, не дожидаясь переполнения ДС 9, а также потому, что исключается дополнительное время на запись сигнала сообщений в блок 17, т.к. это время выделяется между срезом 1-го и фронтом последнего импульсов тактовой серии. Сбойные ситуации исключаются за счет запрета подачи тактового импульса на Р 5 во время записи в него сигнала сообщения и за счет исключения записи в блок 17 в моменты времени, когда на него подаются сигналы "Считывание" и "Сброс". При подаче "1" на вход "Стоп" устр-ва, RS-Т 11 переходит в состояние "0", ключ 2 закрывается, прекращая прохождение тактовых импульсов с генератора 8. 3 ил.

(19) SU (11) 1392625 A1



Фиг. 1

Изобретение относится к радиотехнике и может быть использовано при передаче потоков информации, характеризующихся определенной статической избыточностью.

Цель изобретения - повышение быстродействия и надежности работы путем исключения нерабочих тактов из формируемой последовательности и сбойных ситуаций.

На фиг.1 представлена структурная электрическая схема устройства для передачи информации псевдослучайными сигналами; на фиг.2 - структурная электрическая схема блока ввода шифра; на фиг.3 - структурная электрическая схема инвертора.

Устройство содержит первый RS-триггер 1, первый 2 и второй 3 ключи, элемент ЗАПРЕТ 4, регистр 5 сдвига, сумматор 6 по модулю два, инвертор 7, генератор 8 тактовых импульсов, двоичный счетчик 9, блок 10 сравнения кодов, второй RS-триггер 11, блок 12 выделения первого и последнего импульсов серии, элемент ИЛИ 13, первый 14-1 и второй 14-2 формирователи коротких импульсов фронта, первый 15-1 и второй 15-2 формирователи коротких импульсов среза, третий RS-триггер 16, блок 17 ввода шифра, шифратор 18, элемент ИЛИ-НЕ 19, блок 20 инверторов, инверторы 20-1, 20-2, ..., 20-к, блок 21 триггеров, триггеры 21-1, 21-2, ..., 21-к. При этом блок 17 ввода шифра содержит в каждом канале RS-триггер 22, первый элемент ИЛИ 23, первый элемент И 24, второй элемент ИЛИ 25, второй элемент И 26, третий элемент И 27, четвертый элемент И 28, повторитель 29 напряжения. Инвертор 7 содержит элемент ЗАПРЕТ 30, элемент ИЛИ 31, ключ 32, инвертор 33.

Устройство для передачи информации псевдослучайными сигналами работает следующим образом.

В зависимости от нужной длины отрезка псевдослучайной последовательности (ПСП) в блоке 21 триггеров установка длины отсечки ПСП записывается в двоичном коде число элементарных сигналов (разрядов). Информация из блока 21 поступает параллельным кодом в блок 20, где она инвертируется, и далее подается на входы блока 10. Перед началом работы цифровые элементы устройства обнуляются по-

дачей сигнала "1" на вход "Установка нуля". Пуск устройства осуществляется подачей сигнала "1" на S-вход второго RS-триггера 11, на выходе которого формируется напряжение, открывающее первый ключ 2, на выходе которого появляются тактовые импульсы, генерируемые генератором 8, которые поступают на вход первого ключа 2, с выхода которого, если устройство включено в режим "Пуск", подается на вход второго ключа 3 и через него - на вход двоичного счетчика 9. Последний подсчитывает количество тактовых импульсов и выдает информацию в параллельном коде на блок 10. При совпадении двоичных кодов, поданных на входы блока 10, он выдает сигнал "1" на первый RS-триггер 1, который переходит из состояния "0" в состояние "1". До тех пор, пока первый RS-триггер 1 находится в состоянии "0", т.е. до прихода сигнала "1" на его вход, с инверсного выхода первого RS-триггера 1 сигнал "1" поступает на управляющий вход второго ключа 3, разрешая прохождение через него тактовых импульсов. При поступлении на S-вход первого RS-триггера 1 сигнала "1" с выхода блока 10 он выдает по инверсному выходу сигнал "0", запрещающий прохождение через второй ключ 3 тактовых импульсов с генератора 8, прошедших через открытый первый ключ 2. С выхода второго ключа 3 сформированная последовательность (серия) тактовых импульсов поступает на входы элементы ЗАПРЕТ 4 и блока 12 для выделения первого и последнего импульсов в серии. Выделенный первый импульс серии передним фронтом через первый формирователь коротких импульсов фронта 14-1 запускает в режим "Считывание" блок 17 и одновременно на время, необходимое для считывания информации и ввода ее в параллельном коде через шифратор 18 в регистр 5, переводит элемент ЗАПРЕТ 4 в запертое состояние, чем предотвращается прохождение тактового импульса на тактовый (сдвигающий) вход регистра 5 и исключается возможность сбойной ситуации. После окончания записи информации запрет снимается и регистр 5 переходит в режим сдвига записанного содержимого. Выделенный на втором входе блока 12 последний импульс через элемент

ИЛИ 13, на второй вход которого (перед началом работы) подается сигнал "1" с входа "Установка нуля" устройства, поступает на R-вход двоичного счетчика 9 и обнуляет его, на R-вход первого RS-триггера 1 и переводит его в положение "0", подготавливая к очередному рабочему циклу, и на R-вход регистра 5, прекращая его работу по формированию, совместно с сумматором 6, включенным в цепь обратной связи, псевдослучайной последовательности. На S- и R-входы третьего RS-триггера 16 поступают короткие положительные импульсы соответственно с первого формирователя 15-1 коротких импульсов среза и второго формирователя 14-2 коротких импульсов фронта, поэтому на прямом выходе третьего RS-триггера 16 образуется положительный импульс напряжения, длительность которого равна времени между срезом первого и фронтом последнего импульсов последовательности. Этим импульсом блок 17 переводится (по синхронизирующему входу) в режим приема информации очередного сообщения, т.е. для приема информации дополнительного времени не требуется. В блоке 17 повторители 29 напряжения обеспечивают развязку между цепью, по которой на R-входы триггеров 22 поступает сигнал "Сброс", и входами ввода информации на R-входы этих триггеров.

Исходя из необходимости передачи того или иного сообщения в блоке 17 на один из триггеров 22 подается сигнал. Если сигнал подан в промежуток времени, когда блок 17 открыт, по синхронизирующему входу, соответствующий триггер 22 принимает и запоминает полученную информацию. Каждый триггер 22 обеспечивает задание двух сообщений: соответственно при подаче сигнала на S-вход (установки в "1") и на R-вход (установки в "0"). Если сигнал поступает на S-вход, то блок 17 по сигналу "Считывание" выдает сигнал "1" на один из входов шифратора 18, с выхода которого в регистр 5 в параллельном коде поступают первые разряды отрезка ПСП.

Таким образом, шифратор 18 задает начальные условия для работы регистра 5. Одновременно блок 17 выдает сигнал "1" на один из входов элемента ИЛИ-НЕ 19, который подает сигнал

"0" на вход инвертора 7 и включает его.

Если сигнал поступает на R-вход, то блок 17 по сигналу "Считывание", выдает на один из входов шифратора 18 сигнал "1", а на один из входов элемента ИЛИ-НЕ 19 - сигнал "0". С выхода элемента ИЛИ-НЕ 19 на управляющий вход инвертора 7 поступает сигнал "1", выключающий инвертор 7. Регистр 5 осуществляет сдвиг записанной в нем последовательности в моменты времени, определяемые поступлением на его первый вход тактовых импульсов с выхода второго ключа 3 через открытый элемент ЗАПРЕТ 4. В сумматоре 6 происходит сложение по модулю два соответствующих разрядов, например третьего и пятого разрядов регистра 5. С выхода сумматора 6 информация записывается в первый разряд регистра 5. С выхода регистра 5 элементарные сигналы поступают на информационный вход инвертора 7.

Если на управляющий вход инвертора 7 подан с выхода элемента ИЛИ-НЕ 19 сигнал "1", то последовательность формируется без инверсии. Если же на его вход подан сигнал "0", то происходит инверсия элементарных сигналов ПСП. С выхода инвертора 7 в линию связи или на вход радиопередающего устройства поступает соответственно прямая или инверсная последовательность.

Инвертор 7 работает следующим образом.

Если на информационный вход поступает сформированная ПСП, а на управляющий вход - сигнал "1", элемент ЗАПРЕТ 30 заперт и инвертированная инвертором 33 ПСП на первый вход элемента ИЛИ 31 и на выход инвертора 7 не поступает. Ключ 32 при этом открыт и неинвертируемая ПСП через элемент ИЛИ 31 поступает на выход инвертора 7.

Если же на управляющий вход подан сигнал "0", ключ 32 заперт и неинвертируемая ПСП не поступает на выход, а элемент ЗАПРЕТ 30 открыт и инвертируемая инвертором 33 ПСП через элемент ИЛИ 31 проходит на выход инвертора 7.

При этом повышение быстродействия имеет место вследствие того, что все цифровые элементы устройства, в частности двоичный счетчик 9, обнуля-

ются последним импульсом (фронтом) сформированной последовательности тактовых импульсов, не дожидаясь выполнения двоичного счетчика 9, а также потому, что исключается дополнительное время на запись сигнала сообщения в блок 17, так как это время выделяется между срезом первого и фронтом последнего импульсов тактовой серии, т.е. практически в течение всего времени формирования ПСП и выдачи ее в линию связи. Сбойные ситуации исключаются за счет запрета подачи тактового импульса на вход регистра 5 во время записи в него сигнала сообщения и за счет исключения записи сигнала сообщения в блок 17 в моменты времени, когда на него подаются сигналы "Считывание" и "Сброс".

При подаче сигнала "1" на вход "Стоп" устройства второй RS-триггер 11 переходит в состояние "0", первый ключ 2 закрывается, прекращая прохождение тактовых импульсов с выхода генератора 8.

Ф о р м у л а и з о б р е т е н и я

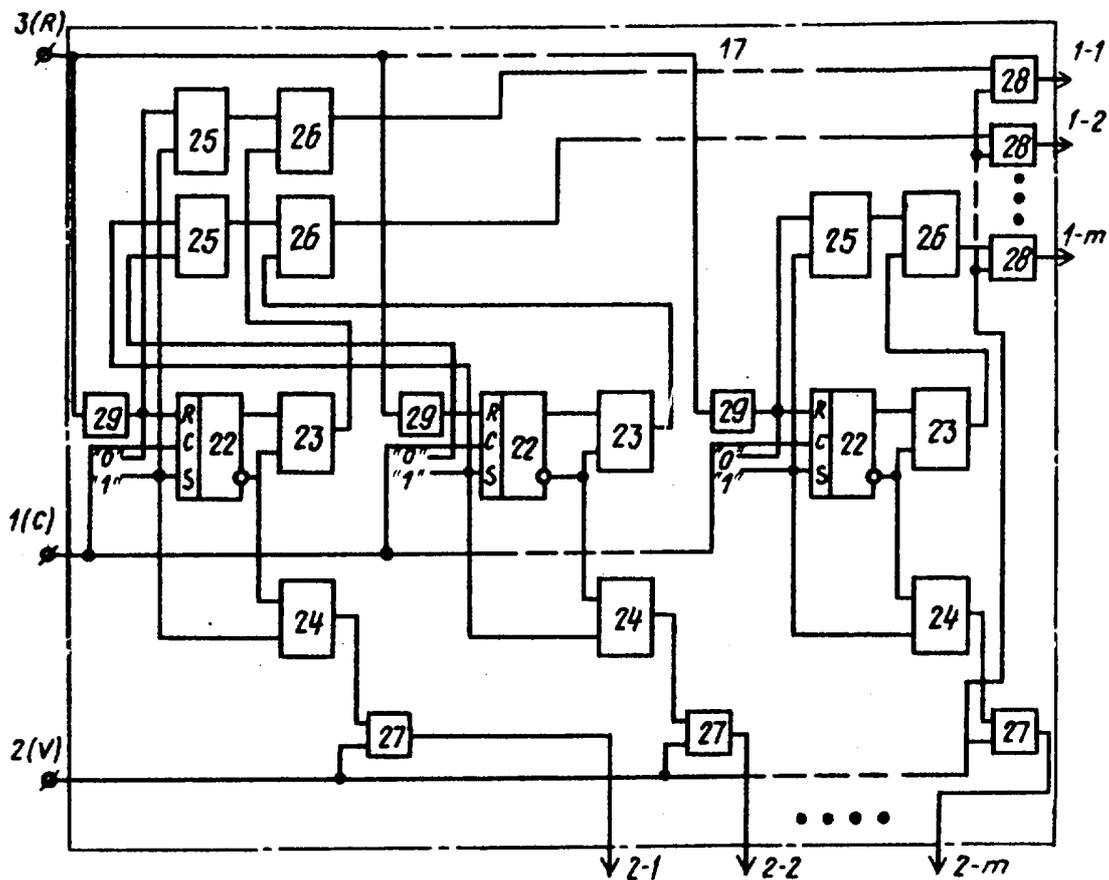
1. Устройство для передачи информации псевдослучайными сигналами, содержащее генератор тактовых импульсов, последовательно соединенные двоичный счетчик, блок сравнения кодов и первый RS-триггер, блок инверторов и блок триггеров, выходы которого подключены к соответствующим входам блока инверторов, выходы которого соединены с соответствующими вторыми входами блока сравнения кодов, последовательно соединенные блок ввода шифра, шифратор, регистр сдвига и сумматор по модулю два, второй вход и выход которого подключены соответственно к второму выходу и информационному входу регистра сдвига, элемент ИЛИ-НЕ, входы которого подключены к вторым выходам блока ввода шифра, инвертор, управляющий вход которого подключен к выходу элемента ИЛИ-НЕ, а выход является выходом устройства, отличающееся тем, что, с целью повышения быстродействия и надежности работы путем исключения нерабочих тактов из формируемой последовательности и сбойных ситуаций, введены последовательно соединенные второй RS-триггер, S- и

R-входы которого являются входами "Пуск" и "Стоп" устройства соответственно, первый ключ, информационный вход и выход которого подключены к выходу генератора тактовых импульсов и счетному входу двоичного счетчика соответственно, второй ключ, управляющий вход которого подключен к инверсному выходу первого RS-триггера, и элемент ЗАПРЕТ, выход которого соединен с тактовым входом регистра сдвига, инверсный вход элемента ЗАПРЕТ соединен с входом "Считывание" блока ввода шифра, элемент ИЛИ, первый вход которого является входом "Установка нуля" устройства, а выход подключен к объединенным R-входам регистра сдвига, первого RS-триггера и двоичного счетчика, последовательно соединенные блок выделения первого и последнего импульсов серии, вход которого подключен к выходу второго ключа, а с выхода указанного блока последний импульс серии поступает на второй вход элемента ИЛИ, и первый формирователь коротких импульсов фронта, выход которого подключен к инверсному входу элемента ЗАПРЕТ, первый формирователь коротких импульсов среза, вход которого объединен с входом первого формирователя коротких импульсов фронта, второй формирователь коротких импульсов фронта и второй формирователь коротких импульсов среза, входы которых объединены и подключены к выходу элемента ИЛИ, третий RS-триггер, S- и R-входы которого соединены соответственно с выходами первого формирователя коротких импульсов среза и второго формирователя коротких импульсов фронта, при этом прямой выход третьего RS-триггера подключен к входу синхронизации блока ввода шифра, вход "Сброс" которого соединен с выходом второго формирователя коротких импульсов среза, при этом выход старшего разряда регистра сдвига соединен с информационным входом инвертора.

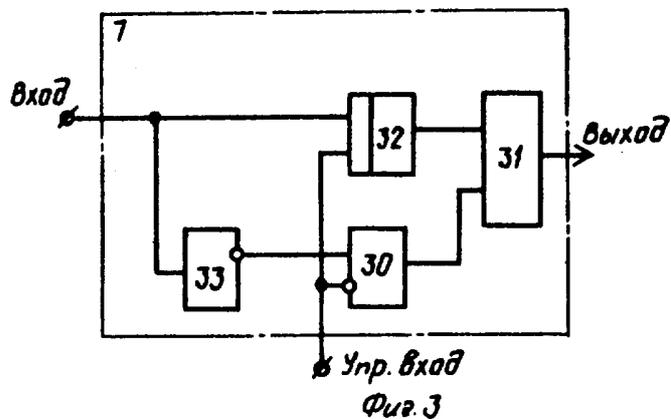
2. Устройство по п.1, отличающееся тем, что блок ввода шифра содержит в каждом из m каналов последовательно соединенные повторитель напряжения, RS-триггер, прямой выход которого соединен с первым входом первого элемента ИЛИ, второй вход которого подключен к инверсно-

му выходу RS-триггера и к первому входу первого элемента И, второй вход которого соединен с первым входом второго элемента ИЛИ и с S-входом RS-триггера, R-вход которого соединен с вторым входом второго элемента ИЛИ, выход которого подключен к первому входу второго элемента И, второй вход которого подключен к выходу первого элемента ИЛИ, третий и четвертый элементы И, выход первого элемента И подключен к первому входу третьего элемента И, а выход второго

элемента И подключен к первому входу четвертого элемента И, при этом тактовые входы RS-триггеров всех каналов объединены и являются входом синхронизации блока ввода шифра, входом "Считывание" которого являются объединенные вторые входы третьих и четвертых элементов И всех каналов, выходы которых являются соответственно вторыми и первыми выходами блока ввода шифра, входом "Сброс" которого являются объединенные входы повторителей напряжения всех каналов.



Фиг. 2



Редактор Н. Слободяник

Составитель Н. Лебедевская
Техред М. Дидык

Корректор Г. Решетник

Заказ 1890/56

Тираж 660

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4