

公告本

申請日期	88 年 5 月 13 日
案 號	88107799
類 別	G11C 16/4

A4
C4

425559

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	用於浮動閘極記憶裝置之調整負電壓供應電路
	英 文	Regulated negative voltage supply circuit for floating gate memory devices
二、發明 創作人	姓 名	(1) 洪俊雄 Hung, Chun-Hsiung (2) 劉音尚 Liu, Yin-Shang (3) 楊皓雄 Yang, Hao-Hsiung
	國 籍	(1) 中華民國 (2) 中華民國 (3) 中華民國
住、居所	住、居所	(1) 中華民國新竹市大學路八十一巷三弄五號四樓 4F, #5, Alley 3, Lane 81, University Road, Hsinchu, Taiwan, R.O.C (2) 中華民國南投縣草屯鎮育英街一一三巷五弄十號 10, Alley 5, Lane 113, Yuh-Ing Street, Tsao-Twen, Taiwan, 542, R.O.C. (3) 中華民國台北縣新店市中興路三段二二一之一號二十二樓 Fl. 22, #221-1, Chung-Shing Road, Sec. 3, Shing-Tien, Taipei, Taiwan, 231, R.O.C.
	代 表 人 姓 名	(1) 旺宏電子股份有限公司 Macronix International Co., Ltd.
三、申請人	國 籍	(1) 中華民國
	住、居所 (事務所)	(1) 中華民國新竹科學工業園區研新三路三號 No.3, Creation Road 3rd, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.

裝

訂

線

425559

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
 美國 1998年10月23日 09/177,937 有主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明領域

本發明係關於一種浮動閘極記憶裝置，且更特別的，係關於一種電路，其可產生一負電壓以應用至一控制閘，或在記憶胞上之其它端，以使跨過記憶胞之電場大小受控制以感應 F N (Fowler-Nordheim) 隧道效應。

相關技藝之說明

快閃記憶裝置乃根據浮動閘記憶胞陣列，其在某些例中藉由偏壓記憶胞以感應熱電子注入浮動閘極中以增加記憶胞之臨界值。再者，在許多例中，胞乃藉由偏壓胞以感應電子之 F N (Fowler-Nordheim) 隧道效應離開浮動閘以建立一低臨界狀態而抹除。換言之，F N 隧道效應同時使用於程式和抹除操作。

感應 F N 隧道效應以用於抹除操作之一般方法為源極側抹除。依照此方法，將負電壓應用至在欲抹除之陣列中之胞之字線，而將正電壓或地應用至源極。此種偏壓在浮動閘極和源極間建立一電場以感應 F N 隧道效應。當閘極接收一負電壓和源極接收一正電壓或地時，基底接地且汲極典型的浮動。如美國專利第 5,077,691 號案，由 Haddad 等人於 1991, 12, 31 公告。在使用一些胞型式之電路中，負電壓應用至汲極，源極或通道之一以感應電荷在相反方向流動。

為了支持源極側抹除操作或其它負電壓功能，積體電路包括一負電壓充電泵或在積體電路上之其它負電壓源。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明 (2)

如美國專利第 5,077,691 號案,第二欄,第 30 至 68 行所述,當抹除時,應用在胞之源極上之非常高的電壓會導致非常高的源極對基底電流,而使晶片上充電泵無法承受。當源極電壓較低時,例如在供應電位 V D D 甚或低於 V D D 時,必須增加負閘極偏壓以確保相同的垂直電場以產生 F N 隧道效應。再者,低源極電壓可協助消除在閘極介電上之電洞陷捕之發生。由較高源極電壓所引起之頻帶對頻帶隧道效應亦為另一不想要的效應。

但是,因為在供應電位 V D D 中之變異依照一般的工業標準為約 10%,製造方法變異,在胞上之電流負載變異,和溫度改變等,在抹除時應用通過快閃胞之電壓無法保持在許多狀況中以提供可預測之抹除速度。結果,電場以及提供電場跨過浮動閘極和源極之效果會改變,且用於胞之抹除時間亦會顯著的變化。已有一些方式以調整負電壓之產生。例如 V e n k a t e s h 等人,"具有深電源降之 55 ns, 0.35 微米,只有 5 V 之 16 M 快閃記憶體", ISSCC 96/Session 2/快閃記憶體 /Paper TP2.7,pp44-45,1996; 和 Atsumi 等人,"具有用於扇區抹除操作之自我資料更新架構之 16 M b 快閃 EEPROM", I E E E 固態電路期刊, Vol.29, No.4, 1994 年 4 月。

圖 1 為習知調整器,其中概略的顯示補償在供應電位 V D D 中之變異。此調整器和一負電壓充電泵 500 一起工作,該充電泵 500 應用一負電壓在線 501 上。一對齊納二極體 503 和 504 串聯連接至 p 通道電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

終

五、發明說明 (3)

505 之汲極。p 通道電晶體 505 之源極連接至供應電位 VDD。電晶體 505 之閘極由比較器 506 之輸出所驅動。至比較器之輸入包括一參考電壓 V_{REF} ，和在連接 p 通道電晶體 505 之汲極和齊納二極體 504 之陰極之節點上之電壓。

一般而言，圖 1 之電路補償經由電晶體 505 之供應電壓之變異。當供應電位較高時，在節點 501 上之負電壓傾向於更負值。如此使得在 p 通道電晶體 505 之汲極中之電壓亦更負值。因此，使得比較器之輸出更低以使節點經由 p 通道電晶體 505 受到向上拉向供應電位。以此方式，可補償負電壓以使具有較少的負輸出。和低供應電位相似的，在電晶體 505 之閘極上之電壓較高而使在汲極上之電壓變低。如此使在節點 501 上負電壓更負。

但是，所需的是提供一種在快閃記憶胞之抹除時間上之改進控制，而同時保持抹除操作之效率。

發明概要

本發明乃在提供一種調整充電泵，特別是在浮動閘極胞中感應 FN 隧道效應之負電壓充電泵之技術，因此，應用之偏壓，其補償供應電位 VDD 之變異，些微的反向決定於溫度，且反向決定於根據製造方法之記憶胞之其它特性或閘極耦合比例 (GCR)。

因此，本發明提供一種負電壓供應電路，用以供應負電壓至一浮動閘極胞之一控制閘，一源極，一通道，和一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

總

五、發明說明(4)

汲極之一，且該浮動閘極胞包括一電壓調整器以保持負電壓在一調整位準。該調整器包含依照裝置之製造方法和溫度而建立調整位準之一元件。在另一實施例中，該調整器包含回應供應電壓而建立調整位準之一電路。因此，當使用負電壓產生器在浮動閘極記憶裝置中時，依照製造方法和溫度而建立調整位準之元件包含依照如同在裝置上之陣列中之非依電記憶胞相同方法製造之浮動閘極電晶體。

依照本發明之另一觀點，該負電壓源包含第一充電泵，其產生一負電壓電源以使字線依照 F N 隧道效應而受到抹除。該電壓調整器包含第二負電壓充電泵和一箝夾電路，該箝夾電路包含一齊納二極體和在陣列中匹配欲抹除之記憶胞之一浮動閘極電晶體。齊納二極體和浮動閘極電晶體串聯連接至一參考端，該參考端乃由回應供應電位 V D D 之電壓源所提供。例如，參考電壓可為直接供應電位，或供應電位之分割電位，因此，在供應電位中之變異由箝夾電路之作用所補償。此外，一電容連接在調整器負充電泵之輸出和地間以提供穩定或平滑功能。一分壓器乃連接在負充電泵之輸出和源極從動電晶體之閘極間。源極從動電晶體之汲極耦合至供應以電源之較大充電泵。電晶體之源極耦合至在源極從動構造中之陣列之字線驅動器，因此，在電晶體之閘極上之電壓可調整應用至字線驅動器之電壓。

依照本發明之架構，包括齊納二極體和浮動閘極電晶體之箝夾路徑可抑制方法，供應電壓和溫度變異。對於一

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

給定溫度而言，理想齊納二極體崩潰電壓保持固定。因此，當供應電壓增加時，在浮動閘極電晶體之閘極上之參考電壓增加，而因較高之供應電壓，二極體之非理想電阻值和來自充電泵之增加電流之乘積之結果，其使得齊納二極體之一側之絕對值增加而另一側之絕對值降低。此效果亦有助於降低電壓調整器之輸出之絕對值。如果溫度增加時，在箝夾電路中用於浮動閘極電晶體之臨界值降低。如此導致調整器之輸出增加（較少負），而使在高溫時較少偏壓。相似的，當閘極耦合比例增加時，在浮動閘極電晶體和箝夾電路上之臨界值降低。如此亦會導致提供較少偏壓在陣列上之調整電壓之增加（較少負）。

依照本發明之另一觀點，一浮動閘極記憶裝置包括一提供供應電壓之電源供應端，在陣列中用以讀取，程式，和抹除記憶胞之電路，和藉由應用負電壓至陣列中之字線以抹除記憶胞之電路。用以抹除記憶胞之電路包括負電壓源和電壓調整器。如此使得抹除速度更均勻，且可更輕易的在積體電路上控制抹除處理。

本發明之其它觀點和優點可由下述之圖式，詳細說明以及申請專利範圍而得知。

圖式簡單說明

圖 1 為在習知技藝中用以調整負電壓充電泵之電路圖。

圖 2 為依照本發明之源極側 FN 隧道效應抹除操作之

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

簡化電路圖，其中一負電壓調整器包括一參考電壓以補償製造方法，溫度，和供應電壓變異。

圖3為圖2之負電壓調整器之較佳實施例之電路圖。

圖4為依照本發明之調整器中之箝夾電路之替代實施例。

圖5為依照本發明之調整器中之箝夾電路之另一替代實施例。

圖6為實施本發明之調整負電壓產生器之積體電路記憶體之簡化電路。

主要元件對照表

- 500：負壓充電泵
- 501：節點
- 503，504：基納二極體
- 505：p通道電晶體
- 506：比較器
- 10：快閃記憶浮動閘胞
- 11，12，13：線
- 14：浮動閘
- 15：線
- 20：充電泵
- 21：負壓調整器
- 22：參考胞
- 23：線

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

- 200 : 負壓充電泵
- 201 : 線
- 202 : 負壓調整器
- 203 : 第二充電泵
- 204 : 線
- 205 : 源極從動MOS電晶體
- 206 : 線
- 207 : 箝夾電路
- 208 : 平滑電容
- 209 : 分壓器
- 210 : 基納二極體
- 221 : 電阻
- 211 : 浮動閘電晶體
- 212 : 參考電壓源
- 220 : 線
- 300 : 虛擬胞
- 301 : 基納二極體
- 302 : 參考電壓源
- 311 : 基納二極體
- 312 : 第二二極體
- 313 : 浮動閘胞
- 314 : 參考電壓電路
- 315 : 分壓器
- 316 : 接片

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

- 4 0 0 : 積體電路
- 4 0 1 : 快閃記憶陣列
- 4 0 2 : 負壓產生器
- 4 0 3 : 電壓調整器
- 4 0 5 : 位址輸入電路
- 4 0 6 : 資料輸入 / 輸出電路
- 4 0 7 : 供應位準輸入
- 4 0 8 : 接地輸入
- 4 0 9 : 控制狀態機器
- 4 1 0 : 電壓源
- 4 1 1 : 行解碼器
- 4 2 0 : 電壓源
- 4 1 2 : 位元線
- 4 1 3 : 字線解碼器

較佳實施例之詳細說明

以下參考圖 2 至 6 詳細說明本發明。在圖 2 中，提供有依照本發明之電路之簡化電路圖。圖 2 顯示具有在線 1 1 上之控制閘極，在線 1 2 上之汲極，和在线 1 3 上之源極之快閃記憶浮動閘極胞 1 0。浮動閘極胞 1 0 包括一浮動閘極 1 4。在此例中，胞 1 0 之通道耦合至由線 1 5 所表示之基底，該基底接地以用於抹除操作。於此可參考美國專利第 5, 668, 758 號案，其提供一實施例之基本胞構造和操作條件之說明。爲了依照源極側抹除方法

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

感應抹除，一源極電位經由回應供應電位 V D D 之正電壓源應用至線 1 3。正電壓源包含例如一源極從動電晶體，如果供應電位大於應用之源極電壓，或一充電泵電路，如果源極電壓高於供應電位。

在源極側抹除時，藉由斷開耦合至汲極之位元線，汲極端 1 2 浮動。一負電壓 N V P P 應用至線 1 1。負電壓 N V P P 藉由具有耦合有負電壓調整器 2 1 之充電泵 2 0 所產生。用於一實施例之負電壓充電泵 2 0 說明於美國專利第 5, 532, 960 號案，用於快閃 E E P R O M 之負電壓產生器，1996, 7, 2 公告，其依靠所應用之高程式電位 V P P。其它在此技藝中已知之用以產生負電壓之充電泵電路亦適於使用於不依靠 V P P 供應電位之其它實施例。

依照本發明，負電壓調整器 2 1 包括一參考胞 2 2 或一胞陣列，其依照使用以製造記憶胞 1 0 之方法製造，以利用追蹤因為在製造方法和溫度變異在記憶胞 1 0 中之改變而控制在線 1 1 上之負電壓 N V P P。負電壓調整器亦回應供應電位 V D D，如線 2 3 所示，以控制負電壓產生器 2 0 之輸出，以補償在供應電位中之變異。藉由更準確的調整負電壓，可保持更可預測之抹除速度。

圖 3 為包括本發明之調整器之負電壓源之簡化電路圖。圖 3 顯示一負電壓充電泵 2 0 0，其使用於供應在線 2 0 1 上之負電壓上之供應電源以驅動在陣列中之字線。負電壓調整器 2 0 2 亦包括第二充電泵 2 0 3，其使用以

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（10）

提供在線 204 上之負電壓控制。線 201 連接至源極從動 MOS 電晶體 205 之汲極。線 204 連接至電晶體 205 之閘極。電晶體 205 之源極耦合至線 206，而線 206 應用至在陣列中之字線驅動器。

依照本發明之調整器包括箝夾電路 207，平滑電容 208，和分壓器 209。箝夾電路 207 包括一齊納二極體 210，其包括以電阻符號表示之二極體啓動電阻 221。再者，依照本發明之箝夾電路包括一元件，在此例中為一浮動閘極電晶體 211，其依照和在陣列中接收負電壓之記憶胞相同的方法製造，且具有依照如同在陣列中之胞相同處理參數而改變之閘極耦合比例。在此例中之元件 211 之控制閘極耦合至其汲極。元件 211 之汲極連接至一參考電壓源 212，該參考電壓源回應供應電位 VDD。參考電壓源 212 可直接連接至供應電位，或依照各種技術分割之版本。但是，由參考電壓源 212 產生之電壓如同供應電位 VDD 般的改變。箝夾電路 207 連接在負電壓充電泵 203 之輸出上之線 220 和參考電壓源 212 間。

電容 208 連接在線 220 和地間。如此可使由負電壓充電泵 203 所產生之漣波平滑，以提供更穩定之輸出電壓。分壓器 209 以電阻元件表示。分壓器連接在線 220 和地間。在分壓器上之接片連接至線 204 以驅動電晶體 205 之閘極。

圖 3 之分壓器 209 以電阻表示。其亦可以三重井 n

五、發明說明 (11)

通道 M O S 電晶體，一電組，或電阻和電晶體之組合執行。

在替代實施例中，元件 2 1 1 之閘極連接至參考電位或其它偏壓源，如由分割供應電位所形成之一偏壓。

使用以應用至字線驅動器之線 2 0 6 上之負電壓設定成等於由分壓器 2 0 9 所提供在線 2 0 4 上之電壓加上電晶體 2 0 5 之臨界值。負電壓由在充電泵 2 0 3 之負載線之交叉上之線 2 2 0 上之電壓和箝夾電路 2 0 7 之作用所界定。齊納二極體 2 1 0 界定箝夾電路第一級之壓降。元件 2 1 1 和參考電壓 2 1 2 提供本發明之特性，因此，在線 2 2 0 上之電壓補償發生在欲抹除之陣列中之記憶胞上之製造方法，溫度，和供應電壓之變異。

在典型的陣列中，由於較大的充電泵電流和齊納二極體 2 1 0 之非零啓動電阻 2 2 1，應用至茲線之負電壓之絕對值在高供應電位下較高。再者，齊納二極體 2 1 0 之崩潰電壓在高溫上較高。因此，在習知技藝中，隧道電流在高供應電位和高溫下較高，而在低供應電流和低溫下較低。再者，在習知技藝中，感應隧道電流之應用偏壓為介於所感應隧道效應之電晶體之浮動閘極和源極或其它端間之偏壓。因此，在決定應用偏壓時，胞之閘極耦合比例亦是相當重要的。對於一給定偏壓而言，高的閘極耦合比例會增加跨過介於浮動閘極和源極間之隧道氧化物之電場。因此，在習知系統中，在閘極耦合比例中之變異亦會感應抹除速度上之變異。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (12)

依照圖 3 之實施例，當供應電位 V_{DD} 增加時，由節點 212 供應之電壓亦增加。對於一給定溫度而言，理想齊納二極體崩潰電壓保持固定。因此，當供應電壓增加時，參考電壓 212 增加，而因較高之供應電壓，二極體之非理想電阻值和來自負電壓充電泵 203 之增加電流之乘積之結果，其使得齊納二極體之一側之絕對值增加而另一側之絕對值降低。此效果亦有助於降低在線 220 上之電壓之絕對值。

如果溫度增加時，電晶體 211 之臨界值降低。如此導致在線 220 上之電壓增加（較少負），而使在高溫時施加較少偏壓至陣列。

當在陣列中之電晶體之間極耦合比例增加時，元件 211 之間極耦合比例亦會增加。因此，電晶體 211 之臨界值降低，導致在線 220 上之電壓之增加（絕對值下降）。因此，當間極耦合比例較高時，在陣列中施加較少之偏壓至胞。

因此，調整器 220 根據浮動閘極裝置，以在供應電位，製造方法，和溫度中之變異，導致產生更穩定且更可預測之隧道電流在積體電路記憶陣列中。

在替代實施例中，如圖 4 所示，箝夾電路使用一虛擬胞，其中浮動閘極外部耦合至以符號 300 表示之控制閘極。因此，在圖 4 之例中，箝夾電路包括齊納二極體 301 和元件 300 和參考電壓源 302 串接。在圖 4 之例中，虛擬胞 300 製造成使其長度降低或寬度擴大以匹

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (13)

配在陣列中之閘極耦合變異。胞 3 0 0 之降低通道長度亦可使胞 3 0 0 比在陣列中之胞更靈敏的處理變異。

圖 5 為使用依照本發明之浮動閘極胞之箝夾電路之另一替代例。在圖 5 之例中，齊納二極體 3 1 1 之陽極連接至充電泵之輸出，而其陰極連接至第二二極體 3 1 2 之陰極。第二二極體 3 1 2 可不為齊納二極體。二極體 3 1 2 之陽極連接至浮動閘極胞 3 1 3 之汲極，其使用和陣列中之胞相同的方法製造。浮動閘極記憶胞 3 1 3 之源極連接至參考電壓電路 3 1 4，其由供應電位 V D D 所驅動。浮動閘極電晶體 3 1 3 之閘極連接至一在供應電位和地間之分壓器 3 1 5 上之接片 3 1 6。藉由使用分壓器 3 1 5 以供應一偏壓電位至胞 3 1 3 之閘極，可進一步完成箝夾電路之啓動。

二極體 3 1 1 和二極體 3 1 2 工作以補償在溫度上之變異。由於二極體 3 1 2 之溫度係數為負，且齊納二極體 3 1 之溫度係數為正，由下表可知，兩二極體可補償在溫度上之變異。

溫度	齊納二極體之崩潰電壓	二極體之接入電壓
8 5 °C	7 . 9	0 . 5 1
2 5 °C	7 . 7	0 . 6 3
- 4 0 °C	7 . 4	0 . 7 8

參考在上表中之崩潰和接入電壓，可知二極體 3 1 1

五、發明說明 (14)

和二極體 3 1 2 之組合提供在整個溫度範圍之額外穩定性。

圖 6 為包括快閃記憶陣列 4 0 1 之積體電路 4 0 0 之簡化圖。依照本發明，在積體電路 4 0 0 上之負電壓產生器 4 0 2 受調整以回應由包括參考胞和供應電位參考值以使用於上述陣列之抹除時之電壓調整器 4 0 3 所產生之電壓。

因此，積體電路 4 0 0 包括位址輸入電路 4 0 5，資料輸入／輸出電路 4 0 6，供應電位輸入 4 0 7，和接地輸入 4 0 8。控制狀態機器 4 0 9 耦合至資料輸入／輸出電路 4 0 6 和位址輸入電路 4 0 5 以管理用於讀取，程式，和抹除操作之裝置之操作。在電壓源 4 1 0 翁之資料耦合至行解碼器 4 1 1 和至資料輸入／輸出電路 4 0 6 以施加用於程式該陣列之電壓。源極電壓源 4 2 0 施加使用於源極導體或位元線之連接之電壓至在陣列中之電晶體之源極，在讀取，程式，和抹除操作時。行解碼器驅動一組位元線 4 1 2，其使用於存取在陣列中之記憶胞。字線解碼器 4 1 3 耦合至陣列。字線解碼器包括驅動器以驅動字線 4 1 4，其使用以存取在陣列中之記憶胞。

端 4 0 7 耦合至由在電路外部之電源供應器（未顯示）所提供之供應電壓 V D D。此電源供應電壓特定為約 $5 \text{ V} \pm 10 \%$ 。在替代系統中，供應電壓 V D D 可根據特殊之實施而特定在較低電壓，如由 2.6 至 3.2 V。資料入電壓產生器 4 1 0，源極電壓產生器 4 2 0，和負電

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (15)

壓產生器 402 皆回應供應電壓 VDD 以產生使用在讀取，程式，和抹除操作時之電位。由控制狀態機器 409 執行之抹除操作之執行如 1995, 5, 9 公告之美國專利第 5, 414, 664 號案之"具有用於防止過度抹除保護之阻擋抹除旗標之快閃 EEPROM"所述。

在源極側抹除時，負電壓由負電壓產生器 402 應用至驅動器以抹除胞之字線。同時，如線 415 所示，正電壓由源極電壓源 420 應用至在陣列中之電晶體之源極。負電壓產生器 402 耦合至電壓產生器 403，如上所述，其保持固定的抹除速度，且支持用於在陣列中之記憶胞之固定抹除時間。如此簡化了必須藉由控制狀態機器 409 執行以抹除陣列之架構，且允許更快，更可靠之抹除。

因此，本發明提供一改良的技術以抹除在浮動記憶裝置中之記憶胞，根據源極側抹除操作或其它需要產生負電壓之操作。負電壓產生器之輸出受調整以計算在製造方法，溫度，和供應電壓中之變異，以在抹除操作時，維持一更可預測之抹除速度。如此提供抹除架構之更輕易控制，和積體電路之更有效操作。

本發明並不限於上述之實施例，且於此仍可達成各種改變和修飾，但其仍屬本發明之精神和範疇。因此，本發明之精神和範疇應由下述申請專利範圍界定之。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要(發明之名稱:用於浮動閘極記憶裝置之調整負電壓供應電路)

本發明揭示一種用以調整負電壓充電泵以感應在浮動閘胞中之FN(Fowler-Nordheim)隧道效應之技術,其控制所應用之偏壓以補償在供應電位VDD,溫度,和閘耦合比例(GCR),以及根據製造方法之記憶胞之其它特性之變異。用於負電壓之供應電路包括一電壓調整器,其耦合至負電壓源以保持負電壓在一調整位準。該調整器包括一元件,其依照裝置之製造方法和溫度建立調整位準。該調整器亦包含一電路,其回應供應電壓以建立調整位準。因此,當使用此負電壓產生器在浮動閘記憶裝置時,依照製造方法和溫度建立調整位準之元件包含依照和在裝置上之陣列中之非依電記憶胞相同之方法製造之浮動閘電晶體。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱:

**REGULATED NEGATIVE VOLTAGE SUPPLY CIRCUIT FOR
FLOATING GATE MEMORY DEVICES**

A technique for regulating a negative voltage charge pump to induce Fowler-Nordheim tunneling in floating gate cells controls applied bias to compensate for variations in the supply potential VDD, temperature, and the gate coupling ratio (GCR) or other characteristics of the memory cells which depend on manufacturing processes. A supply circuit for a negative voltage includes a voltage regulator that is coupled to the negative voltage source to maintain the negative voltage at a regulated level. The regulator includes an element that establishes the regulated level according to the manufacturing processes and temperature of the device. The regulator also comprises a circuit which establishes the regulated level in response to the supply voltage. Thus, where the negative voltage generator is utilized in a floating gate memory device, the element that establishes the regulated level according to manufactured processes and temperatures comprises a floating gate transistor manufactured according to the same processes as the non-volatile memory cells in the array on the device.

訂

線

六、申請專利範圍

1. 一種負電壓供應電路，用以供應負電壓至一非依電記憶胞，該非依電記憶胞具有一控制閘，一浮動閘，一通道，和一汲極，且其特性由製造方法和溫度所決定，並耦合至提供有供應電壓之電源供應器，該電路包含：

一負電壓源，其回應供應電壓以提供一負電壓至記憶胞之控制閘，浮動閘，通道，和汲極之一；和

一電壓調整器，其耦合至負電壓源以保持負電壓在一調整位準，該電壓調整器包含依照製造方法和溫度而建立調整位準之一元件。

2. 如申請專利範圍第1項之電路，其中該電壓調整器包含回應供應電壓以建立調整位準之一電路。

3. 如申請專利範圍第1項之電路，其中該非依電記憶胞包含一浮動閘電晶體製造在一積體電路上，和該元件包含一浮動閘電晶體在該積體電路上。

4. 如申請專利範圍第1項之電路，其中該非依電記憶胞包含一浮動閘電晶體製造在一積體電路上，和該元件包含一浮動閘電晶體在該積體電路上，且該浮動閘電晶體包括一浮動閘和連接至浮動閘之一控制閘。

5. 如申請專利範圍第1項之電路，其中該負電壓源包含一充電泵。

6. 如申請專利範圍第1項之電路，其中該負電壓源包含第一充電泵，其輸出耦合至一節點，和該電壓調整器包含第二充電泵耦合至該節點，和包含該元件之一箝夾電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

7. 如申請專利範圍第6項之電路，其中該箝夾電路包含一齊納二極體和該元件串聯。

8. 如申請專利範圍第7項之電路，進一步包括第二二極體和該齊納二極體串聯。

9. 如申請專利範圍第6項之電路，進一步包括一參考電壓電路，其回應耦合至箝夾電路之供應電位。

10. 如申請專利範圍第9項之電路，其中該箝夾電路包含耦合在節點和參考電壓電路間之包括齊納二極體和該元件之串接組合。

11. 如申請專利範圍第6項之電路，進一步包括一電晶體具有一源極，耦合至第一充電泵之輸出之汲極，和耦合至第二充電泵之輸出之閘極，以在源極上產生在調整位準上之電壓。

12. 一種積體電路記憶裝置，在一單一半導體基底上，包含：

在基底上之浮動閘記憶胞陣列，其特性由製造方法和溫度所決定，且具有字線選擇性的耦合至在陣列中之記憶胞之控制閘，和導電路徑選擇性的耦合至在陣列中之記憶胞之汲極和至在陣列中之記憶胞之源極；

在基底上之電源供應端用以提供一供應電壓；

在基底上之電路以讀取，程式，和抹除在陣列中之記憶胞；和其中

用以抹除在陣列中之記憶胞之電路包括應用負電壓至在陣列中之字線之電路，該電路包含

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

一負電壓源，其回應供應電壓以提供一負電壓至受選擇字線；和

一電壓調整器，其耦合至負電壓源以保持負電壓在一調整位準，該電壓調整器包含依照製造方法和溫度而建立調整位準之一浮動閘電晶體。

1 3 . 如申請專利範圍第 1 2 項之裝置，其中該電壓調整器包含回應供應電壓以建立調整位準之一電路。

1 4 . 如申請專利範圍第 1 2 項之裝置，其中該浮動閘電晶體包含一浮動閘和連接浮動閘之一控制閘。

1 5 . 如申請專利範圍第 1 2 項之裝置，其中該負電壓源包含一充電泵。

1 6 . 如申請專利範圍第 1 2 項之裝置，其中該負電壓源包含第一充電泵，其輸出耦合至一節點，和該電壓調整器包含第二充電泵耦合至該節點，和包含該浮動閘電晶體之一箝夾電路。

1 7 . 如申請專利範圍第 1 6 項之裝置，其中該箝夾電路包含一齊納二極體和該浮動閘電晶體串聯。

1 8 . 如申請專利範圍第 1 7 項之裝置，進一步包括第二二極體和該齊納二極體串聯。

1 9 . 如申請專利範圍第 1 6 項之裝置，進一步包括一參考電壓電路，其回應耦合至箝夾電路之供應電位。

2 0 . 如申請專利範圍第 1 9 項之裝置，其中該箝夾電路包含耦合在節點和參考電壓電路間之包括齊納二極體和該浮動閘電晶體之串接組合。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

六、申請專利範圍

2 1 . 如申請專利範圍第 1 9 項之裝置，其中該箝夾電路包含耦合在節點和參考電壓電路間之包括齊納二極體，第二二極體，和該浮動閘電晶體之串接組合。

2 2 . 如申請專利範圍第 1 7 項之裝置，進一步包括一電晶體具有一源極，耦合至第一充電泵之輸出之汲極，和耦合至第二充電泵之輸出之閘極，以在源極上產生在調整位準上之電壓。

2 3 . 一種積體電路記憶裝置，在一單一半導體基底上，包含：

在基底上之浮動閘記憶胞陣列，其特性由製造方法和溫度所決定，且具有字線驅動器和字線選擇性的耦合至在陣列中之記憶胞之控制閘，和導電路徑選擇性的耦合至在陣列中之記憶胞之汲極和至在陣列中之記憶胞之源極；

在基底上之電源供應端用以提供一供應電壓；

在基底上之電路以讀取，程式，和抹除在陣列中之記憶胞；和其中

用以抹除在陣列中之記憶胞之電路包括應用負電壓至在陣列中之字線之電路，該電路包含

一負電壓源，其回應供應電壓以提供一負電壓至受選擇字線，包括一充電泵和一輸出電晶體具有一汲極耦合至充電泵和源極耦合至字線驅動器；和

一電壓調整器，其耦合至輸出電晶體之閘極以保持負電壓在一調整位準，該電壓調整器

一充電泵，其產生一負電壓在一輸出節點上；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

一 參考電壓電路以回應供應電位；

一 串接組合包含耦合在節點和參考電壓電路間之齊納二極體和該浮動閘電晶體，該浮動閘電晶體依照製造方法、溫度，和供應電位而建立一負電壓位準；

一 電容，其耦合在輸出節點和一參考電位間；和

一 分壓器，其耦合在充電泵之輸出節點和輸出電晶體之閘極間。

2 4 . 如申請專利範圍第 2 3 項之裝置，其中該串接組合包括第二二極體。

2 5 . 如申請專利範圍第 2 3 項之裝置，其中該浮動閘電晶體具有一浮動閘連接至其控制閘。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

88107799

425559

829219

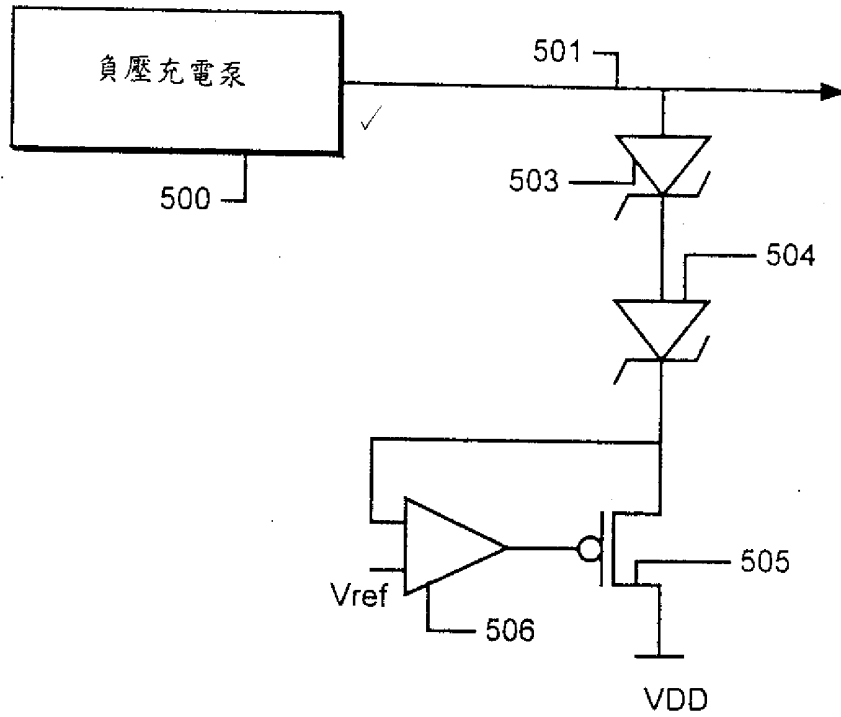


圖 1

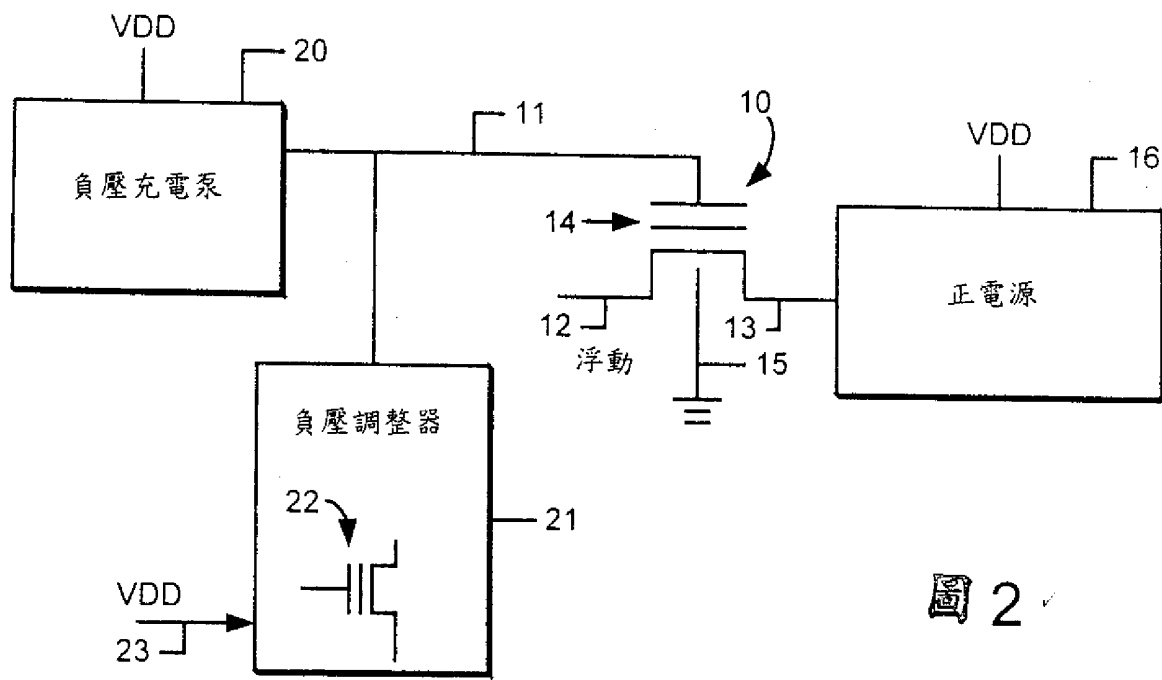


圖 2

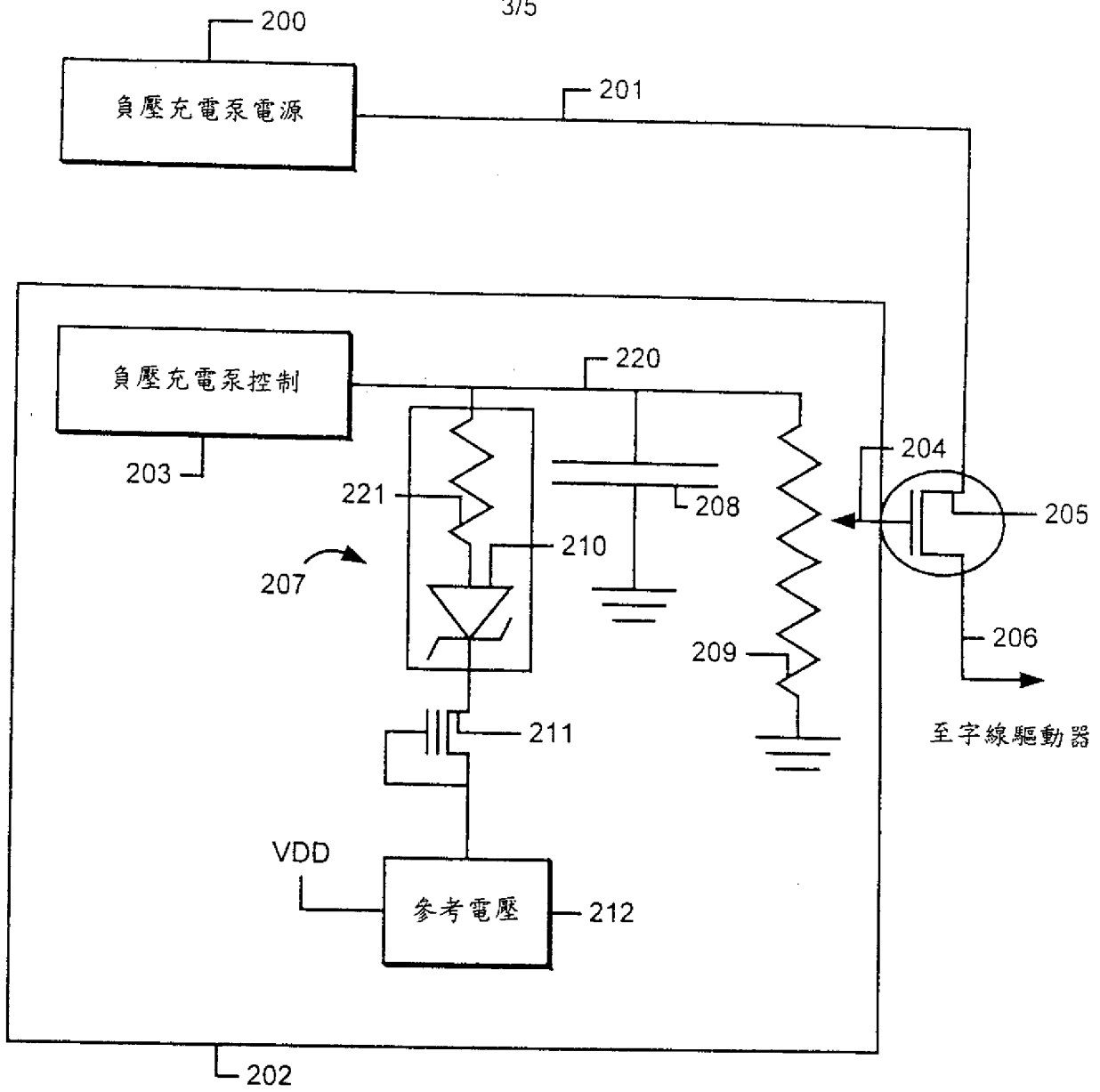


圖 3

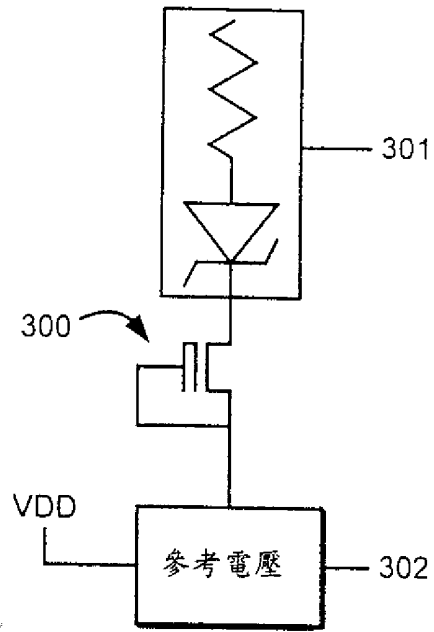


圖 4

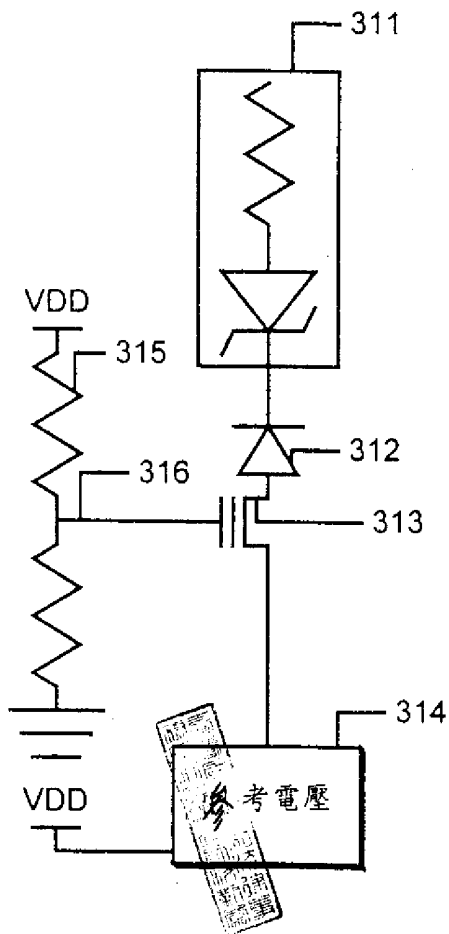


圖 5

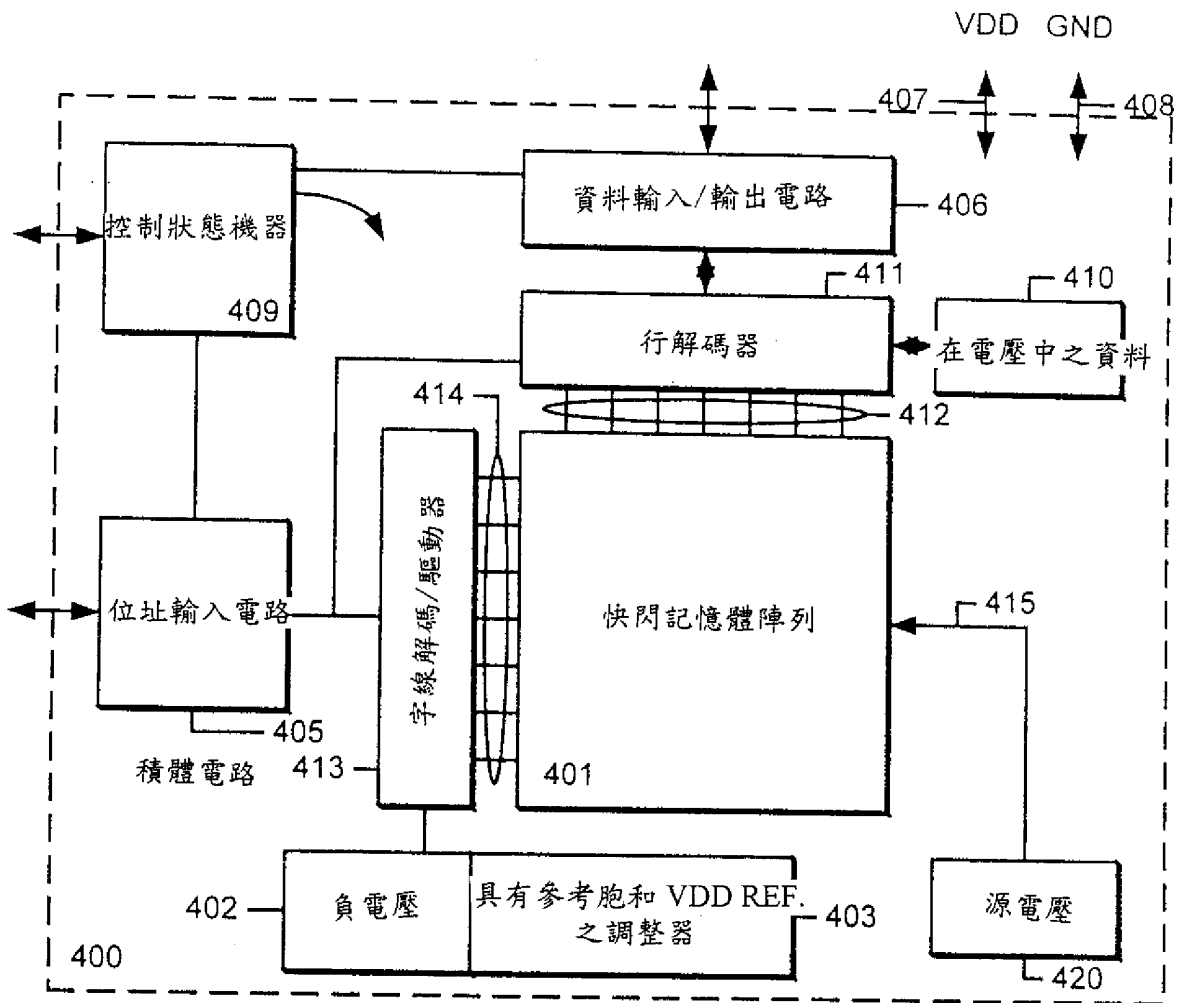


圖 6