

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/74

H01L 29/745

H01L 29/749



[12] 发明专利说明书

专利号 ZL 00812676.3

[45] 授权公告日 2005 年 11 月 16 日

[11] 授权公告号 CN 1227744C

[22] 申请日 2000.9.7 [21] 申请号 00812676.3

[30] 优先权

[32] 1999.9.8 [33] GB [31] 9921068.4

[86] 国际申请 PCT/GB2000/003443 2000.9.7

[87] 国际公布 WO2001/018876 英 2001.3.15

[85] 进入国家阶段日期 2002.3.8

[71] 专利权人 德蒙特福特大学

地址 英国莱斯特

[72] 发明人 桑卡拉·那拉亚男·埃卡耐斯·麦达
塞尔

审查员 樊晓东

[74] 专利代理机构 永新专利商标代理有限公司

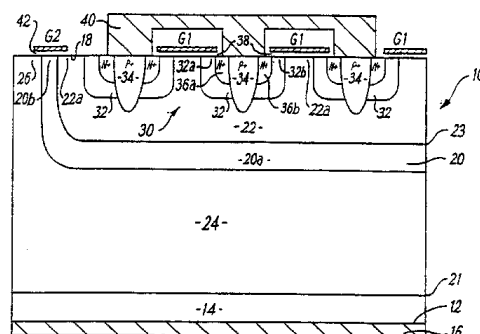
代理人 韩 宏

权利要求书 4 页 说明书 26 页 附图 8 页

[54] 发明名称 双极金属氧化物半导体场效应晶体管器件

[57] 摘要

公开了一种半导体器件包括：至少一个单元，该单元包括一个第一种导电型的基区(32)，在其中至少配置了一个第二种导电型的发射区(36a、36b)；一个第二种导电型的第一个阱区(22)；一个第一种导电型的第二个阱区(2a)；一个第二种导电型的漂移区(24)；一个第一种导电型的集电区(14)；一个集电极接点(16)，其中每一个单元放置在第一个阱区(22)中，而第一个阱区(22)放置在第二个阱区(20)中；该器件还包括：第一个栅极(61)，安置在基区(32)上，以使一个 MOSFET 沟道可以在发射区(36a、36b)和第一个阱区(22)之间形成；该器件还包括：第二个栅极，安置在第二个阱区(20)之上，以使一个 MOSFET 沟道可以在第一个阱区(22)和漂移区(24)之间形成。



1、一种半导体器件，包括：

至少一个单元，包括一个第一导电型的基区，在其中至少配置了一个第二导电型的发射区；

一个第二导电型的第一个阱区；

一个第一导电型的第二个阱区；

一个第二导电型的漂移区；

一个第一导电型的集电区；

一个集电极接点；

其中，每个单元安置在第一个阱区内，而第一个阱区安置在第二个阱区内；该器件还包括：

第一栅极，该第一栅极安置在一个基区的上方，以使在发射区和第一个阱区之间形成一个 MOSFET 沟道；该器件还包括：

第二栅极，该第二栅极安置在第二个阱区之上，以使在第一个阱区和漂移区之间形成一个 MOSFET 沟道；

其中这样构造该器件以使在器件工作过程中，在基区和第一个阱区之间的结处的一耗尽区可以延伸至第一个阱区和第二个阱区之间的一结处，因此，将第一个阱区的电势与集电极触点处任何电势的增加相隔离，以使该器件可被关闭而不必在基区和第二个阱区之间形成一个 MOSFET 沟道。

2、根据权利要求 1 的一种器件，其中许多基区安置在第一个阱区内，每个基区至少有一个发射极安置在其中。

3、根据权利要求 1 或权利要求 2 的一种器件，其中该至少一个单元关于一个延伸通过第一个阱区的垂直轴是基本对称的。

4、一种绝缘栅极双极晶体管类型的器件，包括：

至少一个单元，包括一个第一导电型的基区，在其中至少配置了一个第二导电型的发射区；

一个第二导电型的第一个阱区；

一个第一导电型的第二个阱区；

一个第二导电型的漂移区；

一个第一导电型的集电区；

一个集电极接点；

其中，每个单元安置在第一个阱区内，而第一个阱区安置在第二个阱区内；该器件还包括：

第一栅极，该第一栅极安置在一个基区的上方，以使在发射区和第一个阱区之间形成一个 MOSFET 沟道；该器件还包括：

第二栅极，该第二栅极安置在第二个阱区之上，以使在第一个阱区和漂移区之间形成一个 MOSFET 沟道；

这样构造该器件以使在器件工作过程中，在基区和第一个阱区之间的结处的一耗尽区可以延伸至第一个阱区和第二个阱区之间的一结处，因此，将第一个阱区的电势与集电极触点处任何电势的增加相隔离，以使该器件可被关闭而不必在基区和第二个阱区之间形成一个 MOSFET 沟道；及

接通状态的电传导主要通过一个包括第一个阱区、第二个阱区、漂移区和集电区的晶闸管进行。

5、一种发射极开关晶闸管类型的器件，包括：

至少一个单元，包括一个第一导电型的基区，在其中至少配置了一个第二导电型的发射区；

一个第二导电型的第一个阱区；

一个第一导电型的第二个阱区；

一个第二导电型的漂移区；

一个第一导电型的集电区；

一个集电极接点；

其中，每个单元安置在第一个阱区内，而第一个阱区安置在第二个阱区内；该器件还包括：

第一栅极，该第一栅极安置在一个基区的上方，以使在发射区和第一个阱区之间形成一个 MOSFET 沟道；该器件还包括：

第二栅极，该第二栅极安置在第二个阱区之上，以使在第一个阱区和漂移区之间形成一个 MOSFET 沟道；及

一个第一种导电型的重掺杂的隔离区，它与第二个阱区相接触，并直接和一或多个基区和一或多个发射区电接触；其中

这样构造该器件以使在器件工作过程中，在基区和第一个阱区之间的结处的一耗尽区可以延伸至第一个阱区和第二个阱区之间的一结处，因此，将第一个阱区的电势与集电极触点处任何电势的增加相隔离，以使该器件可被关闭而不必在基区和第二个阱区之间形成一个 MOSFET 沟道。

6、一种绝缘基发射极开关晶闸管类型的器件，

包括：

至少一个单元，包括一个第一导电型的基区，在其中至少配置了一个第二导电型的发射区；

一个第二导电型的第一个阱区；

一个第一导电型的第二个阱区；

一个第二导电型的漂移区；

一个第一导电型的集电区；

一个集电极接点；

其中，每个单元安置在第一个阱区内，而第一个阱区安置在第二个阱区内；该器件还包括：

第一栅极，该第一栅极安置在一个基区的上方，以使在发射区和第一个阱区之间形成一个 MOSFET 沟道；该器件还包括：

第二栅极，该第二栅极安置在第二个阱区之上，以使在第一个阱区和漂移区之间形成一个 MOSFET 沟道；及

一个第一种导电型的重掺杂隔离区，它与第二个阱区相接触，该隔离区具有一个形成于其上的浮动电阻触点，以形成与第一个阱区直接的电接触；其中

这样构造该器件以使在器件工作过程中，在基区和第一个阱区之间的结处的一耗尽区可以延伸至第一个阱区和第二个阱区之间的一结处，因此，将第一个阱区的电势与集电极触点处任何电势的增加相隔离，以使该器件可被关闭而不必在基区和第二个阱区之间形成一个 MOSFET 沟道。

双极金属氧化物半导体场效应晶体管器件

技术领域

本发明一般涉及了结合了双极和金属氧化物半导体技术的功率半导体器件系列。

背景技术

这种器件具有广泛的范围。在该系列外的一个极端是功率 MOSFET（金属氧化物半导体场效应晶体管）器件。它们包括由垂直的 DMOS（双扩散金属氧化物半导体）工艺制作的 DMOS 功率 MOSFET（DMOS 是一种双扩散的 MOS（金属氧化物半导体）工艺）。在该工艺中，器件是在单晶硅本体上制作的，使用了在本体的一个表面上形成的大量的源极/栅极单元，而在其反面上用一个共漏极区来覆盖。源极/栅极单元相互并联，并形成了大量的并行丝极以便电流流往该器件的主内部区（公知为漂移区）。

双极和 MOSFET 技术的结合形成了一个双极晶体管结构以提供通过器件的主要负载电流路径和控制双极晶体管的一个 MOS 结构。该 MOS 结构提供了一个耗用很少输入功率的高阻抗输入。因此可以作成与基于 MOS 技术的外部控制电路相适应的结构。

该双极晶体管因器件的不同而不同，从一个基本的三层结构（例如 NPN 晶体管，在这种三层结构中发射极与器件的 MOS 部分的源极紧密关联）如具有一个晶闸管的四或五层结构（例如，MOS 控制的晶闸管，在这种四层或五层结构中阴极与 MOS 结构的源极紧密关联）。众所周知，在单晶硅本

体的垂直结构内实现这些不同的双极晶体管/MOS 器件,其中在该本体的一个表面上提供发射极/源极或阴极/源极/栅极作为大量的单元,同时在该本体的反面上形成的公用区上提供了集电极或阳极。为了简化术语,该发射极/源极和阴极/源极结构两者一般地称作“阴极/源极”或阴极结构,而该集电极和阳极一般地称作“阳极”。然而,应该注意的是这里所描述的本发明的概念可以应用于 N 型材料被 P 型材料所取代的器件,反之亦然。

在操作中,器件中的阴极/源极/栅极单元组是并联的,可以通过内部器件的金属喷镀来实现。该器件系列的一个共同特性是从阴极结构流向阳极的电流通路位于并通过一个漂移区。在设计此类器件时,在低电阻正向传导通路和高的正向击穿电压容量之间要达到平衡。

一种得到广泛应用的功率双极/MOSFET 半导体系列的器件,是绝缘栅极双极晶体管(IGBT),它是由 N 沟道增强型 MOSFET 控制的 PNP 晶体管。该 IGBT 是一种三端的器件。第二种器件是发射极开关晶闸管(EST),它有两个集成的 MOSFET,它们的栅极连接至一个共同的栅极端子上。它也是一种三端的器件。第三种器件是晶闸管类型的四端的器件,除了具有通常用于接通器件的控制栅极外还具有独立的栅极断开结构。

MOSFET 和双极/MOS 器件的阴极单元结构可以在半导体表面的一个平面栅极结构内或利用首先开发的沟栅与功率 MOSFET 相结合来制造。该阴极结构也可以以平面的或沟槽的形式实现。

用于 IGBT 的阴极结构在“Analysis of Device Structures for Next Generation IGBT”,Y.Onishi 等,Proceedings of 1998 International

Symposium on Power Semiconductor Devices and Ics, p.85 中予以了讨论。该论文讨论了在平面栅和沟栅中使用的结构和两者相关的优点和缺点。在该器件中, 每对相邻的单元的沟道都形成于一个共同的 P 阱中。

一种绝缘栅控制的晶闸管公开发表在 “A Filamentation-free Insulated-Gate Controlled Thyristor and Comparisons to the IGBT”, K.Lilja and W.Fichtner, Proc. ISPSD, p. 275, 1996. 上。该文提出了这样的一种器件 (IGCT), 该器件改善了在成丝作用失效方面的可靠性, 同时保持了晶闸管样的开通状态性质。

具有栅极断开结构的四端的 MOS 栅控的晶闸管开关的另一种形式, 称作 “FiBS”, 在 “The FiBS, A New High Voltage BiMOS Switch”, K.Lilja, Proc. ISPSD, 1992, p. 261 和 Lilja 等人的美国专利 USP 5, 286, 981 中公开。一种大型的 FiBS 将包括大量集成的并行单元。这种器件可采用平面或沟栅技术实现。

由 M.S. Shekar, J. Korec 和 B. J. Baliga 在 “Trench Gate Emitter Switched Thyristors”, Proc. 6th International Symposium of Power Semiconductor Devices and Ics, 1994, Paper 5. 1, 189 一文中描述了一种 MOS 栅的发射极开关晶闸管。这种器件是一种三端的器件, 它是在一个沟栅单元结构中实现的。

在前面的方案中, 相邻的单元可以具有形成在一个共同的掺杂区或阱内的相应结构的元件。

本发明提供了一种包括阴极/栅极元件簇的新型阴极结构。这种簇阴极结构的新类型反过来又可以在阴极的蜂窝状结构形式中用作一个单元。

本发明可以在下面描述的多种形式中实现。将要描述的器件包括一种MOS-晶闸管结构，并且在保持电流均匀分布的理想特性、良好的电流饱和性能、小的器件尺寸（包括紧密组合的单元）和良好的安全操作面积（SOA）的同时得到增强的性能。

发明内容

依据本发明，提供一种半导体器件，该半导体器件包括：

至少一个单元，该单元包括一个第一导电型的基区，在其中至少安置了一个第二导电型的发射区；

一个第二导电型的第一个阱区；

一个第一导电型的第二个阱区；

一个第二导电型的漂移区；

一个第一导电型的集电区；

一个集电极接点；

其中，每个单元安置在第一个阱区内，而第一个阱区安置在第二个阱区内；该器件还包括：

第一个栅极，安置在一基区上，以使在一个发射区和第一个阱区之间可以形成一个MOSFET沟道；

第二个栅极，安置在第二个阱区上，以使在第一个阱区和漂移区之间可以形成一个MOSFET沟道；

其中这样构造该器件，在器件操作过程中，在基区和第一个阱区之间结的耗尽区（depletion region）可以延伸至第一个阱区和第二个阱区之

间的结，因此，将第一个阱区的电势与集电极接点处的任何增加的电势隔离，因此可以切断该器件，而不必在基区和第二阱区之间形成一 MOSFET 沟道。

根据本发明，提供了一种绝缘栅极双极晶体管类型的器件，包括：至少一个单元，包括一个第一导电型的基区，在其中至少配置了一个第二导电型的发射区；一个第二导电型的第一个阱区；一个第一导电型的第二个阱区；一个第二导电型的漂移区；一个第一导电型的集电区；一个集电极接点；其中，每个单元安置在第一个阱区内，而第一个阱区安置在第二个阱区内；该器件还包括：第一栅极，该第一栅极安置在一个基区的上方，以使在发射区和第一个阱区之间形成一个 MOSFET 沟道；该器件还包括：第二栅极，该第二栅极安置在第二个阱区之上，以使在第一个阱区和漂移区之间形成一个 MOSFET 沟道；这样构造该器件以使在器件工作过程中，在基区和第一个阱区之间的结处的一耗尽区可以延伸至第一个阱区和第二个阱区之间的一结处，因此，将第一个阱区的电势与集电极触点处任何电势的增加相隔离，以使该器件可被关闭而不必在基区和第二个阱区之间形成一个 MOSFET 沟道；及接通状态的电传导主要通过一个包括第一个阱区、第二个阱区、漂移区和集电区的晶闸管进行。

根据本发明，提供了一种发射极切换的晶闸管类型的器件，包括：至少一个单元，包括一个第一导电型的基区，在其中至少配置了一个第二导电型的发射区；一个第二导电型的第一个阱区；一个第一导电型的第二个阱区；一个第二导电型的漂移区；一个第一导电型的集电区；一个集电极接点；其中，每个单元安置在第一个阱区内，而第一个阱区安置在第二个阱区内；该器件还包括：第一栅极，该第一栅极安置在一个基区的上方，

以使在发射区和第一个阱区之间形成一个 MOSFET 沟道；该器件还包括：第二栅极，该第二栅极安置在第二个阱区之上，以使在第一个阱区和漂移区之间形成一个 MOSFET 沟道；及一个第一种导电型的重掺杂的隔离区，它与第二个阱区相接触，并直接和一或多个基区和一或多个发射区电接触；其中这样构造该器件以使在器件工作过程中，在基区和第一个阱区之间的结处的一耗尽区可以延伸至第一个阱区和第二个阱区之间的一结处，因此，将第一个阱区的电势与集电极触点处任何电势的增加相隔离，以使该器件可被关闭而不必在基区和第二个阱区之间形成一个 MOSFET 沟道。

根据本发明，提供了一种绝缘基发射极切换的晶闸管类型的器件，包括：至少一个单元，包括一个第一导电型的基区，在其中至少配置了一个第二导电型的发射区；一个第二导电型的第一个阱区；一个第一导电型的第二个阱区；一个第二导电型的漂移区；一个第一导电型的集电区；一个集电极接点；其中，每个单元安置在第一个阱区内，而第一个阱区安置在第二个阱区内；该器件还包括：第一栅极，该第一栅极安置在一个基区的上方，以使在发射区和第一个阱区之间形成一个 MOSFET 沟道；该器件还包括：第二栅极，该第二栅极安置在第二个阱区之上，以使在第一个阱区和漂移区之间形成一个 MOSFET 沟道；及一个第一种导电型的重掺杂隔离区，它与第二个阱区相接触，该隔离区具有一个形成于其上的浮动电阻触点，以形成与第一个阱区直接的电接触；其中这样构造该器件以使在器件工作过程中，在基区和第一个阱区之间的结处的一耗尽区可以延伸至第一个阱区和第二个阱区之间的结处，因此，将第一个阱区的电势与集电极触点处任何电势的增加相隔离，以使该器件可被关闭而不必在基区和第二个阱区之间形成一个 MOSFET 沟道。

保护第一个阱区免受由于基区和第一个阱区之间的结的耗尽区延伸至第一个阱区和第二个阱区之间的结而产生的超量电势的能力在下文中称之为“自箝位”。自箝位在器件的接通状态和关闭状态下都导致了许多有利的特性，下面就这些优点进行更详细地描述。本发明的器件的关键特性包括：低正向电压降、良好的 SOA、高的击穿电压、可与 IGBT 相比的切换能力、N-沟道 MOS 栅极控制、三端器件的提供、与 CMOS 过程全兼容性，实现集成低电压和高电压器件的单片集成、容易将栅极氧化物厚度缩放至 400Å 或更低以达到低驱动功率的要求、和由于降低了漂移区上的栅极的尺寸引起栅极电容降低。

应该指出的是，FiBS 器件是四端的器件，它要求一个独立的 P MOSFET 来控制器件的关闭。本发明中器件的关闭不需要这样一种 MOSFET 结构。

第一种导电型通常是 P、第二种类型是 N。但是，也可能生产这样的器件，它的第一种导电型是 N，第二种导电型是 P。依据本发明的器件可以是垂直的或横向的。

大多数元件被安置在第一个阱区之内，每个基区至少具有一个安置在其中的发射极。在这种方式下，可以产生紧密组合的单元簇，它导致了高的、均匀的电流密度。

这（些）单元可以关于延伸通过第一个阱区的垂直轴基本对称。相反，FiBS 器件由于需要集成一个 PMOS 沟道来控制关闭而先天性地不对称。对称的器件是理想的，因为 i) 更多的阴极区域可用于电传导（在第一种导电型是 P 的情况下），和 ii) 电流均匀性得到了改善。

该器件可以是一个绝缘栅极双极晶体管（IGBT）类型的器件，其中接通状态的电传导主要通过一个包括第一个阱区、第二个阱区、漂移区和集电区的晶闸管进行。

IGBT 类型的器件可以是平面型的、沟栅极类型的、沟阴极类型的、或同时具有沟栅极和沟阴极类型的。该器件可以在 PTIGBT（击穿）配置中实现，其中漂移区包括一个重掺杂缓冲层和一个轻掺杂区的外延层。可替换的是，可以采用 NPT（非击穿）配置，使用一种均匀轻掺杂的晶片作为漂移区。

本发明和它的应用将会参照在附图中展示的多个实施例进行描述，附图中：

附图说明

图 1 是一个显示本发明的使用平面栅技术的 IGBT/晶闸管器件的简化的横剖面；

图 1a 是图 1 器件的等效电路；

图 2 显示了图 1 结构的一种改型以提供 EST 器件；

图 3 显示了图 1 结构的另一种改型以提供绝缘基的 EST 器件；

图 4 显示了一个用沟栅技术实现并进一步改型的 IGBT/晶闸管器件；

图 5 显示了一个双栅沟 IGBT/晶闸管器件；

图 6 显示了图 4 器件的横向和/或类垂直的视图，图 6a—6c 显示了图 6 结构的可选的改进。

图 7 显示了图 6 器件结构的进一步改型；

图 8 仍然显示了图 6、6a—6c 和显示了一个流动电阻触点替代 Gate2

的图 7 的结构进一步改型；

图 9 显示了包含一个 P 隔离区的图 6 器件的一个横向视图；

图 10 显示了用一个流动电阻触点与 Gate2 相关联的图 9 结构的改型；
和

图 11 显示了有一个沟栅的 Gate2 的图 6 器件的横向视图。

具体实施方式

图 1 显示了简化的器件结构的横剖面，它可以认为是一个 IGBT 和一个晶闸管的组合。该器件具有一个等效电路，如图 1a 所示。该等效电路显示为具有二个互连的部分，IGBT 和晶闸管，将在后面进行描述。显示在图 1 中的器件的栅极是平面栅极形式。IGBT 的阴极单元是以簇来提供的，将在下面的描述中出现。

图 1 显示了半导体材料（通常是单晶硅）主体的一部分 10，该部分的下表面 12 包含一个 P+集电区 14，在其上制成集电极接点 16（本例中的阳极）。该器件是一种 NPT 器件，这种 NPT 器件由 N 类型硅制成，通过 N 型硅形成扩散以在上表面形成阴极单元图形，PT 器件也在本发明的范围内。

该器件结构包括一个 P 阱 20，其中 N 阱 22 在横向和竖向上扩散至并位于 P 阱内，因此，在主电流通路中留下 P 区 20a，在表面 18 上形成区 20b。用 N 类型硅的区 24 将 P 阱与阳极分开，而 N 类型硅提供了通常在 IGBT 和其它该系列器件中含有的 N 漂移区。也将会看到，N 漂移区在 26 处向上延伸至 P 阱 20 侧面外部的表面 18。区 20b 提供了一个 MOSFET 沟道，将在其后进行描述。

在 N 阱 22 之内，形成了阴极单元簇 30。

单元 30 具有相同的结构，因此只对其中的一个进行详细描述。参照所显示三个单元中的中心单元，它包括一个扩散进入 N 阱 22 的浅的 P 基极 32。在阱 22 中央，P+区 34 扩散渗透到基极 32 的下面，并进入区 22 中。对于区 34 的每个侧面，相应的 N+发射区 36a、36b 扩散进入 P 基极 32，每个区与 P+区 34 形成了一个非整流结。对于发射区 36a 和 36b 的每侧，分别出现了 P 阱 32 的一个部分 32a、32b，以为阴极 MOS 晶体管提供一个沟道，它将出现在下面的描述中。所有的扩散都是通过表面 18 进行的。也将看到，单元 30 被隔开，以使 N 阱 22 的一部分 22a 形成在表面 18 上。在覆盖了栅极氧化物 38 的表面 18 上，形成了许多第一种类型的栅极 G1。每个栅极 G1 形成在栅极氧化物上，并延伸至一个单元的突现 (emergent) 部分 32a 和它的相邻单元的 32b 之上，因此，形成了两个控制 MOSFET。每个 MOSFET 具有一个 N+区 36a 或 36b 作为一个源极，而 N 阱 22 的浮现部分 22a 作为一个漏极。因此，每个单元形成了两个控制 MOSFET，单独的 G1 栅极被提供给它，并且每个 G1 栅极控制不同单元中的两个 MOSFET。作为替换，也可能将 MOSFET 连接在一起，形成一个单一的端子。

将会看到，单元 30 的结构可以按照在一个给定的 P 阱 20 N 阱 30 的组合体中所要求的频度重复。这种结构，不仅可以在所举例的图的平面上被重复，而且也可以在平面的法向上被重复，因此，该簇是一个三维的单元阵列。为了完成单元簇，金属喷镀 40 被应用到每个单元上，以将所有 P+ N+ 结跨接，并将所有的单元并联。金属喷镀 40 为该器件提供了阴极触点。

为了完成该器件结构，将会看到在图 1 的左侧，簇 30 外部末端的单元

并没有被完全利用。第二种类型的栅极 G2 应用于覆盖在 P 阱 20 的区 20b 上的栅极氧化物 42 的上方。区 20b 在由 N 阱 22 的突现部分 22a 提供的源极和相邻的 N 漂移区 24 的突现部分 26a 之间形成了一个沟道。将会看到 G1 栅极控制阴极单元 30 和 P 阱 20 之间的电传导，而栅极 G2 控制作为簇单元的单元 30 和阳极区 16 之间的电传导。该器件的操作功能还将参照图 1a 进行进一步的描述。但是，将会注意到，所描述的迄今包括簇阴极单元结构的半导体单元本身可以被重复，以提供一组全部用一个共同的阳极区覆盖的这样的单元。所描述和说明的单元结构的一个重要特性是它的对称性设计。这一点还会在下面提到。

现在参照图 1a 将会看到，并联的阴极单元被代表为一个单一的双极晶体管和一单个 MOSFET。栅极 G1 和 G2 全部被连接在一起，尽管分开操作也是可能的。同样，也可能将栅极 G2 延伸至与一个 N⁺发射区重叠。在操作中，阳极被施加了一个相对于阴极的正电压，而该器件通过提高相对于阴极的正向的栅极电压来接通。为了方便识别图 2 中的电路元件结构，图 1 中相关的区在图 2 中进行了标注。

根据图 1a 中的电路元件，看一下图 1 中的器件结构，每个阴极单元提供了一个复集电极 PNP 垂直晶体管的集电极（P⁺区 34），晶体管的基极是 N 阱 22，而它的发射极是 P 阱 20。基极的导电性调制是由在区 32a 和 34a 和区 32b 和 34a 之间的增强型 N-沟道 MOSFET 提供的。在图 1a 中的复集电极晶体管表示为 T_{pn₂}，而复 MOSFET 表示为 MOSFET T_{pn₂}。接通 T_{pn₂} 触发 T_{pn₂} 进入电传导状态。由 60 表示的等效电路的这部分作为一个 IGBT。

第二个 PNP 晶体管在 P 阱 20（集电极）、N 漂移区 24（基极）和阳极区

(发射极) 12 之间形成。在图 2 中这个晶体管表示为 T_{np1} 。 T_{np1} 和 T_{np2} 因此是串联的, 区 20 为两者所共有, 在两个晶体管之间串联中具有电阻 R_{pwell} 。

与 T_{np1} 相连的是由 N 漂移区 24 集电极; 作为它的基极的 P 阱 20, 和作为它的发射极的 N 阱 22 提供的另一个 NPN 型晶体管。 T_{np1} 是在一个闭锁晶闸管配置 70 中与 T_{npn} 连接。漂移区 24 的电阻 R_{drift} 出现在 T_{np1} 的基极通路上。该 N 阱在 T_{npn} 的发射极和 T_{np2} 的基极之间提供了电阻 $R_{emitter}$ 。

晶闸管部分 70 还包括一个控制 MOSFET 的 T_{mos} , 它的源极-漏极通路并联至晶体管 T_{npn} 的基极-发射极通路上。该 MOS 控制晶体管形成于区 24a 和 22b 之间, 并由栅极 G2 控制。接通与 T_{mos2} 串联的 T_{mos1} 使得发射极电流流过 T_{np1} , 然后转换足够的集电极电流进入 T_{npn} , 在两者之间用反馈的闭锁动作将后者接通。同时, 接通 IGBT 60, 而主电流通路 I_{pnp} 通过 T_{np2} 被完成。将会注意到, 在 G2/G1 处的启动两个 MOSFET 导通所需的电压大于 T_{np2} 单独所需要的电压。一旦晶闸管部分 70 被闭锁, G2 失去控制, 但是如果在 G1/G2 上的电压下降至阴极电势, 将关闭 IGBT, 断开主电流通路并使晶闸管开锁。

图 12 说明了在图 1 中横剖面上所显示的该类型器件如何在三维空间实现。图 12a 显示了一个普通的多边形 N 阱 22 如何能放在普通的多边形 P 阱 20 中。为简化表示, 在图 12a 中忽略了其它的器件特性。可替换的是 P 阱和 N 阱两者的表面部分都可以为圆形的。

在 N 阱 22 中, 单独的小凹处 (dell) (没有显示) 可以是圆形的、多边形的、条带状的或是这些形式的组合。

图 12b 显示了一个器件，包括多个 P 阱 20/N 阱 22 结构，每个结构含有一个单元簇 30。

已经解释了图 1 器件的基本操作，下面对它的操作参数的一些特性进行更详细地讨论。

接通状态性能

当一个大于阈值电压的正偏压施加至栅极 G1 和 G2 上时，阴极 MOSFET 被接通，并供给电子通过 T_{mos1} 进入 N-漂移区 24。当阳极电压大于双极接通设定电压时，从阳极注入空穴。但是，在 IGBT 或 EST 的情况下，没有通路让空穴直接流进阴极区。结果，P 阱区 20 的电势增加。

用作为 T_{npn} 发射极的 N 区 22 的浓度，在器件的接通中扮演一个重要的角色，并大于产生空穴势垒所需要的临界极限，如同在电荷存储 IGBT (CS-IGBT) 的情况下。当控制栅极 G1/G2 接通时，N 阱 22 是通过形成在 N 阱区的累积区和在 P 基区 32 中的反向沟道 32a, 32b 与阴极电势连接在一起的。随着 P 阱 20 电势的增加，晶体管 T_{npn} 被接通。这导致了晶闸管的启动。

电流饱和特性：

通常，晶闸管 70 的接通发生在控制 MOSFET 的饱和状态出现之前。一旦 MOSFET 饱和，N 阱/P 阱 (22 + 20) 的电势增加。这种电势的增加导致

了 P 基极 32/N 阱 22 耗尽区的增强。由于 N 阱 22 的浓度低于 P 基极 32，所以耗尽主要移进 N 阱区。在某一设计电压下（由掺杂浓度、N 阱深度、P 基极的深度和 MOS 沟道饱和特性决定的），耗尽接触 P 阱/N 阱结 23，而在此处，器件变成箝位。自箝位特性确保阳极电势的任何进一步的增加只会通过 P 阱/N 漂移区（20 + 24）下降。

正向阻塞：

对于给定的技术，器件的正向阻塞电压容量明显高于平面 IGBT 中的，因为除了在器件的边缘外，P 阱/N 漂移区结 21 是平面-并行的。另外，在传统的 IGBT 中，因为较深的 P+区，耗尽区实质上移进了 N 漂移区。但是在簇 IGBT 中，对于一个给定的阻塞电压，由 P 阱 20 分享电势导致了一个低峰值电场。因此，对于一个给定的阻塞能力，图 1 中用于簇晶闸管器件的晶片比传统的 IGBT 的晶片更薄。这对于正向电压降、切换性能、热特性和稳定性都具有一个直接的和有益的意义。

对于一个给定的击穿电压（BV），该器件可以按两种方式设计：

（a） 当 P 阱 20 浓度高时，通在 P 阱/N 漂移区（20+24）上整个阻塞电压下降。

（b） 当 P 阱 20 浓度低时，随着阳极偏压的增加，P 阱层得到耗尽。

然后，，在 N 阱（22）/P 基极（32/34）结上任何进一步的电压增加都下降。由于器件用“自箝位”特性设计，所以 N 阱/P 基极耗尽区延伸进入 P 阱，由此，阻止了 N 阱（22）内电势的任何进一步的增加。

切断:

该器件的切断性能类似于 IGBT 的切断性能。当控制栅极 G2 切断时, 通过 P 基极/N 阱 (32+34/22) 的电势增加, 直至出现自钳位。一旦出现钳位, P 阱 (20) 广泛的特性使空穴有效地被收集在 P 基区 (32+34) 中。单元的对称特性和紧密堆积确保了器件的电流流动在所有情况下都是均匀的, 这与 MCT 不同。不同于 EST, 自钳位确保了通过控制 MOSFET 的电压在自钳位电压之外不增加。

簇 IGBT/晶闸管与其它结构有何不同呢?

簇 IGBT/晶闸管器件完全不同于传统的 IGBT。在 IGBT 的情况下, 需要一个较深的 P+区以抑制寄生的阻塞 (latch-up), 并达到所需要的阻塞电压能力。但是, 需要较深的 P+区使得阴极单元与簇 IGBT/晶闸管相比更大。例如, 基于 3 微米的设计规则, 一个 DMOS IGBT 的最小的阴极单元尺寸大约是 36 微米, 而对于一个基于 CMOS 工艺的簇 IGBT/晶闸管的阴极单元是 15 微米。通过选择次微米细线[F-L] 光刻技术, 也有可能减小 IGBT 的阴极单元。在 FL-IGBT 和 FL-EST 的情况下, 薄膜氧化物延伸至 JFET 区之上。这些器件的优良的正向阻塞安全操作区域 FBSOA 特性, 在静态条件下已经得到了证实。但是, 在感应负载切换条件下, 同时存在高电流和高电压同时存在的地方, 即使短路性能很差, 该器件的这些特性仍然有待全部证实。可以认为, 在这些条件下, FL-IGBT 或 FL-EST 将会失效了。

另外, 模拟表明, 相邻单元之间 6 微米的距离对簇-IGBT/晶闸管的良

好性能是适合的。在一个 IGBT 的情况下，最佳的尺寸取决于单元几何形态和阻塞能力，对于大于 2kV 额定值的器件通常大于 25 微米。

簇 IGBT/晶闸管的性能优于 DMOS-IGBT。

另外，实施本发明的这种器件结构在两个方面明显不同于 EST，例如公开在美国专利 USP5, 293, 054 中的 EST。首先，一个电荷控制的其导电性调制发生在接通状态下的 N 发射区，将 P 基极和 P 阱区分离。在这种方式下，这种器件也不同于上面提到的由 Shekar 等人报道的沟 EST，这种沟 EST 使用一个重掺杂的 N+漂移发射区。在上面提到的所有 EST 中，达到电流饱和只是控制 MOSFET 饱和的结果。但是，控制 MOSFET 通常是低电压的 MOSFET，结果，当 N+漂移发射区的电势增加至超过控制 MOSFET 的击穿电压时，器件将会失效。在簇 IGBT/晶闸管中，除了串联的 MOS 沟道饱和之外，还存在自钳位特性。结果，即使在切换条件下，阴极区的电势没有超过设计的自钳位电压。这个钳位电压远远小于 MOSFET 击穿电压。

簇 IGBT 与 FiBS 有何不同呢？

(a) 与上面描述的簇 IGBT/晶闸管器件不同，FiBS 中的器件单元是不对称的。

(b) 对于一个给定区域和数量的阴极单元，在簇 IGBT/晶闸管中的 N+阴极和控制沟道的数量是 FiBS 中的两倍。结果，与 FiBS 相比，该器件应该在正向电压降的性能上显示出明显的改进。

(c) FiBS 是一个三栅极控结构。一个 NMOS 栅极用于控制接通，这与 EST 的方式相似；一个 PMOS 栅极用于控制关闭。第三个栅极用于接通器件，这与簇 IGBT 一样。在 PMOS 栅极上的电压在切换过程中确定击穿。

(d) 如美国专利 USP 5, 286, 981 所述的 FiBS 的处理，与簇 IGBT 有很大不同。

(e) “DMOS FiBS” 使用了重掺杂的 N⁺⁺发射极。这在簇 IGBT/晶闸管中没有。

(f) 饱和机理与簇 IGBT/晶闸管的饱和机理十分不同。也就是说，在 FiBS 的情况下，通过接通 PMOS 器件来达到饱和。在所描述的簇 IGBT/晶闸管的情况下，通过自钳位达到电流饱和。也就是说，由于 P 基极/N 阱结是反向偏压的，耗尽区已提高到 P 基区之下，并与 P 阱接触。当到达时，在该单元上的电势被钳位，并且 P 阱/N 漂移结维持电压的任何进一步增加。

(g) 制造 IGCT/FiBS 需要外延层。簇 IGBT 可以使用 P 阱、N 阱和 P 基极的三种扩散来形成。

(h) 簇 IGBT/晶闸管可以使用 CMOS 工艺来制作，在 CMOS 程序开始之前，增加使用一些扩散。制作 FiBS 的工艺不是这样。结果，基于 CMOS 或类似物，可以在该器件的栅极衬垫 (pad) 区集成栅极控制电路。电流传感和栅极保护电路也可以在簇级或器件级上集

成。另外，随着载流子寿命的下降，N 阱浓度可被增加以减少正向电压降。

上面描述的簇阴极单元配置也可以应用到双极/MOS 系列的其它器件上。这种器件的例子将在下面给出。

簇 EST

通过向图 1 中基本的簇 IGBT/晶闸管结构中加入较深的 P+隔离，器件的操作可能会产生很大的不同。在此情况下，器件的操作与簇 EST 相似。图 2 的横剖面中所示的一个例子，与图 1 中的相同，但增加了一个特征。因此，下面的描述将限制在增加的特征和它的操作效果上。

正如从图 2 中可以看出的，一个单独的 P+隔离区 50 被加到了图 1 中的簇 IGBT/晶闸管中。它从表面 18 上扩散，并通过 N 阱 22 延伸至 P 阱 20。区 50 是与一个共同的阴极单元金属喷镀 40 相连。结果，除了阴极的电势外，P 阱 20 不再浮动。与图 1 和图 1a 的器件比较，图 2 中器件的正向特性有很大不同。这是因为，当阳极/N 漂移区（14/24）是正向偏压，而且 G1、G2 是接通时，空穴被注入器件。现在这些空穴流向 P+隔离区 50。取决于 P 阱 20 的电阻，该空穴电流的流动将导致 P 阱 20 和 N 阱 22 之间的结 23 被接通。当这种现象发生时，包括 N 阱 22/P 阱 20/N-漂移区 24 的 NPN 晶体管被接通，导致一个 MOS 控制的发射极开关晶闸管的形成。

这种改进的结果是，可能增加了在区 22a 处这些单元之间的 N 阱 22 的浓度。另外，与其它的 EST 结构相比，由于前面描述的自钳位特性，簇 EST

不会遭受控制 MOSFET 的击穿。

簇绝缘基 EST (IBEST)

簇 EST 的正向特性取决于 P 阱 20 的电阻。如果 P 阱的电阻低, 则晶闸管的接通电压就很高。为了克服这个局限性, 可能按照图 3 所示的配置制做器件。该器件除了一个增加的特征外, 其它结构与图 1 的结构相同。下面的描述将限制在增加的特征和它的操作效果上。

在图 3 的器件中, 与图 2 类似地提供的 P+ 隔离区 50。它隔离了 P 阱 20 中的簇阴极单元 30。然而, 对隔离区 50 的处理与图 2 中的有所不同。与到达 P 阱 20 的区 50 的扩散相联系, N+ 区 52 扩散到相邻的表面 18 上, 与相邻的 N 阱 22 的表面部分 22a 和区 50 本身相交。如此形成的 P+/N+ 结是不整流的, 并由与金属喷镀 40 隔开的金属喷镀 54 覆盖, 因此形成了浮动的电阻触点 (FOC)。该 FOC 通过 N+ 区 52c 将 P+ 区 50 与 N 阱 22 相连。这个可浮动的电阻触点不与任何器件的电极端子相连, 因此, 该器件仍然是三端的器件。

图 3 中的器件操作如下。当栅极 G1, G2 接通时, 电子流入 N 漂移区 24。该 FOC 的作用就像电子-空穴转换器。由于 P 阱 20 目前是浮动的, P 阱的电势增加, 而由于 N 阱 22 受 P 阱的电势牵制, 通过控制 MOSFET 的电压降增加。结果, 电子电流流动增加。随着 N 阱/P 阱电势的增加, 通过 P 基极/N 阱 (32/22) 的电压降增加, 直到出现自箝位。

在沟栅极 MOS 中使用阴极单元簇的 IGBT/晶闸管的实施如图 4 所示。

所示的是一个 NPT 结构。该图也说明了隔离区的形成。

图 4 中的具有与在图 1 中的同样或类似功能的层和区域用同样的参考数字加上“100”来表示。

图 4 中的器件 110 包括一个使用 P+基底 112 的半导体主体,基底 112 提供了一个共同的阳极区,在此形成一个阳极触点 116。N 漂移区 124 位于阳极区的上方,并延伸至在 126 的反面 118 上。该器件还包括 P 阱 120, N 阱 122 被安置在其内并与区 124 垂直隔开并与其延伸至 126 处的表面横向隔开。P 阱 120 的表面相邻部分 120b 在其相邻的部分 126 和 122a 之间提供了一个沟道,该沟道被 Gate2 覆盖。图 4 中的栅极氧化物用黑色表示。

如果瞬间忽略标注为 Pwell12 的区的存在,将会看出 N 阱包括一个阴极单元簇 130, 其中显示了三个单元。每个单元都具有同样的对称结构。单元是形成在一个单一的 P 基区 132 内, 该 P 基区 132 与每个单元的栅极结构相交。以左边的单元为例, 栅极结构包括从表面 126 延伸到 N 阱区 122 的沟槽。

多晶硅栅极 Gate1 被安置在该沟中, 并通过栅极氧化物 138 与相邻的硅材料隔离。相邻该表面 N+区 136a 和 136b 在 P-基极材料 132 中形成。区 132a 和 132b 分别提供了 MOSFET 沟道, 每个 MOSFET 都具有一个源极 136a 或 136b 和一个在栅极旁边的 N 阱 122 的部分 122a 上的漏极。同图 1 中一样, Gate1 控制着从阴极/源极触点金属喷镀 140 到 N 阱的导通。在图 4 中, 阴极触点是由延伸到各个源极区 136a、136b 中的金属喷镀提供的, 将注意到, 在表面 118 上, 该触点跨接 N+区 136a、136b 和 P 基极 134 之间的

PN 结。

在工作的器件中，触点金属喷镀被互连的以形成共同的阴极端子，并且所有 Gate1 多晶硅是通过金属喷镀相互连接的（没有显示）。因此，阴极单元相对于阳极是并行的。到此为止，所描述的结构操作基本上同图 1 和图 1 a 中描述的一样。

现在转向包括 Pwell2 的提供，这是一个 P+ 掺杂区 156，通过 P 基区 134 延伸至 N 阱 122。它通过阴极金属喷镀 140 被接触，并导致了一个分离区域在该区域取得了自箝位。设置在 P 阱任一侧面的栅极不需要相互连接，而是可以分别地被电连接。

另一种改型如虚线所示，其中 Pwell2 被形成一个较深的区 158，穿透进入 P 阱区 120 并与其相连。这里区 158 的作用就像图 2 中的区 50 一样是一个隔离区，并且该器件成为一个 EST。

图 5 显示了一个阳极栅极控器件，其中，当栅极 1 接通时，栅极 2 关闭，反之亦然。

本发明也可以应用于其它的双极/MOS 结构。这些结构包括那些可以被称作“类垂直”的器件和横向的器件。这种器件的例子现在将参考图 6—11 给出。在此将不再重复与前面描述的器件基本相同的那些器件结构特征。

现在所描述的所有器件可以以任意技术制作，例如：结隔离 (JI)，电

介质隔离法 (DI)，双外延层电介质隔离法 (DELDI)。所有的器件优选使用 RESURF (表面电场降低) 技术以获得横向的击穿电压。如同已经描述的器件，使用一个簇阴极单元结构。簇的主要作用原理是提供一个层，例如主要的 N 阱，其作用就像空穴的阻挡层。该技术用于所要描述的所有器件中。

图 6 显示了一个在 N 阱 222 中具有阴极单元簇 230 的器件。该结构是沟槽栅结构，其主要特征与图 4 中的相仿，但不包括 Pwell2 区。在图 6 中提供了一个横向的阳极结构，位于 N 漂移区 224 的延伸面 221 至表面 218 的上表面 218 处。这个阳极结构包括一个扩散至区 226 的 N 缓冲区 262 以防止击穿现象发生。一个横向的阳极 P+ 区 214' 被扩散进入缓冲区 262 中，并在那里形成了一个阳极触点 216'。该器件在底面保留了阳极结构 214、216。阳极 216 和 216' 可以被连接在一起或分开。底面的阳极也可以被省略，因此只提供一个横向的阳极。在这种情况下，P+ 基底也可以被省略。

所示的作为沟槽的 Gate1 可用平面型代替。所示的作为平面的 Gate2 可用沟槽代替。阴极 (C) 可以是 240 中的平面金属喷镀或沟槽。

阴极结构中可选的添加项是在成对的相邻 N+ 源极区 236a 和 236b 之间提供一个 P+ 区 264，相关的阴极触点 C 延伸超出了 P+ 区和 N+ 区之间的界限，并在那里突现在表面上。

图 6 也用于说明了三个其它的可选特征，这些特征可以在 N 阱 222 内的横向区域 280 中被提供。这些在图 6—6C 中说明。

图 6a 显示了将 P 阱 256 加入至 N 阱 222 中,但是太浅以至于不能接触到主结构中的 P 阱 220。在该附加的阱上优选通过一个 P+扩散 257 制作一个阴极触点 C。这就提供了一个单独的区域以实现自箝位。图 6b 和 6c 的可选特征分别导致形成了 ETS 和 IBEST 器件。

图 6b 显示了一个深的 P+阱 258,其向下延伸接触到主结构中的 P 阱 220,以提供一个如图 4 所示的 158 这样的隔离区。图 6c 显示了一个类似的深的 P+阱 258',其延伸穿透并接触到 P-阱 220,但还适合作为浮现电阻触点 (FOC),如涉及图 3 的实施例中所描述的。相邻 N+区 252 的浅表面与区 258' 形成了一个非整流流结,并且这些区和这些结被金属喷镀 254 覆盖。

图 7 显示了对图 6 的阴极单元结构的进一步修改。这里的 P+区 264 是在 266 处垂直向下延伸进入 N-阱区 220 的,以提供一个单独的自箝位区域。该结构与图 6 中的不同。阳极 1 和阳极 2 可以连接在一起或分开,栅极 1 和阴极都可以是平面的或沟槽的。

图 8 显示了对图 6 器件的进一步修改,在这个修改中,在图 6 中控制 P 阱 220 中沟道区 220b 的 Gate2 被浮动电阻触点所取代,以提供一个从 N 漂移区 224 到 N 阱区 222 的一个电子通路。在表面 226 上突现的 P-阱 220 的部分 220B 被制成 P+,而相邻的 N 阱 222 的部分 222a 被制成 N+,并用金属喷镀触点 25A 将二者进行跨接。N+区 222a 与簇单元结构被横向隔开。参照图 6 描述的其它可选更改同样也适用于图 8。图 8 中的器件可以在 P+基底上,但不是必须的。

图 9 显示了图 1 器件的横向图。将会看出，图 9 中基本确定了与半导体主体 310 的上表面 318 相邻的结构。该主体具有最下部的 P 区 320，在 P 区 320 的上面，最初形成了一个 N 区，进入该区后，从上表面 318 执行了后续的过程操作。按横向顺序，该器件具有扩散的 P+ 阳极区 314，在其上制成了阳极触点 316。P+ 区自身扩散进入一个更大范围的 N 缓冲区 320 之中，然后被扩散进入被横向分成两个相隔部分的最初的 N 区。首先是一个 N 漂移区 322，其次是一个 N 漂移区 324。但是，漂移区 324 具有在其中形成的阳极结构，区 322 具有在其中形成的阴极结构 330。这两个区是隔离的，但是通过一个 MOSFET 可控制地连接在一起。

在区 322 和 324 之间，一个 P+ 隔离区 358 被扩散，延伸并穿透下面的 P 区 320。区 358 分离了两个漂移区。在它们之间的电子流动被一个 MOSFET 控制。该 MOSFET 具有一个形成于栅极氧化物 342 之上的栅极 Gate2。Gate 2 延伸越过 322 和 324 两个区以及在表面 318 上的区 358。在 Gate 2 下面提供一个 N 注入物 (implement) 359 以通过 P+ 区延伸进入 N 漂移区的相邻部分。该 N 注入物减少了 Gate2 下沟道中的多数载流子浓度，因此，降低了接通 MOSFET 晶体管所需的阈值电压。

形成在 N 漂移区 322 中的簇阴极单元结构 330 将在此进行描述。它同参考图 4 所描述的类似，其中具有一个 P 基区 332，在 P 基区 332 中形成有阴极单元以控制地与 N 漂移区 322 连接。簇 330 中的每个单元包括一个沟槽栅极 Gate 1，该 Gate1 控制在 N+ 源极区 336a、336b 和 N 漂移区 322 之间的电传导。沟槽栅极通过存在 334a、334b 沟道的基区 332 延伸进入 N 漂移区 322，该 N 漂移区 322 形成了每个 MOSFET 沟道的漏极 322a。在区

336a、336b 上制成了源极（阴极）触点 C，（每个触点的金属喷镀跨接 N⁺区和 P 基区 332 之间的结，P 基区 332 突现在表面 314 上）。

实际上，阴极触点 C 是互连的，如同多晶硅沟槽栅极 Gate 1，因此，这些阴极单相对于阳极是并行的。Gate 2 可以与 Gate 1 相连或单独连接。Gate 1 可以以平面的形式，也可以按沟槽形式实现。阴极 C 可以是沟槽式的，也可选择为平面式的。N 漂移区 324 可以具有不同的厚度或在 N 漂移区 322 中具有不同的掺杂。区 324 被使用以使用 RESURF 来维持击穿电压。图 9 中的器件显示出优异的接通状态下的特性和高的面积效率。

图 10 显示了图 9 中的横向器件的改进。阳极漂移区 324 在其并入了 Gate 2 的表面上具有一个浮动电阻触点。该 FOC 的 P⁺、N⁺区 343、345 在一个浅 P 阱 341 内形成，并通常被浮动触点金属喷镀 354 短接。将注意到，N⁺区 345 被安置在朝着 N 注入 359 的方向，而且 Gate 2 延伸越过区 345。这促进了电子注入 MOSFET 沟道，导致了降低的接通状态下的电阻。

图 10 也显示了进一步可选择的改进，对应于图 6 所显示的 264。相邻阴极单元的相邻的 N⁺源极区通过一 P⁺区 364 被连接，并通过一共同的阴极触点被接触。这导致了更多的电传导沟道，因此较高的电流通过该器件。

图 11 显示了图 8 器件的另一项改进。它显示了对前面段落中提及的阴极结构的可选的更改，但是更重要地是显示了如前面描述的以沟槽形式实现的 Gate 2。该栅极延伸进入 P 区 320 和在栅极附近的区 320c 中形成增强型模式的沟道，同时 N 漂移区 324、322 分别形成了与提供源极和漏

极。

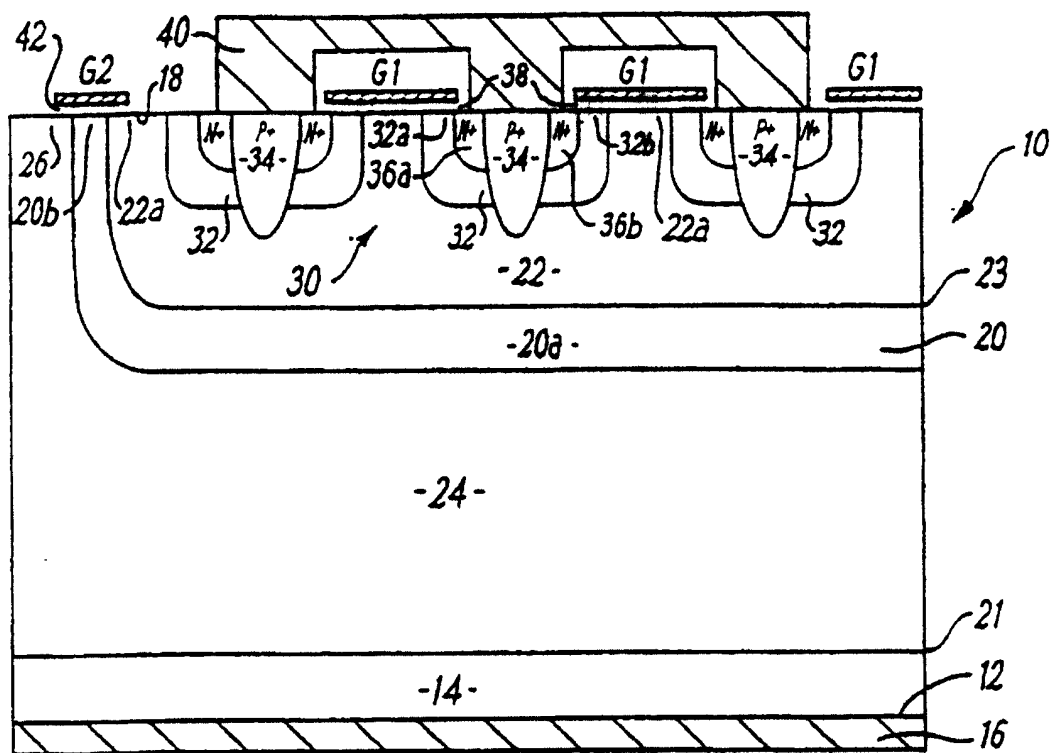


图 1

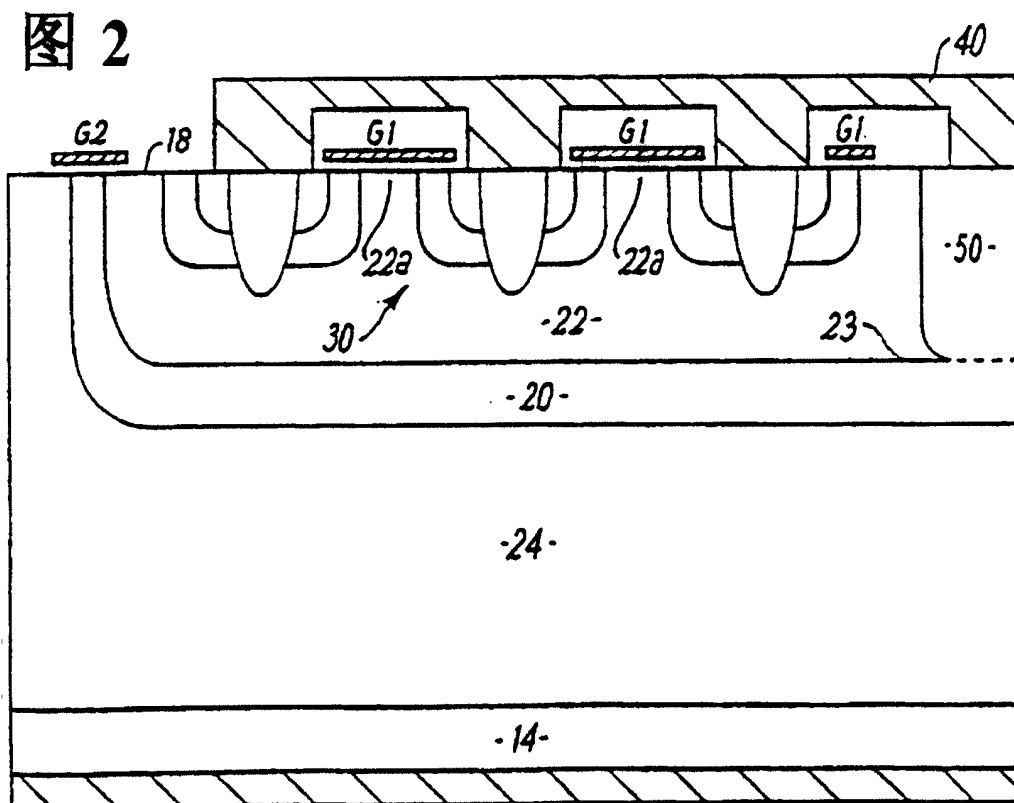


图 2

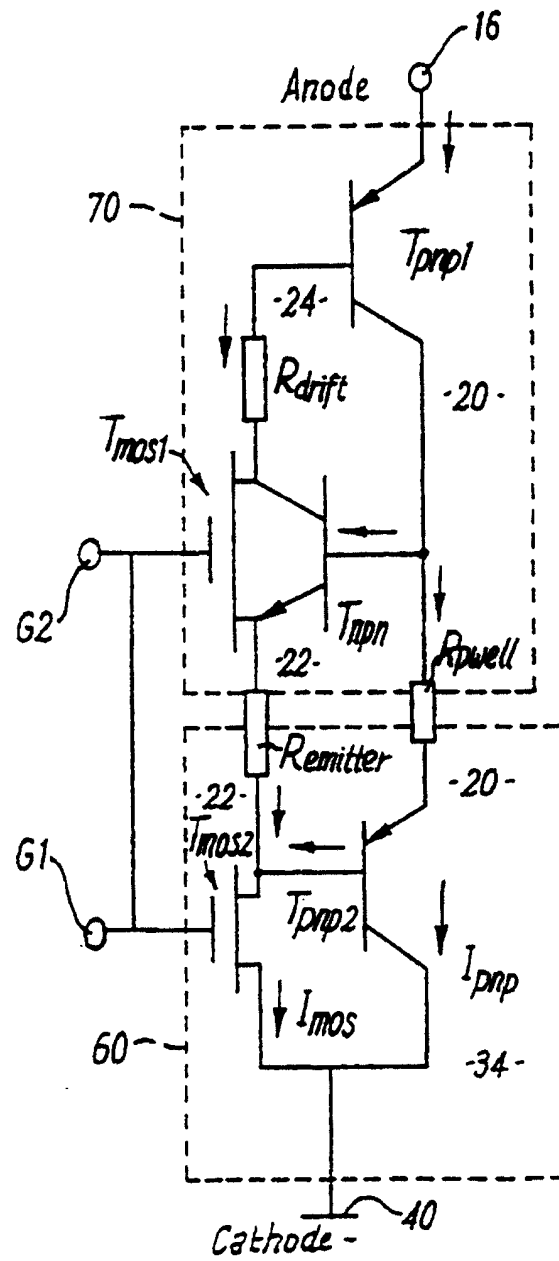


图 1a

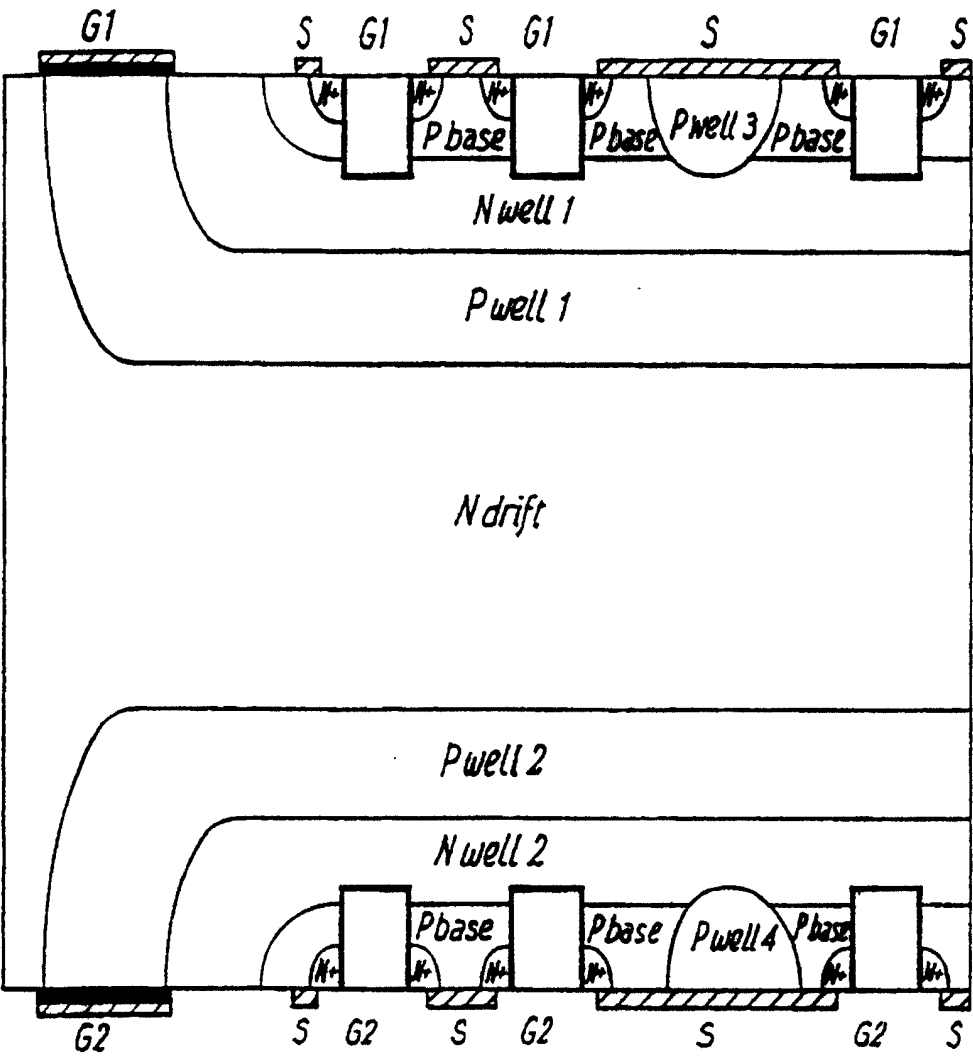


图 5

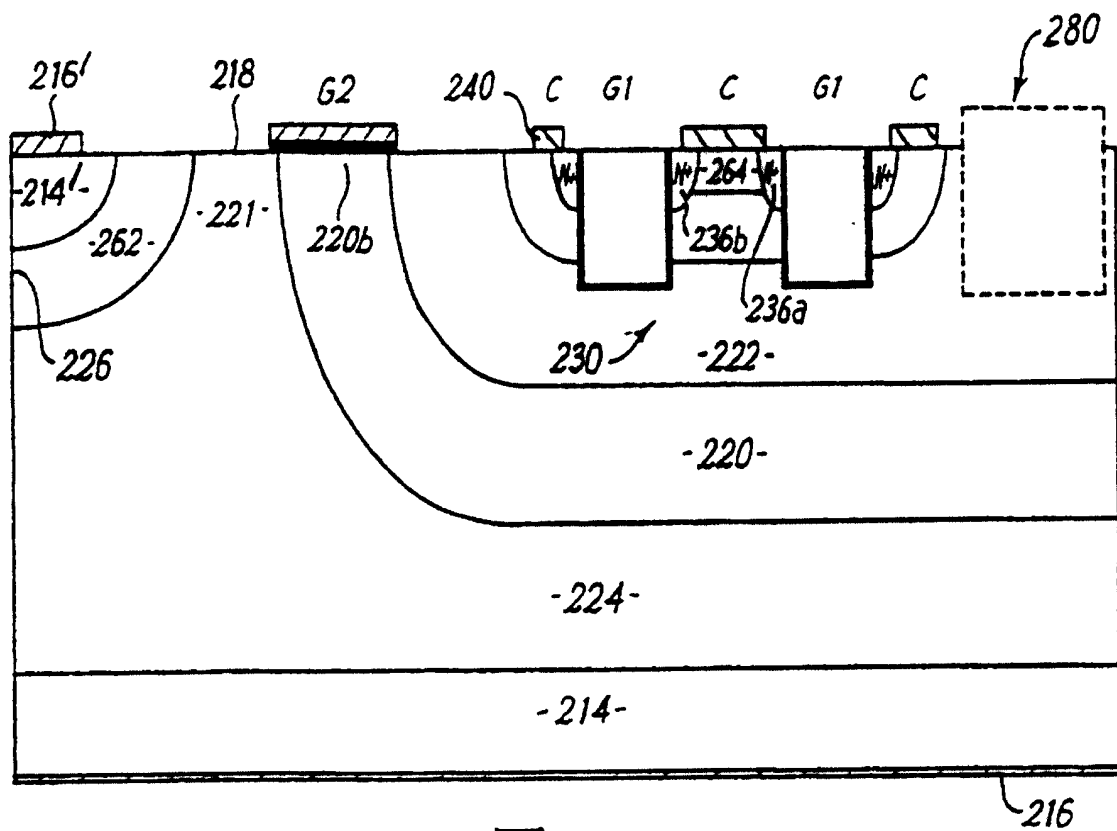


图 6

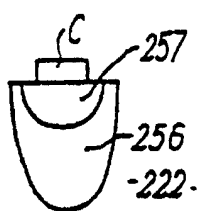


图 6a

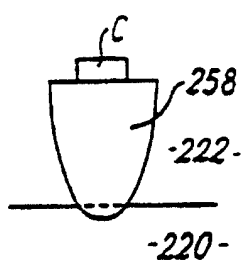


图 6b

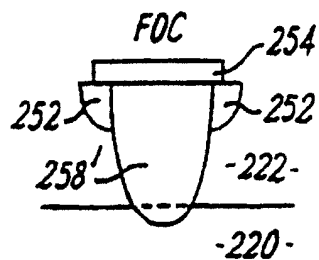


图 6c

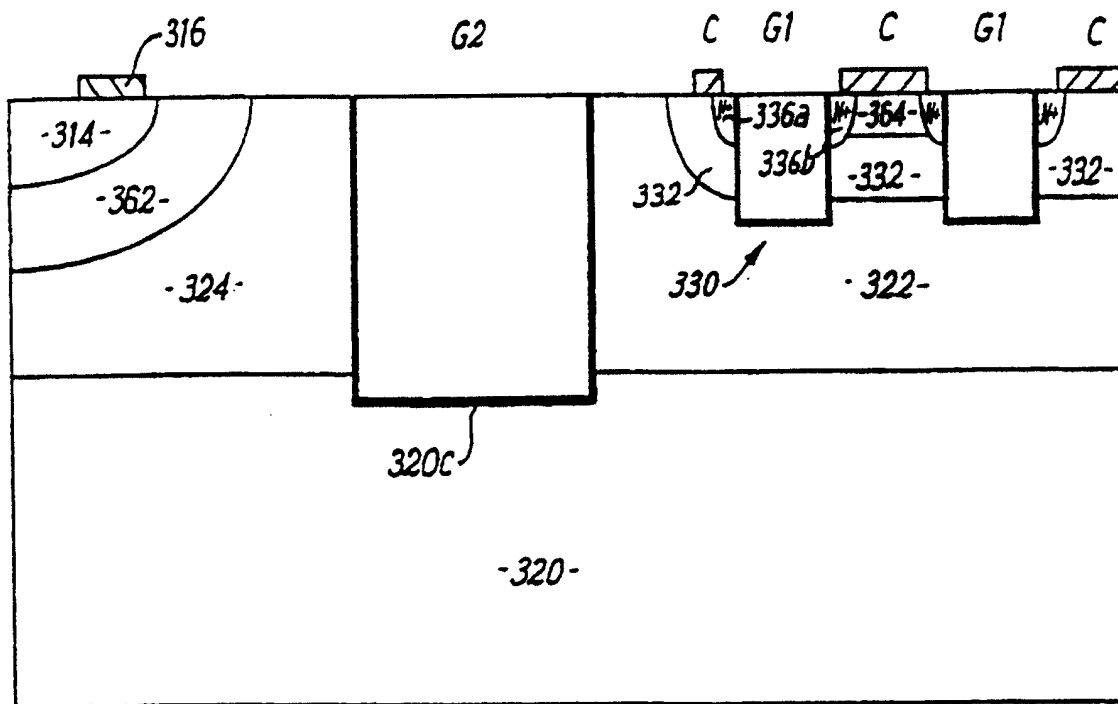


图 11

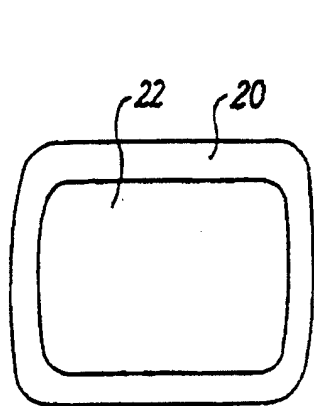


图 12a

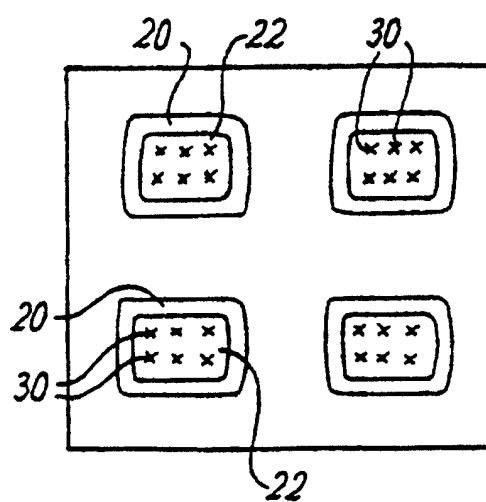


图 12b