(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11B 20/10

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0191944
(24) 등록일자 1999년01월27일

(21) 출원번호	10-1995-0005420	(65) 공개번호	특1995-0027787
(22) 출원일자	1995년03월16일	(43) 공개일자	1995년10월18일
(30) 우선권주장	94-046010 1994년03월16일 일본(JP)		

(73) 특허권자 도시바 에이.브이.이 가부시키가이샤 나카무라 노부히데
일본 도오쿄오도 미나토쿠 신바시 3-3-9가부시기가이샤 도시바 니시무로 타이죠
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72
(72) 발명자 나베시마 다이키
일본국 가나가와켄 요코하마시 이소고쿠 신수기타쵸오 8 가부시기가이샤 도시바 멀티미디어 기술연구소내
오자키 나오키
일본국 도쿄도 미나토쿠 신바시 3-3-9 도시바 에이.브이.이. 가부시기가이샤 나이
(74) 대리인 나영환, 이상섭

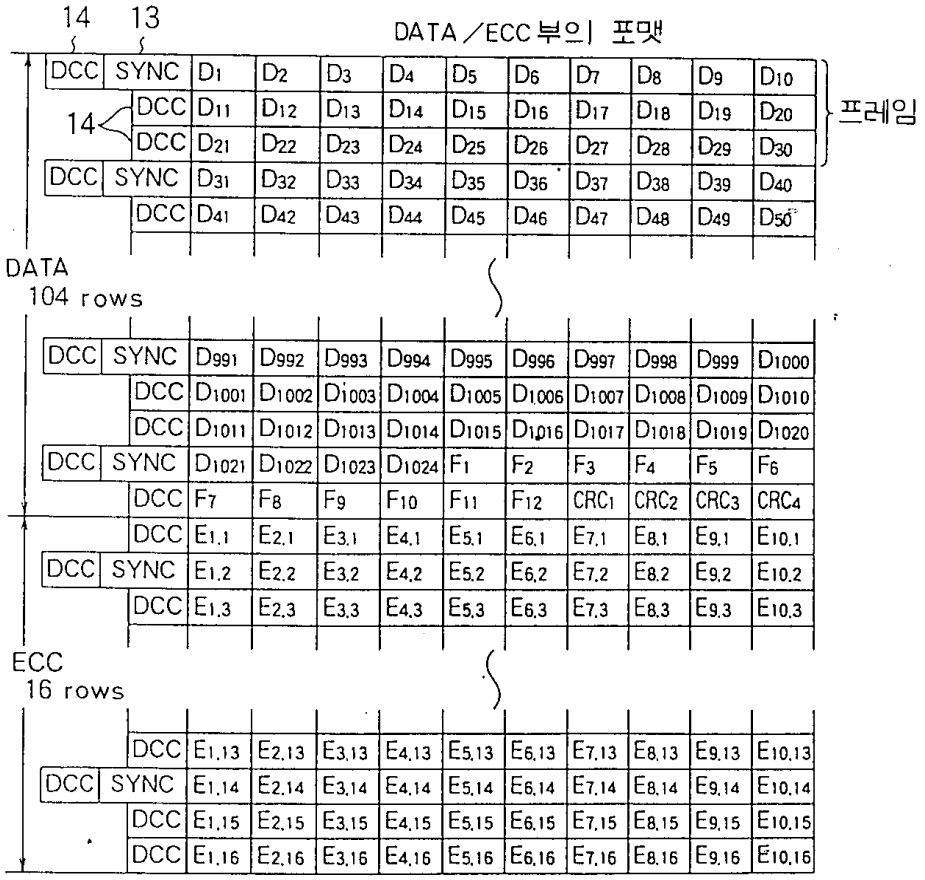
심사관 : 송진숙

(54) 기록 매체 및 그 신호 기록 장치와 신호 재생 장치

요약

기록 매체는 데이타 동기용의 SYNC(동기화 코드)와 기록 매체상에 기록된 신호 파형의 DC성분을 억제하기 위한 DCC(DC 삭제 코드)가 인접 배치되어 포함된다. SYNC와 DCC 모두는 데이타부에 나타나지 않는 패턴이다. 신호 기록 장치는 기록 매체상에 기록된 신호 파형의 DSV를 산출하는 DSV 산출 수단과, 상기 DSV 산출 수단에 의해 산출된 DSV에 대응하여 신호 파형의 DC성분을 억제하기 위한 삭제 코드를 발생하는 삭제 코드 발생 수단과, 상기 삭제 코드 발생 수단에 의해 발생된 삭제 코드에 동기화 코드와 기록 데이타를 연결시키고 데이타 동기용의 상기 동기화 코드와 상기 삭제 코드가 인접 배치되도록 상기 삭제 코드, 동기화 코드 및 기록 데이타를 상기 기록 매체상에 기록하는 기록 수단을 포함한다. 신호 재겡 장치는 기록 매체로부터 신호를 판독하는 판독 수단과, 상기 판독 수단에 의해 판독된 신호로부터 상기 동기화 코드와 삭제 코드의 연속 패턴에 포함된 소정 패턴을 데이타를 동기시키기 위한 주요 동기화 코드로서 검출하는 동기화 코드 검출수단을 구비한다.

대표도



명세서

[발명의 명칭]

기록 매체 및 그 신호 기록 장치와 신호 재생 장치

[도면의 간단한 설명]

제1도는 본 발명의 실시예에 따른 광디스크의 섹터 포맷에서의 DATA/ECC부에 대한 구조를 도시한 도면.

제2도는 제1도의 DATA/ECC 부에서의 SYNC와 DCC 의 위치관계를 도시하는 도면.

제3도는 SYNC와 DCC의 패턴을 도시하는 도면.

제4도는 본 발명애 따른 신호 재생 장치의 구조를 도시하는 볼록도.

제5도는 DSV의 산출법 및 두가지 종류의 DCC값(a,b)에 대한 DCC 결정법을 설명하는 도면.

제6도는 본 발명에 따른 신호 재생 장치의 구조를 도시하는 블록도.

제7도는 SYNC 검출 회로의 구조를 도시하는 블록도.

제8도는 본 발명의 다른 실시예에 따른 동기화 패턴 검출부의 구조를 도시하는 블록도.

제9도는 4-9 변조 시스템에 대한 코드 변환표의 구조를 도시하는 블록도.

제10도는 종래 광디스크의 섹터에 대한 구조를 도시하는 도면.

제11도는 제10도의 데이타부에 대한 구조를 도시하는 도면.

제12도는 제11도의 SYNC와 DCC의 위치 관계 및 이들의 신호 간격을 도시하는 도면.

* 도면의 주요부분에 대한 부호의 설명

13 : 동기화 코드 14 : 삭제 코드

41 : 데이타 변조부　　42 : DSV 산출부

43 : DCC 결정부　　46 : 신호 기록부

61 : 신호 판독부　　62 : NRZI 복조부

63 : 섹터 해체부　　64 : 동기화 코드 추출부

65 : 데이타 동기부　　66 : 데이타 복조부

81 : SYNC 패턴 검출부　　83 : DCC 패턴 검출부

[발명의 상세한 설명]

본 발명은 광디스크와 같은 기록 매체 및 그 신호 기록 장치와 신호 재생장치에 관한 것이다.

디지탈 데이타가 광디스크와 같은 기록 매체상에 고밀도로 기록되는 경우, 가능한 제한 비트 간격에 다량의 데이타를 기록하기 위해 디지탈 데이타는 큰 값의 최소 코드 반전 간격 7min 으로 변조되어야만 한다.

이를 위해 최근에 큰 값의 최소코드 반전 간격 Tmin 을 갖는 변조시스템으로서 4-9 변조 시스템이 제시되고 있다. 4-9 변조 시스템은 예컨대 일본국 특허 출원번호 제 5-76692호에 개시되어 있다. 4-9 변조 시스템은 4-비트 데이타를 9-비트 데이타로 변환한다. 4-9 변조 시스템에서 최소 코드 반전 간격 Tmin 은 47 (여기서 T는 비트간격) 이며 최대 코드 반전 간격 Tmax는 18T이다.

제9도는 4-9 변조 시스템용 코드 변환표에 대한 구조를 도시한다. 제2도에서, D_n은 입력 2진 데이타 시퀀스가 매 4번째 비트마다 분할되어 16진수(Hex)로 표현되는 값이다. T_n은 입력 T_n이 9비트로 변환되어 적어도 3개의 0가 2개의 비트 1사이에 표현되는 2진 비트 패턴이다. D_n 과 D_{n+1} 간의 관계로 인해 2개 혹은 3개의 T_n 패턴이 제공된다. D_{n+1}의 값에 따라 T_n 의 패턴이 결정된다. D_n = 5 인 경우 T_n은 '000000100 또는 '000010001'중 하나이다. D_{n+1} 이 6,7,8 D 또는 F인 경우 T_n은 '000010001'이다. 그렇지 않다면 T_n은 100이다. D_{n+1}에 따라 T_n이 '000000100'인 경우 D_{n+2} 역시 케이스(1)의 변환표에 대응한다. 실례로서 D가 5,6및 7 중 어느 하나인 경우, 10001, 0 및 10000100 중 어느 하나를 얻을 수 있다.

데이타가 기록 매체상에 기록되는 경우, 결과적인 4-9 변조 코드는 NRZI(Non-Return to Zero Inverted : 비영 복귀 반전) 기술에 대응하여 변조된다.

한편, 데이타가 기록 매체로부터 재생되는 경우, 데이타를 한 바이트씩 판독할 수 있도록 동기화 코드가 기록 매체상에 규칙적으로 기록되어야만 한다. 이후부터 동기화 코드는 SYNC로 지칭된다. SYNC는 데이타부에는 나타나지 않는 소정 패턴이다.

4-9 변조 시스템등에 있어서, NRZI 기술에 대응하여 변조되는 신호는 DC성분을 포함한다. DC성분을 억제하기 위해 DC 삭제 코드(DCC :Dc cancel code)가 데이타 부분에 부가된다.

제10도는 종래 광디스크의 섹터에 대한 구조를 도시한다. 제 11도는 제10도의 데이타부에 대한 구조를 도시한다. 이를 도면에 도시된 바와같이 각 섹터는 어드레스부(1)와 DATA/ECC부(2)로 구성된다. SYNC(3) 및 DCC(4)는 적어도 DATA/ECC부(2)에는 규칙적으로 위치된다. DATA/ECC부(2)는 각각이 소정 비트 간격을 갖는 다수의 볼록으로 구성된다.

제12도는 제11도의 SYNC(3)와 DCC(4)의 위치관계를 도시한다. 제12도에 도시된 바와같이 데이타는 SYNC(3) 및 DCC(4)사이에 위치된다. SYNC(3)의 신호 간격은 36비트이며, DCC(4)의 신호간격은 9비트이다.

DCC(4)가 디스크상에 기록된 신호의 파형의 DC 성분을 억제하기 위한 필수코드이기는 하지만, 이에 따라서 DATA/ECC부(2)의 데이타 기록 영역이 감소되므로 기록 매체에 대한 고밀도 기록에 장애가 된다.

종래의 광디스크등의 섹터 포맷에 있어서, 동기화 코드와 삭제 코드가 분산매치되므로, 데이타부 이외의 용장부가 커져 기록 매체상에 기록되는 데이타의 양이 제한된다.

본 발명의 목적은 전술된 문제점을 해결하는 것이다. 즉 본 발명의 목적은 동기화 코드와 삭제 코드로 구성된 용장부를 감소시키며 이에 의해 기록 가능한 데이타량과 기록 밀도를 증가시키는 기록 매체 및 그 신호 기록 장치와 신호 재생 장치를 제공하는 것이다.

본 발명의 목적은 삭제 코드 기능을 저하시키지 않고서 동기화 코드와 삭제 코드로 구성된 용장부를 감소시키는 기록 매체 및 그 신호 기록 장치와 신호 재생 장치를 제공하는 것이다.

본 발명의 다른 목적은 재생시에 데이타를 확고하게 동기시키며 이에 의해 재생된 신호의 신뢰도가 개선되는 기록 매체 및 그 신호 기록 장치와 신호 재생 장치를 제공하는 것이다.

본 발명의 제 1특징은 기록 매체상에 인접 기록되는 데이타 동기용 동기화 코드 및 기록 매체상에 기록된 신호 파형의 DC 성분 억제용 삭제 코드를 갖는 기록 매체에 있다.

본 발명의 제 2 특징은 기록 매체상에 기록되는 동기화 코드의 일부를 삭제 코드가 포함하는 데이타 동기용 동기화 코드 및 기록 매체상에 기록된 신호 파형의 DC 성분 억제용 삭제 코드를 갖는 기록 매체에 있다.

본 발명의 제 3특징은 기록 매체상에 기록된 신호 파형의 DSV(Digital Sum Value : 디지탈 합산치)를 산출하는 DSV 산출 수단, 상기 DSV 산출 수단에 의해 산출된 DSV 에 대응하여 신호 파형의 H 성분을 억제하는 삭제 코드를 발생하는 삭제 코드 발생 수단 및 상기 삭제 코드 발생 수단에 의해 발생된 삭제 코드에 동기화 코드와 기록 데이타를 연결시키고 상기 삭제 코드와 데이타 동기에 사용되는 상기 동기화 코드가 인접 배치되도록 상기 삭제 코드와 동기화 코드와 기록 데이타를 기록 매체상에 기록하는 기록 수단을 구비한 기록 매체에 대한 신호 기록 장치에 있다.

본 발명의 제 4 특징은 기록 매체상에 기록된 신호 파형의 DSV 를 산출하는 DSV 산출수단, 상기 DSV 산출수단에 의해 산출된 DSV에 대응하여 신호 파형의 DC 성분을 억제하기 위한 삭제 코드를 발생하는 삭제 코드 발생수단 및 상기 삭제 코드 발생 수단에 의해 발생된 삭제 코드에 소정 신호 패턴과 기록 데이타를 연결시키고 데이타 동기에 사용되는 동기화 코드의 일부인 상기 소정 패턴과 상기 삭제 코드가 인접 배치되도록 기록 매체상에 상기 삭제 코드와 소정 신호 패턴과 기록 데이타를 기록하는 기록 수단을 구비하는 기록 매체에 대한 신호 기록 장치에 있다.

본 발명의 제 5 특징은 기록 매체로부터 신호를 판독하는 판독 수단 및 상기 판독 수단에 의해 판독된 신호로부터의 데이타를 동기화 시키기 위한 주요동기화 코드로서 동기화 코드와 삭제 코드의 연속 패턴에 포함된 소정 패턴을 검출하는 동기화 코드 검출 수단을 구비하여, 기록 매체상에 인접 배치되어 있는 데이타 동기용 동기화 코드 및 신호 파형의 DC성분 억제용 삭제 코드가 기록되어 있는 기록 매체로부터 데이타를 재생하는 신호 재생 장치에 있다.

본 발명의 제 6특징은 기록 매체로부터의 신호를 판독하는 판독 수단 및 상기 판독 수단에 의해 판독된 신호로부터의 데이타를 동기시키기 위한 주요 동기화 코드로서 동기화 코드와 삭제 코드의 연속 패턴에 포함된 소정 패턴을 검출하는 동기화 코드 검출 수단을 구비하여, 데이타 동기용 동기화 코드의 일부를 포함하는 신호 파형의 DC성분 억제용 삭제 코드가 기록되는 저장 매체로부터 데이타를 재생하는 신호 재생 장치에 있다.

그러므로 본 발명에 따라, 동기화 코드 및 삭제 코드는 기록 매체상에 인접기록된다. 데이타가 재생되는 때에, 동기화 코드와 삭제 코드의 연속 패턴에 포함된 소정 패턴은 데이타를 동기시키는 주요 동기화 코드로서 검출된다.

결과적으로, 검출될 동기화 코드의 비트 간격의 감소 요구와 삭제 코드의 기능저하 없이도 기록 매체상에 기륵되는 데이타량이 증가될 수 있으므로 기록 밀도가 증가하게 된다.

또한 본 발명에 따라, 동기화 코드의 일부가 삭제 데이타에 포함되는 방법으로 삭제 코드가 기록 매체상에 기록된다. 데이타가 재생되는 경우, 동기화 코드와 삭제코드의, 연속 패턴에 포함된 소정 패턴이 데이타를 동기시키는 주요 동기화 코드로서 검출된다. 따라서, 검출된 동기화 코드의 비트 간격의 감소와 삭제 코드의 기능 저하 없이도 기록 매체상에 기록되는 데이타량이 증가될 수 있으므로 기록 밀도가 증가하게 된다.

또한 본 발명에 따라, 삭제 데이타의 일부 혹은 전부가 등기화 코드에 포함되므로, 재생시에 데이타가 확고하게 동기될 수 있어서 재생된 신호의 신뢰도가 개선된다.

본 발명의 이와같은 목적, 특징 및 장점은 첨부 도면에 예시된 바와같은 최상의 실시예에 대한 다음의 상세한 설명에 비추어 명백해질 것이다.

첨부 도면을 참고로 본 발명의 실시예가 설명될 것이다.

제1도는 본 발명의 실시예에 따른 광디스크의 섹터 포맷에서의 DATA/ECC부의 구조를 도시하고 있다. 제2도는 제1도의 DATA/ECC부에서의 SYNC(동기화 코드)와 DCC(DC 삭제 코드)의 위치 관계 및 이들의 신호 간격을 도시하고 있다.

제1도 및 제2도에 도시된 바와같이 DATA/ETC 부의 각 프레임의 개시 지점에 SYNC(13)와 DCC(14)가 인접 배치된다. 즉 프레임의 개시 지점에 DCC(14)가 배치된다. S7NC(13)는 DCC(14)에 후속된다. S7NC(13)의 신호간격은 27 비트이다. DCC(14)의 신호 간격은 9비트이다. 따라서 SYNC(13)와 DCC(14)의 총 신호 간격은 36 비트이다.

제3도는 SYNC(13) 와 DCC(14)의 패턴을 도시하는 도면이다. 제3도에서 ' * ' 부분에는 '0' 혹은 ' 1 의 값이 위치된다. SYNC(13)와 DCC(14)는 데이타부에서는 나타나지 않는 소정 패턴 즉, 4-9 변조 코드로 표현된다. 따라서, SYNC(13)와 DCC(14)로 구성된 연속 패턴은 하나의 S7NC 패턴으로 취급될 수 있다. 본 예에 있어서, 데이타부에서는 나타나지 않는 패턴으로서 17T, 4T, 4T 및 6T의 코드 반전 간격을 갖는 패턴이 사용된다.

따라서 본 실시예에 다른 광디스크에 있어서, SYNC(13) + DCC(14)로 구성된 연속 패턴이 신호 SYNC패턴으로 처리될 수 있으므로, SYNC(13)의 신호 간격은 DCC(14)의 신호 간격에 비해 감소괼 수 있어서 DCC(14)의 기능 저하 없이 기록밀도가 개선된다.

SYNC(13) 와 DCC(14)로 구성된 연속 패턴을 기록하는 신호 기록 장치가 설명될 것이다.

제4도는 본 발명에 따른 신호 기록 장치의 구조를 도시하는 블록도이다.

제4도에서의 신호 기록 장치는 데이타 변조부(41), DSV 산출부(42), DCC 결정부(43), 섹터 구성부(44), NRZI 변환부(45) 및 신호 기록부(46)를 구비한다.

데이타 변조부(41)는 입력 데이타에 대한 4-9 변조를 수행하여 4-9 변조 신호를 DSV 산출부(42)와 섹터 구성부(44)에 제공한다. DSV 산출부(42)는 입력 4-9 변조 신호에 대응하여 DSV(디지탈 합산치)를 산출하고 DSV를 DCC 판별부(43)에 제공한다. DSV는 한 블록씩(예컨대, 제1도의 D1~D10, D11~D20, D21~D30의 블록) 산출된다. DSV가 구해진 경우 DCC가 결정된다. 예컨대, 제5도에 도시된 바와같이 2개의 DCC 값('010001000'과 '000001000')이 이들 간에 대한 DSV를 산출하기 위해 사용된다. 이후부터 DSV의 절대치가 비교되고 더 작은 절대치를 갖는 DCC 가 기록될 DCC(14)로서 결정된다. 섹터 구성부(44)는 결정된 MC(14)를 S7NC(13)와 함깨 기록 데이타에 부가한다. 이로써 제1도에 도시된 섹터 포맷이 구성된다. 이후부터 NRZI 변조부(45)는 DCC(14), SYNC(13) 및 기록 데이타로 구성된 4-9 변조 신호에 대해 NRZI 변조를 수행한다. 신호 기록부(46)는 기록 매체(광디스크)D상에 4-9 변조 신호를 기록한다.

이제부터 기록 매체로부터 신호를 재생하는 신호 재생 장치가 설명될 것이다. 제6도에서의 신호 재생 장치는 신호 판독부(61), NRZI 복조부(62), 센터 구성부(63), 동기화 코드 추출부(64), 데이타 동기부(65)

및 데이타 복조부(66)를 구비한다. 신호 판독부(61)는 기록 매체 D상에 기록되는 신호를 판독하여 이 신호를 NRZI복조부(62)에 제공한다. NRZI 복조부(62)는 판독 신호에 대한 NRZI복조를 수행하여 4-9 변조 신호인 복조 신호를 섹터 구성부(63)에 제공한다. 섹터 구성부(63)는 섹터 포맷을 구성하는 4-9 변조 신호로부터 데이타부를 추출하여 이 데이타부를 데이타 복조부(66)에 공급한다. 동기화 코드 추출부(64)는 4-9 변조 신호로부터 DCC(14) + SYNC(13)를 추출하여 이것을 데이타 동기부(65)에 공급한다. 데이타동기부(65)는 SYNC 검출회로를 포함한다. SYNC 검출 회로는 DCC(14) + SYNC(1지로부터 데이타를 동기시키는데 필요한 주요 SYNC 패턴을 검출한다.

SYNC 검출회로는 차후에 더 상세히 설명될 것이다. 데이타 동기부(65)는 SYNC 패턴의 검출 결과에 대응하여 데이타 복조부(66)에 대한 데이타 추출 타이밍을 발생하여서 데이타 복조부(66)가 데이타에 대한 4-9복조를 한 바이트씩 수행하도록 한다. 따라서, 재생된 데이타가 출력된다.

제7도는 SYNC 검출 회로의 구조를 도시하는 도면이다. SYNC 검출회로는 시프트 레지스터와 약간의 논리 게이트를 구비한다. 즉 SYNC 검출 회로는 비트 클럭 이 발생할때마다 NRZI 복조되는 직렬데이타를 입력한다. 입력 패턴이 전술된 SYNC 패턴과 부합할때 SYNC검출 회로는 SYNC검출 신호를 출력한다.

표 1과 2는 주요 SYNC 패턴과 검출된 비트 시퀀스의 (a) ~ (J')쌍을 도시한다. 각 쌍의 상위 행은 32비트의 DCC + SYNC로 구성된 주요 SYNC 패턴을 표현한다. 각 쌍의 하위 행은 주요 SYNC 패턴의 일부를 표현한다. 예컨대 쌍(a)의 하위 헹은 30 비트의 DCC + SYNC로 구성된 주요 SYNC 패턴의 상위 5 비트와 하위 5 비트를 제외한 26 비트가 주요 SYNC 패턴의 검출 비트라는 것을 나타낸다. 최초 비트가 DCC값의 반전 포인트이고 최종 비트가 17T, 4T, 4T 및 6T의 시퀀스 패턴(데이타부에 나타나지 않음)중 6T의 시퀀스의 개시 비트이므로 26-비트 패턴은 패턴 비교에 요구된 최소 수의 비트이다.

(j')쌍의 하위 행은 DCC + SYNC의 모든 비트가 주요 S7IC 패턴의 검출 비트라는 것을 나타낸다 즉, 주요 SYHC 패턴으로서의 비트 시퀀스는 표 1의 (a)쌍의 하위 행의 최소 비트 수에서 부터 표 2의 (j')쌍의 하위행의 DCC + SYHC의 모든 비트까지 선택될 수 있다. 본 실시예에서, DCC(14)는 SYHC(13)를 포함하는 프레임의 제 1블록에 배치된다. 또한, DCC(14)는 각 블록의 개시 지점에 배치된다. 통상 DCC는 신호가 기록되는 경우 DC성분을 억제하기 위해 부가된다. 따라서, 데이타가 재생되는 경우에는 DCC가 필요치 않다. 본 발명에 따라, DCC(14)가 제 1블록을 포함한 각 블록의 개시 지점에 배치되므로, DCC(14)는 데이타가 각각의 SYHC(13)사이에서 동기되도록 하는 보조 정보로서 사용될 수 있다.

따라서, 버스트 오류로 인해 S171c(13)가 검출될 수 없어 데이타가 동기되지 못하는 경우에도, 각 블록의 7C(14)를 가지고 데이타를 동기시킬 수 있다.

결과적으로, SYNC 패턴만으로 데이타가 동기되는 경우보다 동기 복원 시간이 더 단축될 수 있다. 동기 복원 시간이 단축되는 경우, 처리되는 데이타량이 증가될 수 있으며 데이타의 신뢰도가 개선될 것이다.

SYNC패턴만이 사용되는 경우, 수정 불가능한 오류가 발생할 수도 있다. 그러나, 데이타가 각 블록의 DCC(14)를 사용하여 동기되는 경우, 오류를 수정할 수 있는 가능성이 증대된다. 오류가 수정될 수 없는 상황이 현저히 감소됨으로써 오류 수정부에 가해지는 부담이 경감된다.

본 실시예에서, SYNC(13) + DCC(14)의 연속 패턴에 포함된 주요 SYNC 패턴은 데이타를 동기시키기 위해 검출된다. 그러나 제8도에 도시된 바와같이, SYNC 패턴뿐만 아니라 DCC(14) 패턴 또한 데이타를 동기시키기 위해 검출될 수도 있다. 제8도의 인용 부호 81은 SYNC 패턴 검출부이다. 전술된 SYNC 검출회로와 마찬가지로, S7IC 패턴 검출부(81)는 SYNC(13) + DCC(14)의 연속 패턴애 포함된 주요 S7NC 패턴을 검출하여 검출된 신호를 AND게이트(82)에 제공한다. 인용 부호 83은 DCC(14)의 패턴만을 검출하여 검출된 신호를 AND 게이트(82)에 출력하는 DCC 패턴 검출부이다 따라서, 본 구조에서 SYNC(13)의 패턴과 DC(14)의 패턴 모두가 검출되는 경우에만 SYNC가 검출된다. 결과적으로 SYNC 검출 정확도가 증가되고 이로써 데이타의 동기화에 대한 신뢰도가 개선될 수 있다.

제 1실시예에서의 SYNC패턴은 17T에 대한 코드 반전 간격의 시퀀스를 포함한다. 그러나 SYNC패턴은 18T에 대한 코드 반전 간격의 시퀀스를 포함할 수도 있다.

제 1실시예에서는 4-9 변조 시스템이 사용된다. 그러나, 섹터 포맷이 SYNC(13)와 DCC(14)를 포함하는 한, 다른 RLL(Run Length Limited : 실행 간격 제한) 변조 시스템과 같은 각종 변조 시스템이 본 발명에 적용될 수도 있다.

제 1실시예에 있어서, DCC(14)는 각 프레임의 개시 지점에 배치되며 SYNC(13)가 후속된다. 그러나, SYNC(13)가 각 프레임의 개시 지점에 배치될 수도 있으며 SYNC(13)에 DCC(14)가 후속될 수도 있다.

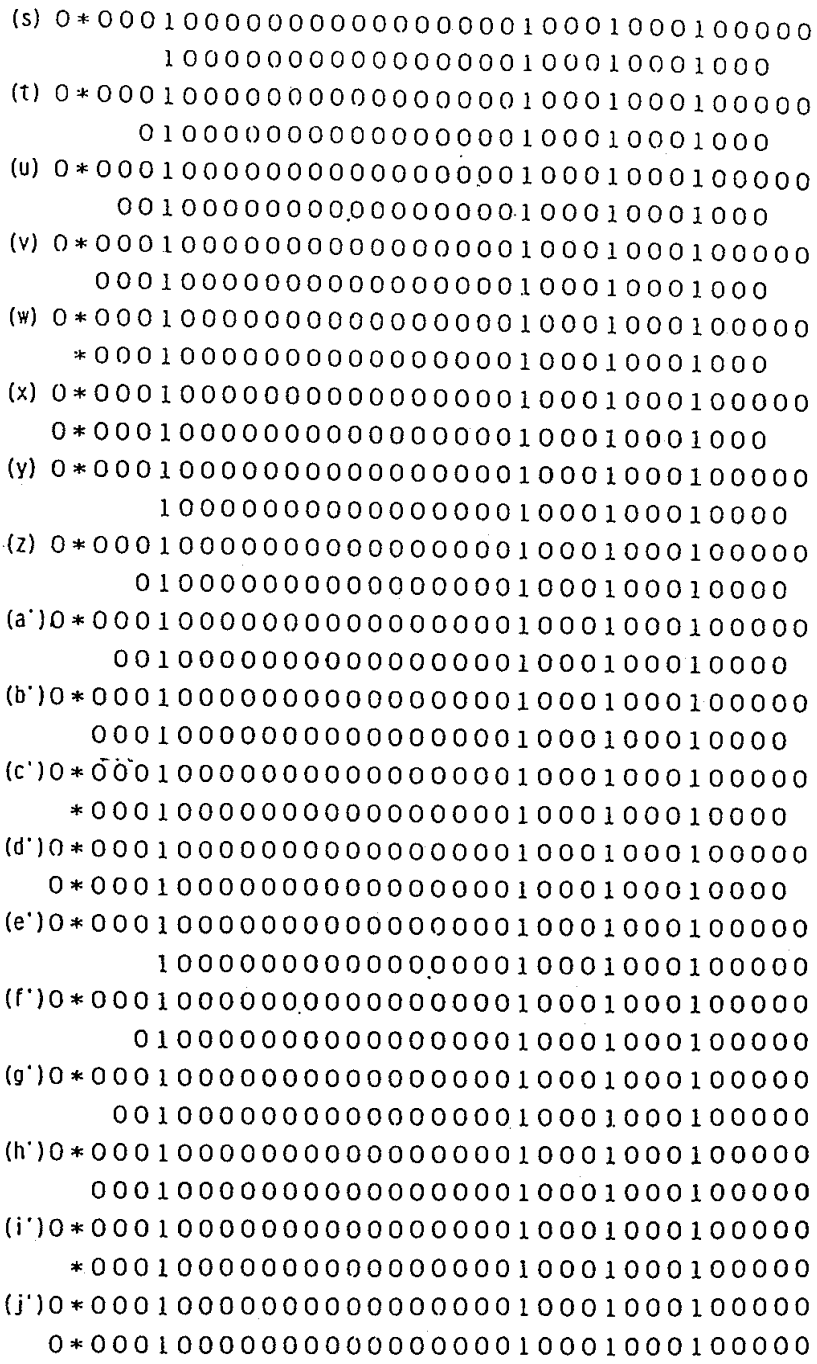
상술한 바와같이, 본 발명에 따른 기록 매체 및 그 신호 기록 장치와 신호 재생 장치에 있어서, 검출될 동기화 패턴의 비트 간격 단축 및 삭제 코드 기능의 저하없이 기록 매체상에 기록되는 데이타량이 증가될 수 있다. 또한, 삭제 코드의 일부 혹은 전부가 검출될 동기화 패턴에 포함되므로, 데이타를 재생할 경우 데이타가 욕실히 동기될 수 있어 재생된 신호의 신뢰도가 개선된다.

본 발명이 최상의 실시예에 관해 예시되고 설명되었지만, 본 발명의 기술적 사상에서 벗어나지 않은 각종 변경 및 변형 실시예가 당업자에 의해 가능하다.

[표 1]

(a) 0*0001000000000000000001000100010000
1000000000000000001000110001
(b) 0*0001000000000000000001000100010000
0100000000000000000100011001
(c) 0*0001000000000000000001000100010000
0010000000000000000100011001
(d) 0*0001000000000000000001000100010000
0001000000000000000100011001
(e) 0*0001000000000000000001000100010000
*0001000000000000000100011001
(f) 0*0001000000000000000001000100010000
0*0001000000000000000100011001
(g) 0*0001000000000000000001000100010000
1000000000000000001000110010
(h) 0*0001000000000000000001000100010000
0100000000000000000100011010
(i) 0*0001000000000000000001000100010000
0010000000000000000100011010
(j) 0*0001000000000000000001000100010000
0001000000000000000100011010
(k) 0*0001000000000000000001000100010000
*0001000000000000000100011010
(l) 0*0001000000000000000001000100010000
0*0001000000000000000100011010
(m) 0*0001000000000000000001000100010000
1000000000000000001000110011
(n) 0*0001000000000000000001000100010000
0100000000000000000100011011
(o) 0*0001000000000000000001000100010000
0010000000000000000100011011
(p) 0*0001000000000000000001000100010000
0001000000000000000100011011
(q) 0*0001000000000000000001000100010000
*0001000000000000000100011011
(r) 0*0001000000000000000001000100010000
0*0001000000000000000100011011

[표 2]



(57) 청구의 범위

청구항 1

데이타 동기용의 동기화 코드 및 기록 매체상에 기록된 신호 파형의 DC 성분 억제용의 삭제 코드를 포함하며, 상기 동기화 코드와 삭제 코드가 인접하게 기록되는 것을 특징으로 하는 기록 매체.

청구항 2

기록 매체상에 기록된 신호 파형의 DC 성분 억제용의 삭제 코드 및 데이타 동기용의 등기화 코드를 포함하며, 상기 기록 매체 상에 기록되는 상기 동기화 코드의 일부가 상기 삭제 코드에 포함되는 것을 특징으로 하는 기록 매체.

청구항 3

제1항에 있어서, 상기 동기화 코드와 삭제 코드로 구성된 코드 시퀀스는 기록 데이타에서는 나타나지 않

는 신호 패턴을 포함하는 것을 특징으로 하는 기록 매체.

청구항 4

저장 매체에 대한 신호 기록 장치에 있어서, 상기 기록 매체상에 기록된 신호 파형의 DSV를 산출하는 DSV 산출수단과; 상기 DSV 산출 수단에 의해 산출된 DSV에 대응하여 신호 파형의 DC성분을 억제하는 삭제 코드를 발생하는 삭제 코드 발생 수단과; 상기 삭제 코드 발생 수단에 의해 발생된 삭제 코드에 등기화 코드와 기록 데이타를 연결시키고, 상기 삭제 코드와 데이타 동기용의 상기 동기화 코드가 인접 배치되도록 상기 동기화 코드, 삭제 코드 및 기록 데이타를 상기 기록 매체상에 기록하는 기록 수단을 구비하는 것을 특징으로 하는 신호 기록 장치.

청구항 5

저장 매체에 대한 신호 기록 장치에 있어서, 상기 기록 매체상에 기록된 신호 파형의 DSV를 산출하는 DSV 산출 수단과; 상기 DSV 산출 수단에 의해 산출된 DSV에 대응하여 신호 파형의 DC 성분을 억제하는 삭제 코드를 발생하는 삭제 코드 발생 수단과; 상기 삭제 코드 발생 수단에 의해 발생된 삭제 코드에 소정 신호 패턴과 기록 데이타를 연결시키며, 데이타 동기용의 동기화 코드의 일부가 되는 상기 소정 신호 패턴과 상기 삭제 코드가 인접배치되도록 상기 삭제 코드, 소정 신호 패턴 및 기록 데이타를 상기 기록 매체상에 기록하는 기록수단을 구비하는 것을 특징으로 하는 신호 기록 장치.

청구항 6

데이타 동기용의 동기화 코드와 신호 파형의 DC 성분 억제용의 삭제 코드가 인접 배치되어 기록되는 기록 매체로부터 데이타를 재생하는 신호 재생장치에 있어서, 상기 기록 매체로부터 신호를 판독하는 판독 수단과; 상기 신호 판독 수단에 의해 판독된 신호로부터 상기 동기화 코드와 삭제코드의 연속 패턴에 포함된 소정 패턴을 데이타를 동기시키기 위한 주요 동기화 코드로서 검출하는 동기화 코드 검출 수단을 구비하는 것을 특징으로 하는 신호 재생 장치.

청구항 7

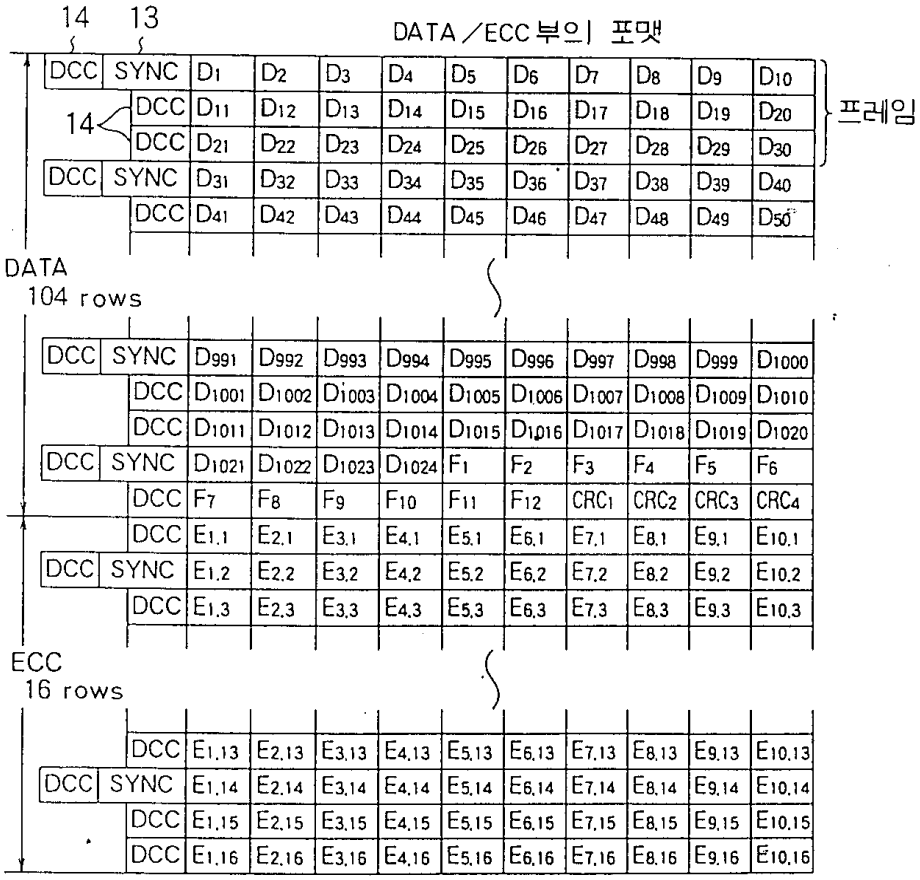
데이타 동기용의 동기화 코드의 잎부를 포함하고 신호 파형의 DC성분을 억제하는 삭제 코드가 기록된 기록 매체로부터 데이타를 재생하는 신호 재생 장치에 있어서, 상기 기록 매체로 필터의 신호를 판독하는 판독 수단과; 상기 판독 수단에 의해 판독된 신호로부터 상기 동기화 코드와 삭제 코드의 연속 패턴에 포함된 소정 패턴을 데이타를 동기시키기 위한 주요 동기화 데이타로서 검출하는 동기화 코드 검출 수단을 구비하는 것을 특징으로 하는 신호 재생 장치.

청구항 8

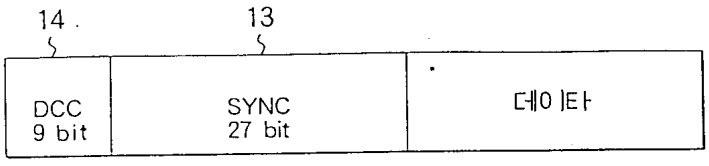
제2항에 있어서, 상기 동기화 코드와 삭제 코드로 구성된 코드 시퀀스는 기록 데이타에서는 나타나지 않는 신호 패턴을 포함하는 것을 특징으로 하는 기록 매체.

도면

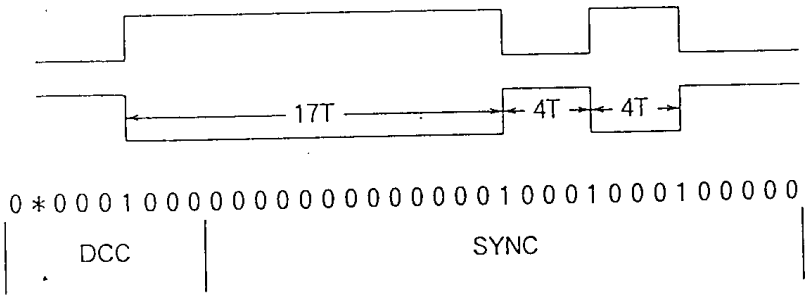
도면1


14
13
DATA/ECC 부호 포맷
DCC SYNC D1 D2 D3 D4 D5 D6 D7 D8 D9 D10
14
DCC D11 D12 D13 D14 D15 D16 D17 D18 D19 D20
DCC D21 D22 D23 D24 D25 D26 D27 D28 D29 D30
프레임
DCC SYNC D31 D32 D33 D34 D35 D36 D37 D38 D39 D40
DCC D41 D42 D43 D44 D45 D46 D47 D48 D49 D50
DATA
104 rows
DCC SYNC D991 D992 D993 D994 D995 D996 D997 D998 D999 D1000
DCC D1001 D1002 D1003 D1004 D1005 D1006 D1007 D1008 D1009 D1010
DCC D1011 D1012 D1013 D1014 D1015 D1016 D1017 D1018 D1019 D1020
DCC SYNC D1021 D1022 D1023 D1024 F1 F2 F3 F4 F5 F6
DCC F7 F8 F9 F10 F11 F12 CRC1 CRC2 CRC3 CRC4
DCC E1,1 E2,1 E3,1 E4,1 E5,1 E6,1 E7,1 E8,1 E9,1 E10,1
DCC SYNC E1,2 E2,2 E3,2 E4,2 E5,2 E6,2 E7,2 E8,2 E9,2 E10,2
DCC E1,3 E2,3 E3,3 E4,3 E5,3 E6,3 E7,3 E8,3 E9,3 E10,3
ECC
16 rows
DCC E1,13 E2,13 E3,13 E4,13 E5,13 E6,13 E7,13 E8,13 E9,13 E10,13
DCC SYNC E1,14 E2,14 E3,14 E4,14 E5,14 E6,14 E7,14 E8,14 E9,14 E10,14
DCC E1,15 E2,15 E3,15 E4,15 E5,15 E6,15 E7,15 E8,15 E9,15 E10,15
DCC E1,16 E2,16 E3,16 E4,16 E5,16 E6,16 E7,16 E8,16 E9,16 E10,16

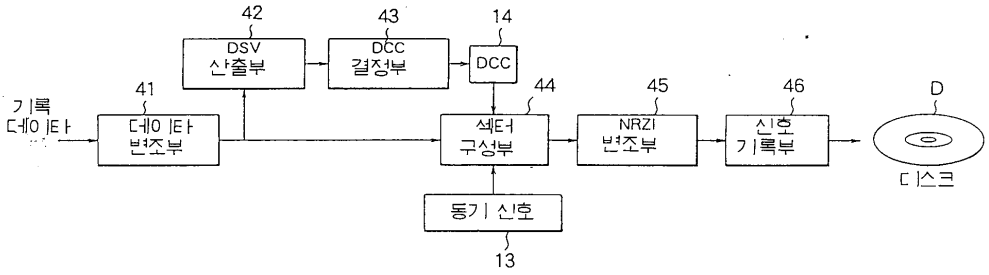
도면2


14
13
DCC
9 bit
SYNC
27 bit
데이타

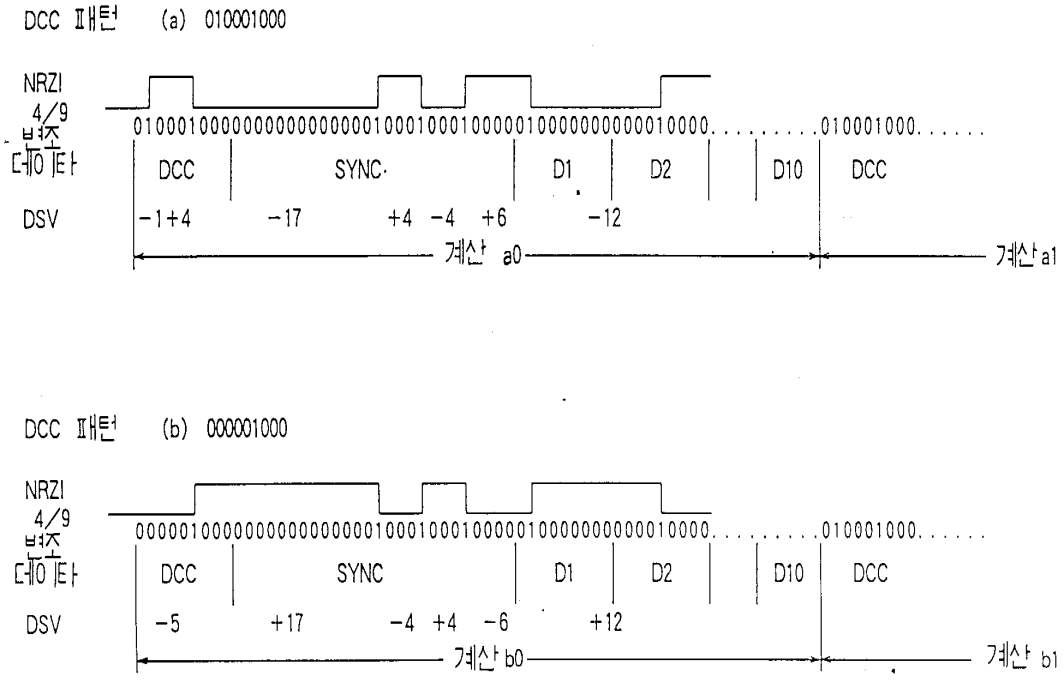
도면3


17T
4T
4T
0*0001000000000000000000100010001000000
DCC
SYNC

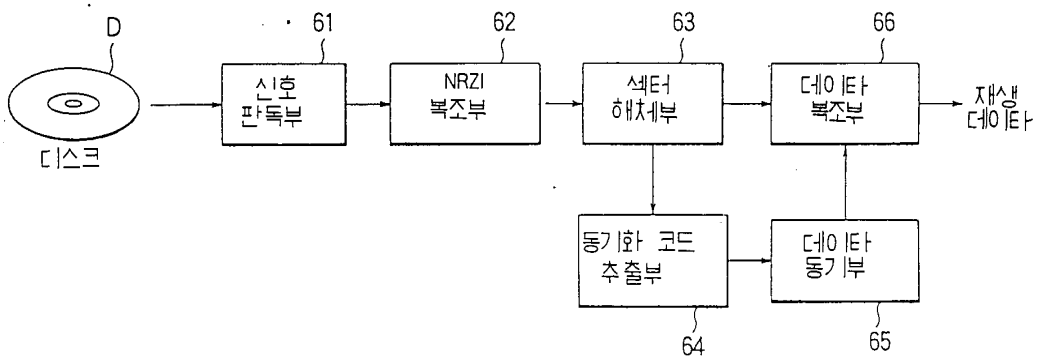
도면4


42
43
14
DSV
산출부
DCC
결정부
DCC
41
44
45
46
D
기록
데이터
데이터
변조부
섹터
구성부
NRZI
변조부
신호
기록부
디스크
동기 신호
13

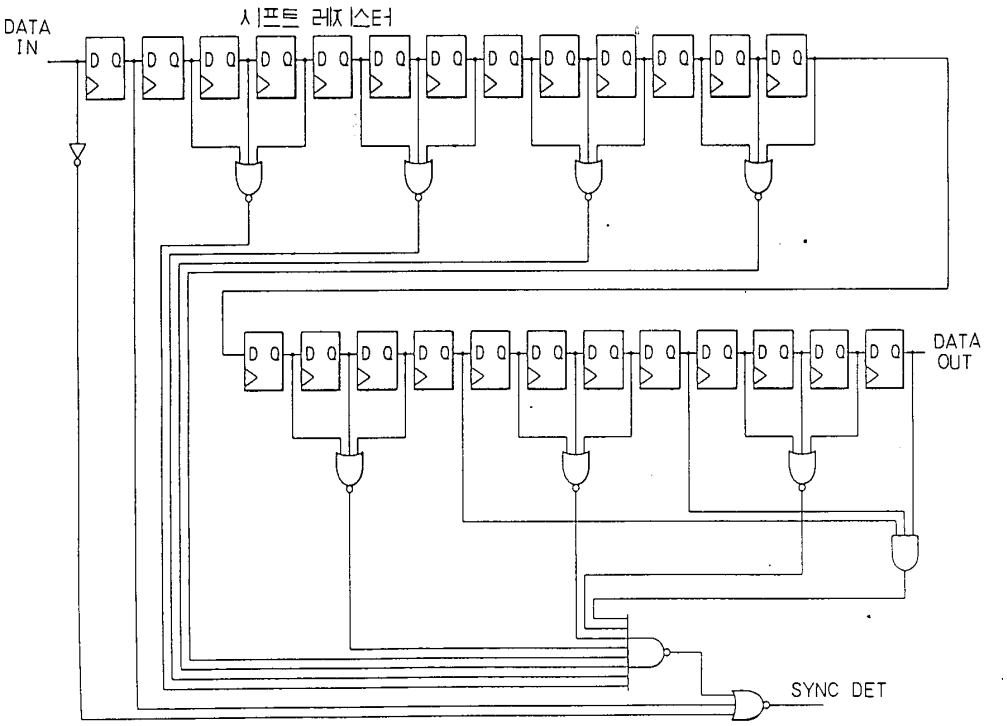
도면5


DCC 패턴 (a) 010001000
NRZI
4/9
복조
데이타
0100010000000000000000100010001000001000000000010000.....010001000.....
DCC
SYNC
D1
D2
D10
DCC
DSV
-1+4
-17
+4 -4 +6
-12
계산 a0
계산 a1
DCC 패턴 (b) 000001000
NRZI
4/9
복조
데이타
000001000000000000000001000100010000010000000000010000.....010001000.....
DCC
SYNC
D1
D2
D10
DCC
DSV
-5
+17
-4 +4 -6
+12
계산 b0
계산 b1

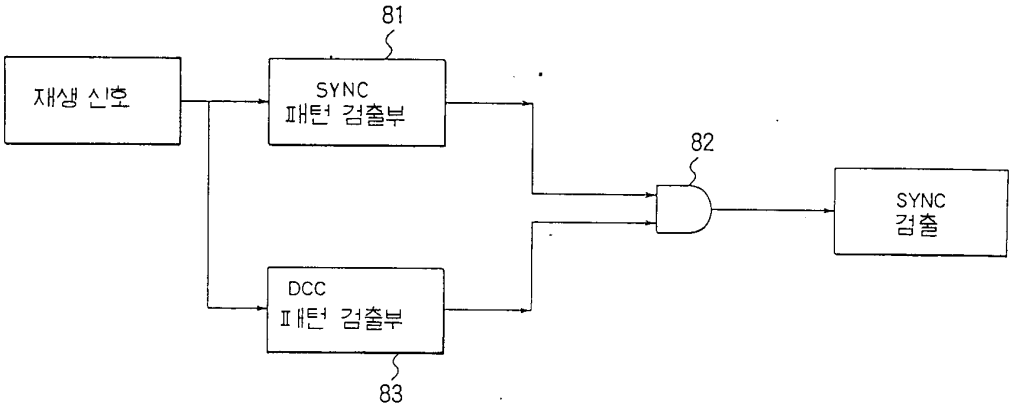
도면6


D
디스크
61
신호
판독부
62
NRZI
복조부
63
섹터
해체부
66
데이타
복조부
재생
데이타
동기화 코드
추출부
64
데이타
동기부
65

도면7


DATA IN
시프트 레지스터
D Q
DATA OUT
SYNC DET

도면8


81
재생 신호
SYNC 패턴 검출부
82
SYNC 검출
DCC 패턴 검출부
83

도면9

Dn	Tn	Dn+1에 의한 조건
0	010000000	
1	001000000	
2	000100000	
3	000010000	
4	000001000	
5	000000100	(6,7,8,D,F) 0이오, EM
	000010001	(6,7,8,D,F) case (1)
6	100010000	
7	100001000	
8	100000100	(6,7,8,D,F) 0이오, EM
	100000001	(6,7,8,D,F) case (1)
9	010001000	
A	010000100	(6,7,8,D,F) 0이오, EM
	010000001	(6,7,8,D,F) case (1)
B	001000100	(6,7,8,D,F) 0이오, EM
	001000001	(6,7,8,D,F) case (1)
C	001000010	(0,6,7,8,9,A,D,F) 및 DCC 0이오, EM
	000100001	(6,7,8,D,F) case (1)
		DCC (INV.)
	000000001	(0,9,A) case (2)
		DCC (INV)
	100000010	(0,6,7,8,9,A,D,F) 및

Case (1)

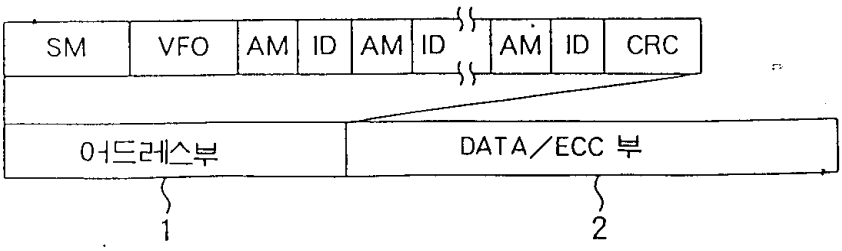
Dn+1	Tn+1	Dn+2	Tn+2
6	000000000	F	100000000
		0	010000000
		1	001000000
		2	000100000
		3	000010000
		4	000001000
		6	100010000
		7	100001000
		9	010001000
		DCC, EM	
	000100010	B	001000000
		C	000100000
		D	000010000
		E	000001000
	000010001	5	000100000
		8	000010000
		A	000001000
7	000000100	0	010000000
		1	001000000
		2	000100000
		3	000010000

DCC	000001000	INV
	010001000	non INV

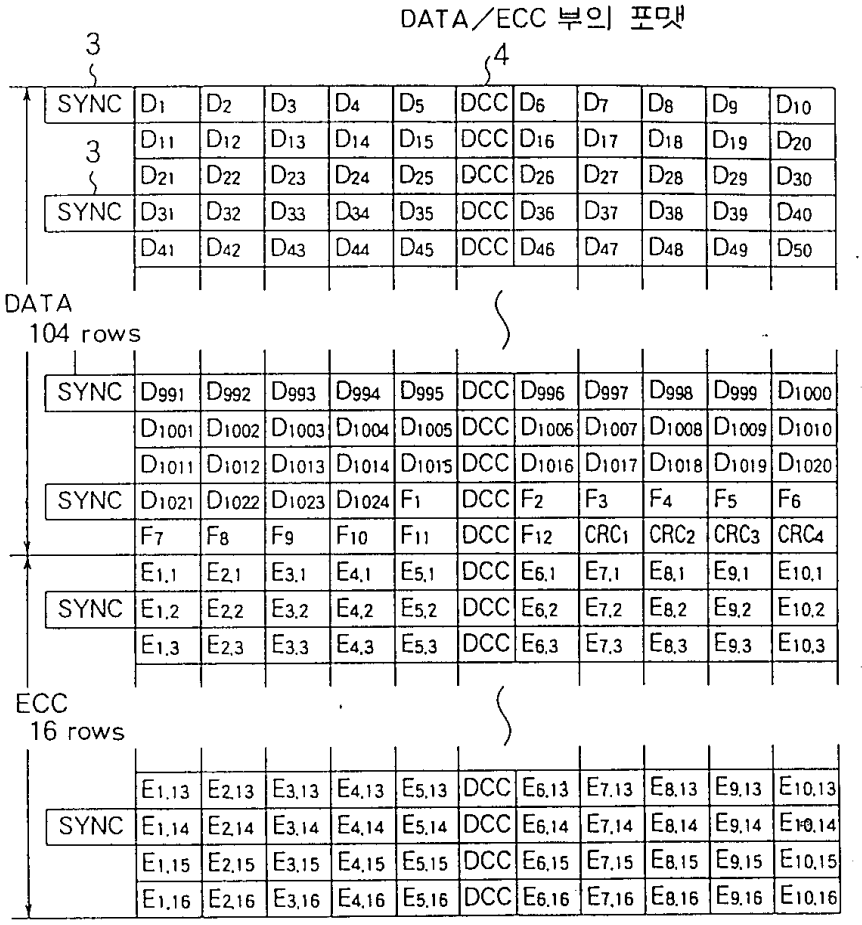
Case (2)

0	000100000
9	000010000
A	000001000

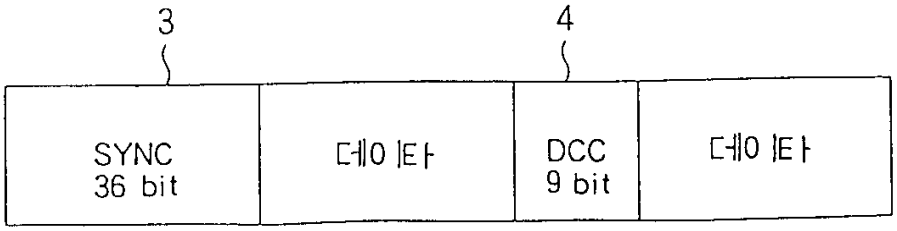
도면10



도면11


DATA/ECC 부의 포맷
3
4
SYNC
DCC
DATA
104 rows
ECC
16 rows

도면12


3
4
SYNC
36 bit
데이타
DCC
9 bit
데이타