

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3666671号  
(P3666671)

(45) 発行日 平成17年6月29日(2005.6.29)

(24) 登録日 平成17年4月15日(2005.4.15)

(51) Int.Cl.<sup>7</sup>

F I

H O 1 L 21/8242

G 1 1 C 11/401

G 1 1 C 11/407

G 1 1 C 11/409

H O 1 L 27/108

H O 1 L 27/10

H O 1 L 27/10

H O 1 L 27/10

H O 1 L 27/10

G 1 1 C 11/34

6 8 1 E

6 8 1 A

6 8 1 B

6 8 1 F

3 5 4 D

請求項の数 15 (全 35 頁) 最終頁に続く

(21) 出願番号 特願平6-334950  
 (22) 出願日 平成6年12月20日(1994.12.20)  
 (65) 公開番号 特開平8-181292  
 (43) 公開日 平成8年7月12日(1996.7.12)  
 審査請求日 平成13年1月18日(2001.1.18)

(73) 特許権者 000005108  
 株式会社日立製作所  
 東京都千代田区丸の内一丁目6番6号  
 (74) 代理人 100081938  
 弁理士 徳若 光政  
 (73) 特許権者 503273790  
 株式会社日立ディスプレイデバイス  
 千葉県茂原市早野3681番地  
 (72) 発明者 ▲高▼橋 継雄  
 東京都青梅市今井2326番地 株式会社  
 日立製作所 デバイス開発センタ内  
 (72) 発明者 橋川 五郎  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所 中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1メインワード線と、前記第1メインワード線に対応して設けられる複数の第1サブワード線と、前記複数の第1サブワード線と交差する複数の第1ビット線と、前記複数の第1サブワード線と前記複数の第1ビット線の交点に設けられる複数の第1メモリセルとを有する第1メモリアレイと、

第2メインワード線と、前記第2メインワード線に対応して設けられる複数の第2サブワード線と、前記複数の第2サブワード線と交差する複数の第2ビット線と、前記複数の第2サブワード線と前記複数の第2ビット線の交点に設けられる複数の第2メモリセルとを有する第2メモリアレイと、

前記複数の第1ビット線と接続され第1方向に延在する第1サブコモンI/O線と、  
 前記複数の第2ビット線と接続され前記第1方向に延在する第2サブコモンI/O線と、  
 前記第1及び第2サブコモンI/O線と接続され前記第1方向と交差する第2方向に延在するメインI/O線と、

前記複数の第1ビット線の夫々と前記第1サブコモンI/O線の間に設けられる複数の第1スイッチ回路と、

前記複数の第2ビット線の夫々と前記第2サブコモンI/O線の間に設けられる複数の第2スイッチ回路と、

前記第1サブコモンI/O線と前記メインI/O線の間に設けられる第3スイッチ回路と、  
 前記第2サブコモンI/O線と前記メインI/O線の間に設けられる第4スイッチ回路と、

10

20

前記複数の第 1 及び第 2 スイッチ回路の導通状態を制御するために夫々に対応して、前記第 2 方向に延在して設けられる複数の Y 選択線を更に具備し、

前記メイン I O 線と前記複数の Y 選択線は、同じ配線層で形成され、

前記第 1 及び第 2 メインワード線と前記第 1 及び第 2 サブコモン I O 線は、同じ配線層で形成される半導体装置。

【請求項 2】

請求項 1 において、

四角形を形成する第 1 領域及び第 2 領域と、

前記第 1 領域と前記第 2 領域の間に前記第 2 領域の一辺に沿って設けられ、前記第 1 方向に長辺を持つ四角形を形成する第 3 領域と、

前記第 2 領域の一辺に対向する前記第 2 領域の他の一辺に沿って設けられ、前記第 1 方向に長辺を持つ四角形を形成する第 4 領域と、

前記第 1 及び第 2 領域に沿って設けられ、前記第 3 及び第 4 領域と交差する領域を有するように前記第 2 方向に長辺を持つ四角形を形成する第 5 領域とを具備し、

前記第 1 領域は、前記第 1 メモリアレイを含み、

前記第 2 領域は、前記第 2 メモリアレイを含み、

前記第 3 領域は、前記複数の第 1 ビット線の夫々に対応して設けられ前記複数の第 1 ビット線から読み出された信号を第 1 電圧に増幅するための複数の第 1 センスアンプと、前記複数の第 1 スイッチ回路と、前記第 1 サブコモン I O 線とを含み、

前記第 4 領域は、前記複数の第 2 ビット線の夫々に対応して設けられ前記複数の第 2 ビット線から読み出された信号を前記第 1 電圧に増幅するための複数の第 2 センスアンプと、前記複数の第 2 スイッチ回路と、前記第 2 サブコモン I O 線とを含み、

前記第 5 領域は、前記メイン I O 線を含む半導体装置。

【請求項 3】

請求項 2 において、

前記第 3 スイッチ回路は、前記第 3 領域と前記第 5 領域とが交差する領域に設けられ、

前記第 4 スイッチ回路は、前記第 4 領域と前記第 5 領域とが交差する領域に設けられる半導体装置。

【請求項 4】

請求項 2 又は 3 において、

前記第 3 領域と前記第 5 領域とが交差する領域は、前記複数の第 1 センスアンプに前記第 1 電圧を供給するための第 1 センスアンプ駆動回路を含み、

前記第 4 領域と前記第 5 領域とが交差する領域は、前記複数の第 2 センスアンプに前記第 1 電圧を供給するための第 2 センスアンプ駆動回路を含む半導体装置。

【請求項 5】

請求項 4 において、

前記第 1 センスアンプ駆動回路は、前記複数の第 1 センスアンプの動作開始時に前記第 1 電圧より大きい第 2 電圧を供給し、所定期間経過後、前記第 1 電圧を供給し、

前記第 2 センスアンプ駆動回路は、前記複数の第 2 センスアンプの動作開始時に前記第 2 電圧を供給し、所定期間経過後、前記第 1 電圧を供給する半導体装置。

【請求項 6】

請求項 1 から 5 のいずれか一つにおいて、

前記第 1 メインワード線と前記複数の第 1 サブワード線の夫々の間に設けられた複数の第 1 サブワード線駆動回路と、

前記第 2 メインワード線と前記複数の第 2 サブワード線の夫々の間に設けられた複数の第 2 サブワード線駆動回路とを更に具備し、

前記複数の第 1 及び第 2 サブワード線駆動回路の夫々は、C M O S スタティック型駆動回路である半導体装置。

【請求項 7】

請求項 1 から 5 のいずれか一つにおいて、

前記複数の第 1 及び第 2 スイッチ回路の導通状態を制御するために夫々に対応して設けられる複数の Y 選択線を更に具備し、

前記第 1 メインワード線と前記複数の Y 選択線は、前記第 1 メモリアレイ上で交差し、  
前記第 2 メインワード線と前記複数の Y 選択線は、前記第 2 メモリアレイ上で交差する半導体装置。

【請求項 8】

複数の第 1 ワード線に対応して設けられる第 1 メインワード線と、  
複数の第 2 ワード線に対応して設けられる第 2 メインワード線と、  
四角形を形成する第 1 領域及び第 2 領域と、

前記第 1 領域と前記第 2 領域の間に前記第 2 領域の一辺に沿って設けられ、前記第 1 方向に長辺を持つ四角形を形成する第 3 領域と、 10

前記第 2 領域の一辺に対向する前記第 2 領域の他の一辺に沿って設けられ、前記第 1 方向に長辺を持つ四角形を形成する第 4 領域と、

前記第 1 及び第 2 領域に沿って設けられ、前記第 3 及び第 4 領域と交差する領域を有するように前記第 1 方向と交差する第 2 方向に延在する長辺を持つ四角形を形成する第 5 領域とを具備し、

前記第 1 領域は、前記複数の第 1 ワード線と複数の第 1 ビット線との交点に設けられた複数の第 1 メモリセルを有する第 1 メモリアレイを含み、

前記第 2 領域は、前記複数の第 2 ワード線と複数の第 2 ビット線との交点に設けられた複数の第 2 メモリセルを有する第 2 メモリアレイを含み、 20

前記第 3 領域は、前記複数の第 1 ビット線の夫々に対応して設けられ前記複数の第 1 ビット線から読み出された信号を第 1 電圧に増幅するための複数の第 1 センスアンプと、前記第 1 方向に延在する第 1 サブコモン I/O 線と、前記第 1 サブコモン I/O 線と前記複数の第 1 ビット線との間に設けられる複数の第 1 スイッチ回路とを含み、

前記第 4 領域は、前記複数の第 2 ビット線の夫々に対応して設けられ前記複数の第 2 ビット線に読み出された信号を前記第 1 電圧に増幅するための複数の第 2 センスアンプと、前記第 1 方向に延在する第 2 サブコモン I/O 線と、前記第 1 サブコモン I/O 線と前記複数の第 1 ビット線との間に設けられた複数の第 2 スイッチ回路とを含み、

前記第 5 領域は、前記第 1 及び第 2 サブコモン I/O 線に接続され前記第 2 方向に延在するメイン I/O 線と、複数の第 1 ワード線の夫々と前記第 1 メインワード線の間に設けられる複数の第 1 ワード線駆動回路と、複数の第 2 ワード線の夫々と前記第 2 メインワード線の間に設けられる複数の第 2 ワード線駆動回路とを含む半導体装置。 30

【請求項 9】

請求項 8 において、

前記第 3 領域と前記第 5 領域が交差する領域は、前記第 1 サブコモン I/O 線と前記メイン I/O 線との間に設けられる第 3 スイッチ回路を含み、

前記第 4 領域と前記第 5 領域が交差する領域は、前記第 2 サブコモン I/O 線と前記メイン I/O 線との間に設けられる第 4 スイッチ回路を含む半導体装置。

【請求項 10】

請求項 8 または 9 において、 40

前記複数の第 1 及び第 2 スイッチ回路の導通状態を制御するために夫々に対応して設けられる複数の Y 選択線を更に具備し、

前記第 1 メインワード線と前記複数の Y 選択線は、前記第 1 メモリアレイ上で交差し、  
前記第 2 メインワード線と前記複数の Y 選択線は、前記第 2 メモリアレイ上で交差する半導体装置。

【請求項 11】

請求項 8 から 10 のいずれか一つにおいて、

前記第 3 領域と前記第 5 領域とが交差する領域は、前記複数の第 1 センスアンプに前記第 1 電圧を供給するための第 1 センスアンプ駆動回路を含み、

前記第 4 領域と前記第 5 領域とが交差する領域は、前記複数の第 2 センスアンプに前記 50

第 1 電圧を供給するための第 2 センスアンプ駆動回路を含む半導体装置。

【請求項 1 2】

請求項 1 1 において、

前記第 1 センスアンプ駆動回路は、前記複数の第 1 センスアンプの動作開始時に前記第 1 電圧より大きい第 2 電圧を供給し、所定期間経過後、前記第 1 電圧を供給し、

前記第 2 センスアンプ駆動回路は、前記複数の第 2 センスアンプの動作開始時に前記第 2 電圧を供給し、所定期間経過後、前記第 1 電圧を供給する半導体装置。

【請求項 1 3】

請求項 8 から 1 2 のいずれか一つにおいて、

前記半導体装置は、データ入出力回路を具備し、第 1 負電位が印加された P 型半導体基板をその基体とするものであって、

前記第 1 及び第 2 メモリアレイ、前記複数の第 1 及び第 2 センスアンプ、及び前記複数の第 1 及び第 2 サブワード線駆動回路を構成する N チャンネル MOS FET は、上記 P 型半導体基板内の P ウェル領域に形成され、その他の周辺回路を構成する N チャンネル MOS FET は、電源電圧が印加された比較的深い N ウェル領域内の接地電位が印加された P ウェル領域に形成され、前記データ入出力回路を構成する N チャンネル MOS FET は、電源電圧が印加された比較的深い N ウェル領域内の接地電位又は前記第 1 負電位より絶対値の大きい第 2 負電位が印加された P ウェル領域に形成されるものであることを特徴とする半導体装置。

【請求項 1 4】

請求項 8 から 1 2 のいずれか一つにおいて、

上記半導体装置は、データ入出力回路を具備し、かつ、接地電位が印加された P 型半導体基板をその基体とするものであって、

前記第 1 及び第 2 メモリアレイ、前記複数の第 1 及び第 2 センスアンプ、及び、前記複数の第 1 及び第 2 サブワード線駆動回路を構成する N チャンネル MOS FET は、ワード線の選択電位が印加された比較的深い N ウェル領域内の第 1 負電位が印加された P ウェル領域に形成され、

その他の周辺回路を構成する N チャンネル MOS FET は、上記 P 型半導体基板内の P ウェル領域に形成され、上記データ入出力回路を構成する N チャンネル MOS FET は、電源電圧が印加された比較的深い N ウェル領域内の接地電位又は、絶対値が前記第 1 負電位より大きい第 2 負電位が印加された P ウェル領域に形成されるものであることを特徴とする半導体装置。

【請求項 1 5】

請求項 8 から 1 2 のいずれか一つにおいて、

前記半導体装置は、データ入出力回路を具備し、かつ、接地電位が印加された P 型半導体基板をその基体とするものであって、

前記第 1 及び第 2 メモリアレイ、及び、前記複数の第 1 及び第 2 サブワード線駆動回路を構成する N チャンネル MOS FET は、ワード線選択電位が印加された比較的深い N ウェル領域内の第 1 負電位が印加された P ウェル領域に形成され、

前記複数の第 1 及び第 2 センスアンプ及びその他の周辺回路を構成する N チャンネル MOS FET は、前記 P 型半導体基板内の P ウェル領域に形成され、前記データ入出力回路を構成する N チャンネル MOS FET は、電源電圧が印加された比較的深い N ウェル領域内の接地電位又は絶対値が前記第 1 負電位より大きい第 2 負電位が印加された P ウェル領域に形成されるものであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は半導体記憶装置に関し、例えば、大容量のダイナミック型 R A M (ランダムアクセスメモリ)ならびにそのさらなる高速化、高集積化、大規模化及び低コスト化に利用して特に有効な技術に関するものである。

10

20

30

40

50

## 【 0 0 0 2 】

## 【従来の技術】

互いに直交して配置される複数のワード線及びビット線ならびにこれらのワード線及びビット線の交点に格子状に配置された多数のダイナミック型メモリセルを含むメモリアレイをその基本構成要素とするダイナミック型RAM等の半導体記憶装置がある。近年、ダイナミック型RAM等の高集積化・大規模化は目覚ましく、これをさらに推進するための種々の技術が開示されつつある。

## 【 0 0 0 3 】

すなわち、例えば、1993年2月24日付『アイ・エス・エス・シー・シー（ISSC : International Solid - State Circuits Conference）'93 ダイジェスト オブ テクニカルペーパーズ（Digest Of Technical Papers）セッション（Session）3』の第50頁～第51頁には、メインワード線をサブワード線と平行にしかもその整数倍のピッチで配置することで、メインワード線となる金属配線層の配線ピッチを緩和し、ダイナミック型RAM等の高集積化を推進しうるいわゆる階層ワード線構造が提案されている。また、例えば、特公平4 - 59712号公報には、指定されたビット線を比較的短いサブコモンIO線を介してメインコモンIO線に接続することで、センスアンプの負荷を軽減し、ダイナミック型RAM等の読み出し動作を高速化しうるいわゆる階層IO構造が提案されている。さらに、1993年12月28日付の米国特許第5,274,595には、サブコモンIO線とメインコモンIO線との間を加算駆動される複数のダイレクトセンス型サブアンプを介して接続するとともに、これらのサブアンプをワード線シャント部及びセンスアンプの配置領域の交差領域に配置することで、複数のサブアンプが設けられることによるレイアウト面積の増大を抑制しつつダイナミック型RAM等の高速化を図る方法が提案されている。

## 【 0 0 0 4 】

## 【発明が解決しようとする課題】

ところが、上記階層ワード線構造を採る第1の従来例では、メインワード線を介して伝達される行選択信号とサブワード線に直交して配置されたワード線駆動電流供給信号線を介して伝達されるワード線駆動電流供給信号とに従って対応するサブワード線を選択的に選択状態とするためのワード線駆動回路がいわゆるセルフ・ブート型とされることで、メインワード線を有効レベルとしてからワード線駆動電流供給信号を有効レベルとするまでに所定の時間が必要となり、これによってダイナミック型RAM等の読み出しモードにおけるアクセスタイムの高速化が制約を受けるとともに、コモンIO線が階層構造とされないことでセンスアンプの負荷が大きくなり、やはりアクセスタイムの高速化が妨げられる結果となる。また、上記階層IO構造を採る第2の従来例では、ワード線が階層構造とされないことでワード線となる金属配線層の配置ピッチが苦しくなり、これによってダイナミック型RAM等の高集積化が制約を受ける。さらに、上記サブコモンIO線とメインコモンIO線との間を加算駆動される複数のダイレクトセンス型サブアンプを介して接続する第3の実施例では、ワードシャント方式によるワード線分割は行われるものの階層ワード線構造が採られないためにダイナミック型RAM等の高集積化が制約を受けるとともに、サブコモンIO線とメインコモンIO線が同一長で配置され、実質的な階層IO構造とはならない。

## 【 0 0 0 5 】

つまり、従来のダイナミック型RAM等では、種々の効果を持つ階層構造が部分的かつ断片的に採用され、ワード線、ビット線及びコモンIO線のすべてを対象にした包括的採用が見られない訳であって、結果的に階層構造としての効果を十分に引き出すことができず、総合的にみたダイナミック型RAM等の高速化、高集積化、大規模化及び低コスト化が制約を受けるものである。

## 【 0 0 0 6 】

この発明の目的は、階層構造の効果を十分に発揮しうる構成のダイナミック型RAM等を

実現し、総合的にみたダイナミック型RAM等のさらなる高速化，高集積化，大規模化ならびに低コスト化を図ることにある。

【0007】

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、ダイナミック型RAM等のメモリマットを、互いに直交して配置されるサブワード線及びサブビット線ならびにこれらのサブワード線及びサブビット線の交点に格子状に配置されるダイナミック型メモセルを含むメモリアレイと、サブワード線に対応して設けられる単位サブワード線駆動回路を含むサブワード線駆動部と、サブビット線に対応して設けられる単位増幅回路及び列選択スイッチを含むセンスアンプと、指定されるサブビット線が列選択スイッチを介して選択的に接続されるサブコモンIO線とをそれぞれ備える複数のサブメモリマットに分割し、ユニット化するとともに、これらのサブメモリマットを格子状に配置し、その上層に互いに直交しかつそれぞれサブワード線及びビット線の整数倍のピッチで配置されるメインワード線及び列選択信号線と、指定されたサブコモンIO線が選択的に接続されるメインコモンIO線とを形成する。また、サブワード線駆動部の各単位サブワード線駆動回路を、サブワード線駆動信号線と対応するサブワード線との間に設けられそのゲートが対応するメインワード線の反転信号線に結合されるPチャンネル型の第1のMOSFETと、サブワード線と接地電位との間に設けられそのゲートが対応するメインワード線の反転信号線に結合されるNチャンネル型の第2のMOSFETと、第1のMOSFETと並列形態に設けられそのゲートが対応するメインワード線の非反転信号線に結合されるNチャンネル型の第3のMOSFETとを含むいわゆるCMOSスタティック型駆動回路とするとともに、指定されたサブコモンIO線をメインコモンIO線に選択的に接続するためのサブメインアンプを、そのゲートが対応するサブコモンIO線の非反転及び反転信号線にそれぞれ結合されそのドレインが対応するメインコモンIO線の反転及び非反転信号線にそれぞれ結合される読み出し用差動MOSFETと、サブコモンIO線及びメインコモンIO線の非反転信号線間及び反転信号線間にそれぞれ設けられる書き込み用スイッチMOSFETとを含むいわゆる擬似ダイレクトセンス型サブアンプとし、これをサブワード線駆動部及びセンスアンプの配置領域の交差領域に配置する。

【0009】

【作用】

上記した手段によれば、単位サブワード線駆動回路へのCMOSスタティック型駆動回路の採用により、メインワード線を介して伝達される行選択信号とサブワード線駆動信号線を介して伝達されるサブワード線駆動信号を同時に有効レベルとし、サブワード線の選択動作を高速化できるとともに、サブメインアンプへの擬似ダイレクトセンス型サブアンプの採用とその交差領域への配置により、メモリアレイのレイアウト面積の増大を招くことなく、ダイナミック型RAM等の読み出し動作を高速化できる。さらに、階層構造をワード線，ビット線及びコモンIO線のすべてに包括的に採用して、階層構造の効果を十分に発揮しうる構成のダイナミック型RAM等を実現し、総合的にみたダイナミック型RAM等の高速化，高集積化，大規模化ならびに低コスト化を図ることができる。

【0010】

【実施例】

図1には、この発明が適用されたダイナミック型RAM（半導体記憶装置）の一実施例のブロック図が示されている。同図により、まずこの実施例のダイナミック型RAMの構成及び動作の概要について説明する。なお、図1の各ブロックを構成する回路素子は、公知のMOSFET（金属酸化物半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする）集積回路の製造技術により

10

20

30

40

50

、単結晶シリコンのような1個の半導体基板上に形成される。以下の図において、端子及び信号線の名称は、特に明記しない限り、これらの端子又は信号線を介して伝達される信号又はその配線等の名称として重複使用される。また、以下の回路図において、そのチャンネル（バックゲート）部に矢印が付されるMOSFETはPチャンネル型であって、矢印の付されないNチャンネルMOSFETと区別して示される。

#### 【0011】

図1において、この実施例のダイナミック型RAMは、4個のメモリブロックMB0～MB3をその基本構成要素とし、これらのメモリブロックは、図のメモリブロックMB1に代表して示されるように、XアドレスデコーダXDを挟む一对のメモリマットMATL及びMATRと、これらのメモリマットに対応して設けられるメインアンプMAL及びMARならびにYアドレスデコーダYDL及びYDRとをそれぞれ含む。このうち、XアドレスデコーダXDには、XアドレスバッファXBから $i+1$ ビットの内部アドレス信号X0～Xiが供給され、YアドレスデコーダYDL及びYDRには、YアドレスバッファYBから $i+1$ ビットの内部アドレス信号Y0～Yiが共通に供給される。また、XアドレスバッファXB及びYアドレスバッファYBには、アドレス入力端子A0～Aiを介してXアドレス信号AX0～AXiならびにYアドレス信号AY0～AYiが時分割的に供給される。さらに、メインアンプMAL及びMARは、8ビットの内部データバスIOB0～IOB7を介してデータ入出力回路IOの対応する単位回路の一方の入出力端子に結合され、これらの単位回路の他方の入出力端子は、対応するデータ入出力端子IO0～IO7に結合される。

#### 【0012】

ここで、メモリブロックMB0～MB3を構成するメモリマットMATL及びMATRは、後述するように、格子状に配置された64個のサブメモリマットをそれぞれ含み、これらのサブメモリマットのそれぞれは、互いに直交して配置される所定数のサブワード線及びサブビット線ならびにこれらのサブワード線及びサブビット線の交点に格子状に配置された多数のダイナミック型メモリセルを含むメモリアレイと、メモリアレイのサブワード線に対応して設けられる単位サブワード線駆動回路を含むサブワード線駆動部と、サブビット線に対応して設けられる単位増幅回路及び列選択スイッチを含むセンスアンプと、指定されるサブビット線が列選択スイッチを介して選択的に接続されるサブコモンIO線とを備える。また、格子状に配置された64個のサブメモリマットの上層には、XアドレスデコーダXDを起点とするメインワード線と、YアドレスデコーダYDL又はYDRを起点とするビット線選択信号（列選択信号線）が互いに直交して配置されるとともに、これらのビット線選択信号と平行してメインアンプMAL又はMARを起点とする所定数のメインコモンIO線が配置される。なお、メモリブロックMB0～MB3と各メモリブロックを構成するサブメモリマットの具体的構成及び動作ならびに配置等については、後で詳細に説明する。

#### 【0013】

XアドレスバッファXB及びYアドレスバッファYBは、アドレス入力端子A0～Aiを介して時分割的に入力されるXアドレス信号AX0～AXi又はYアドレス信号AY0～AYiを取り込み、保持するとともに、これらのXアドレス信号又はYアドレス信号をもとに内部アドレス信号X0～Xi又はY0～Yiを形成し、メモリブロックMB0～MB3のXアドレスデコーダXDあるいはYアドレスデコーダYDL及びYDRに供給する。なお、最上ビットの内部アドレス信号Xi及びYiは、メモリブロック選択回路BSにも供給される。

#### 【0014】

XアドレスデコーダXDは、XアドレスバッファXBから供給される内部アドレス信号X0～Xiをデコードして、対応するメインワード線を択一的に有効レベルとする。また、YアドレスデコーダYDL及びYDRは、YアドレスバッファYBから供給される内部アドレス信号Y0～Yiをデコードして、ビット線選択信号の対応するビットを択一的に有効レベルつまり選択レベルとする。この実施例において、メインワード線は、後述するよ

10

20

30

40

50

うに、非反転及び反転信号線からなる相補信号線とされる。また、メインワード線は、サブメモリマットを構成するサブワード線の $X$ 倍つまり $8$ 倍のピッチで配置され、ビット線選択信号は、サブビット線の $Y$ 倍つまり $4$ 倍のピッチで配置される。このため、サブメモリマットのサブワード線駆動部は、対応する $64$ ビットのメインワード線を介して伝達される行選択信号と後述する $8$ ビットのサブワード線駆動信号線を介して伝達されるサブワード線駆動信号とに従って対応するサブワード線を選択的に選択状態とするための単位サブワード線駆動回路を含み、 $X$ アドレスデコーダ $X D$ に供給される内部アドレス信号 $X 0 \sim X i$ の一部は、これらのサブワード線駆動信号を選択的に有効レベルとするために供される。また、サブメモリマットのセンスアンプは、対応するビット線選択信号の有効レベルを受けて選択的にかつ $4$ 対ずつ同時にオン状態とされ対応する $4$ 組の相補ビット線とサブコモン $I O$ 線との間を選択的に接続状態とするためのスイッチ $M O S F E T$ を含む。

10

#### 【0015】

次に、メインアンプ $M A L$ 及び $M A R$ は、ダイナミック型 $R A M$ が書き込みモードとされるとき、データ入出力端子 $I O 0 \sim I O 7$ からデータ入出力回路 $I O$ ならびに内部データバス $I O B 0 \sim I O B 7$ を介して供給される書き込みデータを、メインコモン $I O$ 線、サブメインアンプ及びサブコモン $I O$ 線を介してメモリマット $M A T L$ 又は $M A T R$ の指定されたサブメモリマットの選択された $8$ 個のメモリセルに書き込む。また、ダイナミック型 $R A M$ が読み出しモードとされるとき、メモリマット $M A T L$ 又は $M A T R$ の指定されたサブメモリマットの選択された $8$ 個のメモリセルからサブコモン $I O$ 線、サブメインアンプ及びメインコモン $I O$ 線を介して出力される読み出し信号を増幅し、内部データバス $I O 0 \sim I O 7$ を介してデータ入出力回路 $I O$ の対応する単位回路に伝達する。これらの読み出し信号は、データ入出力回路 $I O$ の各単位回路からデータ入出力端子 $I O 0 \sim I O 7$ を介してダイナミック型 $R A M$ の外部に出力される。

20

#### 【0016】

メモリブロック選択回路 $B S$ は、 $X$ アドレスバッファ $X B$ 及び $Y$ アドレスバッファ $Y B$ から供給される最上位ビットの内部アドレス信号 $X i$ 及び $Y i$ をデコードして、図示されないメモリブロック選択信号 $B S 0 \sim B S 3$ を選択的に有効レベルとする。これらのメモリブロック選択信号は、対応するメモリブロック $M B 0 \sim M B 3$ に供給され、これを選択的に活性化させるために供される。

#### 【0017】

タイミング発生回路 $T G$ は、外部から起動制御信号として供給されるロウアドレスストローブ信号 $R A S B$ （ここで、それが有効とされるとき選択的にロウレベルとされる反転信号等については、その名称の末尾に $B$ を付して表す。以下同様）、カラムアドレスストローブ信号 $C A S B$ 及びライトイネーブル信号 $W E B$ をもとに各種の内部制御信号を選択的に形成し、ダイナミック型 $R A M$ の各部に供給する。また、内部電圧発生回路 $V G$ は、外部から動作電源として供給される電源電圧 $V C C$ 及び接地電位 $V S S$ をもとに内部電圧 $V C H$ 、 $V C L$ 、 $H V C$ 、 $V B 1$ 及び $V B 2$ を形成し、ダイナミック型 $R A M$ の各部に供給する。特に制限されないが、電源電圧 $V C C$ は $+ 3.3 V$ のような正電位とされ、内部電圧 $V C H$ は $+ 4 V$ のような比較的大きな絶対値の正電位とされる。また、内部電圧 $V C L$ は $+ 2.2 V$ のような比較的小さな絶対値の正電位とされ、内部電圧 $H V C$ は内部電圧 $V C L$ 及び接地電位 $V S S$ の中間電位つまり $+ 1.1 V$ とされる。さらに、内部電圧 $V B 1$ は $- 1 V$ のような比較的小さな絶対値の負電位とされ、内部電圧 $V B 2$ は $- 2 V$ のような比較的大きな絶対値の負電位とされる。

30

40

#### 【0018】

図2には、図1のダイナミック型 $R A M$ の一実施例の基板配置図が示されている。同図により、この実施例のダイナミック型 $R A M$ のチップレイアウトの概要について説明する。なお、レイアウトに関する以下の説明では、対応する配置図の位置関係をもってチップ等の各配置面における上下左右を表す。

#### 【0019】

図2において、この実施例のダイナミック型 $R A M$ は、 $P$ 型半導体基板 $P S U B$ のその基

50



体とする。また、この実施例のダイナミック型RAMは、いわゆるLOC(Lead On Chip)形態を採り、インナーリードと半導体基板PSUBを結合するためのボンディングパッドは、半導体基板PSUBの縦の中央線に沿って直線状に配置される。したがって、これらのボンディングパッドの近辺つまり半導体基板PSUBの中央部には、XアドレスバッファXB及びYアドレスバッファYBならびにデータ入出力回路IO等を含む周辺回路PCが配置される。さらに、半導体基板PSUBの左上部及び右上部には、メモリブロックMB0及びMB1がそれぞれ配置され、その左下部及び右下部には、メモリブロックMB2及びMB3がそれぞれ配置される。これらのメモリブロックは、メインコモンIO線と各サブメモリマットを構成するサブビット線とが図の水平方向に配置されるべく、つまりYアドレスデコーダYDL及びYDRならびにメインアンプMAL及びMARが半導体基板PSUBの内側となるべく配置される。この結果、メインワード線は、サブメモリマットを構成するサブワード線と平行して図の垂直方向に配置され、サブメモリマットを構成するサブコモンIO線は、メインコモンIO線と直交して図の垂直方向に配置される形となる。これにより、メインアンプMAL及びMARを半導体基板PSUBの中央部に配置しつつ、これらのメインアンプに結合されるメインコモンIO線をサブコモンIO線に直交配置し、効果的なチップレイアウトを実現することができる。

#### 【0020】

図3には、図1のダイナミック型RAMに含まれるメモリブロックMB0の一実施例のブロック図が示されている。また、図4には、図3のメモリブロックMB0に含まれるサブメモリマットSMR34及びその周辺部の一実施例の部分的なブロック図が示され、図5には、その一実施例の部分的な接続図が示されている。さらに、図6には、図4のサブメモリマットSMR34に含まれるメモリアレイARYR34及びその周辺部の一実施例の部分的な回路図が示されている。これらの図をもとに、この実施例のダイナミック型RAMを構成するメモリブロック及びサブメモリマットのブロック構成と、サブメモリマットを構成するメモリアレイ及びその周辺部の具体的構成及び動作ならびにその特徴の一部について説明する。なお、メモリブロックに関する以下の説明は、メモリブロックMB0を例に進めるが、その他のメモリブロックMB1～MB3については、これと同一構成とされるため類推されたい。また、サブメモリマットならびにメモリアレイ及び周辺部に関する以下の説明は、サブメモリマットSMR34を例に進めるが、その他のサブメモリマットSMR00～SMR33ならびにSMR35～SMR77については、これと同一構成とされるため類推されたい。

#### 【0021】

図3において、メモリブロックMB0は、前述のように、XアドレスデコーダXDを挟む一対のメモリマットMATL及びMATRを含み、これらのメモリマットそれぞれは、8×8の格子状に配置された64個のサブメモリマットSML00～SML77ならびにSMR00～SMR77を含む。

#### 【0022】

この実施例において、メモリブロックMB0のメモリマットMATL及びMATRを構成するサブメモリマットSML00～SML77ならびにSMR00～SMR77は、図3に斜線で例示されるように、列方向に隣接する2個がそれぞれ対をなし、4組のサブコモンIO線SIO0\*～SIO3\*（ここで、例えば非反転サブコモンIO線SIO0Tと反転サブコモンIO線SIO0Bとを合わせてサブコモンIO線SIO0\*のように\*を付して表す。また、それが有効とされるとき選択的にハイレベルとされるいわゆる非反転信号等については、その名称の末尾にTを付して表す。以下同様）をそれぞれ共有する。これにより、対をなす2個のサブメモリマットSMR34及びSMR35等内において、ビット線選択信号を単位とする列方向の欠陥救済を実現することができる。一方、同一行に配置された8対つまり例えば16個のサブメモリマットSMR04～SMR74ならびにSMR05～SMR75は、メインコモンIO線MIO40\*～MIO43\*に代表される4組のメインコモンIO線とYS40～YS463に代表される64ビットのビット線選択信号とをそれぞれ共有し、同一行に配置された8個つまり例えばサブメモリマット

10

20

30

40

50

SMR30～SMR37は、MW30\*～MW363に代表される64組のメインワード線をそれぞれ共有する。なお、各メモリブロックのメモリマットMATL及びMATRを構成するサブメモリマットSML00～SML77ならびにSMR00～SMR77は、その行方向及び列方向の一部を冗長サブメモリマットとすることができ、これによってサブメモリマットを単位とする欠陥救済を実現することができる。

#### 【0023】

ここで、サブメモリマットSML00～SML77ならびにSMR00～SMR77は、図4のサブメモリマットSMR34に代表して示されるように、メモリアレイARYR34とその下方及び右方に設けられたサブワード線駆動部WDR34及びセンスアンプSAR34とをそれぞれ含む。このうち、メモリアレイARYR34は、特に制限されないが、図6に例示されるように、図の垂直方向に平行して配置される実質512本のサブワード線SW0～SW511と、水平方向に平行して配置される実質256組のサブビット線SB0\*～SB255\*とを含む。これらのサブワード線及びサブビット線の交点には、情報蓄積キャパシタ及びアドレス選択MOSETTからなる実質131,072個のダイナミック型メモリセルが格子状に配置される。これにより、サブメモリマットSML00～SML77ならびにSMR00～SMR77のそれぞれは、いわゆる128キロビットの記憶容量を有するものとされる。また、メモリブロックMB0～MB3のそれぞれは、128キロ×64×2つまりいわゆる16メガビットの記憶容量を有するものとされ、ダイナミック型RAMは、16メガ×4つまりいわゆる64メガビットの記憶容量を有するものとされる。

#### 【0024】

次に、サブワード線駆動部WDR34は、図6に例示されるように、メモリアレイARYR34の偶数番号のサブワード線SW0, SW2ないしSW510に対応して設けられる256個の単位サブワード線駆動回路USWD0, USWD2ないしUSWD510を含む。これらの単位サブワード線駆動回路の出力端子は、その上方において、メモリアレイARYR34の対応する偶数番号のサブワード線SW0, SW2ないしSW510に結合され、その下方において、隣接するサブメモリマットSMR33の対応する偶数番号のサブワード線SW0, SW2ないしSW510に結合される。サブワード線駆動部WDR34を構成する単位サブワード線駆動回路USWD0, USWD2ないしUSWD510の上方の入力端子は、順次4個ずつ共通結合された後、対応するメインワード線MW30\*～MW363\*に順次共通結合される。また、その下方の入力端子は、順次4個おきに共通結合された後、対応するサブワード線駆動信号線DX40, DX42, DX44及びDX46に順次共通結合される。

#### 【0025】

一方、メモリアレイARYR34を構成する奇数番号のサブワード線SW1, SW3ないしSW511は、その上方において、隣接するサブメモリマットSMR35のサブワード線駆動部WDR35の対応する単位サブワード線駆動回路USWD1, USWD3ないしUSWD511の出力端子に結合される。これらの単位サブワード線駆動回路の出力端子は、その上方において、サブメモリマットSMR35のメモリアレイARYR35を構成する奇数番号のサブワード線SW1, SW3ないしSW511に結合される。サブワード線駆動部WDR35を構成する単位サブワード線駆動回路USWD1, USWD3ないしUSWD511の上方の入力端子は、順次4個ずつ共通結合された後、対応するメインワード線MW30\*～MW363\*に順次結合される。また、その下方の入力端子は、順次4個おきに共通結合された後、対応するサブワード線駆動信号線DX41, DX43, DX45及びDX47に共通結合される。

#### 【0026】

サブワード線駆動部WDR34及びWDR35の単位サブワード線駆動回路USWD0, USWD2ないしUSWD510ならびにUSWD1, USWD3ないしUSWD511は、対応するメインワード線MW30\*～MW363\*が有効レベルとされかつ対応するサブワード線駆動信号DX40, DX42ないしDX46あるいはDX41, DX43な

10

20

30

40

50

いし D X 4 7 が有効レベルとされるとき、メモリアレイ A R Y R 3 3 及び A R Y R 3 4 あるいは A R Y R 3 4 及び A R Y R 3 5 の対応するサブワード線 S W 0 , S W 2 ないし S W 5 1 0 あるいは S W 1 , S W 3 ないし S W 5 1 1 を択一的に所定の選択レベルとする。

#### 【 0 0 2 7 】

以上のことから明かなように、この実施例のダイナミック型 R A M では、例えばサブメモリマット S M R 3 4 を構成する 5 1 2 本のサブワード線 S W 0 ~ S W 5 1 1 は、その両側つまり上下に設けられた一对のサブワード線駆動部 W D R 3 4 及び W D R 3 5 の対応する単位サブワード線駆動回路に結合され、サブメモリマット S M R 3 4 は、実質的に 2 個のサブワード線駆動部を必要とするが、サブワード線駆動部の各単位サブワード線駆動回路は、前述のように、列方向に隣接する 2 個のサブメモリマットの対応するサブビット線により共有されるため、あえてサブワード線駆動部の追番とサブメモリマットの追番とを一致させて対応させた。一方、サブメモリマット S M R 3 4 のメモリアレイ A R Y R 3 4 に着目した場合、対応するサブワード線駆動部 W D R 3 4 及び W D R 3 5 の各単位サブワード線駆動回路は、サブワード線 S W 0 ~ S W 5 1 1 の下方又は上方に順次交互に配置されるとともに、順次 8 個ずつ対応するメインワード線 M W 3 0 \* ~ M W 3 6 3 \* を共有する。この結果、各単位サブワード線駆動回路は、サブワード線の 2 倍のピッチで配置すればよく、また各メインワード線は、サブワード線の X 倍つまり 8 倍のピッチで配置すればよいものとなり、これによって単位サブワード線駆動回路及び相補メインワード線の配置ピッチを緩和し、ダイナミック型 R A M の高集積化及び大規模化を推進できるものとなる。なお、サブワード線駆動部 W D R 3 4 等を構成する単位サブワード線駆動回路 U S W D 0 ~ U S W D 5 1 1 の具体的構成及び動作については、後で詳細に説明する。また、その接続形態については、図 3 ないし図 5 の参照によりさらに明確となろう。

#### 【 0 0 2 8 】

次に、サブメモリマット S M R 3 4 のメモリアレイ A R Y R 3 4 を構成するサブビット線 S B 0 \* ~ S B 2 5 5 \* は、その右方において、そのゲートにシェアド制御信号 S H 3 L を共通に受ける N チャンネル型のシェアド M O S F E T N A 及び N B を介してセンスアンプ S A R 3 4 の対応する単位回路 U S A 0 及び U S A 3 ないし U S A 2 5 2 及び U S A 2 5 5 に結合され、その左方において、そのゲートにシェアド制御信号 S H 4 R を共通に受ける同様なシェアド M O S F E T を介して隣接するサブメモリマット S M R 4 4 のセンスアンプ S A R 4 4 の対応する単位回路 U S A 1 及び U S A 2 ないし U S A 2 5 3 及び U S A 2 5 4 に結合される。センスアンプ S A R 3 4 の単位回路 U S A 0 及び U S A 3 等は、さらにその右方において、そのゲートにシェアド制御信号 S H 3 R を共通に受ける N チャンネル型のシェアド M O S F E T N C 及び N D を介して隣接するサブメモリマット S M R 2 4 のメモリアレイ A R Y R 2 4 の対応するサブビット線 S B 0 \* 及び S B 3 \* 等に結合され、センスアンプ S A R 3 5 の単位回路 U S A 1 及び U S A 2 等は、その左方において、そのゲートにシェアド制御信号 S H 4 L を共通に受ける同様なシェアド M O S F E T を介してメモリアレイ A R Y R 4 4 の対応するサブビット線 S B 1 \* 及び S B 2 \* 等に結合される。

#### 【 0 0 2 9 】

センスアンプ S A R 3 4 及び S A R 4 4 の各単位回路には、対応するビット線選択信号 Y S 4 0 ~ Y S 4 6 3 が順次 4 個ずつ共通に供給される。また、これらの単位回路は、後述するように、一对の C M O S インバータが交差結合されてなる単位増幅回路と、そのゲートに対応するビット線選択信号 Y S 4 0 ~ Y S 4 6 3 を共通に受ける一对のスイッチ M O S F E T ( 列選択スイッチ ) とをそれぞれ含む。このうち、各単位増幅回路は、図示されないコモンソース線を介して動作電源が供給されることで選択的に動作状態とされ、選択されたサブワード線に結合されるメモリセルから対応するサブビット線を介して出力される微小読み出し信号を増幅して、ハイレベル又はロウレベルの 2 値読み出し信号とする。また、各単位回路のスイッチ M O S F E T 対は、対応するビット線選択信号 Y S 4 0 ~ Y S 4 6 3 が有効レベルとされることで 4 対ずつ選択的にオン状態となり、メモリアレイ A R Y R 3 4 の対応する 4 組のサブビット線とサブコモン I O 線 S I O 0 \* ~ S I O 3 \* と

10

20

30

40

50

の間を選択的に接続状態とする。

#### 【0030】

なお、サブコモンIO線SIO0\*及びSIO1\*は、図4に例示されるように、列方向に隣接する2個のサブメモリマットSMR34及びSMR35によって共有される。また、このうち、2組のサブコモンIO線SIO0\*及びSIO1\*は、これらのサブメモリマットの右側つまりセンスアンプSAR34及びSAR35内に配置され、残り2組のサブコモンIO線SIO2\*及びSIO3\*は、これらのサブメモリマットの左側つまりセンスアンプSAR44及びSAR45内に配置される。さらに、サブコモンIO線SIO0\*は、サブメモリマットSMR34の右下方に設けられたセンスアンプ駆動部SDR34のサブメインアンプSMAを介してメインコモンIO線MIO40\*に選択的に接続され、サブコモンIO線SIO1\*は、サブメモリマットSMR35の右下方に設けられたセンスアンプ駆動部SDR35のサブメインアンプを介してメインコモンIO線MIO41\*に選択的に接続される。また、サブコモンIO線SIO2\*は、サブメモリマットSMR45の右下方に設けられたセンスアンプ駆動部SDR45のサブメインアンプを介してメインコモンIO線MIO42\*に選択的に接続され、サブコモンIO線SIO3\*は、サブメモリマットSMR46の右下方に設けられたセンスアンプ駆動部SDR46のサブメインアンプを介してメインコモンIO線MIO43\*に選択的に接続される。

10

#### 【0031】

以上のことから明らかなように、この実施例のダイナミック型RAMでは、例えばサブメモリマットSMR34を構成する256組のサブビット線SB0\*~SB255\*は、その両側つまり左右に設けられた一対のセンスアンプSAR34及びSAR44の対応する単位回路に結合され、サブメモリマットSMR34は、実質的に2個のセンスアンプを必要とするが、各センスアンプの各単位回路は、前述のように、行方向に隣接する2個のサブメモリマットにより共有されるため、あえてセンスアンプの追番とサブメモリマットの追番とを一致させて対応させた。一方、サブメモリマットSMR34のメモリアレイARYR34に着目した場合、センスアンプの対応する単位回路は、サブビット線SB0\*~SB255\*の右方又は左方に順次交互に配置されるとともに、順次4個ずつ対応するビット線選択信号YS40~YS463を共有する。このため、センスアンプの各単位回路は、サブビット線の2倍のピッチで配置すればよく、また各ビット線選択信号は、サブビット線のY倍つまり4倍のピッチで配置すればよいものとなる。この結果、センスアンプの単位回路及びビット線選択信号の配置ピッチを緩和し、ダイナミック型RAMの高集積化・大規模化を推進できるものとなる。なお、センスアンプSAR34及びSAR44等ならびにその単位回路USA0~USA255の具体的構成については、後で詳細に説明する。また、その接続形態については、図3ないし図5の参照によりさらに明確となる。

20

30

#### 【0032】

ところで、この実施例のダイナミック型RAMでは、メモリブロックMB0~MB3を構成するメモリマットMATL及びMATRが、それぞれ64個のサブメモリマットSML00~SML77あるいはSMR00~SMR77に分割され、ユニット化される。これらのサブメモリマットは、あたかもメモリセルのように格子状に配置され、そのサブワード線、サブビット線及びサブコモンIO線は、上層に配置されたメインワード線、ビット線選択信号又はメインコモンIO線と選択的に接続され、選択的に活性化される。当該分野に従事される技術者の方々にはすでに明らかと思われるが、メモリマットを多数のサブメモリマットに分割しユニット化することは、メモリマットつまりはダイナミック型RAMのマット構成に関する自由度を高め、その開発期間の縮小に寄与する。また、サブメモリマットへのユニット化が、階層構造をワード線、ビット線及びコモンIO線のすべてに包括的に採用しつつ行われることで、階層構造の効果を十分に発揮しうるダイナミック型RAMを実現し、総合的にみたダイナミック型RAMの高速化、高集積化、大規模化及び低コストを図ることができるものとなる。

40

#### 【0033】

50

図 7 には、図 4 のサブメモリマツト S M R 3 4 に含まれるサブワード線駆動部 W D R 3 4 の第 1 の実施例の部分的な回路図及び信号波形図が示されている。また、図 8 には、サブメモリマツト S M R 3 4 に含まれるサブワード線駆動部 W D R 3 4 の第 2 の実施例の部分的な回路図及び信号波形図が示され、図 9 には、その第 3 の実施例の部分的な回路図及び信号波形図が示されている。これらの図をもとに、この実施例のダイナミック型 R A M のサブメモリマツトを構成するサブワード線駆動部の具体的な構成及び動作ならびにその特徴について説明する。なお、サブワード線駆動部に関する以下の説明は、サブメモリマツト S M R 3 4 のサブワード線駆動部 W D R 3 4 を例に進められるが、その他のサブワード線駆動部についてはこれと同一構成とされるため、類推されたい。また、このサブワード線駆動部 W D R 3 4 を構成する単位サブワード線駆動回路 U S W D 0 ないし U S W D 5 1 0 に関する以下の説明は、単位サブワード線駆動回路 U S W D 0 を例に進められるが、その他の単位サブワード線駆動回路 U S W D 2 ないし U S W D 5 1 0 についてはこれと同一構成とされるため、類推されたい。

#### 【 0 0 3 4 】

図 7 において、サブワード線駆動部 W D R 3 4 は、メモリアレイ A R Y R 3 4 を構成する偶数番号のサブワード線 S W 0 , S W 2 ないし S W 5 1 0 に対応して設けられる 2 5 6 個の単位サブワード線駆動回路 U S W D 0 , U S W D 2 ないし U S W D 5 1 0 を含み、これらの単位サブワード線駆動回路のそれぞれは、単位サブワード線駆動回路 U S W D 0 に代表して示されるように、対応するサブワード線駆動信号線 D X 4 0 とサブワード線 S W 0 との間に設けられる P チャンネル M O S F E T P 1 ( 第 1 の M O S F E T ) と、対応するサブワード線 S W 0 と地電位 V S S との間に設けられる N チャンネル M O S F E T N 1 ( 第 2 の M O S F E T ) とを含む。これらの M O S F E T P 1 及び N 1 のゲートは、対応するメインワード線 M W 3 0 \* の反転信号線つまり反転メインワード線 M W 3 0 B に結合される。単位サブワード線駆動回路 U S W D 0 は、さらに M O S F E T P 1 と並列形態に設けられた N チャンネル M O S F E T N 2 ( 第 3 の M O S F E T ) を含み、この M O S F E T N 2 のゲートは、対応するメインワード線 M W 3 0 \* の非反転信号線つまり非反転メインワード線 M W 3 0 T に結合される。

#### 【 0 0 3 5 】

ここで、非反転メインワード線 M W 3 0 T は、非選択時において接地電位 V S S つまり 0 V のような無効レベルとされ、選択時は内部電圧 V C H つまり + 4 V のような有効レベルとされる。また、反転メインワード線 M W 3 0 B は、非選択時において内部電圧 V C H のような無効レベルとされ、選択時は接地電位 V S S のような有効レベルとされる。さらに、サブワード線駆動信号 D X 4 0 は、非選択時において接地電位 V S S のような無効レベルとされ、選択時は内部電圧 V C H のような有効レベルとされる。なお、内部電圧 V C H は、前述のように、ダイナミック型 R A M に内蔵された内部電圧発生回路 V G により電源電圧 V C C をもとに形成され、+ 4 V の比較的安定した電位とされる。

#### 【 0 0 3 6 】

対応する非反転メインワード線 M W 3 0 T 及び反転メインワード線 M W 3 0 B が無効レベルとされるとき、単位サブワード線駆動回路 U S W D 0 では、M O S F E T P 1 及び N 2 がともにオフ状態とされ、M O S F E T N 1 がオン状態とされる。このため、サブワード線 S W 0 は、対応するサブワード線駆動信号 D X 4 0 のレベルに関係なく接地電位 V S S のような非選択レベルとされる。

#### 【 0 0 3 7 】

一方、対応する非反転メインワード線 M W 3 0 T 及び反転メインワード線 M W 3 0 B が有効レベルとされると、単位サブワード線駆動回路 U S W D 0 では、M O S F E T N 1 がオフ状態とされ、代わって M O S F E T P 1 及び N 2 がオン状態とされる。このため、サブワード線 S W 0 は、対応するサブワード線駆動信号 D X 4 0 の有効レベルを受けて内部電圧 V C H のような選択レベルとされ、その無効レベルを受けて接地電位 V S S のような非選択レベルとされる。

#### 【 0 0 3 8 】

10

20

30

40

50

以上のように、この実施例のダイナミック型RAMのサブワード線駆動部WDR34等を構成する単位サブワード線駆動回路USWD0等は、セルフ・ブート形式を採らずいわゆるCMOS（相補型MOS）スタティック型駆動回路とされるため、メインワード線MW30\*等とサブワード線駆動信号DX40等を同時に有効レベルとすることができ、相応してダイナミック型RAMの読み出しモードにおけるアクセスタイムを高速化することができるものである。

#### 【0039】

なお、単位サブワード線駆動回路USWD0を初めとする単位サブワード線駆動回路は、図8に示されるように、対応する非反転メインワード線MW30Tとサブワード線SW0との間に設けられそのゲートに対応するサブワード線駆動信号DX40を受けるPチャンネルMOSFETP1と、サブワード線SW0と接地電位VSSとの間に並列形態に設けられそのゲートが対応するサブワード線駆動信号線DX40及び反転メインワード線MW30Bにそれぞれ結合されるNチャンネルMOSFETN1及びN2とにより構成できるし、図9に示されるように、対応する非反転サブワード線駆動信号線DX40Tとサブワード線SW0との間に設けられそのゲートが対応する反転メインワード線MW30Bに結合されるPチャンネルMOSFETP1と、サブワード線SW0と接地電位VSSとの間に並列形態に設けられそのゲートが対応する反転メインワード線MW30B及び反転サブワード線駆動信号DX40Bにそれぞれ結合されるNチャンネルMOSFETN1及びN2とによっても構成できる。さらに、単位サブワード線駆動回路USWD0は、通常の2入力CMOSノアゲート等によっても構成することができるが、この場合、メインワード線及びサブワード線駆動信号の双方を単一信号線とすることができ、これによって所要配線数をさらに削減し、ダイナミック型RAMのさらなる高集積化を図ることができる。

#### 【0040】

図10には、図4のサブメモリマットSMR34に含まれるセンスアンプSAR34及びセンスアンプ駆動部SDR34の第1の実施例の部分的な回路図が示されている。また、図11には、図4のサブメモリマットSMR34に含まれるセンスアンプ駆動部SDR34の第2の実施例の部分的な回路図が示され、図12には、図10及び図11のセンスアンプ駆動部SDR34の一実施例の信号波形図が示されている。さらに、図13には、図4のサブメモリマットSMR34に含まれるセンスアンプ駆動部SDR34の第3の実施例の部分的な回路図が示され、図14には、その一実施例の信号波形図が示されている。これらの図をもとに、この実施例のダイナミック型RAMのサブメモリマットに含まれるセンスアンプ及びセンスアンプ駆動部の具体的構成及び動作ならびにその特徴について説明する。なお、センスアンプ及びその単位回路ならびにセンスアンプ駆動部に関する以下の説明は、サブメモリマットSMR34のセンスアンプSAR34及びその単位回路USA0ならびにセンスアンプ駆動部SDR34を例に進められるが、その他のセンスアンプ及び単位回路ならびにセンスアンプ駆動部についてはこれらの実施例とそれぞれ同一構成とされるため、類推されたい。

#### 【0041】

図10において、センスアンプSAR34は、128個の単位回路USA0、USA3ないしUSA252、USA255を含む。これらの単位回路の左方の入力端子は、そのゲートに反転シェアド制御信号SH3LBのセンスアンプ駆動部SDR34のインバータV1による反転信号つまり非反転シェアド制御信号SH3Lを共通に受けるNチャンネル型のシェアドMOSFETNA及びNBを介して、メモリアレイARYR34の対応するサブビット線SB0\*、SB3\*ないしSB252\*、SB255\*に結合され、その右方の入力端子は、そのゲートに反転シェアド制御信号SH3RBのセンスアンプ駆動部SDR34のインバータV3による反転信号つまり非反転シェアド制御信号SH3Rを共通に受けるNチャンネル型のシェアドMOSFETNC及びNDを介して、隣接するサブメモリマットSMR24のメモリアレイARYR24の対応するサブビット線SB0\*、SB3\*ないしSB252\*、SB255\*に結合される。

#### 【0042】

10

20

30

40

50

これにより、ダイナミック型RAMはシェアドセンス方式を採るものとされ、センスアンプSAR34の単位回路USA0, USA3ないしUSA252, USA255は、隣接して配置された一対のサブメモリマツSMR34及びSMR24のメモリアレイARYR34及びARYR24によって共有される。そして、反転シェアド制御信号SH3LBがロウレベルとされ非反転シェアド制御信号SH3Lがハイレベルとされるとき、シェアドMOSFETNA及びNBを介してその左側に配置されたメモリアレイARYR34の対応するサブビット線SB0\*, SB3\*ないしSB252\*, SB255\*に選択的に接続され、反転シェアド制御信号SH3RBがロウレベルとされ非反転シェアド制御信号SH3Rがハイレベルとされるとき、シェアドMOSFETNC及びNDを介してその右側に配置されたメモリアレイARYR24の対応するサブビット線SB0\*, SB3\*ないしSB252\*, SB255\*に選択的に接続される。

#### 【0043】

ここで、センスアンプSAR34を構成する単位回路のそれぞれは、図10の単位回路USA0に代表して示されるように、PチャンネルMOSFETP2及びNチャンネルMOSFETN3ならびにPチャンネルMOSFETP3及びNチャンネルMOSFETN4からなる一対のCMOSインバータが交差結合されてなる単位増幅回路と、これらの単位増幅回路の非反転及び反転入出力ノードとサブコモニオ線SIO0\*又はSIO1\*の非反転及び反転信号線との間にそれぞれ設けられたNチャンネル型の一対のスイッチMOSFET(列選択スイッチ)N8及びN9とを含み、さらに3個のNチャンネルMOSFETN5~N7が直並列結合されてなるビット線プリチャージ回路を含む。

#### 【0044】

このうち、単位増幅回路を構成するMOSFETP2及びP3のソースは、コモソース線(駆動信号線)PPに共通結合され、MOSFETN3及びN4の共通結合されたソースは、コモソース線PNに共通結合される。コモソース線PPは、センスアンプ駆動部SDR34のセンスアンプ駆動回路SADを構成するPチャンネル型の駆動MOSFETP4を介して駆動電圧供給線CPP4に結合され、コモソース線PNは、Nチャンネル型の駆動MOSFETNEを介して駆動電圧供給線CPN4に結合される。また、コモソース線PP及びPNの間には、3個のNチャンネルMOSFETNF~NHが直並列結合されてなるコモニオ線プリチャージ回路が設けられる。センスアンプ駆動回路SADを構成する駆動MOSFETP4のゲートは、センスアンプ制御信号線SAP3に結合され、駆動MOSFETNEのゲートは、センスアンプ制御信号線SAN3に結合される。また、コモニオ線プリチャージ回路を構成するMOSFETNF~NHのゲートには、プリチャージ制御用の内部制御信号PCのインバータV2による反転信号つまり反転内部制御信号PCBが共通に供給される。

#### 【0045】

これにより、センスアンプSAR34の各単位回路の単位増幅回路は、センスアンプ制御信号SAP3及びSAN3の有効レベルを受けてセンスアンプ駆動回路SADの駆動MOSFETP4及びNEがオン状態とされ駆動電圧供給線CPP4及びCPN4からコモソース線PP及びPNを介して所定の動作電源が供給されることで選択的に動作状態とされ、メモリアレイARYR34又はARYR24の選択されたサブワード線に結合される256個のメモリセルから対応するサブビット線SB0\*及びSB2\*等を介して出力される微小読み出し信号をそれぞれ増幅し、ハイレベル又はロウレベルの2値読み出し信号とする。

#### 【0046】

次に、センスアンプSAR34の各単位回路を構成するスイッチMOSFETN8及びN9のゲートは、順次2対ずつ共通結合され、YアドレスデコーダYDから対応するビット線選択信号YS40等が供給される。前述のように、ビット線選択信号YS40等は、メモリアレイARYR34の左側に設けられたセンスアンプSAR44の単位回路USA1及びUSA2等の2対のスイッチMOSFETのゲートにも供給される。これにより、各単位回路のスイッチMOSFETN8及びN9は、対応するビット線選択信号YS40~

Y S 4 6 3 が有効レベルとされることで選択的にかつ 2 対ずつ同時にオン状態となり、メモリアレイ A R Y R 3 4 又は A R Y R 2 4 の対応する 2 組のサブビット線とサブコモン I O 線 S I O 0 \* 及び S I O 1 \* との間を選択的に接続状態とする。

#### 【 0 0 4 7 】

一方、センスアンプ S A R 3 4 の各単位回路のビット線プリチャージ回路を構成する M O S F E T N 5 ~ N 7 のゲートには、前記反転プリチャージ制御信号 P C B が共通に供給される。M O S F E T N 5 ~ N 7 は、反転プリチャージ制御信号 P C B の有効レベルつまりハイレベルを受けて選択的にオン状態となり、センスアンプ S A R 3 4 の対応する単位回路の単位増幅回路の非反転及び反転入出力ノード間つまりはメモリアレイ A R Y R 3 4 又は A R Y R 2 4 の対応するサブビット線の非反転及び反転信号線間を短絡して、イコライズする。

10

#### 【 0 0 4 8 】

この実施例において、メモリブロック M B 0 ~ M B 3 を構成するメモリマット M A T L 及び M A T R は、メモリセルを初めとする素子の微細化を図るため、+ 2 . 2 V のような比較的小さな絶対値の内部電圧 V C L と接地電位 V S S つまり 0 V をその動作電源とし、センスアンプ S A R 3 4 を構成する単位増幅回路も、コモンソース線 P P 及び P N を介して供給される内部電圧 V C L 及び接地電位 V S S をその動作電源とする。しかし、この実施例のダイナミック型 R A M は、いわゆるオーバードライブ方式を採り、コモンソース線 P P には、センスアンプ S A R 3 4 が活性化される当初所定期間だけ電源電圧 V C C つまり + 3 . 3 V が供給される。これにより、センスアンプの単位増幅回路の増幅動作の立ち上がりが高速化され、ダイナミック型 R A M の読み出し動作が高速化される。

20

#### 【 0 0 4 9 】

ここで、図 1 2 の信号波形図をもとに、センスアンプのオーバードライブ方式について簡単に説明する。図 1 2 において、センスアンプ制御信号 S A P 3 は、電源電圧 V C C つまり + 3 . 3 V をその無効レベルとし、接地電位 V S S つまり 0 V をその有効レベルとする。また、センスアンプ制御信号 S A N 3 は、接地電位 V S S をその無効レベルとし、電源電圧 V C C をその有効レベルとする。駆動電圧供給線 C P P 4 には、非選択時ならびにセンスアンプ制御信号 S A P 3 及び S A N 3 が有効レベルとされてから所定時間が経過するまでの間、電源電圧 V C C が供給され、所定時間経過後には内部電圧 V C L つまり + 2 . 2 V が供給される。駆動電圧供給線 C P N 4 には、定常的に接地電位 V S S が供給される。図示されないプリチャージ制御信号 P C は、センスアンプ S A R 3 4 が非活性状態とされるとき所定のタイミングで接地電位 V S S のような有効レベルとされ、活性状態とされた時点で電源電圧 V C C のような無効レベルとされる。

30

#### 【 0 0 5 0 】

センスアンプ制御信号 S A P 3 及び S A N 3 が無効レベルとされセンスアンプ S A R 3 4 が非活性状態とされるとき、センスアンプ駆動部 S D R 3 4 では、センスアンプ駆動回路 S A D を構成する駆動 M O S F E T P 4 及び N E がオフ状態とされるとともに、コモン I O 線プリチャージ回路を構成する M O S F E T N F ~ N H が、プリチャージ制御信号 P C の有効レベルを受けて一斉にオン状態とされる。これにより、コモンソース線 P P 及び P N は、M O S F E T N F ~ N H を介して内部電圧 V C L と接地電位との中間電位つまり内部電圧 H V C にイコライズされ、センスアンプ S A R 3 4 の単位回路 U S A 0 等はすべて非動作状態とされる。このとき、メモリアレイ A R Y R 3 4 又は A R Y R 2 4 では、センスアンプ S A R 3 4 の対応する単位回路のビット線プリチャージ回路を介してサブビット線 S B 0 \* ~ S B 2 5 5 \* の非反転及び反転信号線がイコライズされ、内部電圧 H V C のような中間レベルにプリチャージされる。

40

#### 【 0 0 5 1 】

一方、センスアンプ制御信号 S A P 3 及び S A N 3 が有効レベルとされると、センスアンプ駆動部 S D R 3 4 では、コモン I O 線プリチャージ回路を構成する M O S F E T N F ~ N H がオフ状態とされ、代わってセンスアンプ駆動回路 S A D を構成する駆動 M O S F E T P 4 及び N E がオン状態とされる。このため、コモンソース線 P P には、駆動電圧供給

50



線CPP4から駆動MOSFETP4を介してまず電源電圧VCCのような駆動電圧が供給され、所定時間経過後には内部電圧VCLのような駆動電圧が供給される。また、共通ソース線PNには、駆動電圧供給線CPN4を介して接地電位VSSが供給される。これにより、センスアンプSAR34の各单位回路を構成する単位増幅回路が動作状態とされ、メモリアレイARYR34又はARYR24の選択されたサブワード線に結合されたメモリセルから対応するサブビット線SB0\*等に出力される微小読み出し信号をそれぞれ増幅し、ハイレベル又はロウレベルの2値読み出し信号とする。なお、センスアンプSAR34が活性化される当初において共通ソース線PPにオーバードライブのための電源電圧VCCが供給されることで、単位増幅回路の増幅動作の立ち上がりが高速化され、これによってダイナミック型RAMの読み出しモードのアクセスタイムが高速化されるものとなる。

10

#### 【0052】

ところで、図12の実施例では、駆動電圧供給線CPP4を介して供給される駆動電圧を一時的に電源電圧VCCとすることによってセンスアンプのオーバードライブを実現しているが、図13に示されるように、電源電圧VCC、内部電圧VCL及び接地電位VSSがそれぞれ定常的に供給される3本の駆動電圧供給線を設けることによって同様なオーバードライブを実現することもできる。すなわち、図13では、共通ソース線PPと電源電圧VCC及び内部電圧VCLとの間に、センスアンプ駆動回路SADを構成するPチャンネル型の駆動MOSFETP8及びP9がそれぞれ設けられ、共通ソース線PNと接地電位VSSとの間にはNチャンネル型の駆動MOSFETNEが設けられる。このうち、駆動MOSFETP8及びP9のゲートには、センスアンプ制御信号SAP31及びSAP32がそれぞれ供給され、駆動MOSFETNEのゲートにはセンスアンプ制御信号SAN3が供給される。この実施例において、センスアンプ制御信号SAP31は、図14に示されるように、センスアンプ制御信号SAN3と同時に有効レベルとされ、所定時間が経過した時点で無効レベルに戻される。また、センスアンプ制御信号SAP32は、センスアンプ制御信号SAP31及びSAN3が有効レベルとされてから所定時間が経過した時点でセンスアンプ制御信号SAP31が無効レベルに戻されるのと同時に有効レベルとされる。この結果、共通ソース線PPには、センスアンプ制御信号SAP31が有効レベルとされてからセンスアンプ制御信号SAP32が有効レベルとされるまでの間、電源電圧VCCが駆動電圧として所定期間だけ供給され、これによって前記図12と同様なセンスアンプのオーバードライブを実現することができる。

20

30

#### 【0053】

一方、この実施例のダイナミック型RAMでは、メモリセルのリフレッシュ動作が同一行に配置された8個のサブメモリマットSMR00～SMR07ないしSMR70～SMR77を単位として進行される。このとき、センスアンプ制御信号SAP0～SAP7ならびにSAN0～SAN7は、リフレッシュ動作の進行にともなって順次有効レベルとされるが、例えばサブメモリマットSMR30～SMR37のリフレッシュ動作が終了しサブメモリマットSMR40～SMR47に移行する場合、センスアンプ制御信号SAP3及びSAN3は所定期間だけ次のセンスアンプ制御信号SAP4及びSAN4と同時に有効レベルとされ、いわゆる電荷再利用リフレッシュが行われる。これにより、センスアンプSAR30～SAR37の共通ソース線PP及びPNにチャージされた駆動電圧VCL又はVSSに相当する電荷は、駆動電圧供給線CPP0～CPP7ならびにCPN0～CPN7を介してセンスアンプSAR30～SAR37の共通ソース線PP及びPNに伝達され、再利用される。この結果、改めて駆動電圧供給線CPP0～CPP7ならびにCPN0～CPN7を介して供給すべき駆動電圧の電荷量が節約され、ダイナミック型RAMの低消費電力化が図られる。

40

#### 【0054】

図10の説明に戻ろう。この実施例のセンスアンプ駆動部SDR34は、さらに、Nチャンネル型の一対の読み出し用差動MOSFETNP及びNQならびに一対の書き込み用スイッチMOSFETNL及びNMを含むサブメインアンプSMAと、3個のPチャンネル

50

MOSFET P5～P7ならびにNチャンネルMOSFET NI～NKがそれぞれ直並列結合されてなる二つのサブコモンIO線プリチャージ回路とを備える。このうち、一方のサブコモンIO線プリチャージ回路を構成するMOSFET NI～NKのゲートには、前記内部制御信号PCのインバータV2による反転信号つまり反転内部制御信号PCBが共通に供給され、他方のサブコモンIO線プリチャージ回路を構成するMOSFET P5～P7のゲートには、内部制御信号PCSが共通に供給される。これにより、MOSFET NI～NKは、ダイナミック型RAMが書き込みモードとされるとき、内部制御信号PCがロウレベルつまり反転内部制御信号PCBがハイレベルとされることで選択的にオン状態となり、サブコモンIO線SIO0\*の非反転及び反転信号線間を内部電圧HVCにイコライズする。また、MOSFET P5～P7は、ダイナミック型RAMが読み出しモードとされるとき、内部制御信号PCSがロウレベルとされることで選択的にオン状態となり、サブコモンIO線SIO0\*の非反転及び反転信号線間を内部電圧VCLにイコライズする。

10

#### 【0055】

一方、サブメインアンプSMAを構成する書き込み用スイッチMOSFET NL及びNMのドレイン及びソースは、メインコモンIO線MIO40\*及びサブコモンIO線SIO0\*の反転及び非反転信号線にそれぞれ結合され、そのゲートには、内部制御信号WE3が共通に供給される。また、読み出し用差動MOSFET NP及びNQのドレインは、NチャンネルMOSFET NN及びNOを介してメインコモンIO線MIO40\*の非反転及び反転信号線にそれぞれ結合され、その共通結合されたソースは、Nチャンネル型の駆動MOSFET NRを介して接地電位VSSに結合される。差動MOSFET NP及びNQのゲートは、サブコモンIO線SIO0\*の反転及び非反転信号線にそれぞれ結合され、MOSFET NN及びNOならびにNRのゲートには、内部制御信号RE3が共通に供給される。なお、内部制御信号WE3は、ダイナミック型RAMが書き込みモードで選択状態とされるとき、所定のタイミングで選択的に内部電圧VCLのようなハイレベルとされ、内部制御信号RE3は、読み出しモードで選択状態とされるとき、所定のタイミングで選択的にハイレベルとされる。

20

#### 【0056】

これにより、サブメインアンプSMAの書き込み用スイッチMOSFET NL及びNMは、ダイナミック型RAMが書き込みモードで選択状態とされ内部制御信号WE3がハイレベルとされることで選択的にオン状態となり、メインアンプMARからメインコモンIO線MIO40\*を介して供給される書き込み信号をサブコモンIO線SIO0\*に伝達する。これらの書き込み信号は、サブコモンIO線SIO0\*からセンスアンプSAR34の対応する単位回路を介してメモリアレイARYR34の選択されたメモリセルに書き込まれる。

30

#### 【0057】

一方、サブメインアンプSMAを構成する読み出し用差動MOSFET NP及びNQは、ダイナミック型RAMが読み出しモードで選択状態とされ内部制御信号RE3のハイレベルを受けてMOSFET NN及びNOならびにNRがオン状態とされるとき、これらのMOSFETとともに選択的にいわゆる擬似ダイレクト型の差動増幅回路を構成し、メモリアレイARYR34の選択されたメモリセルから出力されセンスアンプSAR34の対応する単位増幅回路により増幅されしかもサブコモンIO線SIO0\*を介して出力される2値読み出し信号をさらに増幅して、対応するメインコモンIO線MIO40\*に伝達する。前述のように、サブコモンIO線SIO0\*は、列方向に隣接する2個のサブメモリマットSMR34及びSMR35により共有され、その配線長は、これらのサブメモリマットのビット線方向の幅に相当する比較的短いものとされる。また、センスアンプSAR34の対応する単位増幅回路からサブコモンIO線SIO0\*に出力された2値読み出し信号は、サブメインアンプSMAの読み出し用差動MOSFET NP及びNQを中心とする差動増幅回路によってさらに増幅され、比較的長い配線長を有するメインコモンIO線MIO40\*に伝達される。

40

50

## 【0058】

これらの結果、この実施例では、列選択時におけるセンスアンプSAR34の各単位増幅回路に対する負荷を軽減しつつ、選択されたメモリセルの読み出し信号を効果的にメインコモモンIO線MIO40\*つまりはメインアンプMARの対応する単位回路に伝達することができ、これによってダイナミック型RAMの読み出しモードにおけるアクセスタイムを高速化できるものとなる。なお、この実施例において、サブメインアンプSMAを含むセンスアンプ駆動回路SAD34は、後述するように、センスアンプSAR34等の配置領域とサブワード線駆動部WDR34等の配置領域との交差領域に配置されるため、そのレイアウト面積の増大を抑制しつつ、アクセスタイムの高速化を図ることができる。

## 【0059】

ところで、メインコモモンIO線MIO40\*等の配線長が比較的短くあるいはその負荷容量が問題とならない場合、サブメインアンプSMAは、図11及び図13に例示されるように、書き込み用及び読み出し用として兼用されるスイッチMOSFETNL及びNMのみによって構成することができる。

## 【0060】

図15には、図4のサブメモリマットSMR34のメモリアレイARYR34及びその周辺部における金属配線層の一実施例の平面配置図が示されている。また、図16には、図4のサブメモリマットSMR34に含まれるサブワード線駆動部WDR34の一実施例の部分的な平面配置図が示され、図17には、センスアンプSAR34及びセンスアンプ駆動部SDR34の一実施例の平面配置図が示されている。これらの図により、サブメモリ

## 【0061】

マットSMR34及びその周辺部における特に金属配線層の平面配置ならびにその特徴について説明する。なお、金属配線層に関する以下の説明が、サブメモリマットSMR34を除く他のサブメモリマットにも適用できるものであることは言うまでもない。

図15において、この実施例のダイナミック型RAMは、アルミニウム等からなる3層の金属配線層M1~M3を有する。このうち、最上層となる第3層の金属配線層M3は、主に図の水平方向につまりはサブビット線と平行しかつ複数のサブメモリマット間に渡って配置されるビット線選択信号YS40~YS463等、サブワード線駆動信号DX40~DX47等、メインコモモンIO線MIO40\*~MIO43\*等ならびに駆動電圧供給線CPP2, CPN2, CPP4及びCPN4等として使用され、第2層の金属配線層M2

## 【0062】

は、主に図の垂直方向につまりはサブワード線と平行しかつ複数のサブメモリマット間に渡って配置されるメインワード線MW30\*~MW363\*等、サブコモモンIO線SIO0\*~SIO3\*等、反転シェアド制御信号線SH3LB~SH4LB及びSH3RB~SH4RB等、センスアンプ駆動信号線SAP3~SAP4及びSAN3~SAN4等ならびに内部制御信号線PC, PCS, WE3~WE4, RE3~RE4等として使用される。なお、最下層となる第1層の金属配線層M1は、各回路を構成するMOSFET等の素子間配線等として使用される。

この実施例において、第2層の金属配線層M2からなるメインワード線MW30\*つまり非反転メインワード線MW30T及び反転メインワード線MW30B等は、図16に例示されるように、第1層のゲート層FGからなるメモリアレイARYR34のサブワード線SW0~SW7等の8倍のピッチで、十分な余裕をもって配置される。また、第3層の金属配線層M3からなり図示されない右部において二つに分岐されたサブワード線駆動信号線DX40, DX42, DX44及びDX46等の一方は、サブワード線駆動部WDR34を構成するPチャンネルMOSFETの形成領域上に平行して配置され、その他方は、サブワード線駆動部WDR34を構成するNチャンネルMOSFETの形成領域上に平行して配置される。これらのサブワード線駆動信号線の間には、PチャンネルMOSFETの形成領域となるNウェル領域に基板電位つまり内部電圧VCHを供給するための供給配線が同様に第3層の金属配線層M3によって形成される。また、その下層には、隣接するメモリアレイARYR34及びARYR33の偶数番号のサブワード線SW0, SW2

10

20

30

40

50

、SW4及びSW6等を互いに共通結合するための結合配線が第1層の金属配線層M1によって形成される。

#### 【0063】

一方、第3層の金属配線層M3からなるビット線選択信号YS40等は、図17に例示されるように、第2層のゲート層SGからなるメモリアレイARYR34のサブビット線SB0\*~SB3\*つまり非反転サブビット線SB0T~SB3Tならびに反転SB0B~SB3B等の4倍つまり実質8倍のピッチで、十分な余裕をもって配置される。また、第3層の金属配線層M3からなるメインコモント線MIO40\*つまり非反転メインコモント線MIO40T及びMIO40Bならびに駆動電圧供給線CPP4及びCPN4等は、サブワード線駆動部WDR24及びWDR34ならびにセンスアンプ駆動部SDR34等の配置領域上に配置され、第2層の金属配線層M2からなるサブコモント線SIO0\*及びSIO1\*つまり非反転サブコモント線SIO0T及びSIO1Tと反転サブコモント線SIO0B及びSIO1B等、反転シェアド制御信号線SH3LB及びSH3RB~SH4RB等、センスアンプ駆動信号線SAP3及びSAN3等ならびに内部制御信号線PC、PCS、WE3及びRE3等は、センスアンプSAR34及びセンスアンプ駆動部SDR34等の配置領域上に配置される。以上の結果、複数のサブメモリマットにわたって信号伝達を行う信号線が3層の金属配線層を使って効率良く配置され、これによってサブメモリマットひいてはダイナミック型RAMのレイアウト効率が高められるものとなる。

10

#### 【0064】

なお、この実施例のダイナミック型RAMでは、前述のように、第2層の金属配線層M2又は第3層の金属配線層M3からなり特に集積度の高いメモリアレイに關係の深いメインワード線MW30\*~MW363\*等ならびにビット線選択信号YS40~YS463等が十分な余裕をもって配置されるため、これらの金属配線層はいわゆる位相シフトマスクを用いることなくパターンニングされ、これによってダイナミック型RAMの低コスト化が図られる。

20

#### 【0065】

図18には、図1のダイナミック型RAMの各サブメモリマットを構成するメモリアレイ及び周辺部の第1の実施例の平面配置図が示され、図21には、その一実施例の断面構造図が示されている。また、図19には、図1のダイナミック型RAMの各サブメモリマットを構成するメモリアレイ及び周辺部の第2の実施例の平面配置図が示され、図22には、その一実施例の断面構造図が示されている。さらに、図20には、図1のダイナミック型RAMの各サブメモリマットを構成するメモリアレイ及び周辺部の第3の実施例の平面配置図が示され、図23には、その一実施例の断面構造図が示されている。これらの図をもとに、この実施例のダイナミック型RAMの特にウェル構造の概要と基板電圧ならびにその特徴について説明する。なお、以下の実施例は、ダイナミック型RAMのウェル構造及び基板電圧を分かり易く説明することを主眼として、これまでに掲載したダイナミック型RAMの基板配置にこだわらずシンボリックに表現されている。また、以下の記述では、まず図18及び図21の第1の実施例についてその詳細を説明し、図19及び図22の第2の実施例ならびに図20及び図23の第3の実施例については、これと異なる部分についてのみ説明を追加する。

30

40

#### 【0066】

図18及び図21において、ダイナミック型RAMは、-1Vのように比較的小さな絶対値の負電位とされる内部電圧VB1が印加されたP型半導体基板PSUBをその基体とする。また、メモリアレイARY1を構成するメモリセルMCつまりアドレス選択MOSFETとなるNチャンネルMOSFETは、半導体基板PSUB上にしかも対応するセンスアンプSA1の配置領域に入り込んで設けられたPウェル領域PW1に形成され、対をなすメモリアレイARY2を構成するメモリセルMCつまりアドレス選択MOSFETとなるNチャンネルMOSFETも、やはり半導体基板PSUB上にしかも対応するセンスアンプSA1の配置領域に入り込んで設けられたPウェル領域PW2に形成される。Pウェ

50

ル領域 P W 1 及び P W 2 には、基板電圧として内部電圧 V B 1 が供給され、この内部電圧 V B 1 がそのまま半導体基板 P S U B の基板電圧となる。

#### 【 0 0 6 7 】

同様に、メモリアレイ A R Y 3 を構成するメモリセル M C つまりアドレス選択 M O S F E T となる N チャンネル M O S F E T は、半導体基板 P S U B 上にしかも対応するセンスアンプ S A 2 及びサブワード線駆動部 W D 1 の配置領域に入り込んで設けられた P ウェル領域 P W 3 に形成され、対をなすメモリアレイ A R Y 4 を構成するメモリセル M C のアドレス選択 M O S F E T となる N チャンネル M O S F E T も、やはりセンスアンプ S A 2 及びサブワード線駆動部 W D 2 の配置領域に入り込んで設けられた P ウェル領域 P W 4 に形成される。P ウェル領域 P W 3 及び P W 4 には、基板電圧として内部電圧 V B 1 が供給される。

10

#### 【 0 0 6 8 】

P ウェル領域 P W 1 及び P W 3 の右端部ならびに P ウェル領域 P W 2 及び P W 4 の左端部には、センスアンプ S A 1 又は S A 2 を構成する N チャンネル M O S F E T ( N M O S ) がそれぞれ形成される。また、P ウェル領域 P W 1 及び P W 2 間ならびに P W 3 及び P W 4 間には、電源電圧 V C C を基板電圧とする N ウェル領域 N W 1 及び N W 2 がそれぞれ設けられ、これらの N ウェル領域内には、センスアンプ S A 1 又は S A 2 を構成する P チャンネル M O S F E T ( P M O S ) がそれぞれ形成される。P ウェル領域 P W 1 及び P W 3 の外側には、遮断用の N ウェル領域 N W 9 が設けられ、P ウェル領域 P W 2 及び P W 4 の外側には、同じく遮断用の N ウェル領域 N W 1 0 が設けられる。

20

#### 【 0 0 6 9 】

同様に、P ウェル領域 P W 3 の上端部には、サブワード線駆動部 W D 1 を構成する N チャンネル M O S F E T が形成され、P ウェル領域 P W 4 の上端部には、サブワード線駆動部 W D 2 を構成する N チャンネル M O S F E T が形成される。また、P ウェル領域 P W 1 及び P W 3 間ならびに P W 2 及び P W 4 間には、内部電圧 V C H を基板電圧とする N ウェル領域 N W 3 及び N W 4 がそれぞれが設けられ、これらの N ウェル領域内には、サブワード線駆動部 W D 1 又は W D 2 を構成する P チャンネル M O S F E T がそれぞれ形成される。P ウェル領域 P W 1 及び P W 2 の外側には、遮断用の N ウェル領域 N W 1 3 が設けられ、P ウェル領域 P W 3 及び P W 4 の外側には、N ウェル領域 N W 1 4 が設けられる。

30

#### 【 0 0 7 0 】

一方、周辺回路 P C を構成する P チャンネル M O S F E T は、半導体基板 P S U B 上に設けられた N ウェル領域 N W 5 に形成され、N チャンネル M O S F E T は、比較的深い N ウェル領域 D N W 1 内に設けられた P ウェル領域 P W 5 に形成される。P ウェル領域 P W 5 の右外側には、遮断用の N ウェル領域 N W 1 1 が形成され、深い N ウェル領域 D N W 1 には、この N ウェル領域 N W 1 1 と上記 N ウェル領域 N W 5 を介して基板電圧となる電源電圧 V C C が供給される。P ウェル領域 P W 5 には、接地電位 V S S が基板電圧として供給される。

#### 【 0 0 7 1 】

さらに、データ入出力回路 I O を構成する P チャンネル M O S F E T は、半導体基板 P S U B 上に設けられた N ウェル領域 N W 6 に形成され、N チャンネル M O S F E T は、比較的深い N ウェル領域 D N W 2 内に設けられた P ウェル領域 P W 6 に形成される。N ウェル領域 N W 6 の左外側には、遮断用の P ウェル領域 P W 1 3 が形成され、P ウェル領域 P W 6 の右外側には、遮断用の N ウェル領域 N W 1 2 が形成される。深い N ウェル領域 D N W 2 には、この N ウェル領域 N W 1 2 と N ウェル領域 N W 6 を介して基板電圧となる電源電圧 V C C が供給される。また、P ウェル領域 P W 6 には、- 2 V のように比較的大きな絶対値の負電位とされる内部電圧 V B 2 が基板電圧として供給される。

40

#### 【 0 0 7 2 】

以上のように、この実施例のダイナミック型 R A M は、いわゆるトリプルウェル構造を採り、メモリアレイ A R Y 1 ~ A R Y 4 のメモリセル M C となる N チャンネル M O S F E T とセンスアンプ S A 1 ~ S A 2 ならびにサブワード線駆動部 W D 1 及び W D 2 を構成する

50

NチャンネルMOSFETとが同一のPウェル領域に形成されるとともに、ウェル領域間分離のための遮断領域が不要となり、これによってダイナミック型RAMのチップサイズを縮小することができる。また、センスアンプSA1～SA2の例えばコモンソース線駆動用のPチャンネルMOSFETの形成領域となるNウェル領域NW1及びNW2が電源電圧VCCを基板電圧とすることで、後述する電源投入時のラッチアップの危険性をなくすことができる。しかし、センスアンプ部のPチャンネルMOSFETに関しては基板効果が小さいものの、NチャンネルMOSFETに関してはソース電位となる接地電位VSSと基板電圧となる内部電圧VB1との電位差が1Vとなり、そのしきい値電圧が大きくなって、センスアンプの動作に影響を与える。また、メモリアレイARY1～ARY4の形成領域となるPウェル領域PW1～PW4が半導体基板PSUB上に直接形成されること  
10  
で、データ入出力回路IOの動作等にもなう半導体基板PSUBの基板電圧の変動がそのままノイズとなってメモリセルに伝達されるとともに、メモリアレイARY1～ARY4とセンスアンプSA1～SA2との間に遮断領域が設けられないことで、センスアンプSA1～SA2の動作にもなうノイズがメモリセルに伝達される。

#### 【0073】

次に、図19及び図22の第2の実施例の場合、ダイナミック型RAMは、接地電位VSSが印加されたP型半導体基板PSUBをその基体とする。メモリアレイARY1を構成するメモリセルMCつまりアドレス選択MOSFETとなるNチャンネルMOSFETは、内部電圧VCHつまりワード線の選択電位が印加された比較的深いNウェル領域DNW3内にしかも対応するセンスアンプSA1の配置領域に入り込んで設けられたPウェル領域PW1に形成され、対をなすメモリアレイARY2を構成するメモリセルMCつまりアドレス選択MOSFETとなるNチャンネルMOSFETも、やはり深いNウェル領域DNW3内にしかも対応するセンスアンプSA1の配置領域に入り込んで設けられたPウェル領域PW2に形成される。Pウェル領域PW1及びPW2には、比較的小さな絶対値の負電位つまり内部電圧VB1が基板電圧として供給される。  
20

#### 【0074】

同様に、メモリアレイARY3を構成するメモリセルMCつまりアドレス選択MOSFETとなるNチャンネルMOSFETは、上記深いNウェル領域DNW3内にしかも対応するセンスアンプSA2及びサブワード線駆動部WD1の配置領域に入り込んで設けられたPウェル領域PW3に形成され、対をなすメモリアレイARY4を構成するメモリセルMCのアドレス選択MOSFETとなるNチャンネルMOSFETも、やはり深いNウェル領域DNW3内にしかもセンスアンプSA2及びサブワード線駆動部WD2の配置領域に入り込んで設けられたPウェル領域PW4に形成される。Pウェル領域PW3及びPW4には、基板電圧として-1Vの内部電圧VB1が供給される。  
30

#### 【0075】

Pウェル領域PW1及びPW3の右端部ならびにPウェル領域PW2及びPW4の左端部には、センスアンプSA1又はSA2を構成するNチャンネルMOSFETがそれぞれ形成される。また、Pウェル領域PW1及びPW2間ならびにPW3及びPW4間には、Nウェル領域NW1及びNW2がそれぞれ設けられ、これらのNウェル領域内には、センスアンプSA1又はSA2を構成するPチャンネルMOSFETがそれぞれ形成される。また、これらのNウェル領域NW1及びNW2には、基板電圧として+4Vの内部電圧VCHが供給され、これがそのまま深いNウェル領域DNW3の基板電圧となる。  
40

#### 【0076】

同様に、Pウェル領域PW3の上端部には、サブワード線駆動部WD1を構成するNチャンネルMOSFETが形成され、Pウェル領域PW4の上端部には、サブワード線駆動部WD2を構成するNチャンネルMOSFETが形成される。また、Pウェル領域PW1及びPW3間ならびにPW2及びPW4間には、内部電圧VCHを基板電圧とするNウェル領域NW3及びNW4がそれぞれ設けられ、これらのNウェル領域内には、サブワード線駆動部WD1又はWD2を構成するPチャンネルMOSFETがそれぞれ形成される。

#### 【0077】

10

20

30

40

50

一方、周辺回路PCを構成するPチャンネルMOSFETは、半導体基板PSUB上に設けられたNウェル領域NW5に形成され、そのNチャンネルMOSFETは、やはり半導体基板PSUB上に設けられたPウェル領域PW5に形成される。Nウェル領域NW5には、基板電圧として電源電圧VCCが供給される。また、Pウェル領域PW5には、基板電圧として接地電位VSSが供給され、これがそのまま半導体基板PSUBの基板電圧となる。

#### 【0078】

以上のように、この実施例の場合、メモリアレイARY1～ARY4のメモリセルMCとなるNチャンネルMOSFETとセンスアンプSA1～SA2ならびにサブワード線駆動部WD1及びWD2を構成するNチャンネルMOSFETとが同一のPウェル領域に形成され、ウェル領域間分離のための遮断領域が不要となつて、チップサイズが縮小されるとともに、これらの回路の形成領域となるPウェル領域PW1～PW4ならびにNウェル領域NW1～NW4が比較的深いNウェル領域DNW3内に形成されることで、半導体基板PSUBの基板電圧の変動がノイズとなつてメモリアレイARY1～ARY4のメモリセルに伝達されるのを防止できるという特長を持つ。しかし、センスアンプSA1～SA2を構成するPチャンネルMOSFETの形成領域となるNウェル領域NW1及びNW2が内部電圧VCHを基板電圧とすることで、電源投入時、内部電圧VCHの電位が電源電圧VCCより低い間に、例えばそのソースに電源電圧VCCを受けるPチャンネルMOSFETのソース拡散層からNウェル領域に対して電流が流れ込み、最悪の場合にはラッチアップ状態となる危険性がある。また、Nウェル領域NW1及びNW2が内部電圧VCHを基板電圧とし、NチャンネルMOSFETの形成領域となるPウェル領域PW1～PW4が内部電圧VB1を基板電圧とすることで、Pチャンネル及びNチャンネルMOSFETの基板効果がともに大きくなりそのしきい値電圧が大きくなって、センスアンプの動作に影響を与える。さらに、メモリアレイARY1～ARY4とセンスアンプSA1～SA2との間に遮断領域が設けられないために、センスアンプSA1～SA2が一斉に動作状態とされることにともなうノイズがメモリセルに伝達される。

#### 【0079】

最後に、図20及び図23の第3の実施例の場合、基本的には上記第2の実施例に近いが、センスアンプSA1及びSA2を構成するNチャンネルMOSFETは、半導体基板PSUB上に独立して設けられたPウェル領域PW11及びPW12を形成領域とする。これらのPウェル領域PW11及びPW12には、基板電圧として接地電位VSSが供給される。また、Pウェル領域PW11及びPW12とメモリアレイARY1及びARY3が形成されるPウェル領域PW7との間には、Nウェル領域NW16が遮断領域として設けられる。

#### 【0080】

これらのことから、この実施例では、遮断領域が設けられることでチップサイズがやや大きくはなるものの、上記第2の実施例の特長を保持しつつ、センスアンプSA1及びSA2を構成するPチャンネル及びNチャンネルMOSFETの基板効果をなくして、センスアンプSA1及びSA2の動作を高速化できるとともに、これらのセンスアンプの動作にともなうノイズがメモリセルに伝達されるのを防止し、さらにラッチアップの危険性をなくすこともできる。

#### 【0081】

以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) ダイナミック型RAM等のメモリマットを、互いに直交して配置されるサブワード線及びサブビット線ならびにこれらのサブワード線及びサブビット線の交点に格子状に配置されるダイナミック型メモリセルを含むメモリアレイと、サブワード線に対応して設けられる単位サブワード線駆動回路を含むサブワード線駆動部と、サブビット線に対応して設けられる単位増幅回路及び列選択スイッチを含むセンスアンプと、指定されるサブビット線が列選択スイッチを介して選択的に接続されるサブコモンIO線とをそれぞれ備える複数のサブメモリマットに分割しユニット化するとともに、これらのサブメモリマットを

10

20

30

40

50

格子状に配置し、その上層に互いに直交して配置されるメインワード線及び列選択信号線と、指定されたサブコモンＩＯ線が選択的に接続されるメインコモンＩＯ線等とを形成することで、階層構造をワード線、ビット線及びコモンＩＯ線のすべてに包括的に採用し、階層構造の効果を十分に発揮しうる構成のダイナミック型ＲＡＭ等を実現することができるという効果が得られる。

【００８２】

(２) 上記(１)項において、単位サブワード線駆動回路をサブワード線の両側に交互にかつその２倍のピッチで配置し、単位増幅回路及び列選択スイッチをサブビット線の両側に交互にかつその２倍のピッチで配置するとともに、単位サブワード線駆動回路を列方向に隣接する二つのサブメモリマットにより共有し、単位増幅回路及び列選択スイッチを行方向に隣接する二つのサブメモリマットにより共有することで、単位サブワード線駆動回路ならびに単位増幅回路及び列選択スイッチの配置ピッチを緩和しつつ、ダイナミック型ＲＡＭ等のチップサイズを縮小することができるという効果が得られる。

10

(３) 上記(１)及び(２)項において、メインワード線及び列選択信号線を、それぞれサブワード線及びサブビット線の整数倍のピッチで配置することで、これらの信号線の配置ピッチを緩和できるという効果が得られる。

【００８３】

(４) 上記(１)ないし(３)項において、サブワード線駆動部の各単位サブワード線駆動回路を、サブワード線駆動信号線と対応するサブワード線との間に設けられそのゲートが対応するメインワード線の反転信号線に結合されるＰチャンネル型の第１のＭＯＳＦＥＴと、対応するサブワード線と接地電位との間に設けられそのゲートが対応するメインワード線の反転信号線に結合されるＮチャンネル型の第２のＭＯＳＦＥＴと、第１のＭＯＳＦＥＴと並列形態に設けられそのゲートが対応するメインワード線の非反転信号線に結合されるＮチャンネル型の第３のＭＯＳＦＥＴとを含むいわゆるＣＭＯＳスタティック型駆動回路とすることで、サブワード線の選択動作を高速化し、これによってダイナミック型ＲＡＭ等のアクセスタイムを高速化できるという効果が得られる。

20

【００８４】

(５) 上記(１)ないし(４)項において、指定されたサブコモンＩＯ線とメインコモンＩＯ線との間を選択的に接続するためのサブメインアンプを、そのゲートが対応するサブコモンＩＯ線の非反転及び反転信号線にそれぞれ結合されそのドレインが対応するメインコモンＩＯ線の反転及び非反転信号線にそれぞれ結合される読み出し用差動ＭＯＳＦＥＴと、サブコモンＩＯ線及びメインコモンＩＯ線の非反転信号線間及び反転信号線間にそれぞれ設けられる書き込み用スイッチＭＯＳＦＥＴとを含むいわゆる擬似ダイレクトセンス型サブアンプとし、これをサブワード線駆動部及びセンスアンプの配置領域の交差領域に配置することで、メモリアレイ部のレイアウト面積の増大を招くことなく、ダイナミック型ＲＡＭ等の読み出し動作を高速化できるという効果が得られる。

30

【００８５】

(６) 上記(１)ないし(５)項において、メインコモンＩＯ線を、サブワード線駆動部の配置領域の上層にかつサブコモンＩＯ線と互いに直交すべく配置することで、メインコモンＩＯ線と半導体基板の中央部に配置されたメインアンプとを効果的に結合することができるという効果が得られる。

40

(７) 上記(１)ないし(６)項において、駆動電圧供給線を介して供給される動作電源をセンスアンプの単位増幅回路に選択的に伝達するためのセンスアンプ駆動部を、サブワード線駆動部及びセンスアンプの配置領域の交差領域に配置することで、センスアンプ駆動部ならびに関連する信号線を効果的に配置し、ダイナミック型ＲＡＭ等のチップサイズを縮小できるという効果が得られる。

(８) 上記(７)項において、センスアンプの単位増幅回路をオーバードライブ方式により駆動することで、その動作の立ち上がりを高速化し、ダイナミック型ＲＡＭ等の読み出し動作を高速化できるという効果が得られる。

【００８６】

50



( 9 ) 上記 ( 7 ) 及び ( 8 ) 項において、駆動信号線に伝達された動作電源を所定のスイッチ手段を介して次に動作状態とされるセンスアンプの駆動信号線に順次伝達する電荷再利用リフレッシュ方式を採ることで、ダイナミック型 R A M 等のリフレッシュ動作時における動作電流を削減し、その低消費電力化を図ることができるという効果が得られる。

( 1 0 ) 上記 ( 1 ) ないし ( 9 ) 項において、ダイナミック型 R A M 等に、行方向に連続して配置される所定数のサブメモリマットで共有され指定されたサブメモリマットのサブビット線が選択的に接続されるメインビット線を設けるとともに、センスアンプの単位増幅回路及び列選択スイッチをこれらのメインビット線に対応して設けることで、センスアンプの単位増幅回路及び列選択スイッチの所要数を削減し、ダイナミック型 R A M 等のチップサイズの縮小とその低コスト化とを図ることができるという効果が得られる。

10

( 1 1 ) 上記 ( 1 ) ないし ( 1 0 ) 項において、行及び列方向の所定数のサブメモリマットを冗長サブメモリマットとして用いることで、サブメモリマットを単位とする欠陥救済を効率良く実現できるという効果が得られる。

【 0 0 8 7 】

( 1 2 ) 上記 ( 1 ) ないし ( 1 1 ) 項において、駆動信号線と駆動電圧供給線との間を選択的に接続するためのセンスアンプ制御信号線を、センスアンプの配置領域の上層に配置し、サブワード線駆動信号線、メインコモン I O 線及び駆動電圧供給線を、サブワード線駆動部の配置領域の上層に配置することで、これらの信号線を効率良く配置し、チップサイズを縮小できるという効果が得られる。

( 1 3 ) 上記 ( 1 ) ないし ( 1 2 ) 項において、メインワード線、駆動信号線及びセンスアンプ制御信号等を第 2 層の金属配線層により形成し、列選択信号線、サブワード線駆動信号線、メインコモン I O 線及び駆動電圧供給線等を第 3 層の金属配線層により形成することで、これらの信号線を多層配線を活かして効率良く配置し、チップサイズを縮小できるという効果が得られる。

20

( 1 4 ) 上記 ( 1 ) ないし ( 1 3 ) 項において、第 2 層及び第 3 層の金属配線層を、位相シフトマスクを用いることなくパターンニングすることで、ダイナミック型 R A M 等の低コスト化を図ることができるという効果が得られる。

【 0 0 8 8 】

( 1 5 ) 上記 ( 1 ) ないし ( 1 4 ) 項において、ダイナミック型 R A M 等をトリプルウェル構造とし、P 型半導体基板の基板電圧として比較的小さな負電位を印加するとともに、メモリアレイ、センスアンプ及びサブワード線駆動部を構成する N チャンネル M O S F E T を、P 型半導体基板上の P ウェル領域に形成し、周辺回路を構成する N チャンネル M O S F E T を、電源電圧が印加された比較的深い N ウェル領域内の接地電位が印加された P ウェル領域に形成し、データ入出力回路を構成する N チャンネル M O S F E T を、電源電圧が印加された比較的深い N ウェル領域内の接地電位又は比較的大きな絶対値の負電位が印加された P ウェル領域に形成することで、メモリアレイとセンスアンプ又はサブワード線駆動部間のウェル領域分離のための遮断領域をなくし、ダイナミック型 R A M 等のチップサイズを縮小できるとともに、特に電源投入時におけるラッチアップの危険性をなくすることができるという効果が得られる。

30

【 0 0 8 9 】

( 1 6 ) 上記 ( 1 ) ないし ( 1 4 ) 項において、ダイナミック型 R A M 等をトリプルウェル構造とし、P 型半導体基板の基板電圧として接地電位を印加するとともに、メモリアレイ、センスアンプ及びサブワード線駆動部を構成する N チャンネル M O S F E T を、ワード線の選択電位が印加された比較的深い N ウェル領域内の比較的小さな絶対値の負電位が印加された P ウェル領域に形成し、周辺回路を構成する N チャンネル M O S F E T を、P 型半導体基板上の P ウェル領域に形成し、データ入出力回路を構成する N チャンネル M O S F E T を、電源電圧が印加された比較的深い N ウェル領域内の接地電位又は比較的大きな絶対値の負電位が印加された P ウェル領域に形成することで、メモリアレイとセンスアンプ又はサブワード線駆動部間のウェル領域分離のための遮断領域をなくし、ダイナミック型 R A M 等のチップサイズを縮小できるとともに、P 型半導体基板における基板電圧の

40

50

変動がノイズとなってメモリアレイを構成するメモリセルに伝達されるのを防止することができるという効果が得られる。

【0090】

(17) 上記(1)ないし(14)項において、ダイナミック型RAM等をトリプルウェル構造とし、P型半導体基板の基板電圧として接地電位を印加するとともに、メモリアレイ及びサブワード線駆動部を構成するNチャンネルMOSFETを、ワード線の選択電位が印加された比較的深いNウェル領域内の比較的小さな絶対値の負電位が印加されたPウェル領域に形成し、センスアンプ及び周辺回路を構成するNチャンネルMOSFETを、P型半導体基板上のPウェル領域に形成し、データ入出力回路を構成するNチャンネルMOSFETを、電源電圧が印加された比較的深いNウェル領域内の接地電位又は比較的大きな絶対値の負電位が印加されたPウェル領域に形成することで、P型半導体基板における基板電圧の変動がノイズとしてメモリセルに伝達され、センスアンプの動作にともなうノイズがメモリセルに伝達されるのを抑制できるとともに、特に電源投入時におけるラッチアップの危険性をなくすことができるという効果が得られる。

10

(18) 上記(1)ないし(17)項により、総合的にみたダイナミック型RAM等の高速化、高集積化、大規模化ならびに低コスト化を図ることができるという効果が得られる。

【0091】

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、ダイナミック型RAMは、任意数のメモリブロックを備えることができるし、そのビット構成も任意である。また、電源電圧VCCは、任意の電位を採りうるし、内部電圧発生回路VGによって形成される内部電圧VCH、VCL、HVC、VB1及びVB2の具体的な電位もこの実施例による制約を受けない。さらに、ダイナミック型RAMのブロック構成や起動制御信号の名称及び組み合わせならびに各メモリブロックの構成等は、種々の実施形態を採りうる。

20

【0092】

図2において、ダイナミック型RAMの基板配置や半導体基板の形状等は、この実施例による制約を受けない。図3及び図4において、メモリブロックMB0～MB3のそれぞれは、任意数のサブメモリマットを備えることができるし、サブメモリマットの対構成の組み合わせや各信号線の配置方向等は、種々の実施形態を採りうる。図5及び図6において、サブワード線駆動部の単位サブワード線駆動回路とメモリアレイのサブワード線との関係ならびにセンスアンプの単位回路とメモリアレイのサブビット線との関係は、種々の組み合わせを採りうる。また、メインワード線は例えば4本のサブワード線に対応して設けてもよいし、ビット線選択信号を例えば8組のサブビット線に対応させてもよい。

30

【0093】

図7ないし図9において、サブワード線駆動部の各単位サブワード線駆動回路は、例えばメインワード線MW30とサブワード線駆動信号DX40～DX43とを受ける2入力のCMOSノアゲートにより構成してもよい。この場合、メインワード線は単一信号線となり、これによってメインワード線の配置ピッチをさらに緩和することができる。単位サブワード線駆動回路の具体的構成は、種々の実施形態を採りうる。図10において、センスアンプは、シェアドセンス方式を採ることを必須条件とはしない。また、図10、図11及び図13において、センスアンプ駆動回路SADを構成する駆動MOSFETP4、P8、P9及びNEは、それぞれ並列形態とされる複数の駆動MOSFETに置き換えてもよい。センスアンプSAR34及びセンスアンプ駆動部SDR34等の具体的構成やMOSFETの導電型等は、種々の実施形態を採りうる。

40

【0094】

図15ないし図17において、各信号線の配置位置やその順序ならびに金属配線層等の層数及びその使用方法等は、この実施例による制約を受けない。図18ないし図23において、データ入出力回路IOの形成領域となるPウェル領域PW6には、接地電位VSSを

50

基板電圧として供給することができるし、その下層に深いNウェル領域DNW2が設けられることがダイナミック型RAMの必須条件となる訳ではない。さらに、各実施例における具体的なウェル構造や基板電圧ならびにその組み合わせ等は、種々の実施形態を採りうる。

#### 【0095】

以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるダイナミック型RAMに適用した場合について説明したが、それに限定されるものではなく、例えば、シンクロナスDRAM及びスタティック型RAM等の各種メモリ集積回路やこのようなメモリ集積回路を内蔵するデジタル集積回路にも適用できる。この発明は、少なくともワード線、ビット線及びコモンIO線の階層構造が効果的となる半導体記憶装置ならびにこのような半導体記憶装置を内蔵する装置及びシステムに広く適用できる。

10

#### 【0096】

##### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、ダイナミック型RAM等のメモリマットを、互いに直交して配置されるサブワード線及びサブビット線ならびにこれらのサブワード線及びサブビット線の交点に格子状に配置されるダイナミック型メモリセルを含むメモリアレイと、サブワード線に対応して設けられる単位サブワード線駆動回路を含むサブワード線駆動部と、サブビット線に対応して設けられる単位増幅回路及び列選択スイッチを含むセンスアンプと、指定されるサブビット線が列選択スイッチを介して選択的に接続されるサブコモンIO線とをそれぞれ備える複数のサブメモリマットに分割し、ユニット化するとともに、これらのサブメモリマットを格子状に配置し、その上層に互いに直交しかつそれぞれサブワード線及びサブビット線の整数倍のピッチで配置されるメインワード線及び列選択信号線と、指定されるサブコモンIO線が選択的に接続されるメインコモンIO線とを形成する。

20

#### 【0097】

また、サブワード線駆動部の各単位サブワード線駆動回路を、サブワード線駆動信号線と対応するサブワード線との間に設けられそのゲートが対応するメインワード線の反転信号線に結合されるPチャンネル型の第1のMOSFETと、対応するサブワード線と接地電位との間に設けられそのゲートが対応するメインワード線の反転信号線に結合されるNチャンネル型の第2のMOSFETと、第1のMOSFETと並列形態に設けられそのゲートが対応するメインワード線の非反転信号線に結合されるNチャンネル型の第3のMOSFETとを含むいわゆるCMOSスタティック型駆動回路とするとともに、指定されたサブコモンIO線をメインコモンIO線に選択的に接続するためのサブメインアンプを、そのゲートが対応するサブコモンIO線の非反転及び反転信号線にそれぞれ結合されそのドレインがメインコモンIO線の反転及び非反転信号線にそれぞれ結合される読み出し用差動MOSFETと、サブコモンIO線及びメインコモンIO線の非反転信号線間及び反転信号線間にそれぞれ設けられる書き込み用スイッチMOSFETとを含むいわゆる擬似ダイレクト型センスアンプとし、これをサブワード線駆動部及びセンスアンプの配置領域の交差領域に配置する。

30

40

#### 【0098】

これらの結果、まず単位サブワード線駆動回路へのCMOSスタティック型駆動回路の採用により、メインワード線を介して伝達される行選択信号とサブワード線駆動信号線を介して伝達されるサブワード線駆動信号を同時に有効レベルとし、サブワード線の選択動作を高速化できるとともに、サブメインアンプへの擬似ダイレクトセンス型サブアンプの採用とその交差領域への配置により、メモリアレイのレイアウト面積の増大を招くことなく、ダイナミック型RAM等の読み出し動作を高速化できる。

#### 【0099】

さらに、階層構造をワード線、ビット線及びコモンIO線のすべてに包括的に採用して、階層構造の効果を十分に発揮しうる構成のダイナミック型RAM等を実現し、総合的にみ

50

たダイナミック型 R A M 等の高速化，高集積化，大規模化及び低コスト化を図ることができる。

【図面の簡単な説明】

【図 1】この発明が適用されたダイナミック型 R A M の一実施例を示すブロック図である。

【図 2】図 1 のダイナミック型 R A M の一実施例を示す基板配置図である。

【図 3】図 1 のダイナミック型 R A M に含まれるメモリブロックの一実施例を示すブロック図である。

【図 4】図 3 のメモリブロックに含まれるサブメモリマットの一実施例を示す部分的なブロック図である。

10

【図 5】図 4 のサブメモリマットの一実施例を示す部分的な接続図である。

【図 6】図 4 のサブメモリマットに含まれるメモリアレイ及び周辺部の一実施例を示す部分的な回路図である。

【図 7】図 4 のサブメモリマットに含まれるサブワード線駆動部の第 1 の実施例を示す部分的な回路図及び信号波形図である。

【図 8】図 4 のサブメモリマットに含まれるサブワード線駆動部の第 2 の実施例を示す部分的な回路図及び信号波形図である。

【図 9】図 4 のサブメモリマットに含まれるサブワード線駆動部の第 3 の実施例を示す部分的な回路図及び信号波形図である。

【図 10】図 4 のサブメモリマットに含まれるセンスアンプ及びセンスアンプ駆動部の第 1 の実施例を示す部分的な回路図である。

20

【図 11】図 4 のサブメモリマットに含まれるセンスアンプ駆動部の第 2 の実施例を示す部分的な回路図である。

【図 12】図 10 及び図 11 のセンスアンプ駆動部の一実施例を示す信号波形図である。

【図 13】図 4 のサブメモリマットに含まれるセンスアンプ駆動部の第 3 の実施例を示す部分的な回路図である。

【図 14】図 13 のセンスアンプ駆動部の一実施例を示す信号波形図である。

【図 15】図 4 のサブメモリマットのメモリアレイ及び周辺部における金属配線層の一実施例を示す平面配置図である。

【図 16】図 4 のサブメモリマットに含まれるサブワード線駆動部の一実施例を示す部分的な平面配置図である。

30

【図 17】図 4 のサブメモリマットに含まれるセンスアンプ及びセンスアンプ駆動部の一実施例を示す部分的な平面配置図である。

【図 18】図 1 のダイナミック型 R A M のサブメモリマットを構成するメモリアレイ及び周辺部の第 1 の実施例を示すシンボリックな平面配置図である。

【図 19】図 1 のダイナミック型 R A M のサブメモリマットを構成するメモリアレイ及び周辺部の第 2 の実施例を示すシンボリックな平面配置図である。

【図 20】図 1 のダイナミック型 R A M のサブメモリマットを構成するメモリアレイ及び周辺部の第 3 の実施例を示すシンボリックな平面配置図である。

【図 21】図 18 のメモリアレイ及び周辺部の一実施例を示す断面構造図である。

40

【図 22】図 19 のメモリアレイ及び周辺部の一実施例を示す断面構造図である。

【図 23】図 20 のメモリアレイ及び周辺部の一実施例を示す断面構造図である。

【符号の説明】

M B 0 ~ M B 3 . . . メモリブロック、M A T L , M A T R . . . メモリマット、X D . . . X アドレスデコーダ、X B . . . X アドレスバッファ、Y D L , Y D R . . . Y アドレスデコーダ、Y B . . . Y アドレスバッファ、B S . . . メモリブロック選択回路、M A L , M A R . . . メインアンプ、I O . . . データ入出力回路、T G . . . タイミング発生回路、V G . . . 内部電圧発生回路。

P S U B . . . P 型半導体基板、P C . . . 周辺回路。

S M L 0 0 ~ S M L 7 7 , S M R 0 0 ~ S M R 7 7 . . . サブメモリマット、A R Y R 0

50

0 ~ A R Y R 7 7 . . . メモリアレイ、W D R 0 0 ~ W D R 7 8 . . . サブワード線駆動部、S A R 0 0 ~ S A R 8 7 . . . センスアンプ、S D R 0 0 ~ S D R 8 7 . . . センスアンプ駆動部。

M W 3 0 \* ~ M W 3 6 3 \* . . . メインワード線、S W 0 ~ S W 5 1 1 . . . サブワード線、U S W D . . . 単位サブワード線駆動回路、S B 0 \* ~ S B 2 5 5 \* . . . サブビット線、U S A . . . センスアンプ単位回路、Y S 4 0 ~ Y S 4 6 3 . . . ビット線選択信号、S I O 0 \* ~ S I O 3 \* . . . サブコモン I O 線、M I O 0 0 \* ~ M I O 0 3 \* , M I O 2 0 \* ~ M I O 2 3 \* , M I O 4 0 \* ~ M I O 4 3 \* , M I O 6 0 \* ~ M I O 6 3 \* . . . メインコモン I O 線、D X 4 0 ~ D X 4 7 . . . サブワード線駆動信号、S H 3 L , S H 3 R . . . シェアド制御信号。

10

U S W D 0 ~ U S W D 5 1 1 . . . 単位サブワード線駆動回路、U S A 0 ~ U S A 2 5 5 . . . 単位センスアンプ。

S A D . . . センスアンプ駆動回路、S A P 3 , S A N 3 . . . センスアンプ制御信号線、C P P 2 , C P P 4 , C P N 2 , C P N 4 . . . センスアンプ駆動電圧供給線、P P , P N . . . コモンソース線、S M A . . . サブメインアンプ、W E 3 , R E 3 , W R E 3 . . . サブメインアンプ制御信号線、S H 3 L B , S H 3 R B . . . 反転シェアド制御信号線、P C , P C S . . . プリチャージ制御用内部制御信号線。

S A P 3 1 , S A P 3 2 . . . センスアンプ制御信号。

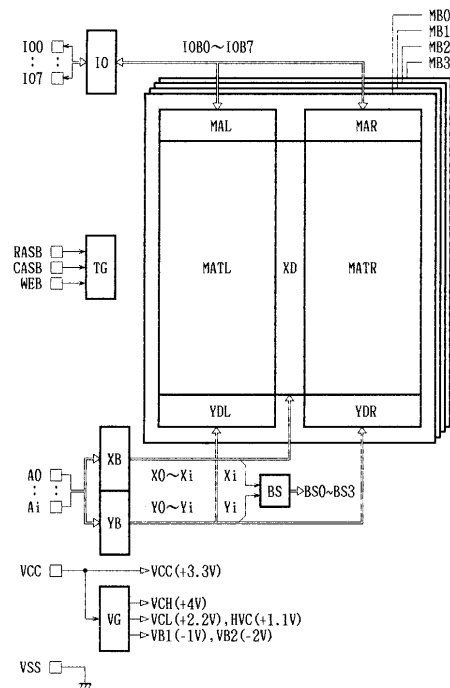
P 1 ~ P 7 . . . P チャンネル M O S F E T、N 1 ~ N R . . . N チャンネル M O S F E T、V 1 ~ V 3 . . . インバータ。

20

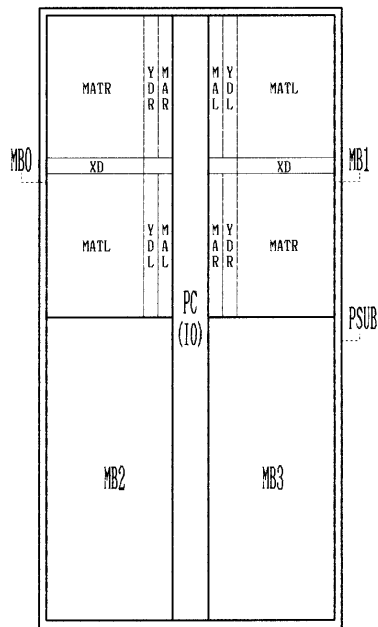
M 1 ~ M 3 . . . 金属配線層、F G , S G . . . ゲート層。

A R Y 1 ~ A R Y 4 . . . メモリアレイ、W D 1 ~ W D 2 . . . サブワード線駆動部、S A 1 ~ S A 2 . . . センスアンプ、D N W 1 ~ D N W 5 . . . 比較的深い N ウェル領域、N W 1 ~ N W 1 6 . . . 比較的浅い N ウェル領域、P W 1 ~ P W 1 5 . . . 比較的浅い P ウェル領域、M C . . . メモリセル、P M O S . . . P チャンネル M O S F E T、N M O S . . . N チャンネル M O S F E T。

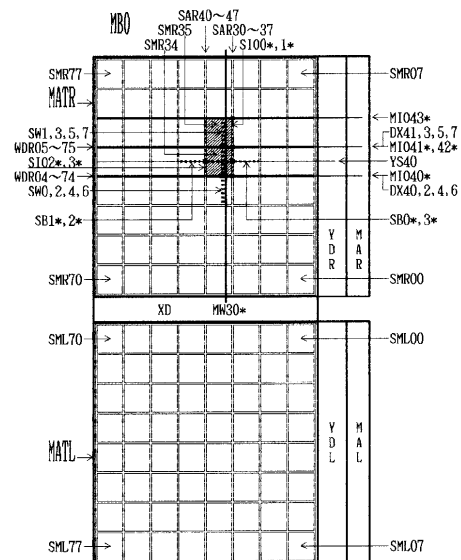
【図 1】  
図 1 ダイナミック型RAMのブロック構成



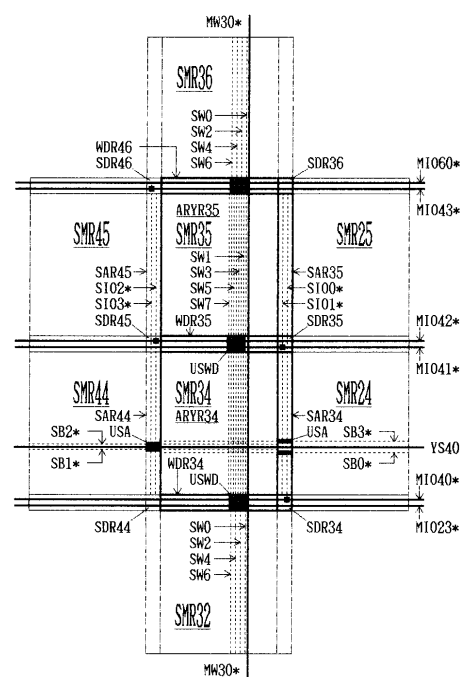
【図 2】  
図 2 ダイナミック型RAMの基板配置



【図 3】  
図 3 メモリブロックのブロック構成

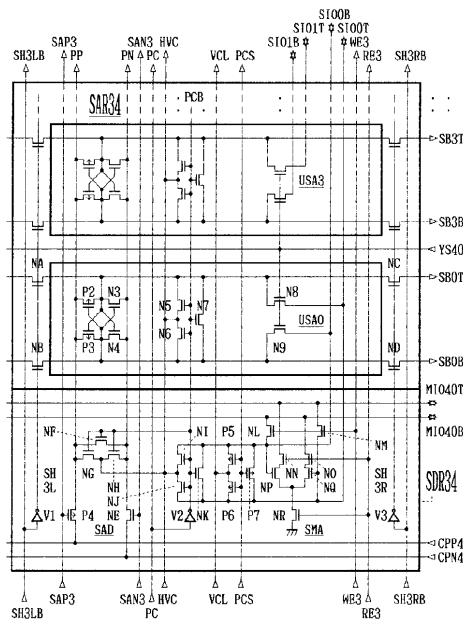


【図 4】  
図 4 サブメモリアットのブロック構成

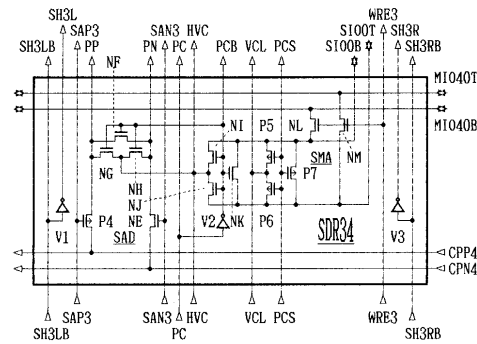




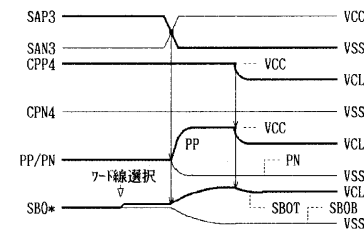
【図 10】  
図10 センスアンプ及びセンスアンプ駆動部の回路構成 (実施例1)



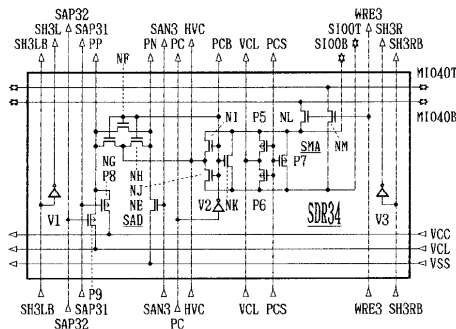
【図 11】  
図11 センスアンプ駆動部の回路構成 (実施例2)



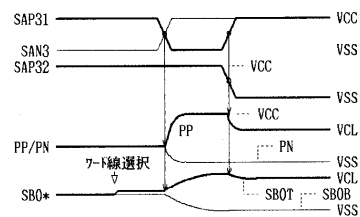
【図 12】  
図12 センスアンプ駆動部の信号波形 (実施例1)



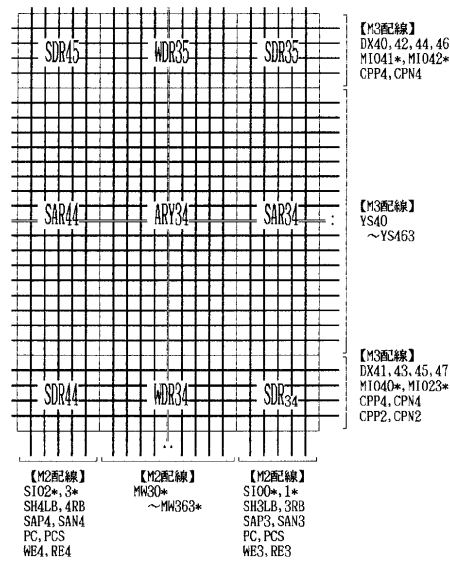
【図 13】  
図13 センスアンプ駆動部の回路構成 (実施例3)



【図 14】  
図14 センスアンプ駆動部の信号波形 (実施例2)

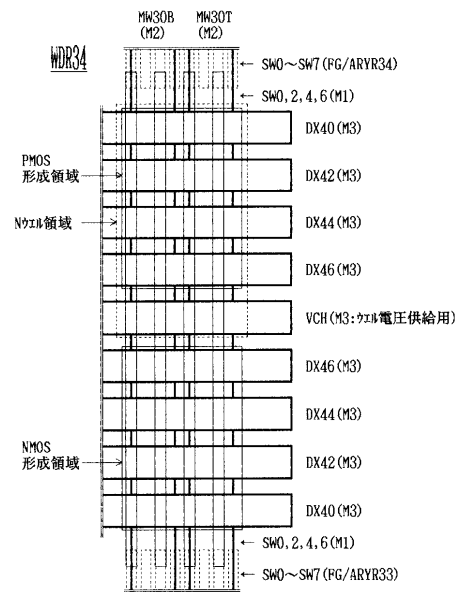


【図 15】  
図15 メモリアレイ及び周辺部における金属配線の平面配置

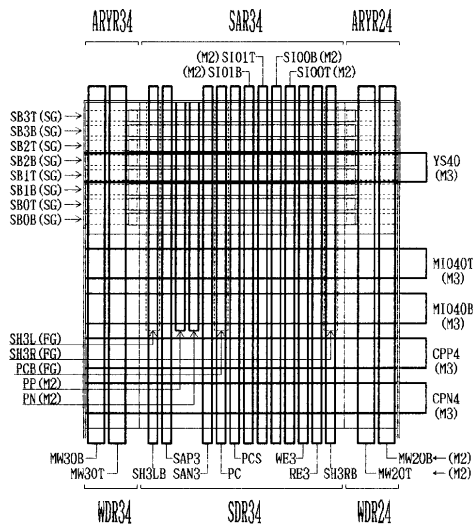




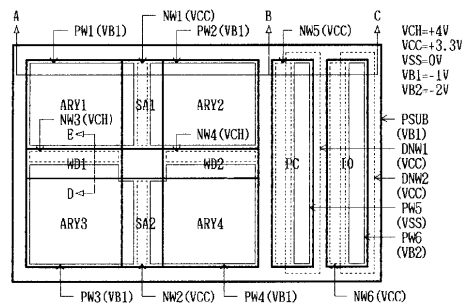
【図 16】  
サブワード線駆動部の部分平面配置



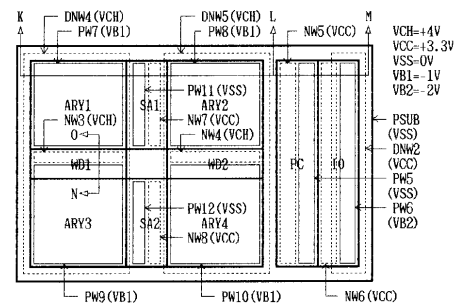
【図 17】  
センスアンプ及びセンスアンプ駆動部の部分平面配置



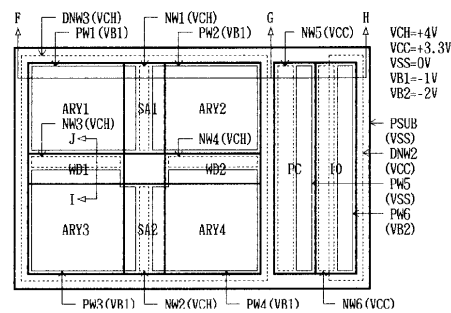
【図 18】  
メモリアレイ及び周辺部の平面配置 (実施例 1)



【図 20】  
メモリアレイ及び周辺部の平面配置 (実施例 3)





【図 19】  
メモリアレイ及び周辺部の平面配置 (実施例 2)



(a) A-B断面構造

Diagram (a) shows the cross-sectional structure (A-B section) of the semiconductor device. It illustrates the arrangement of the substrate (PSUB (VB1)) and the gate structures (PWL (VB1), NW1 (VCC), PW2 (VB1)) within the regions ARY1, SA1, and ARY2. The diagram also shows the locations of the NMOS and P-type regions (PWL, NW1, PW2) and the VCC and V1 regions.

(b) B-C断面構造

VCH=+4V     : P<sup>+</sup>擴散層     : N<sup>+</sup>擴散層  
VCC=+3.3V    VSS=0V    VB1=-1V    VBB=-2V

(a) F-G断面構造

Diagram illustrating the F-G cross-section structure of the semiconductor device. The structure shows a substrate with a PSUB (VSS) layer. Above this, there is a PNW3 (VCH) layer. The top layer is divided into three main regions: PW1 (VB1) on the left, NW1 (VCH) in the center, and PW2 (VB1) on the right. Above these regions are various gate and contact layers: MC, VB1, SA1, VCH, NMOS, and VB1. The diagram also shows connections to NW9 and NW10 on the left and right sides respectively.

(b) G-H断面構造

PC



VCC VSS VCC VCC VB2

PMOS NMOS PMOS NMOS

PW15 NW5(VCC) PW5(VSS) NW6(VCC) PW6(VB2) NW15

DNW2(VCC)

PSUB(VSS)

VCH=+4V     : P<sup>+</sup>擴散層     : N<sup>+</sup>擴散層  
VCC=+3.3V    VSS=0V    VB1=-1V    VBB=-2V

(a) K-L断面構造

(b) L-M断面構造

VCC PC VSS VCC IO VB2

PMOS NMOS PMOS NMOS

PW5 (VCC) PW5 (VSS) PW6 (VCC) PW6 (VB2)

DNM2 (VCC)

PSUB (VSS)

[illegible]

VCH=+4V     : P+擴散層     : N+擴散層  
VCC=+3.3V    VSS=0V    VB1=-1V    VBB=-2V

## フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I

G 1 1 C 11/34 3 5 4 F

G 1 1 C 11/34 3 7 1 K

G 1 1 C 11/34 3 5 3 E

(72)発明者 秋葉 武定

千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

(72)発明者 川瀬 靖

千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

(72)発明者 中村 正行

東京都青梅市今井 2 3 2 6 番地 株式会社 日立製作所 デバイス開発センタ内

審査官 正山 旭

(56)参考文献 特開平 0 5 - 0 5 4 6 3 4 ( J P , A )

特開平 0 6 - 3 1 8 3 9 1 ( J P , A )

特開平 0 5 - 2 2 6 6 1 3 ( J P , A )

特開平 0 6 - 1 9 6 6 5 6 ( J P , A )

特開平 0 3 - 1 5 4 2 8 7 ( J P , A )

特開平 0 2 - 1 4 3 9 8 2 ( J P , A )

特開平 0 2 - 2 4 6 0 8 9 ( J P , A )

特開平 0 2 - 0 1 8 7 8 4 ( J P , A )

特公平 0 4 - 0 5 9 7 1 2 ( J P , B 2 )

伊藤清男, 超 L S I メモリ, 日本, 培風館, 1 9 9 4 年 1 1 月 5 日, 第142頁~第175頁

(58)調査した分野(Int.Cl.<sup>7</sup>, D B 名)

H01L 27/108

H01L 21/8242

G11C 11/401

G11C 11/407

G11C 11/409