



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I605660 B

(45)公告日：中華民國 106 (2017) 年 11 月 11 日

(21)申請案號：102139854

(22)申請日：中華民國 102 (2013) 年 11 月 01 日

(51)Int. Cl. : H02H9/04 (2006.01)

(30)優先權：2012/11/27 美國 13/686,889

(71)申請人：恩智浦美國公司 (美國) NXP USA, INC. (US)
美國(72)發明人：裘伊 瓊 S CHOY, JON S. (US)；薩斯 李查 提托夫 拉諾 SAEZ, RICHARD
TITOV LARA (BR)；葛瑞諾 盧斯 艾迪爾朵 瑞達 GUERRERO, LUIS
EDUARDO RUEDA (CO)

(74)代理人：陳長文

(56)參考文獻：

TW	574782	JP	2004-534423A
US	4027177	US	6894473B1
US	7453244B1	US	7495504B2
US	2006/0176626A1		

審查人員：林迺信

申請專利範圍項數：11 項 圖式數：5 共 20 頁

(54)名稱

積體電路及用於電壓暴衝保護之方法

INTEGRATED CIRCUIT AND METHOD FOR VOLTAGE RAMP-UP PROTECTION

(57)摘要

本發明揭示用於電壓暴衝保護之系統及方法。在一說明性非限制性實施例中，一種方法可包含：監視一第一節點或一第二節點中之至少一者(501)，該第一節點經組態以接收大於存在於一第二節點處之一第二電壓之一第一電壓；及回應於該第一電壓之一變動率形成該第一節點與該第二節點之間的一潛洩狀況(502)，抵消該潛洩狀況(503)。舉例而言，該潛洩狀況可支持一過剩電流自該第一節點流動至該第二節點。在某些情形中，抵消該潛洩狀況可包含將該第二電壓維持在一預定值處或以下。

Systems and methods for voltage ramp-up protection. In an illustrative, non-limiting embodiment, a method may include monitoring at least one of a first node or a second node (501), the first node configured to receive a first voltage greater than a second voltage present at a second node, and, in response to a slew rate of the first voltage creating a sneak condition between the first node and the second node (502), counteracting the sneak condition (503). For example, the sneak condition may favor an excess current to flow from the first node to the second node. In some cases, counteracting the sneak condition may include maintaining the second voltage at or below a predetermined value.

指定代表圖：

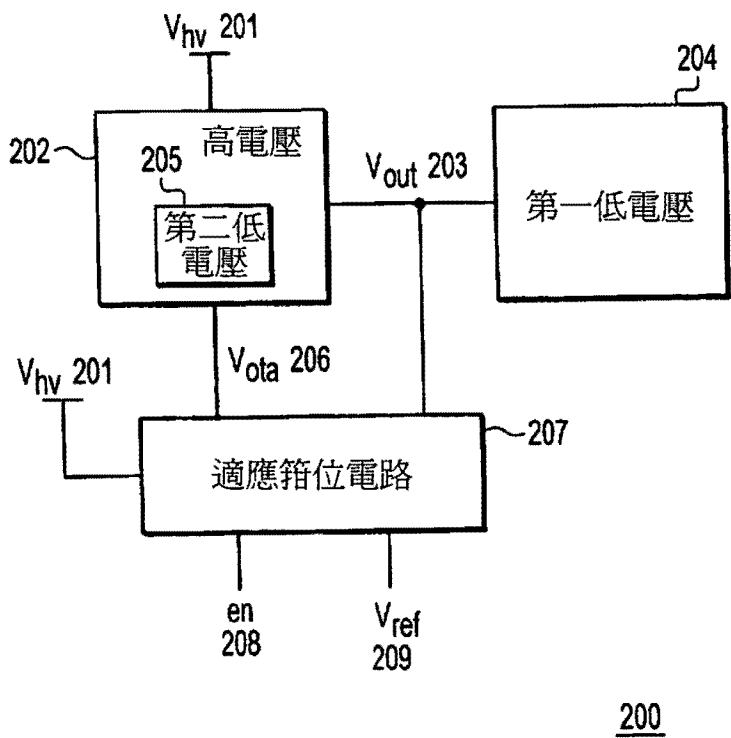


圖 2

符號簡單說明：

- 200 . . . 積體電路
- 202 . . . 高電壓電路/模組
- 204 . . . 第一低電壓電路/模組
- 205 . . . 第二低電壓電路/模組
- 207 . . . 適應箝位電路
- 208 . . . 啟用信號
- en . . . 啟用信號/信號
- HV . . . 高電壓
- LV1 . . . 第一低電壓
- LV2 . . . 第二低電壓
- V_{hv} 201 . . . 高電壓供應電壓
- V_{out} 203 . . . 輸出電壓
- V_{ota} 206 . . . 運算跨導放大器電壓輸出
- V_{ref} 209 . . . 參考電壓



發明摘要

公告本

※ 申請案號：102139854

※ 申請日：102年11月1日

※IPC 分類：H02H 9/04 (2006.01)

【發明名稱】

積體電路及用於電壓暴衝保護之方法

INTEGRATED CIRCUIT AND METHOD FOR VOLTAGE RAMP-
UP PROTECTION**【中文】**

本發明揭示用於電壓暴衝保護之系統及方法。在一說明性非限制性實施例中，一種方法可包含：監視一第一節點或一第二節點中之至少一者(501)，該第一節點經組態以接收大於存在於一第二節點處之一第二電壓之一第一電壓；及回應於該第一電壓之一變動率形成該第一節點與該第二節點之間的一潛洩狀況(502)，抵消該潛洩狀況(503)。舉例而言，該潛洩狀況可支持一過剩電流自該第一節點流動至該第二節點。在某些情形中，抵消該潛洩狀況可包含將該第二電壓維持在一預定值處或以下。

【英文】

Systems and methods for voltage ramp-up protection. In an illustrative, non-limiting embodiment, a method may include monitoring at least one of a first node or a second node (501), the first node configured to receive a first voltage greater than a second voltage present at a second node, and, in response to a slew rate of the first voltage creating a sneak condition between the first node and the second node (502), counteracting the sneak condition (503). For example, the sneak condition may favor an excess current to flow from the first node to the second node. In some cases, counteracting the sneak condition may include maintaining the second voltage at or below a predetermined value.

【代表圖】

【本案指定代表圖】：第（2）圖。

【本代表圖之符號簡單說明】：

200	積體電路
202	高電壓電路/模組
204	第一低電壓電路/模組
205	第二低電壓電路/模組
207	適應箝位電路
208	啟用信號
en	啟用信號/信號
HV	高電壓
LV1	第一低電壓
LV2	第二低電壓
V_{hv} 201	高電壓供應電壓
V_{out} 203	輸出電壓
V_{ota} 206	運算跨導放大器電壓輸出
V_{ref} 209	參考電壓

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

積體電路及用於電壓暴衝保護之方法

INTEGRATED CIRCUIT AND METHOD FOR VOLTAGE RAMP-UP PROTECTION

【技術領域】

本發明一般而言係關於電子裝置，且更具體而言係關於用於電壓暴衝保護之系統及方法。

【先前技術】

互補金屬氧化物半導體(CMOS)技術通常用以製造積體電路(IC)。現代IC之實例包含微處理器、微控制器、記憶體等。一般而言，一IC內之一或多個組件可基於一「電壓參考」而操作。為提供此一電壓參考，可在該IC內設計一「電壓參考電路」。

一電壓參考電路之一實例係「帶隙電路」。一帶隙電路經組態以輸出具有約1.25 V之一值或適合地接近於矽在0 K下之理論1.22 eV帶隙(亦即，促進一電子自其價帶至其導帶以變成一移動電荷所需要之能量)之另一值之一溫度無關電壓參考。舉例而言，一典型帶隙電路可包含在一開放環路組態中操作之一組自疊接MOS場效應電晶體(SCM)結構及一或多個雙極電晶體。

【圖式簡單說明】

本發明係藉由實例方式圖解說明且並不限於隨附圖式，在該等隨附圖式中相同元件符號指示類似元件。出於簡單及清晰之目的圖解說明各圖中之元件且各圖中之元件未必按比例繪製。

圖1係根據某些實施例之包含一或多個積體電路之一電子裝置之一實例之一圖式。

圖2係根據某些實施例之一積體電路之一實例之一方塊圖。

圖3係根據某些實施例之經組態以提供電壓暴衝保護之電路之一實例之一電路圖。

圖4係圖解說明根據某些實施例之一暴衝保護操作之一實例之一圖表。

圖5係根據某些實施例之用於電壓暴衝保護之一方法之一實例之一流程圖。

【實施方式】

本文中所揭示之實施例係關於用於電壓暴衝保護之系統及方法。在諸多實施方案中，此等系統及方法可併入至包含(舉例而言)以下各項之一廣泛範圍之電子裝置中：電腦系統或資訊技術(IT)產品(例如，伺服器、桌上型電腦、膝上型電腦、交換器、路由器等)、電信硬體、消費型裝置或器具(例如，行動電話、平板電腦、電視機、相機、音響系統等)、科學儀器、工業機器人、醫療或實驗室電子器件(例如，成像、診斷或治療設備等)、運輸載具(例如，汽車、公交車、列車、船舶、飛機等)、軍事設備等。更一般而言，本文中所論述之該等系統及方法可併入至具有一或多個電子部件或組件之任何裝置或系統中。

轉至圖1，繪示電子裝置100之一方塊圖。在某些實施例中，電子裝置100可係前述電子裝置中之任一者或任何其他電子裝置。如所圖解說明，電子裝置100包含一或多個印刷電路板(PCB) 101，且PCB 101中之至少一者包含一或多個電子晶片或積體電路102。在某些實施方案中，積體電路102可實施下文更詳細地闡述之系統及方法中之一或多者。

舉例而言，積體電路102之實例可包含一系統單晶片(SoC)、一特殊應用積體電路(ASIC)、一數位信號處理器(DSP)、一場可程式化開

陣列(FPGA)、一處理器、一微處理器、一控制器、一微控制器(MCU)或諸如此類。另外或另一選擇係，積體電路102可包含諸如(舉例而言)以下各項之一記憶體電路或裝置：一隨機存取記憶體(RAM)、一靜態 RAM (SRAM)、一磁阻 RAM (MRAM)、一非揮發性 RAM (NVRAM，諸如「快閃」記憶體等)及/或一動態RAM (DRAM) (諸如同步DRAM (SDRAM))、一雙倍資料速率(例如，DDR、DDR2、DDR3等) RAM、一可抹除可程式化ROM (EPROM)、一電可抹除可程式化ROM (EEPROM)等。另外或另一選擇係，積體電路102可包含諸如(舉例而言)以下各項之一或多個混合信號或類比電路：類比轉數位轉換器(ADC)、數位轉類比轉換器(DAC)、鎖相環路(PLL)、振盪器、濾波器、放大器、變壓器等。另外或另一選擇係，積體電路102可包含一或多個微機電系統(MEMS)、奈米機電系統(NEMS)或諸如此類。

因此，積體電路102可包含若干個不同部分、區或區域。此等各種部分可包含一或多個處理核心、快取記憶體、(若干)內部匯流排、計時單元、控制器、類比區段、機械元件等。因此，在各種實施例中，積體電路102可包含經組態以接收兩個或兩個以上供應電壓(例如，兩個、三個、四個等)之一電路。舉例而言，一雙供應電路可接收經組態以給一類比組件供電之一類比供應電壓以及經組態以給一邏輯或數位組件供電之一數位供應電壓。在某些實施方案中，該類比供應電壓可係為(舉例而言)大約 $5\text{ V} \pm 10\%$ ，而該數位供應電壓可係為大約 $1.2\text{ V} \pm 10\%$ 。其他類型之電路可接收任何適合數目個供應電壓。

一般而言，可使用任何適合封裝技術(諸如(舉例而言)球形柵格陣列(BGA)封裝或諸如此類)將積體電路102安置於經組態以安裝至PCB 101上之一電子組件封裝內。在某些應用中，可以機械方式將PCB 101安裝於電子裝置100內或緊固至電子裝置100上。應注意，在

特定實施方案中，PCB 101可呈現多種形式及/或可包含除積體電路102之外的複數個其他元件或者組件。

圖2係圖解說明根據某些實施例之圖1中所論述之積體電路102之一實例之積體電路200之一方塊圖。如所展示，積體電路200包含經組態以接收高電壓供應電壓(V_{hv}) 201之高電壓(HV)電路202。HV電路202可操作地耦合至第一低電壓(LV1)電路204，且其經組態以提供至該第一低電壓電路之輸出電壓(V_{out}) 203。HV電路202亦可操作地耦合至適應箝位電路207，且其經組態以提供至該適應箝位電路之運算跨導放大器(OTA)電壓輸出(V_{ota})。在此實例中，HV電路202可包含第二低電壓(LV2)電路205。

適應箝位電路207經組態以接收 V_{hv} 201，且其可操作地耦合至 V_{out} 203之節點(下文在圖3中更詳細地展示)。另外，適應箝位電路207亦經組態以接收啟用信號(en) 208及參考電壓(V_{ref}) 209。

術語「高電壓」及「低電壓」通常用以指示一特定電路以比另一電路之彼供應電壓高之一供應電壓操作。一般而言，一HV電路可具有比一LV電路厚之氧化物裝置及/或其可使用比低電壓電路多之電力。舉例而言，HV電路202可係一帶隙參考電路且LV1電路204可係基於HV電路202所提供之一較低電壓(例如，一帶隙電壓)(亦即， V_{out} 203)而操作之任何其他類比或數位電路。

在某些實施方案中， V_{hv} 201可係由一外部源(未展示)提供至IC 200之一類比供應電壓且其可係為(舉例而言)大約 $5\text{ V} \pm 10\%$ ，而 V_{ref} 209可係由另一外部源(未展示)提供至IC 200之一數位供應電壓，且其可係為大約 $1.2\text{ V} \pm 10\%$ 。同時，LV1電路204可接收HV電路202之內部產生之供應電壓 V_{out} 203(其可係為大約 $0.9\text{ V} \pm 10\%$)。然而，根據本發明應理解，供應至HV電路202、適應箝位電路207及LV1電路204之確切電壓(亦即， V_{hv} 201、 V_{out} 203及 V_{ref} 209)可取決於技術類型、

應用等而變化。

在某些實施方案中，適應箝位電路207可經組態以回應於en信號208之施加而操作。舉例而言，在某些情況下，可與一「通電重設(PoR)」事件一起提供en信號208。一PoR事件可包含回應於對電子裝置或其(若干)部件之電力接通或形成經組態以將IC 200放置於一已知狀態中之一重設信號之其他命令而由IC 200執行或對IC 200執行之一或多個動作。另外或另一選擇係，在該PoR事件之後可停止將en信號208提供至適應箝位電路207一預定時間量(例如， $\sim 10\ \mu\text{s}$ 或 $\sim 20\ \mu\text{s}$)。

在操作中，適應箝位電路207可經組態以接收 V_{ota} 206、比較 V_{out} 203與 V_{ref} 209且以和 V_{out} 203與 V_{ref} 209之間的差成比例之一方式修改 V_{out} 203。因此，適應箝位電路207可保護LV1電路204及/或LV2電路205免於意外曝露於一高電壓供應。舉例而言，此曝露可在IC 200之開啟電源期間由於 V_{hv} 201之一快速變動率而導致。具體而言，在某些情形中， V_{hv} 201之改變率可快於LV2電路205之傳播延遲，因此形成 V_{hv} 201之節點與 V_{out} 203之節點之間的一「潛洩路徑」或「潛洩狀況」，在不存在適應箝位電路207之情況下，該「潛洩路徑」或「潛洩狀況」將允許一過剩或非所要電流自 V_{hv} 201之節點流動至 V_{out} 203之節點。

因此，在某些實施例中，適應箝位電路207可監視 V_{hv} 201之節點及/或 V_{out} 203之節點。然後，回應於 V_{hv} 201之變動率形成 V_{hv} 201之節點及/或 V_{out} 203之節點之間的一潛洩狀況，適應箝位電路207可操作以抵消該潛洩狀況。

在某些實施例中，圖2中所展示之模組或區塊可表示經組態以執行規定操作之處理電路、邏輯功能、其他電路及/或資料結構。雖然此等模組展示為相異區塊，但在其他實施例中，可將此等模組所執行之該等操作中之至少某些操作組合至較少區塊中。舉例而言，在某些

情形中，可將適應箝位電路207整合至HV電路202中。相反地，可實施模組202、204、205及/或207中之任一給定者以使得在兩個或兩個以上邏輯區塊當中劃分其操作。雖然藉助一特定組態展示，但在其他實施例中，此等各種模組或區塊可以其他適合方式重新配置。

圖3係根據某些實施例之經組態以提供電壓暴衝保護之電路300之一實例之一電路圖。在此特定實例中，HV電路202係包含具有OTA 301之LV2電路205之一帶隙參考電路。OTA 301之輸出產生可操作地耦合至P型金屬氧化物半導體(PMOS)電晶體303至306之閘極之 V_{ota} 206。PMOS電晶體303至306使其源極可操作地耦合至 V_{hv} 201。PMOS電晶體303之汲極可操作地耦合至電阻器307，電阻器307可操作地耦合至PNP雙極接面電晶體(BJT) 308之射極，PNP雙極接面電晶體(BJT) 308之基極及集極可操作地耦合至接地(Gnd)。PMOS電晶體303之汲極亦可操作地耦合至OTA 301之一第一輸入。

PMOS電晶體304之汲極可操作地耦合至BJT 309之射極，BJT 309之基極及集極耦合至Gnd。PMOS電晶體304之汲極亦可操作地耦合至OTA 301之一第二輸入。PMOS電晶體305之汲極在 V_{out} 203之節點處可操作地耦合至電阻器311，且 V_{out} 203之節點可操作地耦合至BJT 312之射極，BJT 312之基極及集極可操作地耦合至Gnd。PMOS電晶體306之汲極可操作地耦合至電阻器310，電阻器310又可操作地耦合至Gnd。另一電阻器313可操作地耦合於 V_{out} 203之節點與Gnd之間。

在操作中，HV電路202接收 V_{hv} 201且產生帶隙電壓 V_{out} 203。OTA 301可包含一或多個低功率元件，且在某些情形中其信號傳播延遲可與 V_{hv} 201之變動率不相稱。換言之，在一特定臨限值之後，OTA 301所提供之回饋路徑可能不能夠與 V_{hv} 201之改變率保持一致。因此，一非所要或過剩電流可沿自 V_{hv} 201至 V_{out} 203之方向(例如，穿過PMOS電晶體305)暫態地流動穿過HV電路202內之一「潛洩路徑」。此

「潛洩狀況」可增加 V_{out} 203之值且負面地影響LV1電路204及/或LV2電路205之操作。

適應箝位電路207可操作以抵消該潛洩狀況。特定而言，在此實例中，適應箝位電路207包含使其源極可操作地耦合至 V_{hv} 201、使其閘極可操作地耦合至PMOS電晶體303至306之閘極且使其汲極加偏壓於放大器315之PMOS電晶體314。放大器315可在其反相輸入處接收 V_{ref} 209且在其非反相輸入處接收 V_{out} 203。放大器315之輸出可操作地耦合至N型MOS (NMOS)電晶體316及317之閘極。NMOS電晶體316之源極可操作地耦合至PMOS電晶體306之汲極，且NMOS電晶體316之汲極可操作地耦合至Gnd。NMOS電晶體317之源極可操作地耦合至 V_{out} 203之節點，且NMOS電晶體317之汲極可操作地耦合至Gnd。

在某些實施方案中，NMOS電晶體316之通道長度可與PMOS電晶體306、305、304及/或303之彼通道長度相同。因此，在NMOS電晶體316之源極處所接收之電流可係與在HV電路202內循環之暫態電流成比例之一尾電流。換言之，放大器315經組態以接收與由於 V_{hv} 201之變動率而流動穿過HV電路202之過剩暫態電流成比例之一偏壓電流。因此，適應箝位電路207有效地偵測 V_{hv} 201之供應變動。

放大器315之輸出經組態而以和 V_{out} 203與 V_{ref} 209之間的一差成比例之一方式減小 V_{out} 203之一值，因此抵消HV電路202內之潛洩狀況。在某些情形中，一啟用NMOS電晶體或開關(未展示)可能可操作地耦合於PMOS電晶體314之汲極與放大器315之間。啟用電晶體之閘極可經組態以接收可係一PoR信號或諸如此類之如圖2中所展示之en信號208。因此，適應箝位電路207可改善在開啟電源或諸如此類期間LV1電路204易受 V_{hv} 201之電壓斜升損壞之性質，但可以其他方式關斷從而保存能量。

圖4展示圖解說明根據某些實施例之一暴衝保護操作之一實例之

圖表400。特定而言，繪示 V_{hv} 201之一暴衝情景，其中在一給定時間週期內 V_{hv} 201自0 V上升至3.75 V (例如，以1000 V/ms之一速率)。由峰值遠遠超過1.5 V且然後在所求 V_{out} 處穩定之 V_{old} 401圖解說明適應箝位電路207之不存在。在此情形中，待提供至LV1電路204之所求 V_{out} 值係0.9 V (例如，一帶隙參考電壓)。相比而言，當使用適應箝位電路207時，將 V_{out} 203在於0.9 V之一 V_{out} 處穩定之前箝位於1.5 V處。因此，適應箝位電路207有效地保護LV1電路204免於接收大於1.5 V之電壓。

應注意，僅為了便於闡釋，提供圖4中所展示之電壓值。在任何給定應用中，彼等電壓值及/或變動率可取決於特定應用或設計要求而改變。

圖5係用於電壓暴衝保護之方法500之一實例之一流程圖。在某些實施例中，可至少部分地藉由圖2及圖3中所展示之適應箝位電路207執行方法500。如所圖解說明，在方塊501處，方法500可包含監視一高電壓電路內之一或多個節點。舉例而言，適應箝位電路207可監視HV電路202之 V_{hv} 201及/或 V_{out} 203。

在方塊502處，方法500可包含偵測一潛洩狀況。舉例而言，適應箝位電路207可經由PMOS電晶體314偵測一過剩電流流動穿過HV電路202內之一潛洩路徑。然後，在方塊503處，方法500可包含抵消該潛洩狀況。舉例而言，適應箝位電路207可比較 V_{ref} 209與 V_{out} 203且其可自 V_{out} 203減去與該兩者之間的差成比例之一電壓，因此將 V_{out} 203維持在一選定臨限值之下。在某些實施例中， V_{ref} 209可係至IC 200之一低電壓供應電壓(例如，為大約1.2 V $\pm$ 10%)。

應理解，本文中特定而言與圖2至圖5一起所闡述之各種操作可藉由處理電路、電子硬體或其一組合而實施。執行一給定方法之每一操作之次序可改變，且本文中所圖解說明之系統之各種元件可被添

加、重新排序、組合、省略、修改等。本文中所闡述之本發明意欲涵蓋所有此等修改及改變且因此上文說明應視為具有一說明性意義而非一約束性意義。

如上文所闡述，在某些實施例中，適應箝位電路207可改善LV1電路204易受 V_{hv} 201之電壓暴衝損壞之性質。舉例而言，適應箝位電路207可提供使HV供應(例如， V_{hs} 201)以高變動率暴衝而不將LV裝置(例如，LV1電路204)曝露於超出其可靠性範圍之電壓之能力。

在某些情況下，適應箝位電路207可能夠抵消 V_{hv} 201之高達100 V/ms之變動率所產生之潛洩路徑。另外或另一選擇係，適應箝位電路207可能夠抵消 V_{hs} 201之高達1000 V/ms之變動率所產生之潛洩路徑。舉例而言，圖3中所展示之實施例可利用一鏡電流來加速箝位 V_{out} 203之行為。換言之，形成潛洩狀況(亦即，過剩電流)之相同機構可用以促進偵測及箝位。

舉例而言，當IC 200係一雙供應電路時(或當其經組態以接收兩個以上供應電壓時)，其可自一外部電路接收一數位或邏輯供應電壓，該數位或邏輯供應電壓可用作 V_{ref} 209且可用以箝位 V_{out} 203而IC 200不必出於彼目的而產生一額外參考電壓。此外，關於電源供應定序，應注意無論首先接通哪個電源供應(在至IC 200之一類比與數位電源供應之間)，上文所闡述之系統及方法皆經設計以操作。舉例而言，若在數位或邏輯供應之前接通至IC 200之類比供應(例如， V_{hv} 201處於5 V而 V_{ref} 處於0 V)，則將 V_{out} 203箝位至接地，從而保護LV1電路204。相反地，若在類比供應之前接通至IC 200之數位或邏輯供應，則不存在自 V_{hv} 201至 V_{out} 203之潛洩路徑。

此外，適應箝位電路207具有一緊湊佔用面積且不危及 V_{out} 203之輸出位準。相比而言，習用電容性耦合之解決方案(例如，變動率軌道偵測器等)具有一大佔用面積及/或具有長鎖存逾時值，此可危及IC

200之啟動定時。

在一說明性非限制性實施例中，一積體電路可包含：一電壓箝位電路，其可操作地耦合至一第一節點及一第二節點，該第一節點經組態以接收一第一電壓且該第二節點經組態以輸出小於該第一電壓之一第二電壓，該電壓箝位電路經組態以回應於該第一電壓之一變動率觸發該第一節點與該第二節點之間的一潛洩狀況而修改該第二電壓。舉例而言，該潛洩狀況可包含一電路徑傾向於允許一意外電流自該第一節點流動至該第二節點。

此外，該第一節點及該第二節點可係一電壓參考電路之部分。舉例而言，該電壓參考電路可係一帶隙電路。該電壓參考電路可包含具有與該第一電壓之該變動率不相稱之一傳播延遲之至少一個元件。舉例而言，該至少一個元件可包含一第一放大器。在彼情形中，該電壓箝位電路可包含經組態以接收與自該第一節點流動至該第二節點之一過剩電流成比例之一偏壓電流之一第二放大器。該第二放大器可經組態而以和該第二電壓與提供至該積體電路之一數位電源供應電壓之間的一差成比例之一方式減小該第二電壓之一值。

在某些實施方案中，該電壓箝位電路可經組態以回應於一通電重設(PoR)事件而接通。另外或另一選擇係，該電壓箝位電路可經組態以在該PoR事件之後關斷一預定時間週期。

在另一說明性非限制性實施例中，一方法可包含監視一電路之一第一節點或一第二節點中之至少一者，該第一節點經組態以接收大於存在於一第二節點處之一第二電壓之一第一電壓，該電路經組態以接收至少一個類比供應電壓及至少一個數位供應電壓。該方法亦可包含，回應於該第一電壓之一變動率形成該第一節點與該第二節點之間的一潛洩狀況，使用該至少一個數位供應電壓作為一參考電壓來抵消該潛洩狀況。舉例而言，潛洩狀況可支持一過剩電流自該第一節點流

動至該第二節點且在某些情況下，該第一電壓可係該至少一個類比供應電壓。

在某些情形中，可操作地耦合於該第一節點與該第二節點之間的一電路元件可具有長於該第一電壓之一暴衝時間之一傳播延遲。此外，抵消該潛洩狀況可包含將該第二電壓維持在基於該參考電壓而定義之一預定值處或以下。另外或另一選擇係，將該第二電壓維持在一預定值處或以下可包含以和該第二電壓與該參考電壓之間的一差成比例之一方式修改該第二電壓。

舉例而言，在其中該第一節點及該第二節點可係一第一電路之部分且該第一電路可包含一第一放大器之情形中，該方法可包含提供經組態以接收與自該第一節點流動至該第二節點之一暫態電流成比例之一偏壓電流之一第二放大器。該第一電路係一帶隙電壓電路。該方法亦可包含保護一電路免於一過電壓狀況，該電路可操作地耦合至該第二節點且經組態以接收該第二電壓。

再次，可回應於一通電重設(PoR)事件而發生該監視及該抵消。另外或另一選擇係，在該PoR事件之後可停止發生該監視及該抵消一預定時間週期。

雖然本文中參考特定實施例闡述本發明，但可在不背離如下文申請專利範圍中所陳述之本發明之範疇之情況下做出各種修改及改變。舉例而言，雖然呈現於帶隙電路之上下文中，但本文中所闡述之各種系統及方法可實施於其他類型之電壓參考電路或其他類型之電路中。因此，說明書及各圖將視為具有一說明性意義而非一約束性意義，且所有此等修改意欲包含於本發明之範疇內。本文中關於特定實施例所闡述之任何益處、優點或問題之解決方案並非意欲被理解為任何或所有請求項之一關鍵、必需或基本特徵或者元素。

除非另有陳述，否則諸如「第一」及「第二」之術語用以任意

地區分此等術語所闡述之元件。因此，此等術語未必意欲指示此等元件之時間或其他優先次序。術語「經耦合」或「可操作地耦合」定義為經連接，但未必直接地且未必以機械方式。除非另有陳述，否則術語「一(a及an)」定義為一或多個。術語「包括(comprise)」(及包括(comprise)之任何形式，諸如「comprises」及「comprising」)、「具有(have)」(及具有(have)之任何形式，諸如「has」及「having」)、「包含(include)」(及包含(include)之任何形式，諸如「includes」及「including」)及「含有(contain)」(及含有(contain)之任何形式，諸如「contains」及「containing」)係開放式連接動詞。作為一結果，「包括」、「具有」、「包含」或「含有」一或多個元件之一系統、裝置或裝備擁有彼等一或多個元件，但不限於僅擁有彼等一或多個元件。類似地，「包括」、「具有」、「包含」或「含有」一或多個操作之一方法或程序擁有彼等一或多個操作，但不限於僅擁有彼等一或多個操作。

【符號說明】

100	電子裝置
101	印刷電路板
102	電子晶片/積體電路
200	積體電路
202	高電壓電路/模組
204	第一低電壓電路/模組
205	第二低電壓電路/模組
207	適應箝位電路
208	啟用信號
300	電路
301	運算跨導放大器
303	P型金屬氧化物半導體電晶體

304	P型金屬氧化物半導體電晶體
305	P型金屬氧化物半導體電晶體
306	P型金屬氧化物半導體電晶體
307	電阻器
308	PNP雙極接面電晶體
309	雙極接面電晶體
310	電阻器
311	電阻器
312	雙極接面電晶體
313	電阻器
314	P型金屬氧化物半導體電晶體
315	放大器
316	N型金屬氧化物半導體電晶體
317	N型金屬氧化物半導體電晶體
en	啟用信號/信號
GND	接地
HV	高電壓
LV1	第一低電壓
LV2	第二低電壓
V_{hv} 201	高電壓供應電壓
V_{out} 203	輸出電壓
V_{ota} 206	運算跨導放大器電壓輸出
V_{ref} 209	參考電壓

申請專利範圍

1. 一種積體電路，其包括：

一電壓箝位電路，其可操作地耦合至一電壓參考電路，該電壓參考電路經組態以在一第一節點接收一第一電壓且在一第二節點輸出小於該第一電壓之一第二電壓，該電壓參考電路包含具有與該第一電壓之一變動率不相稱之一傳播延遲之一第一放大器，該電壓箝位電路包含一第二放大器，該第二放大器具有經耦合以接收一預定電壓之一第一輸入及耦合至該第二節點之一第二輸入，該第二放大器經組態以接收與自該第一節點流動至該第二節點之一過剩(excess)電流成比例之一偏壓電流，該第二放大器之一輸出經組態以回應於該第一電壓之該變動率觸發該第一節點與該第二節點之間的一潛洩(sneak)狀況而驅動該第二節點以減少該第二電壓之一值。

2. 如請求項1之積體電路，其中該潛洩狀況包括一電路徑傾向於允許該過剩電流自該第一節點流動至該第二節點。

3. 如請求項1之積體電路，其中該電壓參考電路係一帶隙電路。

4. 如請求項1之積體電路，其中該第二放大器經組態而以和該第二電壓與提供至該積體電路之一數位電源供應電壓之間的一差成比例之一方式減小在該第二節點處之該第二電壓之一值。

5. 如請求項1之積體電路，其中該電壓箝位電路經組態以回應於一通電重設(PoR)事件而接通。

6. 如請求項5之積體電路，其中該電壓箝位電路經組態以在該PoR事件之後關斷一預定時間週期。

7. 一種用於電壓暴衝保護之方法，其包括：

使用一第一電路以將在一第一節點處之一第一電壓轉換為在

一第二節點處之一第二電壓，該第一電路包含可操作地耦合於該第一節點與該第二節點之間的一第一放大器，該第一節點經組態以接收大於存在於該第二節點處之該第二電壓之該第一電壓，該第一電路經組態以接收至少一個類比供應電壓及至少一個數位供應電壓；

提供具有經耦合以接收一預定電壓之一第一輸入及耦合至該第二節點之一第二輸入的一第二放大器，該第二放大器經組態以接收與自該第一節點流動至該第二節點之一暫態(transient)電流成比例之一偏壓電流；及

回應於該第一電壓之一變動率形成該第一節點與該第二節點之間的一潛洩狀況，該第二放大器使用該至少一個數位供應電壓作為一參考電壓來驅動該第二節點以抵消該潛洩狀況。

8. 如請求項7之方法，其中該第一電壓係該至少一個類比供應電壓。
9. 如請求項7之方法，其中該第一放大器具有長於該第一電壓之一暴衝時間之一傳播延遲。
10. 如請求項7之方法，其中抵消該潛洩狀況包含將該第二電壓維持在基於該參考電壓而定義之一預定值處或以下。
11. 如請求項7之方法，其進一步包括保護一第二電路免於一過電壓狀況，一第三電路可操作地耦合至該第二節點且經組態以接收該第二電壓。

圖式

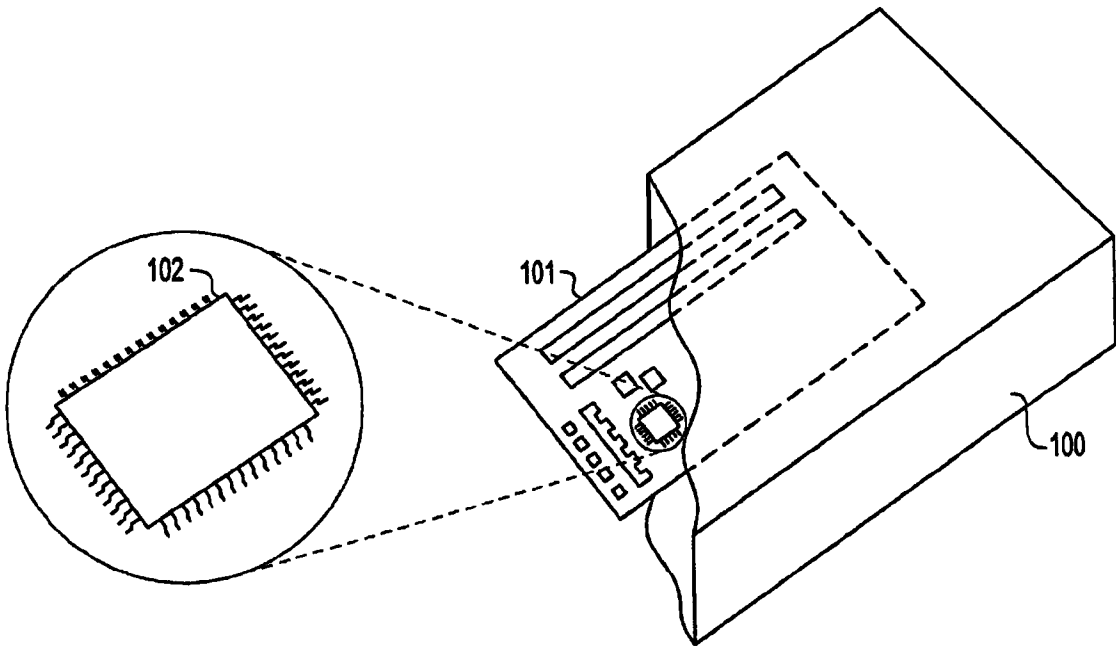
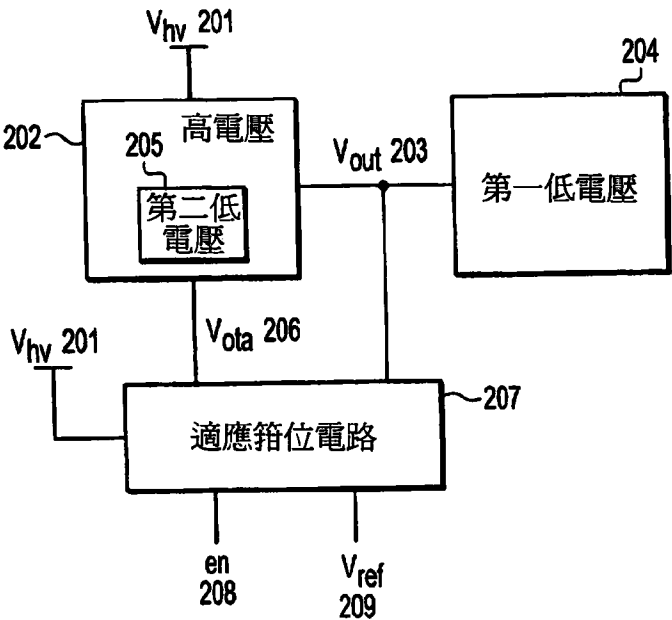


圖 1



200

圖 2

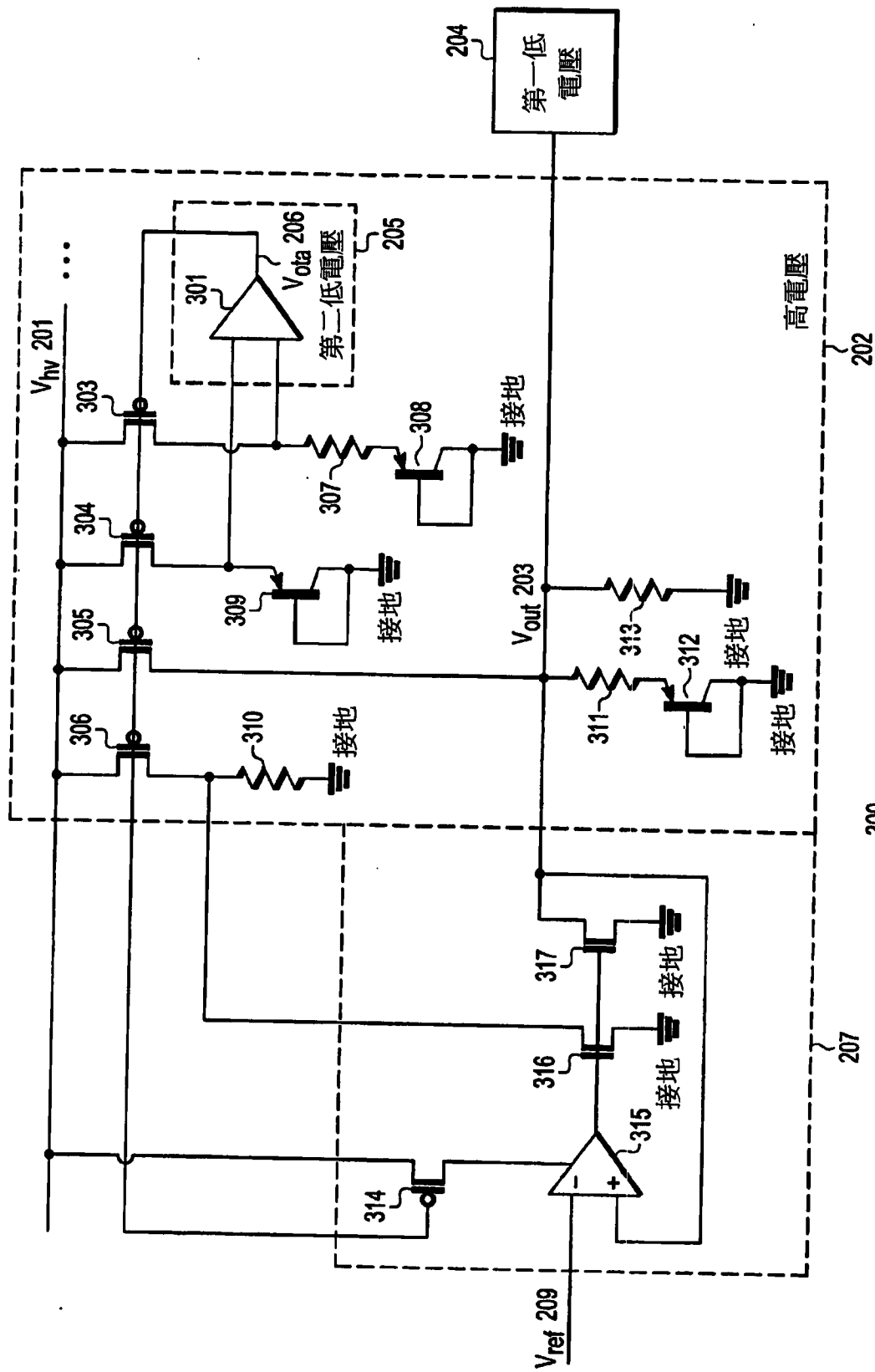


圖 3

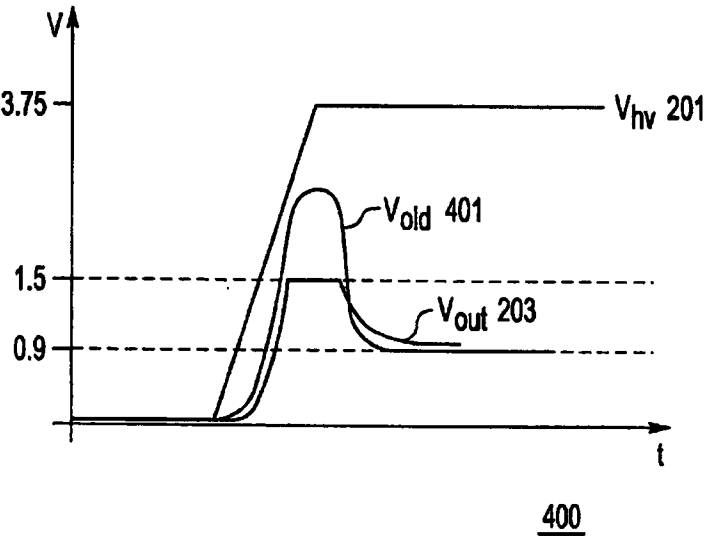


圖 4

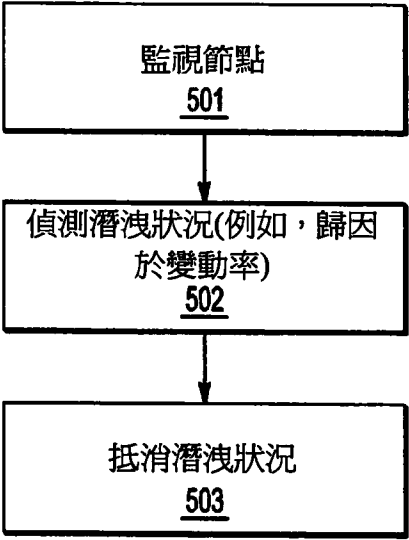


圖 5

500