

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5559799号
(P5559799)

(45) 発行日 平成26年7月23日(2014.7.23)

(24) 登録日 平成26年6月13日(2014.6.13)

(51) Int.Cl.

H04J 11/00 (2006.01)
H04J 13/18 (2011.01)

F 1

H04J 11/00
H04J 13/18

Z

請求項の数 10 (全 16 頁)

(21) 出願番号 特願2011-532098 (P2011-532098)
 (86) (22) 出願日 平成21年10月20日 (2009.10.20)
 (65) 公表番号 特表2012-506208 (P2012-506208A)
 (43) 公表日 平成24年3月8日 (2012.3.8)
 (86) 國際出願番号 PCT/US2009/005717
 (87) 國際公開番号 WO2010/047787
 (87) 國際公開日 平成22年4月29日 (2010.4.29)
 審査請求日 平成24年9月4日 (2012.9.4)
 (31) 優先権主張番号 61/196,746
 (32) 優先日 平成20年10月20日 (2008.10.20)
 (33) 優先権主張国 米国(US)

(73) 特許権者 501263810
 トムソン ライセンシング
 Thomson Licensing
 フランス国, 92130 イッシー レ
 ムーリノー, ル ジヤンヌ ダルク,
 1-5
 1-5, rue Jeanne d' A
 r c, 92130 ISSY LES
 MOULINEAUX, France
 (74) 復代理人 100115624
 弁理士 濱中 淳宏
 (74) 復代理人 100115635
 弁理士 窪田 郁大
 (74) 代理人 110001243
 特許業務法人 谷・阿部特許事務所
 最終頁に続く

(54) 【発明の名称】ケーブル伝送システムにおいてプリアンブルを生成する方法および装置

(57) 【特許請求の範囲】

【請求項1】

ケーブル伝送媒体における使用のためのプリアンブルを生成する方法であって、
 相補シーケンスをプリアンブル伝送スペクトラムの初めのキャリア内にヘッダとして挿
 入するステップであって、前記初めのキャリアは前記プリアンブル伝送スペクトラムに
 おける最低周波数を有するキャリアである、前記挿入するステップと、

システムのシグナリング・ビットのためのエラー訂正符号を生成して保護されたシグナ
 リング・ビットを作成するステップであって、前記保護されたシグナリング・ビットは前
 記エラー訂正符号により保護されたシグナリング・ビットである、前記作成するステップ
 と、

前記相補シーケンスおよび保護されたシグナリング・ビットを、割り当てられた偶数番
 目のキャリア上の変調シンボルにのみマッピングするステップであって、前記保護された
 シグナリング・ビットは、同一の周波数ドメイン・チャンネル利得係数を有する隣接サブ
 キャリアに割り当てられた直交符号にマッピングされ、前記隣接サブキャリアは前記相補
 シーケンスのキャリアに続き、前記プリアンブル伝送スペクトラムの残余のキャリアを通
 じて複製され、前記マッピングされた変調シンボルが各フレーム内のプリアンブルを形成
 する、前記マッピングするステップと、

前記プリアンブルを時間ドメインに変換するステップと、
 を含む、前記方法。

【請求項2】

10

20

必要なシステム情報ビット数およびチャンネル状態に応じて前記直交符号を選択するステップをさらに含む、請求項1に記載の方法。

【請求項3】

サイクリック・プレフィックスを追加して前記プリアンブルの生成を完了するステップをさらに含む、請求項1に記載の方法。

【請求項4】

2つ以上のチャンネルを結合するステップと、

周期的に繰り返される前記生成されたプリアンブルが前記結合されたチャンネルの完全なスペクトラムを満たすようにするステップと、

前記プリアンブルによって使用されるキャリアの数を、OFDMシンボル中で使用されるキャリアの数よりも少なくまたは該キャリア数と等しく制限するステップと、10
を含む、請求項1に記載の方法。

【請求項5】

前記プリアンブルによって使用されるキャリアの数をOFDMシンボルによって使用されるキャリアの数以下に制限するステップをさらに含む、請求項1に記載の方法。

【請求項6】

前記エラー訂正符号がリード・マラー符号を含む、請求項1に記載の方法。

【請求項7】

前記直交符号がウォルシュ符号を含む、請求項1に記載の方法。

【請求項8】

ケーブル伝送システムにおける使用のためのプリアンブルを生成する装置であって、
相補シーケンスをヘッダとしてプリアンブル伝送スペクトラムの初めのキャリアに挿入し、前記初めのキャリアは前記プリアンブル伝送スペクトラムにおける最低周波数を有するキャリアであり、前記ケーブル伝送システムのシグナリング・ビットのためのエラー訂正符号を作成して保護されたシグナリング・ビットを作成し、前記保護されたシグナリング・ビットは前記エラー訂正符号により保護されたシグナリング・ビットであり、前記保護されたシグナリング・ビットを直交符号にマッピングし、前記相補シーケンスおよび直交符号を変調シンボルにマッピングして前記プリアンブルを形成するプロセッサと、

偶数番目のキャリアを割り当てるよう構成された変調器であって、前記直交符号は同一の周波数ドメイン・チャンネル利得係数を有する隣接サブキャリアに割り当てられ、前記隣接サブキャリアは前記相補シーケンスのキャリアに続き、前記プリアンブル伝送スペクトラムの残余のキャリアを通じて複製され、当該割り当てられた偶数番目のキャリア上で前記プリアンブルの伝送を可能にする、前記変調器と、30

を含む、前記装置。

【請求項9】

ケーブル伝送媒体における使用のためのプリアンブルを受信し、処理する方法であって

、
前記プリアンブルを時間ドメインから変換するステップと、

各フレーム内の前記プリアンブルからの割り当てられた偶数番目のキャリア上の変調シンボルを相補シーケンスおよび保護されたシグナリング・ビットを搬送する直交符号にマッピングするステップであって、前記保護されたシグナリング・ビットはエラー訂正符号により保護されたシグナリング・ビットであり、前記直交符号は同一の周波数ドメイン・チャンネル利得係数を有する一定の隣接サブキャリアに割り当てられ、前記隣接サブキャリアは前記相補シーケンスのキャリアに続き、前記プリアンブル伝送スペクトラムの残余のキャリアを通じて複製される、前記マッピングするステップと、40

エラー訂正符号を処理して、前記保護されたシグナリング・ビットからシステムのシグナリング・ビットを取得するステップと、

プリアンブル伝送スペクトラムの初めのキャリア内のヘッダとしての相補シーケンスを取り除くステップであって、前記初めのキャリアは前記プリアンブル伝送スペクトラムにおける最低周波数を有するキャリアである、前記取り除くステップと、50

を含む、前記方法。

【請求項 10】

ケーブル伝送システムにおいて使用するためのプリアンブルを受信しおよび処理する装置であって、

偶数番目のキャリアのみを処理し、割り当てられた偶数番目のキャリア上で前記プリアンブルの受信を可能にするように構成された復調器と、

プリアンブル伝送スペクトラムの初めのキャリア内のヘッダとしての相補シーケンスを取り除き、前記初めのキャリアは前記プリアンブル伝送スペクトラムにおける最低周波数を有するキャリアであり、および保護されたシグナリング・ビットを搬送する直交符号を取り除き、前記保護されたシグナリング・ビットはエラー訂正符号により保護されたシグナリング・ビットであり、同一の周波数ドメイン・チャンネル利得係数を有する一定の隣接サブキャリアに割り当てられ、前記隣接サブキャリアは前記相補シーケンスのキャリアに続き、前記プリアンブル伝送スペクトラムの残余のキャリアを通じて複製され、前記ケーブル伝送システムの保護されたシグナリング・ビットから前記シグナリング・ビットを取得するためにエラー訂正符号を処理し、前記プリアンブルを形成する変調シンボルから前記相補シーケンスと保護されたシグナリング・ビットとのマッピングを解除するプロセッサと、

を含む、前記装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

(関連出願とのクロスリファレンス)

本出願は、2008年10月20日付で出願された米国仮出願第61/196,746号の利益を主張するものであり、その開示内容全体を本願に盛り込んだものとする。

【0002】

本願の原理は、ケーブル伝送のシステムおよび技術に関する。より具体的には、本願の原理は、ケーブル・チャンネル伝送のために使用されるDVB-C2規格用のプリアンブル設計に関する。

【背景技術】

【0003】

30

近年、DVB-C2(DVBプロジェクトによって開発されている次世代ディジタル・ケーブル伝送システム)規格の整備が進められている。DVB-C2がDVB-T2規格のコンテンツを可能な限り再利用する旨の協定が結ばれている。結果として、OFDM技術は、DVB-T2規格において規定された符号化技術(BCH+LDPC)とともに採用されることになるであろう。しかしながら、DVB-T2規格は、地上無線チャンネルにおいて使用されるように設計されている一方で、DVB-C2規格は、ケーブル・チャンネルにおいて使用されるように設計されていることに留意しなくてはならない。2つの点において、ケーブル・チャンネルは、無線チャンネルとは異なる。まず、ケーブル・チャンネルは、数少ない弱いエコーのみが存在する高品質(SNR)チャンネルである。第2に、TV放送に割り当てられる無線スペクトラムがFCCによって限定される一方で、ケーブル・ネットワークにおいては、自由度の高いスペクトラムを使用することができる。結果として、DVB-T2において使用される信号フレーム構造およびプリアンブルは、DVB-C2規格において再使用するのには適切でないことがある。

40

【発明の概要】

【0004】

一実施態様に従えば、ケーブル伝送媒体における使用のためのプリアンブルを生成する方法は、相補シーケンスを初めのキャリア内にヘッダとして挿入するステップと、システムのシグナリング・ビットをエラー訂正符号で保護するステップと、相補シーケンスおよびシグナリング・ビットを割り当てられた偶数のキャリアのみの上の変調シンボルにマッピングするステップであって、マッピングされた変調シンボルが各フレーム内のプリアン

50

ブルを形成する、マッピングするステップと、形成されたプリアンブルを時間ドメインに変換するステップと、を含む。

【0005】

別の実施態様に従えば、ケーブル伝送システムにおける使用のためのプリアンブルを生成する装置は、相補シーケンスを初めのキャリア内にヘッダとして挿入し、システムのシグナリング・ビットをエラー訂正符号で保護し、相補シーケンスおよび保護されたシグナリング・ビットを変調シンボルにマッピングしてプリアンブルを形成するプロセッサと、偶数のキャリアのみを割り当て、割り当てられた偶数のキャリア上でプリアンブルを伝送可能にするように構成された変調器と、を含む。

【0006】

本願の原理のこれらの態様、特徴、および利点、さらに、その他の態様、特徴、および利点は、添付の図面と併せて以下の例示的な実施の形態の詳細な説明を参照することによって明らかになるであろう。

【0007】

本願の原理は、以下の例示的な図面に従って、良好に理解されるであろう。

【図面の簡単な説明】

【0008】

【図1】DVB-C2信号のフレーム構造を表す図である。

【図2A】本願の原理に係る様々な実施態様に従ってプリアンブルを生成する方法を例示するブロック図である。

20

【図2B】本願の原理に係る様々な実施態様に従ってプリアンブルを生成する方法を例示するブロック図である。

【図2C】本願の原理に係る様々な実施態様に従ってプリアンブルを生成する方法を例示するブロック図である。

【図3】周波数ドメインにおけるDVB-C2プリアンブルの構成を表す図である。

【図4】本願の原理に係る一実施態様に従って結合されたチャンネルを有するプリアンブルを周期的に表したものとの例を示す図である。

【図5】本願の原理に係る一実施態様に従ったプリアンブル信号の構造を表したものとの例を示す図である。

【図6】本願の原理に係る実施態様に従ったウォルシュ符号を使用したプリアンブルの例を示す図である。

30

【図7】本願の原理の実施の形態に従ったプリアンブル生成を実施する装置のブロック図である。

【発明を実施するための形態】

【0009】

本願の原理は、ディジタル・ケーブル伝送環境で使用されるDVB-C2規格におけるプリアンブル設計のための方法および装置に関する。

【0010】

本説明は、本願の原理を例示するものである。従って、本明細書において明示的に記載、または図示されていなくとも、当業者が本願の原理を実施する様々な構成を企図することが可能であり、このような構成が本願の精神および範囲の中に包含されることが理解できるであろう。

40

【0011】

本明細書に記載された全ての例および条件付の文言は、本願の原理を読者が理解するのを助けるための教示目的のものであり、発明者によって寄与された概念は、技術を発展させるものであり、このような具体的に記載された例や条件に限定されるように解釈されるべきではない。

【0012】

また、本明細書における本願の原理、態様、および、実施の形態についての全ての記載とその具体例は、構造的、機能的な均等物を包含するように意図したものである。さらに

50

、このような均等物は、現在公知の均等物だけでなく、将来において開発される均等物、即ち、構造に係らず、同一の機能を実行するように開発された全ての要素を包含するよう意図されている。

【0013】

従って、例えば、当業者であれば、本明細書において示されたブロック図は、本願の原理を実施する回路を例示する概念図であることが理解できよう。同様に、フローチャート、フロー図、状態遷移図、擬似コードなどは、いずれも様々な処理を表すことが理解できよう。これらの処理は、実質的にコンピュータによって読み取り可能なメディアにおいて表すことができ、コンピュータまたはプロセッサにより実行され、このようなコンピュータまたはプロセッサがはっきりと図示されているかどうかに係るものではない。

10

【0014】

各図面において示される様々な要素の機能は、専用のハードウェアの使用により提供されてもよく、適切なソフトウェアと関連付けてソフトウェアを実行することが可能なハードウェアの使用によって提供されてもよい。機能がプロセッサによって提供される場合にも、単一の専用プロセッサによって提供されてもよく、単一の共有プロセッサによって提供されてもよく、複数の別個のプロセッサによって提供されてもよく、幾つかのプロセッサが共有されていてもよい。さらに、用語「プロセッサ」または「コントローラ」を明示的に使用した場合であっても、ソフトウェアを実行することが可能なハードウェアのみを意味するように解釈されるべきではなく、限定するものではないが、デジタル信号プロセッサ (D S P : d i g i t a l s i g n a l p r o c e s s o r) ・ ハードウェア、ソフトウェアを格納する読み出し専用メモリ (R O M : r e a d o n l y m e m o r y) 、ランダム・アクセス・メモリ (R A M : r a n d o m a c c e s s m e m o r y) 、および不揮発性の記憶装置を暗黙的に含むことがある。

20

【0015】

また、従来のおよび / または慣習的な他のハードウェアを含むこともある。同様に、図面に示されたどのスイッチも概念的なものに過ぎない。これらの機能はプログラム・ロジックの動作を介して、専用のロジックを介して、プログラム制御と専用のロジックとのインタラクションを介して、または、手動でも実行されることがある。文脈からより具体的に理解できるように、実施者により、特定の技術を選択可能である。

30

【0016】

請求の範囲において、特定の機能を実施するための手段として表現されたいずれの要素も、この機能をどのような方法で実行するものも包含するように意図している。例えば、a) 機能を実行する回路要素を組み合わせたもの、または、b) 形態に関わらず、ソフトウェア、つまり、ファームウェア、マイクロコード等を含み、機能を実施するためにソフトウェアを実行する適当な回路と組み合わせたものも包含する。このような請求の範囲によって定義される本願の原理は、請求項に記載された様々な手段によって提供される機能が請求の範囲の要件として、組み合わせられ、まとめられている事実に基づいたものである。従って、出願人は、このような機能を提供することが可能な手段はどのようなものであっても、本願において示されているものと均等であるとみなす。

40

【0017】

明細書において、本願の原理の「一実施の形態」、「実施の形態」、またはこの類の記載が言及されている場合、これは、実施の形態に関して記載される特定の特徴事項、構造、特性などが本願の原理の少なくとも 1 つの実施の形態に含まれることを意味する。従って、明細書全体に渡って様々な箇所に存在する文言「一実施の形態においては」、「実施の形態においては」、またはこの類の記載は、必ずしも、全てが同一の実施の形態について言及するものではない。

【0018】

一実施態様に従えば、プリアンブルは、D V B C 2 規格において使用されるように設計されている。本願の原理に係るプリアンブルは、フレーム・タイミング同期化、周波数オフセット推定、システム情報シグナリング、および初期チャンネル推定を含む、複数の

50

機能を有する。

【0019】

当業者であれば、本開示内容において取り扱われる幾つかのコンセプトには、限定するものではないが、DVB-C2、プリアンブル設計、シグナリング、および同期化が含まれることを認識するであろう。

【0020】

本願の原理のプリアンブル設計は、ケーブル・チャンネルにおいて使用される効率的なプリアンブル構造に対する要求によって動機付けされている。1つの好ましい実施態様に従えば、本願の原理に係るプリアンブル構造は、以下の機能を有する。

【0021】

1. 送信機側でチャンネル結合技術が適用された際に、受信機側において部分受信をサポートする任意のチューニング位置での受信を可能にする。

2. C2システム識別、プリアンブル識別、およびフレーム・タイミング同期化

3. 周波数オフセット推定

4. システム情報（ガード・インターバル長、コンステレーション、符号化率など）のシグナリング

5. 初期チャンネル推定

【0022】

基本プリアンブル構造

図1に示されているように、DVB-C2フレーム10は、OFDMシンボル12A～12Nからなり、最初のOFDMシンボルは、C2システムの同期化およびシグナリングに使用されるプリアンブル・シンボル14である。説明する例においては、OFDM変調のFFTサイズが4kとして選択される。従って、本例示的な実施態様に従えば、4kキャリアを有するOFDM変調を用いてプリアンブルが設計される。

【0023】

図2Aは、プリアンブルを生成する例示的な方法20のブロック図である。この例においては、相補シーケンス22が初めのキャリア内にヘッダとして挿入され（例えば、図3参照）、次に、変調シンボルにマッピングされる（24）（例えば、BPSKマッピング）。当業者であれば、相補シーケンスが規格の一部であり、ドラフトESTYEN302755V.1.1.0.2（2008-10）における表63において参照されていることが認識できるであろう。機能的には、マッピングされたシンボルは、割り当てられた偶数のキャリアに割り振られ、つまり、マッピングは、偶数のキャリアの割り当ての前に発生する。

【0024】

システム情報のシグナリング・ビット26は、エラー訂正符号28によって保護され、次に、直交符号またはQAMシンボルのいずれかの変調シンボルにマッピングされる（30）。図5は、プリアンブル・シンボルの構造の例を示している。一実施態様に従えば、当業者であれば、パイロット・キャリアを使用してチャンネル推定を実行できることを認識するであろう。図6は、長さ2のウォルシュ（Walsh）符号を使用して1ビットを伝送する別の例を示している。情報ビット0が符号（1, 1）によって伝送され、情報ビット1が符号（1, -1）によって伝送される。システムの各ビットの情報が伝送されると、変調器は、システムのビット情報および相補シーケンスを偶数のキャリアに割り当てる（32）。なお、本願の原理に係る好ましい実施態様によれば、偶数のキャリアのみが使用され、奇数のキャリアは、バーチャル・キャリアのままでされる。最後に、プリアンブル信号は、IFFT処理34によって時間ドメインに変換され、さらに、所望の実施態様に依存して、サイクリック・プレフィックス（CP: cyclic prefix）を追加して（36）、DVB-C2プリアンブルの生成を完了してもよい。

【0025】

図2Bは、図2Aのブロック図から導出される各方法ステップ20bを示している。この実施態様においては、相補シーケンスが初めのキャリア22にヘッダとして挿入され、

10

20

30

40

50

このシグナリング・ビットは、エラー訂正符号 28 を用いて保護され、相補シーケンスおよびシグナリング・ビットの双方が変調シンボルにマッピングされ(24、30)、これらは、偶数のキャリアのみに割り当てられる(32)。

【0026】

図2Cは、本願の原理に従った方法20cの別の実施態様を示している。この実施態様では、ケーブル伝送において2つ以上のチャンネルの結合が行われる(40)場合について検討する。この場合、さらに、以下に説明するように、キャリアの数をOFDMシンボルにおいて使用されるキャリアの数以下に制限するステップ(42)を追加する必要がある。さらに、周期的に繰り返される生成されたプリアンブルが結合されたチャンネルの完全なスペクトラムを満たすようにするステップ(44)の追加が必要となる。

10

【0027】

図7は、本願の原理に従ってDVB-C2プリアンブルを生成する装置70を示している。メモリ74および変調器76と通信するプロセッサ72は、以下の基準を利用し、このための各ステップを実行することにより、プリアンブル生成を制御する。当業者であれば、メモリ74が、必要となる様々な相補シーケンスを記憶することができ、プロセッサ72が、プリアンブル生成の間にどの相補シーケンスを使用して、これを所望のケーブル伝送アプリケーションと協働させるかを決定することを認識するであろう。

【0028】

好みの実施態様によれば、プリアンブル構造には、3つの基準が存在する。

【0029】

1. プリアンブル K_p によって使用されるキャリアの数は、以下の制約を受ける。

$$K_p \leq K_{total} \quad (1)$$

ここで、 K_{total} は、OFDMシンボルにおいて使用されるキャリア数、例えば、DVB-T2において規定された4Kモード(FFTサイズ = 4096)では、 $K_{total} = 3409$ となる。

【0030】

2. 結合するチャンネルのスペクトラムにおいて伝送される信号の情報を搬送するプリアンブルは、周期的に、完全なスペクトラムを満たす。さらに、プリアンブルは、DVB-T2に定義されたすべての8MHz全体、すなわち、3584個のキャリアをカバーする。この基準は、以下のように表される。

30

【数1】

$$X_i[k] = P[(i \cdot 3584 + k) \% K_p], i = 0, 1, \dots, k = 0, 1, \dots, 3583 \quad (2)$$

ここで、 $X_i[k]$ は、 i 番目に結合するチャンネルの k 番目のキャリアにおいて伝送される信号であり、 $P[1]$ は、1番目のキャリア($0 \leq k \leq K_p$)におけるプリアンブル信号である。

【0031】

3. 偶数のキャリアのみが変調される一方で、奇数のキャリアは、バーチャル・キャリアのまとまる。

40

第1および第2の基準では、送信機側において、チャンネル結合技術が適用された際に、受信機側において部分受信をサポートする必要が生じる。チャンネル結合技術を使用することによって、幾つかのチャンネルが互いに結合され、大きなスペクトラムを提供する。従って、この大きなスペクトラムは、個々のサービスの必要な帯域幅に従ってサブチャンネルまたはデータ・スライスに分割することができる。よりフレキシブルにするためは、サブチャンネルまたはデータ・スライスは、結合スペクトラム内の任意のポイント(キャリア)で開始可能にされる。次に、プリアンブルは、結合スペクトラム内の任意のチューニング位置で受信機によって受信され、検出されなければならない。部分受信が受信機内で実施される場合には、ガード・バンドが除去または低減できない点は、注目に値する。従って、チャンネル結合技術が使用される際に、明らかなスペクトラル効率の向上は見

50

られない。チャンネル結合および部分受信が使用されない場合、または、サブチャンネルが2つの隣接する結合するチャンネルに亘ることを可能としないようにサブチャンネルに対する制約が存在するのであれば、最初の2つの基準を解除することができる。第3の基準は、プリアンブルが時間ドメインにおいて繰り返し構造を有することにより、高速なプリアンブルの識別を可能にするために設けられる。この種の構造は、I E E E 8 0 2 . 1 1 および8 0 2 . 1 6においても使用されている。繰り返し構造は、簡単に理解することができる。偶数のキャリアのみを変調し、奇数のキャリアをバーチャル・キャリアのままとすることを検討する。逆D F T等式から、以下の式が得られる。

【数2】

10

$$x[n] = \frac{1}{N} \sum_{k=0}^{N-1} X[k] e^{j2\pi kn/N} \quad (3)$$

奇数キャリアについては、 $X[k] = 0$ であるため、式(3)を以下のように書き換えることができる。

【数3】

20

$$x[n] = \frac{1}{N} \sum_{k=0}^{N/2-1} X[2k] e^{j2\pi(2k)n/N} \quad (4)$$

式(4)から $x[n] = x[N/2 + n]$ 、 $n = 0, 1, \dots, N/2 - 1$ となることが明らかである。この構造は、フレーム・タイミング同期化および分数周波数オフセット推定を実行するために使用される。ガード・インターバルは、これらの2つの目的を達成するものであるが、ガード・インターバルの長さがチャンネル長よりも大幅に大きいものではない場合、パフォーマンスが低下する。

【0032】

周波数オフセット推定のためのプリアンブル構造

30

キャリア・スペーシングによって周波数オフセットを正規化する場合には、周波数オフセットを整数部分と小数部分とに分けることができる。周波数オフセットの小数部分は、時間ドメイン繰り返し構造によって推定することができる。周波数オフセットの整数部分の推定は、時間ドメイン信号の位相の曖昧さの問題により、周波数ドメイン・パイロットに依存しなければならない。本開示内容の少なくとも1つの実施態様においては、周波数ドメイン内で相補シーケンスが図3に示すように割り当てられ、整数周波数オフセット推定を支援する。相補シーケンスの長さは、チャンネル状態に従って選択される。P1プリアンブルのためにDVB-T2において規定された、長さ64の、8個の直交相補シーケンスと、長さ256の、16個の直交相補シーケンスが存在する。長さ64の相補シーケンスの各々は、長さ8の、8個の相補シーケンスのセットのコンカチネーション(連結)によって作られている。長さ64の、8個の相補シーケンスは、相補シーケンスの8個の直交したセットにより作られる。長さ256の相補シーケンスは、同じように作られる。これらは、長さ16の、16個の相補シーケンスの直交したセットによって作られる。DVB-C2については、64の長さを有するシーケンスの1つ(16進数の表記では、124721741D482E7B)が選択され、図5および図6に示されるように、プリアンブルの初めに割り当てられる。相補シーケンスは、最初の128個のキャリアのうちの偶数のキャリア内に割り当てられる。なお、DVB-T2において実施されている3ビットの情報を伝送するが可能な8個の直交相補シーケンスの代わりに、1つの相補シーケンスを使用する。このようにすることにより、周波数オフセットの整数部分を推定する処理時間が短縮する。

40

50

【0033】

システム情報をシグナリングするためのブリアンブル構造

ブリアンブルにおいて、2つのシグナリング方法が提供される。

1. DVB-T2規格において規定されているP2ブリアンブルおよび散在性のパイロット・パターン(scattered pilot pattern)PP5を再使用する。

この方法においては、散在性のパイロット・パターンPP5がDVB-C2システムに適用される。しかしながら、図5に示されているように、ブリアンブルにおける12個のキャリア毎にパイロットが存在する。シグナリング・ビットは、BCH及びLDPCコードにより保護されて、使用できる偶数のキャリアでQAMシンボルにマッピングされる。この方法によるシグナリングは、より多くの情報ビットを伝送できるようにするが、以下に説明するシグナリング方法よりも、復号の演算量が大きくなる。

【0034】

2. システム情報のシグナリング・ビットを伝送する直交符号を使用する。

DVB-C2システム評価(SE:system evaluation)グループによって提案されているチャンネル・モデルに従えば、rms遅延スプレッドは、97.5nsに等しい。周波数相関関数が0.9を超える帯域幅として定義されるコヒーレンス帯域幅は、概ね以下のようになる。

【数4】

$$B_c \approx \frac{1}{50\sigma_\tau} = 205 \text{ kHz}. \quad (5)$$

10

20

ここで、DVB-T2において定義されている4kモードを検討すると、サブキャリア・スペーシングは、約2.232kHzである。従って、近傍の205/2.232 = 91個のキャリアが同じ利得およびリニア位相を有するものと想定することができる。従って、少数の隣接サブキャリア、例えば16個の隣接サブキャリアが同一の周波数ドメイン・チャンネル利得係数を有するものと合理的に想定することができる。この特性を利用して、隣接サブキャリアにおける直交符号を伝送し、単純に、相関を実行することにより、受信機においてこれらを復号することができる。例えば、情報ビット0が符号(1, 1)によって伝送され、情報ビット1が符号(1, -1)によって伝送される。さらに、システム情報を搬送するビットには、エラーが存在しないのが理想的である。従って、エラー訂正符号が図2に示されるように追加される。直交符号およびエラー訂正符号の選択は、必要となるシステム情報ビットと実施の際の演算量に依存する。ここで、DVB-C2のブリアンブルのために、長さ8のウォルシュ(Walsh)符号が選択される。各ビットのウォルシュ符号へのマッピングを以下の表1に示す。

30

【表1】

ビット	ウォルシュ符号
000	1,1,1,1,1,1,1,1
001	1,-1,1,-1,1,-1,1,-1
010	1,1,-1,-1,1,1,-1,-1
011	1,-1,-1,1,1,-1,-1,1
100	1,1,1,1,-1,-1,-1,-1
101	1,-1,1,-1,-1,1,-1,1
110	1,1,-1,-1,-1,1,1,1
111	1,-1,-1,1,-1,1,1,-1

表1

【0035】

DVB-T2において定義されている4kモードを検討し、式(1)から3408(DVB-T2では3409)と同じKtotalを選択する。プリアンブルにおけるキャリアの数は、 $k_p = 3408$ である。可能な限り多くの情報を搬送し、符号化構造に適したものとするために、 K_p には、3200が選択される。従って、相補シーケンスを使用して割り当てられる最初の128個のキャリアを除き、キャリア・インデックス128~3200から、長さ8を有する192セットのウォルシュ符号が偶数のキャリア内で伝送される。周波数オフセット推定のより良好なパフォーマンスを得るために、相補シーケンスとウォルシュ符号のセットとの間に小さなギャップを残すことができる。長さ8のウォルシュ符号は、3ビットの情報を搬送することができる。従って、576個の情報符号化ビットが伝送される。リード・マラー符号(Reed Muller Code)、RM(64, 42, 8)が選択され、システム情報のシグナリング・ビットを保護する。従って、プリアンブルは、システム情報の378個のシグナリング・ビットを搬送することができる。合計576ビットを9セットの64ビットに分割して、システム情報の9セットの42個のシグナリング・ビットを搬送する。リード・マラー(Reed Muller)符号の選択は、復号の簡素化のためのものである。長さ4を有するウォルシュ符号およびより堅牢なエラー訂正符号、例えば、リード・ソロモン(Reed Solomon)符号が使用される場合には、600個のシグナリング・ビットを搬送することができる。このスキームを用いてシグナリング・ビットを伝送することにより、シグナリング・ビットの復号にチャンネル推定が不要となる点は、注目に値する。従って、時間的な遅延が大幅に低減される。

【0036】

I. 初期チャンネル推定のプリアンブル構造

第1のシグナリング方法を使用した場合、プリアンブルにおけるパイロット・キャリアに関するチャンネル利得係数を後続するOFDMシンボルにおいて再使用することができる。第2のシグナリング方法を使用した場合、システム情報ビットを復号した後、復号ビットを符号化してオリジナルのビット、つまり、伝送された直交符号を取得することができる。次に、これらの変調されたサブキャリアにおけるチャンネル利得係数は、簡単に取得することができる。第1のシグナリング方法を使用して得られるものよりも多数のチャンネル利得係数を得ることができる点は、注目に値する。ケーブル・チャンネルは、安定したチャンネルであるため、プリアンブルから取得されるチャンネル利得係数は、チャン

10

20

30

40

50

ネル推定に非常に役に立つ。C 2 システムは、この初期チャンネル推定による利点を享受するであろう。

【0037】

当業者であれば、本願の原理が既存のケーブル伝送技術に対して幾つかの利点を提供することを認識するであろう。これらの利点の幾つかの例を以下に示す。

【0038】

1. 本開示内容の少なくとも 1 つの実施の態様において設計されたプリアンブルは、時間ドメインにおいて、 $N/2$ ポイントの繰り返し構造を提供する。ここで、 N は、FFT のサイズである。この時間ドメイン構造は、プリアンブル識別、フレーム・タイミング同期化、さらに、分数周波数オフセット推定を同時に実行するために使用することができる。さらに、必要な演算量は小さく、フレーム・タイミング同期化および分数周波数オフセット推定は、CPU に基づく方法よりも良好である。

10

【0039】

2. 提供されるシグナリング方法の 1 つは、プリアンブルにおいて伝送されるシグナリング・ビットを復号することである。従って、演算量が低減され、プリアンブルを処理する際の遅延時間が低減される。本開示内容における少なくとも 1 つの実施態様では、チャンネル推定が不要である。

【0040】

3. シグナリング・ビットの伝送に直交符号を使用した設計されたプリアンブルは、追加的な初期チャンネル利得係数（偶数のキャリアにおける周波数ドメイン・チャンネル利得係数）を提供することができる。

20

【0041】

4. 本開示内容における少なくとも 1 つの実施態様で設計されたプリアンブル構造を復号するための演算量は小さく、従って、プリアンブルを復号するための時間（初期遅延）も大変短い。

【0042】

本願の原理のこれらの特徴およびその他の特徴は、関連する分野において通常の知識を有するものであれば、本明細書中の開示内容に基づいて、容易に解明することができるであろう。本願の原理の開示内容は、ハードウェア、ソフトウェア、ファームウェア、特定用途向けプロセッサ、または、これらを組み合わせたものの形態で実施することができることが理解できよう。

30

【0043】

より好ましくは、本願の原理の開示内容は、ハードウェアおよびソフトウェアを組み合わせて実施される。さらに、ソフトウェアは、プログラム・ストレージ・ユニットに上に現実的に実装されるアプリケーション・プログラムとして実施される。アプリケーション・プログラムは、適切なアーキテクチャからなるマシンにアップロードされ、このマシンによって実行されるようにしてもよい。好ましくは、このマシンは、1 つ以上の中央処理装置（CPU）、ランダム・アクセス・メモリ（RAM）、入出力（I/O）インターフェースを有するコンピュータ・プラットフォーム上で実施される。また、コンピュータ・プラットフォームは、オペレーティング・システムおよびマイクロインストラクション・コードを含むようにしてもよい。本明細書中で開示される様々な処理および機能は、マイクロインストラクション・コードの一部を構成するものでもよいし、アプリケーション・プログラムの一部を構成するものであってもよいし、これらを組み合わせたものであってもよいし、CPU によって実行されるものであってもよい。さらに、追加的なデータ記憶装置や印刷機等、コンピュータ・プラットフォームに様々な他の周辺機器を結合するようにしてもよい。

40

【0044】

添付図面に示すシステムの構成要素および方法のステップの幾つかは、好ましくは、ソフトウェアの形態によって実施されるため、システムの構成要素または処理機能ブロック間の実際の結合は、本願の原理をプログラムする方法によって異なる場合があることが理

50

解できよう。本明細書の開示する内容に基づいて、関連する技術における通常の技術知識を有するものであれば、本願の原理の実施の形態または構成、さらに、類似した実施の形態または構成を企図できるであろう。

【 0 0 4 5 】

添付図面を参照して本明細書中で例示的な実施の形態について説明したが、本発明はこれらの実施の形態に厳格に限定されるものではなく、関連技術に関して通常の技術を有する者であれば、本願の原理の範囲または精神を逸脱することなく、様々な変更、改変を施すことが可能であることが理解できよう。このような変更、改変は、全て、添付の請求の範囲に定義されたような本願の原理の範囲に含まれるように意図されている。

本発明は、以下の態様を含む。

10

(付記 1)

ケーブル伝送媒体における使用のためのプリアンブルを生成する方法であって、

相補シーケンスを初めのキャリア内にヘッダとして挿入するステップ(2 2)と、

システムのシグナリング・ビットのためのエラー訂正符号を生成するステップ(2 8)と、

前記相補シーケンスおよびシグナリング・ビットを割り当てられた偶数のキャリアのみの上の変調シンボルにマッピングするステップ(2 4 、 3 0 、 3 2)であって、前記マッピングされた変調シンボルが各フレーム内のプリアンブルを形成する、前記マッピングするステップと、

前記プリアンブルを時間ドメインに変換するステップ(3 4)と、を含む、前記方法。

20

(付記 2)

ケーブル・キャリア状態に従って前記相補シーケンスの長さを設定するステップをさらに含む、付記 1 に記載の方法。

(付記 3)

パイロット・キャリアのために前記割り当てられた偶数のキャリアのうちの少なくとも 1 つを留保するステップをさらに含む、付記 1 に記載の方法。

(付記 4)

前記パイロット・キャリアを使用してキャリア状態を測定するステップをさらに含む、付記 3 に記載の方法。

(付記 5)

30

後続する O F D M シンボルにおけるパイロット・キャリア上のチャンネル利得係数を再使用するステップをさらに含む、付記 3 に記載の方法。

(付記 6)

前記マッピングするステップは、直交符号を使用してシステム情報の前記シグナリング・ビットを搬送するステップをさらに含む、付記 1 に記載の方法。

(付記 7)

必要なシステム情報ビット数およびチャンネル状態に応じて前記直交符号を選択するステップをさらに含む、付記 6 に記載の方法。

(付記 8)

サイクリック・プレフィックスを追加して前記プリアンブルの生成を完了するステップをさらに含む、付記 1 に記載の方法。

40

(付記 9)

2 つ以上のチャンネルを結合するステップ(4 0)と、

周期的に繰り返される前記生成されたプリアンブルが前記結合されたチャンネルの完全なスペクトラムを満たすようにするステップ(4 4)と、を含む、付記 1 に記載の方法。

(付記 1 0)

前記プリアンブルによって使用されるキャリアの数を O F D M シンボルによって使用されるキャリアの数以下に制限するステップ(4 2)をさらに含む、付記 9 に記載の方法。

(付記 1 1)

前記マッピングするステップは、 Q A M 符号を使用してシステム情報の前記シグナリン

50

グ・ビットを搬送するステップをさらに含む、付記 1 に記載の方法。

(付記 1 2)

前記エラー訂正符号がリード・マラー符号である、付記 1 に記載の方法。

(付記 1 3)

前記直交符号がウォルシュ符号である、付記 6 に記載の方法。

(付記 1 4)

ケーブル伝送システムにおける使用のためのプリアンブルを生成する装置であって、
相補シーケンスをヘッダとして初めのキャリアに挿入し、前記システムのシグナリング
・ビットのためのエラー訂正符号を作成し、前記相補シーケンスおよび保護されたシグナ
リング・ビットを変調シンボルにマッピングして前記プリアンブルを形成するプロセッサ
(72)と、
偶数のキャリアのみを割り当て、当該割り当てられた偶数のキャリア上で前記プリアン
ブルの伝送を可能にするように構成された変調器(76)と、を含む、前記装置。

(付記 1 5)

前記プロセッサは、さらに、前記ケーブル伝送システムにおける 2 つ以上のチャンネル
を結合可能にし、周期的に繰り返される前記生成されたプリアンブルが前記結合されたチ
ャンネルの完全なスペクトラムを満たすようにする、付記 1 4 に記載の装置。

(付記 1 6)

前記プロセッサはさらに、前記プリアンブルによって使用されるキャリアの数を O F D
M シンボルにおいて使用されるキャリアの数以下に制限する、付記 1 4 に記載の装置。
20

(付記 1 7)

前記プロセッサは、パイロット・キャリアと共に使用するために前記割り当てられた偶
数のキャリアのうちの少なくとも 1 つを留保する、付記 1 4 に記載の装置。

(付記 1 8)

キャリア状態がパイロット・キャリアを使用して測定される、付記 1 5 に記載の装置。

(付記 1 9)

直交符号が使用されてシステム情報の前記シグナリング・ビットを搬送するために使用
される、付記 1 4 に記載の装置。

(付記 2 0)

前記エラー訂正符号がリード・マラー符号である、付記 1 4 に記載の装置。

(付記 2 1)

ケーブル伝送媒体における使用のためのプリアンブルを受信し、処理する方法であって
,

前記プリアンブルを時間ドメインから変換するステップ(34)と、

各フレーム内の前記プリアンブルからの割り当てられた偶数のキャリアのみの上の変調
シンボルを相補シーケンスおよびシグナリング・ビットにマッピングするステップと、

システムのシグナリング・ビットのためのエラー訂正符号を処理するステップと、

初めのキャリア内のヘッダとしての相補シーケンスを取り除くステップと、を含む、前
記方法。

(付記 2 2)

前記割り当てられた偶数のキャリアのうちの少なくとも 1 つがパイロット・キャリアの
ために使用される、付記 2 1 に記載の方法。

(付記 2 3)

前記パイロット・キャリアは、キャリア状態を測定するために使用される、付記 2 2 に
記載の方法。

(付記 2 4)

チャンネル利得係数が後続する O F D M シンボルにおけるパイロット・キャリア上で使
用される、付記 2 2 に記載の方法。

(付記 2 5)

前記マッピングを行うステップは、システム情報の前記シグナリング・ビットを搬送す
50

るためにQAM符号を使用するステップをさらに含む、付記21に記載の方法。

(付記26)

ケーブル伝送システムにおいて使用するためのプリアンブルを生成する装置であって、偶数のキャリアのみを処理し、割り当てられた偶数のキャリア上で前記プリアンブルの受信を可能にするように構成された復調器(76)と、

初めのキャリア内のヘッダとしての相補シーケンスを取り除き、前記システムのシグナリング・ビットのためのエラー訂正符号を処理し、プリアンブルを形成する変調シンボルから相補シーケンスと保護されたシグナリング・ビットのマッピングを解除するプロセッサ(72)と、を含む前記装置。

(付記27)

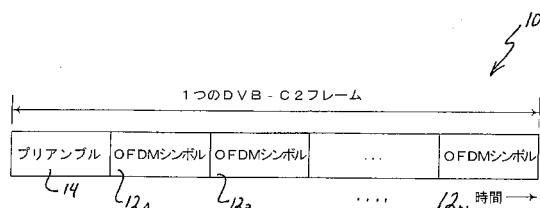
前記プロセッサは、パイロット・キャリアと共に使用される少なくとも1つの割り当てられた偶数のキャリアを受信する、付記26に記載の装置。

(付記28)

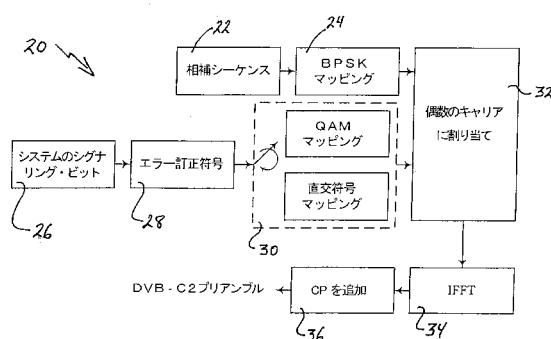
直交符号が処理され、システム情報の前記シグナリング・ビットを搬送するために使用されている、付記26に記載の装置。

10

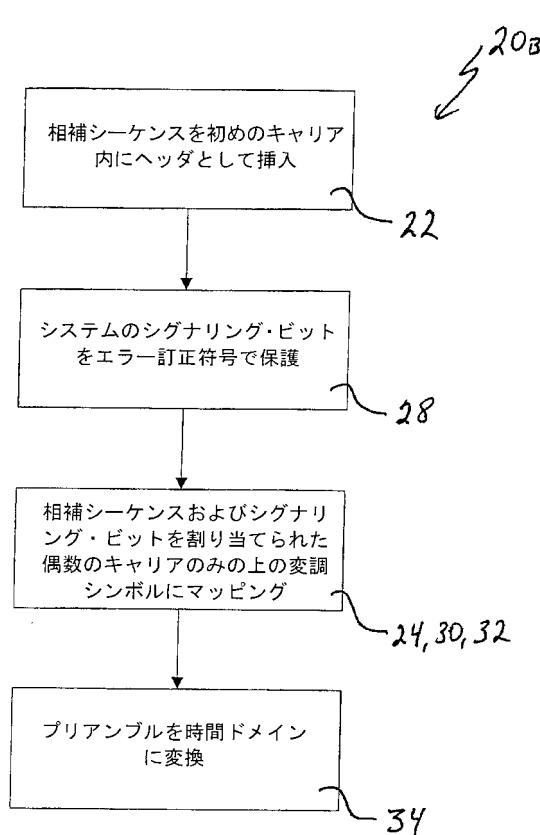
【図1】



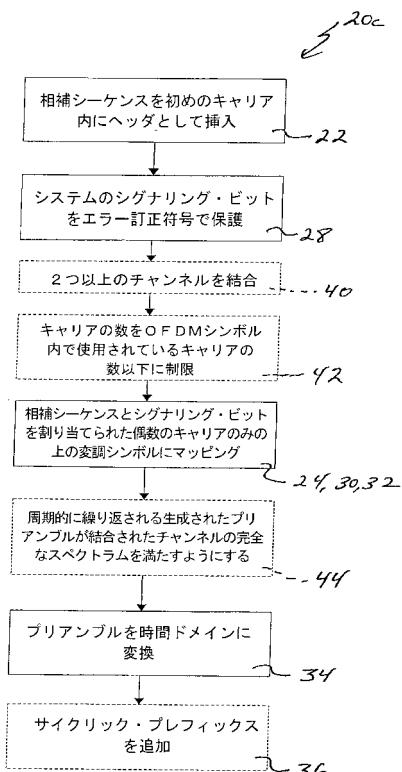
【図2A】



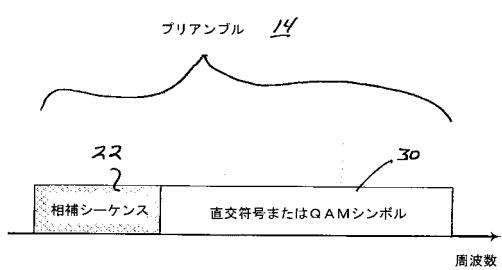
【図2B】



【図2C】



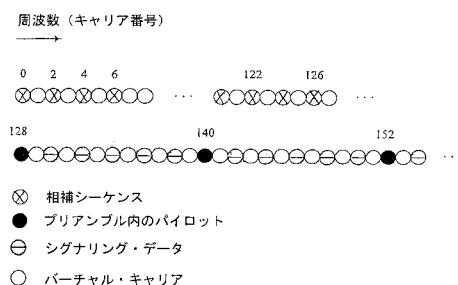
【図3】



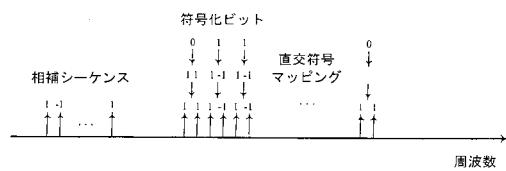
〔 図 4 〕



【 図 5 】



【図6】



```

graph TD
    A[変調器] -- "76" --> B[プロセッサ]
    B -- "75" --> C[メモリ]
    C -- "74" --> D[データ・ビット・シリアル・ナリゲーター]
    D -- "73" --> E[データ・ビット・シリアル・ナリゲーター]
    E -- "72" --> F[データ・ビット・シリアル・ナリゲーター]
    F -- "71" --> G[データ・ビット・シリアル・ナリゲーター]
    G -- "70" --> H[データ・ビット・シリアル・ナリゲーター]
    H -- "79" --> I[データ・ビット・シリアル・ナリゲーター]
    I -- "78" --> J[データ・ビット・シリアル・ナリゲーター]
    J -- "77" --> K[データ・ビット・シリアル・ナリゲーター]
    K -- "76" --> L[データ・ビット・シリアル・ナリゲーター]
    L -- "75" --> M[データ・ビット・シリアル・ナリゲーター]
    M -- "74" --> N[データ・ビット・シリアル・ナリゲーター]
    N -- "73" --> O[データ・ビット・シリアル・ナリゲーター]
    O -- "72" --> P[データ・ビット・シリアル・ナリゲーター]
    P -- "71" --> Q[データ・ビット・シリアル・ナリゲーター]
    Q -- "70" --> R[データ・ビット・シリアル・ナリゲーター]
    R -- "79" --> S[データ・ビット・シリアル・ナリゲーター]
    S -- "78" --> T[データ・ビット・シリアル・ナリゲーター]
    T -- "77" --> U[データ・ビット・シリアル・ナリゲーター]
    U -- "76" --> V[データ・ビット・シリアル・ナリゲーター]
    V -- "75" --> W[データ・ビット・シリアル・ナリゲーター]
    W -- "74" --> X[データ・ビット・シリアル・ナリゲーター]
    X -- "73" --> Y[データ・ビット・シリアル・ナリゲーター]
    Y -- "72" --> Z[データ・ビット・シリアル・ナリゲーター]
    Z -- "71" --> AA[データ・ビット・シリアル・ナリゲーター]
    AA -- "70" --> BB[データ・ビット・シリアル・ナリゲーター]
    BB -- "79" --> CC[データ・ビット・シリアル・ナリゲーター]
    CC -- "78" --> DD[データ・ビット・シリアル・ナリゲーター]
    DD -- "77" --> EE[データ・ビット・シリアル・ナリゲーター]
    EE -- "76" --> FF[データ・ビット・シリアル・ナリゲーター]
    FF -- "75" --> GG[データ・ビット・シリアル・ナリゲーター]
    GG -- "74" --> HH[データ・ビット・シリアル・ナリゲーター]
    HH -- "73" --> II[データ・ビット・シリアル・ナリゲーター]
    II -- "72" --> JJ[データ・ビット・シリアル・ナリゲーター]
    JJ -- "71" --> KK[データ・ビット・シリアル・ナリゲーター]
    KK -- "70" --> LL[データ・ビット・シリアル・ナリゲーター]
    LL -- "79" --> MM[データ・ビット・シリアル・ナリゲーター]
    MM -- "78" --> NN[データ・ビット・シリアル・ナリゲーター]
    NN -- "77" --> OO[データ・ビット・シリアル・ナリゲーター]
    OO -- "76" --> PP[データ・ビット・シリアル・ナリゲーター]
    PP -- "75" --> QQ[データ・ビット・シリアル・ナリゲーター]
    QQ -- "74" --> RR[データ・ビット・シリアル・ナリゲーター]
    RR -- "73" --> TT[データ・ビット・シリアル・ナリゲーター]
    TT -- "72" --> UU[データ・ビット・シリアル・ナリゲーター]
    UU -- "71" --> VV[データ・ビット・シリアル・ナリゲーター]
    VV -- "70" --> WW[データ・ビット・シリアル・ナリゲーター]
    WW -- "79" --> XX[データ・ビット・シリアル・ナリゲーター]
    XX -- "78" --> YY[データ・ビット・シリアル・ナリゲーター]
    YY -- "77" --> ZZ[データ・ビット・シリアル・ナリゲーター]
    ZZ -- "76" --> AA
  
```

フロントページの続き

(72)発明者 チエン , ホウ - シン

アメリカ合衆国 ニュージャージー州 ノース・プランズウイック ブレインズ・ギャップ・ロード
26

(72)発明者 ガオ , ウエン

アメリカ合衆国 ニュージャージー州 ウエスト・ウインザー ワーウィック・ロード 73

審査官 北村 智彦

(56)参考文献 國際公開第2007/078146 (WO , A1)

國際公開第2006/137708 (WO , A1)

國際公開第2009/096720 (WO , A1)

國際公開第2010/047513 (WO , A1)

特開2009-296586 (JP , A)

DVB PROJECT , FRAME STRUCTURE CHANNEL CODING AND MODULATION FOR A SECOND GENERATION DIGITAL TERRESTRIAL TELEVISION BROADCASTING SYSTEM (DVB-T2) , DVB Document A122 , 2008
年 8月29日 , pp.17,62-82,88-96,102-107,148-155 , U R L , <http://www.dvb.org/technology/dvbt2/a122.tm3980r5.DVB-T2.pdf>

YUH-REN TSAI,Chin-Chou Wang,XiuSheng Li , ADAPTIVE CHANNEL ESTIMATION FOR MB-OFDM SYSTEMS IN MULTI-ACCESS INTERFERING ENVIRONMENTS , VEHICULAR TECHNOLOGY CONFERENCE , 2008
年 5月11日 , pp.918-922

Kiran Challapali,Carlos Cordeiro,Dagnachew Birru , EVOLUTION OF SPECTRUM-AGILE COGNITIVE RADIOS: FIRST WIRELESS INTERNET STANDARD AND BEYOND , ACM , 2006年 8月 6
日

(58)調査した分野(Int.Cl. , DB名)

H04J 11/00

H04J 13/18